

République Algérienne Démocratique et Populaire
Ministère de l'Enseignement Supérieur et de la Recherche Scientifique



Université de Batna 2 – Mostefa Ben Boulaïd
Faculté de Technologie
Département d'Electronique



Thèse

Préparée au sein du Laboratoire d'Automatique Avancée et d'Analyse des Systèmes

Présentée pour l'obtention du titre de :
Docteur en Sciences en Electronique
Option : Microélectronique

Sous le Thème :

**Contribution à l'étude et la modélisation d'un transistor
fortement submicronique**

Présentée par :

YOUSFI Abderrahim

Devant le jury composé de :

M. DJEFFAL Fayçal	Prof.	Université de Batna 2	Président
M. DIBI Zohir	Prof.	Université de Batna 2	Rapporteur
M. AISSI Salim	MCA.	Université de Batna 2	Co-Rapporteur
M. HESSAM Abdelouahab	Prof.	Université de Sétif	Examineur
M. BOULAKROUNE M'hamed	Prof.	ENP de Constantine	Examineur
M. ROUABAH Khaled	MCA.	Université de Bordj-Bou-Arréridj	Examineur
M. SAIDI Lamir	Prof.	Université de Batna 2	Invité

Juin2018

Abstract

This thesis is part of the development of new active components in electronics in order to improve their performances compared to existing components. More specifically, this thesis focuses on two components widely used in the industry; in this case, MOSFETs and HEMTs are considered.

Indeed, in order to overcome the drawbacks of short channel effects and improve the performance of the MOSFET, we propose a new structure based on highly doped source/drain extensions, gate all around junctionless (GAAJ MOSFET). The next goal is to study systematically the impacts of such design on RF and analog performances, and to show the immunity of the proposed device against short channel effects. In this context, an analytical model resulting from the rigorous solution of the Poisson equation including the effects of drain/source extensions has been developed and optimized thanks to genetic algorithms. In order to validate the proposed model, a comparative study between the proposed GAAJ MOSFET structure and the conventional device, in terms of RF/analog performance, was also discussed. It shows that the developed model has better performance.

In addition, a new HEMT structure has been proposed based on a flat field with double gate and double heterostructure. The performance of this component is evaluated in terms of RF/analog performance.

Résumé

Cette thèse entre dans le cadre de développement de nouveaux composants actifs en électronique dans le but d'améliorer leurs performances par rapport aux composants existants. Plus particulièrement, cette thèse se focalise sur deux composants très utilisés dans l'industrie, en l'occurrence, il s'agit des MOSFET et HEMT.

En effet, dans le but de pallier les inconvénients des effets du canal court et d'améliorer les performances du MOSFET, nous proposons une nouvelle structure basée sur des extensions source/drain fortement dopés, sans jonction avec grille enrobée (GAAJ MOSFET). L'objectif ensuite est de rechercher systématiquement les impacts d'un tel design sur les performances RF et analogiques, et de montrer le comportement immunisé contre les effets indésirables de canal court. Dans ce contexte, un modèle analytique issu de la solution rigoureuse de l'équation de Poisson incluant les effets des extensions drain/source a été développé et optimisé grâce aux algorithmes génétiques. Afin de valider le modèle proposé, une étude comparative entre la structure GAAJ MOSFET proposée et le dispositif classique, en termes de performances RF /analogiques, a été également abordée. Il en ressort que le modèle développé possède des performances meilleures.

Par ailleurs, une nouvelle structure du HEMT a été proposée basée sur un champ plat à grille et hétérostructure doubles. Les performances de ce composant sont évaluées en termes de performances RF/analogiques.

ملخص

هذه الأطروحة هي جزء من تطوير المكونات النشطة الجديدة في الإلكترونيات من أجل تحسين أدائها مقارنة بالمكونات الموجودة. وبشكل أكثر تحديداً، تركز هذه الأطروحة على عنصرين يستخدمان على نطاق واسع في الصناعة، هما المقحل بدون وصلة و بوابة مغطاة (GAAJ MOSFET) و HEMT.

من أجل التغلب على عيوب تأثيرات القناة القصيرة وتحسين أداء MOSFET، نقترح بنية جديدة تعتمد على تمديدات المنبع/المصب كثيرة التنشيط (GAAJ MOSFET) و بوابة دائرية بدون وصلة. الهدف التالي هو البحث المنهجي عن تأثيرات هذا التصميم على أداء التردد الراديوي والتناظري، وإظهار السلوك المناعي ضد التأثيرات غير المرغوب فيها للقناة القصيرة. في هذا السياق، تم تطوير نموذج تحليلي ناتج عن حل معادلة POISSON، بما في ذلك تأثيرات تمديدات المنبع/المصب وتحسينه بفضل الخوارزميات الجينية. من أجل التحقق من صحة النموذج المقترح، تمت أيضاً مناقشة دراسة مقارنة بين هيكل GAAJ MOSFET المقترح و المكون التقليدي، من حيث الأداء RF/التناظري التي توضح أن النموذج المقترح له أداء أفضل.

بالإضافة إلى ذلك، تم اقتراح بنية HEMT جديدة على أساس حقل مسطح مع بوابة مزدوجة وبنية غير متماثلة. و لقد تم تقييم أداء هذا المكون من حيث الأداء التردد الراديوي/التناظرية.

Sommaire

Liste des acronymes.....	1
Introduction générale.....	3

Chapitre I : MOSFET & HEMT

I.1. Introduction	6
Partie A : MOSFET.....	7
I.2. Echelle du dispositif	7
I.3. Effets de canal court	9
I.3.1. Paramètres influençant le drainage	10
I.3.2. Vitesse de saturation	12
I.3.3. Effets des porteurs chauds	15
I.4. Défis à surmonter les effets de canal court	16
I.4.1. High-k et métal de grille	16
I.4.2. Silicium sur isolant	19
I.4.3. Structure multi-grilles	22
I.5. Transistor sans jonction (JLT).....	25
I.5.1. Théorie des transistors sans jonction	26
I.5.2. Examen des transistors sans jonction	28
Partie B : HEMT	30
I.6. Les transistors à haute mobilité d'électrons (HEMT).....	30
1.6.1. Étude d'une hétérojonction	33
1.6.1.1. Diagramme des bandes d'une hétérojonction	34
1.6.2. Caractéristiques électriques	35
1.6.2.1. Courant drain-source	35
1.6.2.2. Transconductance.....	36
1.6.2.3. Conductance de sortie	36
I.7. Conclusion	37

Chapitre II : Les techniques métaheuristiques

II.1. Introduction	38
II.2. Méthodes heuristiques	39
II.3. Méthodes métaheuristiques	41
II.4. Les algorithmes génétiques	42
II.4.1. Concept de chromosome	43
II.4.2. Génération	43
II.4.3. Sélection	44
II.4.4. Elitisme	44
II.4.5. Crossover	44
II.4.6. Mutation	45
II.4.7. Mise en œuvre d'un algorithme génétique	45
II.1. Conclusion	47

Chapitre III : Modélisations du GAAJ MOSFET et du FPDG HEMT

III.1. Introduction	48
Partie A : GAAJ MOSFET	50
III.2. Méthodologie de modélisation	50
III.2.1. Structure du dispositif	50
III.2.2. Développement du modèle	51
Partie B : FPDG HEMT	62
III.3. Méthodologie de modélisation	62
III.3.1. Structure du dispositif	62
III.3.2. Modèles physiques	63
III.4. Conclusion	64

Chapitre IV : GAAJ MOSFET et FPDG HEMT : étude et comparaison

IV.1. Introduction	66
Partie A : GAAJ MOSFET	66
IV.2. Caractéristiques DC	66
IV.3. Performances analogiques	69
IV.4. Performances RF	72
IV.5. Optimisation des performances du GAAJ MOSFET	73

Partie B : FPDG HEMT	80
IV.6. Caractéristiques DC	80
IV.7. Performances analogiques	81
IV.8. Performances RF	84
Partie C : Comparaison entre le GAAJ MOSFET et le FPDG HEMT	85
IV.9. Conclusion	86
Conclusion générale	87
Références bibliographiques	89
Annexe A : Simulateur TCAD	96
Annexe B : Eléments de base pour la simulation du GAAJ MOSFET sous SILVACO	101

Liste des acronymes

2DEG	Gaz d'électrons à deux dimensions
AG	Algorithmes génétiques
BeFS	Meilleure première recherche
BJT	Transistor bipolaire
BOX	Oxyde enterré
BrFS	Largeur première recherche
CAO	Conception Assistée par Ordinateur
CMOS	Oxyde métal semi-conducteur complémentaire
DeFS	Profondeur Première Recherche
DIBL	Abaissement de la barrière induite par le drain
EDP	Equations aux Dérivées Partielles
EOT	Epaisseur d'oxyde équivalente
ETSOI	Silicium sur isolant extrêmement mince
FET	Transistor à effet de champ
FinFET	Transistor à effet de champ à canal fin
FPDG	Champ plat à double grille
GAA	Grille enrobée
GAAJ	Grille enrobée sans jonction
GeOI	Germanium sur isolant
GSMOS	Grille empilée oxyde métal semi-conducteur

GSMOS	MOSFET empilé par grille
HEMT	Transistor à haute mobilité électronique
HfO ₂	Oxyde de hafnium
HfSiO	Silicate d'hafnium
ITRS	International Technology Roadmap for Semiconductors
JL	Sans jonction
JLT	Transistor Sans jonction
MESFET	Transistor à effet de champ Métal Semi-conducteur
MOS	métal /oxyde/ Semi-conducteur
MOSFET	Transistor à effet de champ Semi-conducteur/oxyde/métal
NMOS	MOS de type N
PMOS	MOS de type P
RF	Fréquence Radio
S/D	Source /drain
SCE	Effet de canal court
Si ₃ N ₄	Nitrure de Silicium
SiO ₂	Oxyde de silice
SOI	Silicium sur isolant
TCAD	Technologie de conception Assistée par Ordinateur
TGF	Facteur de génération de transconductance
VeSFET	Le transistor vertical FET à fente

Introduction générale

La technologie CMOS a été la technologie précurseur durant cette dernière décennie. Elle offre des dispositifs à performances supérieures avec une sensibilité accrue, une densité plus élevée, et une excellente endurance face aux rayonnements. Plus particulièrement, le MOSFET est devenu un sujet de recherches élaborées et a fait l'objet d'une attention particulière dans la communauté scientifique internationale. Cependant, ces dispositifs souffrent des effets du canal court (SCEs), tels qu'un abaissement de la barrière induite par le drain (DIBL), une vitesse rapide de saturation et une résistance en série élevée. Plusieurs approches et architectures ont été proposées pour réduire ces problèmes. Une des solutions est le GAAJ MOSFET.

Par ailleurs, un des composants très utilisé dans l'industrie et dont les performances sont notables est le HEMT. Ce dernier est très apprécié pour ses capacités de commutation et d'amplification.

L'objectif de cette thèse est double. Tout d'abord, nous proposons des améliorations dans les structures de chacun des composants MOSFET et HEMT afin d'en améliorer leurs performances. Dans ce sens, la structure GAAJ MOSFET avec des extensions S/D a été proposée pour le MOSFET classique. Aussi, pour le HEMT et dans le même contexte, nous proposons une nouvelle structure de ce composant reposant sur un nouveau design de la grille et le Si₃N₄ comme high-k pour le GaAs en tant que matériau à large bande interdite dans le dispositif HEMT. Ensuite, les performances des composants proposés sont comparées.

Outre l'introduction et la conclusion générales, cette thèse est organisée en 04 chapitres.

Le premier chapitre est dédié au MOSFET et le HEMT. Toutes leurs caractéristiques inhérentes sont clairement explicitées. Les limites pratiques du MOSFET dues particulièrement au canal seront explicitées et des solutions existantes dans la littérature (High-k et grille en métal, SOI, structure multi-grille et le GAAJ) seront présentées pour pallier ces limitations. Par ailleurs, le HEMT sera décrit en termes de son hétérojonction et de ses caractéristiques électriques.

Le chapitre suivant propose d'utiliser les algorithmes génétiques pour optimiser les performances du GAAJ MOSFET. Dans ce sens, tous les éléments théoriques nécessaires à une telle technique d'optimisation sont clairement développés.

Les modélisations des deux composants GAAJ MOSFET et du FPDG HEMT seront traitées au troisième chapitre. Le GAAJ MOSFET est un composant très intéressant pour les applications RF/analogiques grâce à la contrôlabilité de sa grille, de son évolutivité exceptionnelle, des fuites moindres, et du courant amélioré. Il est à noter qu'un tel dispositif est contrôlé à partir de toutes ses faces ; ce qui fait de lui un élément très intéressant en pratique. Plus précisément, les extensions S/D du GAAJ MOSFET ont été trouvées très attirantes pour faire face aux problèmes causés par les SCEs. Cependant, aucune étude antérieure n'a été appréhendée pour un GAAJ MOSFET à canal court pour les applications RF/analogiques. Dans ce contexte, nous proposons un GAAJ MOSFET avec des régions d'extensions S/D fortement dopées et une concentration de dopage de canal uniformément réduite afin d'améliorer les performances et de réduire les SCEs de ce dispositif. A ce titre, nous proposons un nouveau modèle analytique compact permettant l'optimisation géométrique pour concevoir des extensions S/D conduisant à des capacités techniques RF/analogique élevées en augmentant l'immunité du dispositif contre les SCEs. Par ailleurs, dans une seconde partie, le HEMT sera détaillé en termes de structure de dispositif et de modèles physiques relatifs aux recombinaisons et des mobilités des porteurs.

Le dernier chapitre fera l'objet d'une présentation des différents résultats obtenus durant cette thèse relatifs aux deux composants proposés GAAJ MOSFET avec des extensions S/D et du FPDG HEMT. Pour ce qui est du GAAJ MOSFET, dans le souci permanent d'améliorer les performances RF/analogiques et de pallier les SCEs, nous allons étudier la capacité d'échelle et le comportement immunitaire du GAAJ MOSFET et montrer comment la dégradation du dispositif peut être diminuée en utilisant un dopage élevé pour les extensions S/D. Quant au FPDG HEMT, ses paramètres analogiques telles que la transconductance, le facteur de génération de transconductance et le gain intrinsèque seront exprimés, évalués et comparés à ceux d'un dispositif similaire classique. En outre, les performances RF sont analysées en termes de fréquence de coupure.

Chapitre I

MOSFET & HEMT

I.1 Introduction

La technologie CMOS a connu ces dernières décades un essor considérable. Grâce à une évolution croissante de la maîtrise de l'intégration à grande échelle et de la miniaturisation, divers composants électroniques ont vu leur taille, performances et coût prendre des améliorations spectaculaires.

Plus particulièrement le MOSFET est devenu un sujet de recherches élaborées et a fait l'objet d'une attention particulière dans la communauté scientifique internationale. Il est devenu la clé de voute de divers systèmes électroniques. A titre d'exemples, un microprocesseur contient plus de 2 milliards de MOSFETs et une carte mémoire d'un poids de 0.5 g intègre le nombre extraordinaire de 256 milliards de MOSFETs.

Il est alors utile de se pencher sur un tel dispositif, et plus précisément nous allons attacher une attention particulière au MOSFET à grille enrobée sans jonction (GAAJ MOSFET) et nous allons examiner ses caractéristiques analogiques et radio fréquences et expliciter ses limitations et les défis à surmonter. Tous ces points feront l'objet de la première partie de ce chapitre.

A titre de comparaison des performances du GAAJ MOSFET avec des composants similaires, nous nous sommes orientés dans notre recherche vers un autre composant intéressant, en l'occurrence le HEMT. Ce dernier sera étudié dans la partie B de ce même chapitre. En effet, le HEMT est un composant qui constitue une évolution du MESFET et dont les caractéristiques analogiques et radio fréquences font de lui un composant très intéressant pour diverses applications.

Partie A : MOSFET

I.2 Echelle du dispositif

Les objectifs de la miniaturisation sont nombreux ; on peut citer une amélioration de la vitesse de commutation et une diminution de la consommation électrique. Par exemple, le temps de retard τ du circuit peut être réduit en fonction de la longueur L de la grille. La formule explicitant ce paramètre est donnée par :

$$\tau = \frac{C_G V_D}{I_D} \quad (I.1)$$

où I_D est le courant de drain, C_G est la capacité de grille et V_D représente la tension de drain. Avec la même tension V_D , la diminution de C_G ou l'augmentation du courant I_D réduit le temps de retard du circuit. Le courant I_D de drain est inversement proportionnel à la longueur de grille L ; donc la réduction de L diminue τ .

Par ailleurs, au fur et à mesure que la miniaturisation progresse, la fabrication du dispositif électronique devient difficile. Ainsi, des problèmes se produisent, par exemple, en lithographie et au niveau des interconnexions.

La densité d'un circuit est proportionnelle à la longueur L^2 (Tableau I.1). De plus, la dissipation de puissance par circuit diminue d'un facteur de L^2 qui est lié à la réduction du problème de chauffage du dispositif.

Dans la mise à l'échelle à champ constant, le champ électrique est constamment maintenu lorsque le dispositif est réduit. Pour garder le champ électrique constant, les dimensions latérales et perpendiculaires (pour le maintien du champ électrique constant dans les deux sens), la tension de polarisation et le dopage doivent être modifiés avec le facteur de mise à l'échelle α . Le modèle de champ électrique inchangé est nécessaire pour maintenir le contrôle de la grille et le comportement du canal court. Le niveau de dopage du canal doit être augmenté par α pour réduire la largeur de l'appauvrissement W_d pour interdire le punch-through.

	Paramètres du MOSFET	Facteur Multiplicatif
Données de la mise en échelle	dimensions du dispositif (t_{ox} , L , W)	$1/\alpha$
	Dopage (N_a , N_d)	α
	Voltage (V_d)	$1/\alpha$
Paramètres de mise en échelle du comportement du dispositif	Champ Electrique (E)	1
	Largeur de la couche de déplétion (W_d)	$1/\alpha$
	Capacité ($C=\epsilon A/t_{ox}$)	$1/\alpha$
	Densité de charge de la couche d'inversion (Q_i)	1
	Vitesse des porteurs	1
	Courant de drain dans la région de conduction (I_D)	$1/\alpha$
	Temps de retard du circuit (τ)	$1/\alpha$
	Puissance ($P=I_D V_D$)	$1/\alpha^2$
	Densité du circuit	α^2
	Densité de puissance (P/A)	1

Tableau I.1 : Paramètres de mise à l'échelle du champ constant [1].

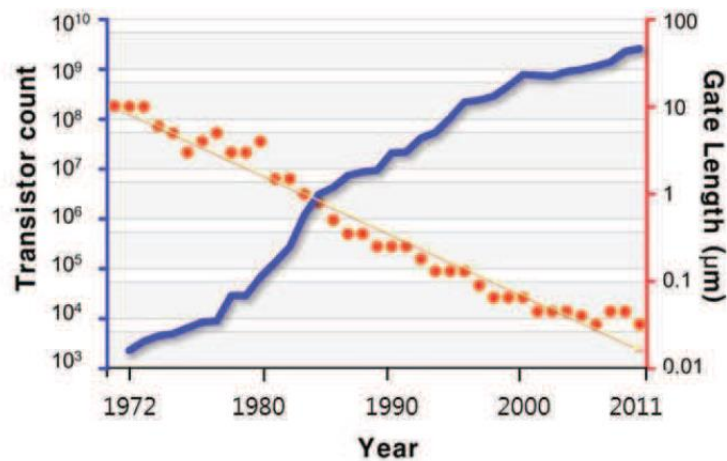


Figure I.1 : Nombre de transistors et de longueur de grille par rapport à l'année (microprocesseur)

La loi de Moore affirme jusqu'à présent que le nombre de transistors sur une puce double tous les deux ans (figure I.1). Cependant, il est intuitif que cette loi

ne pourra rester valable dans les futures décades, car la limite physique de la réduction de la finesse de gravure s'approche de plus en plus.

Actuellement, le nœud de processus de 32 nm a été utilisé dans la production des circuits. Selon la loi de Moore, quelques nm de la longueur de grille qui est une limitation physique du MOSFET seront utilisés dans plusieurs années. Ainsi, le nouveau concept de mise à l'échelle des dispositifs est nécessaire pour continuer le rendement du dispositif et l'amélioration des performances au-delà de la loi de Moore. Beaucoup de concepts, comme solutions alternatives, ont été étudiés telles que la structure multi grille, et le transistor sans jonction [2-4]. En 2011, Intel a démontré que le transistor 3-grilles sera adopté dans le microprocesseur de 22 nanomètres appelé Ivy Bridge [5].

I.3 Effets de canal court

La mise à l'échelle du dispositif provoque des effets inattendus des performances du dispositif. Ces effets peuvent être classés selon différentes sources [6] :

- Le profil du champ électrique change en deux dimensions
 - Abaissement de la barrière induite par le drain
 - Réduction de la mobilité par le champ de surface induit par la grille
- La puissance du champ électrique devient très élevée dans le canal
 - Vitesse de saturation
 - Impact d'ionisation près du drain
 - Charge d'oxyde de grille
 - Effet bipolaire parasite
- La séparation physique entre la source et le drain diminue
 - Punch-through
 - Modulation de longueur de canal

Certains d'entre eux ont des résultats similaires même s'ils ont une physique différente. De plus, il est parfois trop ambigu de séparer les impacts de ces phénomènes.

I.3.1 Paramètres influençant le drainage

Pour un dispositif à canal long, la tension de grille V_G contrôle complètement l'épuisement du canal semi-conducteur. Cependant, dans les dispositifs à canaux courts, une partie de l'épuisement des canaux est sous le contrôle des polarisations source drain. Lorsque la longueur du canal diminue, la proximité de la région de source et de drain produit la fraction de la charge d'épuisement dans le canal. En d'autres termes, les tensions de drain, de la grille et de la source partagent le contrôle de la densité de charge au-dessous de la grille. Cet effet est décrit par la figure I.2 [7]. En conséquence, le canal peut être épuisé avec une tension de grille inférieure dans un dispositif à canal court. Ainsi, la tension de seuil V_{th} devient moindre.

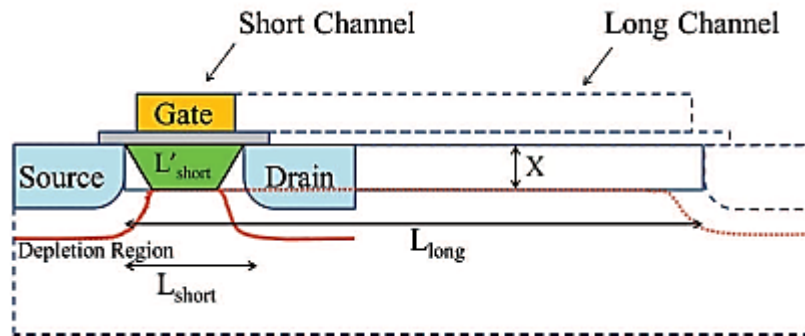


Figure I.2 : Modèle de Yau pour le dispositif à canal court

Avec la concentration de dopage N_b du substrat, la charge de masse (appauvrissement) par unité de surface Q_b dans la région de déplétion sous la grille pourrait être approchée comme rectangulaire ; dans ce cas $|Q_b| = qN_bW_d$ (la largeur de déplétion W_d) [7].

Dans cette approximation, les charges à proximité de la source et du drain, qui terminent le champ intégré à partir des limites de jonction, sont négligées. La région d'appauvrissement provenant de la source et du drain se chevauche avec la charge du canal. Dans les dispositifs à canal long, cette partie est négligeable par rapport à la zone du canal efficace du dispositif.

Cependant, dans un dispositif à canal court, cette partie superposée ne peut plus être négligée et l'approximation précédente ne fonctionne pas. En considérant les parties qui se chevauchent, la forme de la section efficace de la

charge de déplétion peut être décrite comme trapézoïdale et Q_b peut être calculé comme suit [8] :

$$Q_b = qN_b W_d \left(\frac{L'_{short} + L_{short}}{2L_{short}} \right) \quad (1.2)$$

La variation de V_{th} due à l'effet de canal court est [9] :

$$\Delta V_{th} = \frac{Q_{b,longchannel} - Q_{b,shortchannel}}{C_{ox}} = \frac{Q_{b,longchannel}}{C_{ox}} \frac{W_j}{L} \left(\sqrt{1 + \frac{2W_d}{W_j}} - 1 \right) \quad (1.3)$$

où W_j est la profondeur de jonction dans le canal à partir de la source et du drain et C_{ox} est la capacité de l'oxyde. A partir de cette équation, la diminution de la longueur du canal augmente le décalage du seuil. Comme nous l'avons décrit précédemment, la charge d'appauvrissement peut se former facilement lorsque L diminue. Ainsi, V_{th} devient plus basse dans le canal court. Selon cette relation (1.3), les paramètres pour éviter la variation V_{th} due à l'effet de canal court peuvent être connus comme suit :

- La réduction de l'épaisseur d'oxyde de grille ; augmentation de l'épaisseur de l'oxyde mince t_{ox} , donc ΔV_{th} peut être diminué.
- L'augmentation du dopage N_b du substrat diminue W_d et ΔV_{th} .
- La réduction de W_j diminue ΔV_{th}

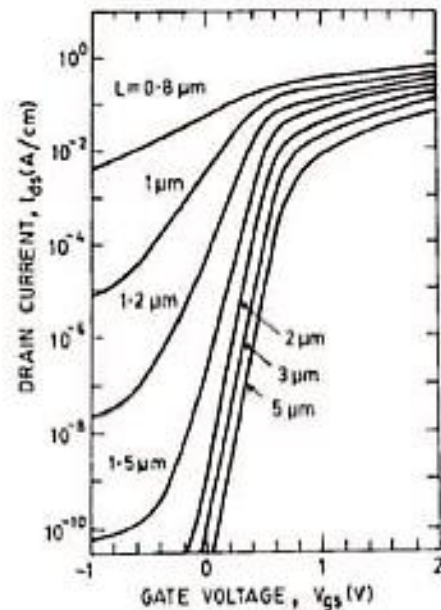


Figure 1.3 : Schéma de punch-through (à gauche) et Caractéristiques sous-seuil calculé $V_{DS} = 2V$, $V_{SB} = 0V$ (à droite) [9].

Lorsque la région d'épuisement autour du drain s'étend à la source dans un dispositif à canal court, deux couches d'appauvrissement peuvent fusionner en une seule région d'appauvrissement comme le montre la figure I.3 [9-10].

La région d'appauvrissement du drain est principalement affectée par la polarisation du drain V_D [11]. Le punch-through se produit lorsque V_D affecte la formation de la couche d'inversion. Il conduit à l'augmentation rapide du courant de drain avec l'augmentation de V_D et le faible contrôle de grille.

D'un autre côté, pour un dispositif à canal court, la tension drain-source V_{DS} abaisse la barrière de potentiel entre la source et le canal qui est appelée abaissement de la barrière induite par le drain (DIBL) comme le montre la figure suivante.

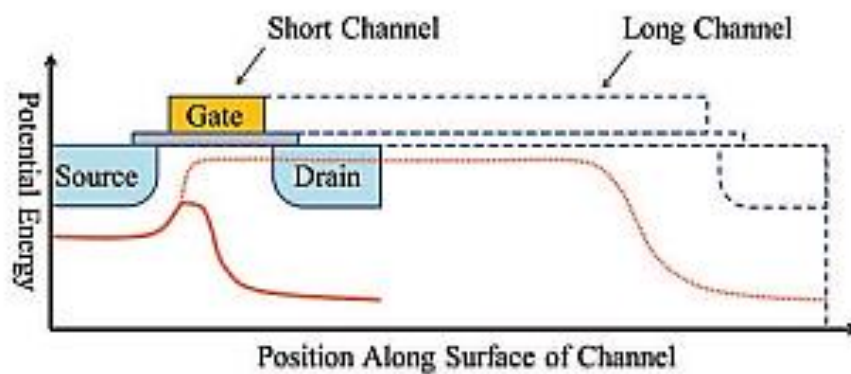


Figure I.4 : Abaissement de la barrière induite par le drain dans un dispositif à canal court

L'effet DIBL limite la tension maximale de fonctionnement du dispositif [12]. Pour éviter le DIBL, l'amélioration du contrôle de grille ou la séparation de la région de déplétion fusionnée est nécessaire [13-15].

I.3.2 Vitesse de saturation

Dans un canal court, le transport des électrons est régi par les effets combinés du champ électrique E , de la diffusion avec le réseau, les atomes d'impuretés et d'autres porteurs. A un champ électrique faible, il en résulte une vitesse moyenne proportionnelle au champ électrique [8] :

$$v = \mu E \quad (1.4)$$

La constante μ est appelée mobilité du porteur. Cependant, en raison de la dépendance en énergie, en temps de relaxation et de diffusion, la relation linéaire n'est pas valide pour un champ électrique élevé. La dépendance au champ de la vitesse moyenne est ensuite décrite par [16] :

$$v = \frac{\mu E}{1 + E/E_c} \quad \text{pour } E < E_c \quad (1.5)$$

et

$$v = v_{sat} \quad \text{pour } E > E_c \quad (1.6)$$

Lorsque E est supérieur à E_c , la vitesse du porteur est saturée à v_{sat} . Cette considération modifie le courant du drain I_D dans la région non linéaire [16].

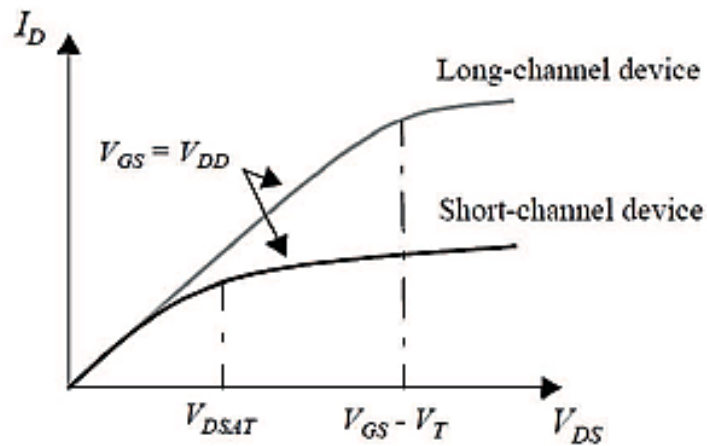


Figure 1.5 : Effet de canal court par la vitesse de saturation.

Le courant drain est exprimé par :

$$I_d = \frac{\mu C_{ox} W}{L} \left[(V_{GS} - V_{th}) V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (1.7)$$

Dans le cas où l'effet du canal court est pris en considération, l'expression précédente peut être réécrite sous :

$$I_d = k(V_{DS}) \frac{\mu C_{ox} W}{L} \left[(V_{GS} - V_{th}) V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (I.8)$$

où

$$k(V_{DS}) = \frac{1}{1 + (V_{DS} / E_c L)} \quad (I.9)$$

Pour une grande valeur de L , k se rapproche de 1. Toutefois, pour le canal court, k est inférieur à 1 et I_D sera diminué par la vitesse de saturation. Le modèle de canal court peut être simplifié sous l'hypothèse d'une vitesse constante abrupte à E_c .

$$v_d = v_{sat} = \mu E_c \quad \text{pour } E > E_c \quad (I.10)$$

$$V_{DSAT} = L E_c = \frac{L v_{sat}}{\mu} \quad (I.11)$$

$$I_{DSAT} = v_{sat} C_{ox} W \left[(V_{GS} - V_{th}) - \frac{V_{DSAT}}{2} \right] \quad (I.12)$$

En comparant le comportement quadratique V_{GS} dans les dispositifs à canaux longs, le comportement linéaire dans un dispositif à canal court a été prouvé empiriquement comme le montre la figure I.6. Récemment, des dispositifs de 30 nm ont été utilisés et la réduction se poursuit. Dans le cas d'un transistor ayant une longueur de grille de 30 nm, le champ électrique effectif entre la source et le drain est :

$$\frac{V_{DS}}{L} = \frac{0.5}{30} = 1.6 \times 10^4 \text{ V/cm} \quad (I.13)$$

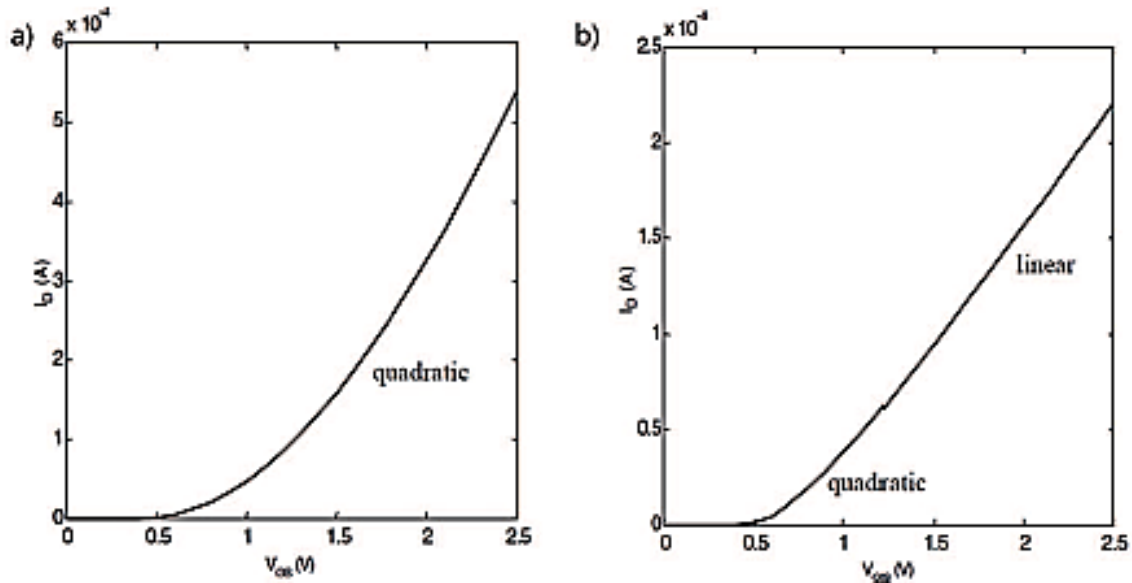


Figure 1.6 : Caractéristique I_D - V_G pour : (a) un canal long ($L = 10 \mu\text{m}$) et (b) court ($L = 0,25 \mu\text{m}$) à $V_D = 1,5 \text{ V}$ [17].

I.3.3 Effets des porteurs chauds

Si les porteurs gagnent une énergie cinétique très élevée en raison du fort champ électrique, ils peuvent être des porteurs chauds. L'effet des transporteurs chauds peut provenir de [18] :

- drainer l'injection des porteurs chauds d'avalanche,
- l'injection de transporteurs chauds de canal,
- injection d'électrons chauds de substrat,
- génération secondaire de l'injection d'électrons chauds.

Lorsque la tension est élevée, les porteurs sont accélérés par un champ électrique élevé près du drain. Avec des conditions tels qu'un V_D élevé et un V_G inférieur, l'injection de l'agent porteur chaud de l'avalanche se produit. Lorsque des porteurs accélérés sont injectés dans la région de déplétion du drain, des paires électron-trou sont générées, ce que l'on appelle aussi l'ionisation par impact. Les électrons chauds générés et les trous sont injectés dans l'oxyde de grille où s'écoulent comme un courant de masse. Normalement, ce fait se manifeste à $V_D > 2V_G$.

Sans génération de paires électron-trou, les porteurs chauds accélérés de canal peuvent être directement injectés dans l'oxyde de grille lorsque V_G est élevé.

Cette tension provoque le courant de fuite de la grille. Cela peut se produire autour de $V_G = V_D$. A partir de la polarisation positive ou négative élevée au niveau du substrat, une injection de porteurs chauds se produit. Dans cette condition, des porteurs sont générés optiquement ou électriquement dans l'oxyde et le corps de la grille.

I.4 Défis à surmonter les effets de canal court

Afin de surmonter les effets de canaux courts et améliorer les performances du dispositif MOSFET plusieurs technologies sont introduites. On peut citer, par exemple, High-k et grille en métal, silicium sur isolant, structure multi-grille, et grille enrobée sans jonction. Ces différentes technologies vont être explicitées dans ce qui suit.

I.4.1 High-k et métal de grille

La constante diélectrique k est un paramètre définissant l'habilité d'un matériau à stocker une charge. Elle peut aussi définir la capacité C de toute capacité d'une couche prise comme sandwich entre 2 métaux plats. Dans la figure qui suit, la dimension du métal supérieur définit la surface A de contact de la capacité.

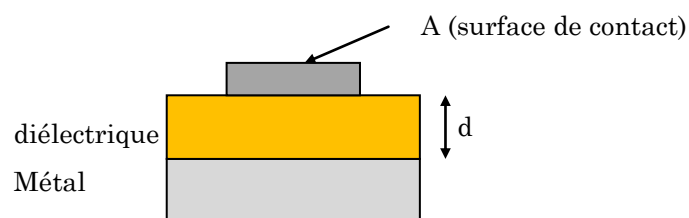


Figure I.7 : High-k et métal de grille [9]

Si tous les autres paramètres sont constants, k détermine la capacité de la structure. En d'autres termes, il détermine la capacité de couplage entre les deux métaux. Ainsi, si k est élevé un tel couplage est fort, et si k est petit le couplage est alors faible.

Dans la technologie Si, la valeur typique de k est celle de SiO_2 et qui est de 3,9. Le comportement diélectrique $k > 3,9$ est référencé comme étant un diélectrique à k -élevé (high- k), tandis que $k < 3,9$ est défini comme étant un diélectrique à k -faible (low- k).

Un diélectrique high- k est nécessaire dans la pile MOS (GSMOS) pour maintenir une capacité élevée. En raison de la mise en échelle (réduction de L) et par conséquent la réduction de la surface A , le besoin de maintenir une valeur suffisante de la capacité peut être atteint en diminuant graduellement l'épaisseur de l'oxyde SiO_2 de la grille.

L'épaisseur de l'oxyde de grille doit être diminuée pour maintenir un champ électrique correct en fonction de la réduction du dispositif. Les recommandations ITRS référant à des empilements d'épaisseurs d'oxyde efficaces inférieures à 1 nm sont requises [19]. Lorsque le SiO_2 atteint une épaisseur inférieure à 1 nm, il provoque le problème de fuite de la grille dû à la tunnellation quantique [20]. Ainsi, en tant qu'isolant de grille, SiO_2 doit être remplacé par un matériau diélectrique à permittivité plus élevée (high- k). Avec une couche diélectrique à k élevé, l'épaisseur d'oxyde efficace peut être exprimée comme suit [20] :

$$EOT = \frac{k_{\text{SiO}_2}}{k_{\text{high-k}}} = 3,9 \frac{t_{\text{high-k}}}{k_{\text{high-k}}} \quad (\text{I.14})$$

où k_{SiO_2} et $k_{\text{high-k}}$ sont les constantes diélectriques des matériaux SiO_2 et high- k , et $t_{\text{high-k}}$ est l'épaisseur physique de la couche diélectrique à k élevé. Si un oxyde de grille passe de k à $2k$, une tension donnée va attirer deux fois plus de charge dans le canal du transistor.

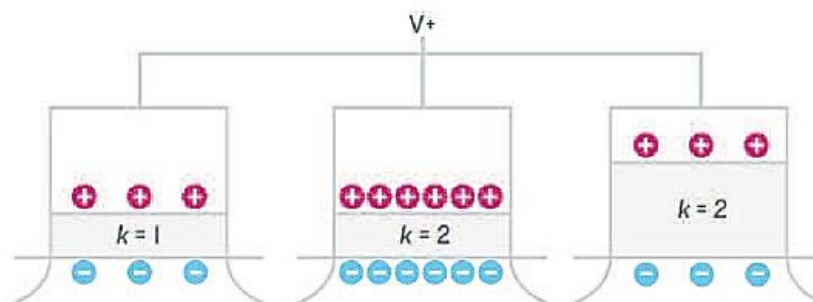


Figure I.8 : Schémas de diélectrique de grille à high- k .

Une augmentation de l'épaisseur diélectrique peut éviter les fuites induites par effet tunnel (figure I.9).

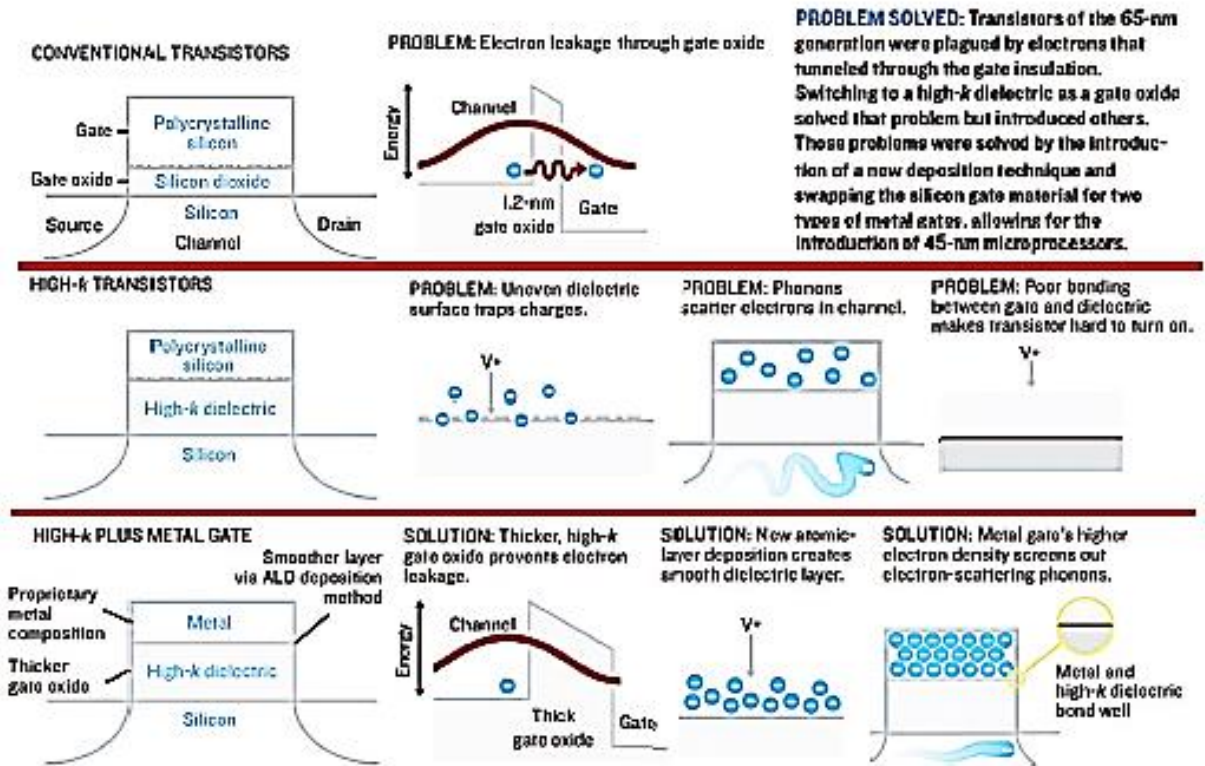


Figure I.9 : High k et métal de grille pour la solution de l'amincissement diélectrique de la grille et de la diffusion des phonons [20].

Pour sélectionner le matériau high-k comme diélectrique de grille, plusieurs propriétés doivent être prises en compte : offset de bande diélectriques/semiconducteur, stabilité thermodynamique, qualité d'interface, morphologie du film, compatibilité métal-grille, compatibilité de procédé et fiabilité [21].

Le matériau diélectrique à base d'hafnium (tel que HfO_2 et HfSiO) est l'un des matériaux prometteurs pour le diélectrique à k élevé. À partir de la technologie des processus à 45 nm, Intel utilise le diélectrique de grille à base de hafnium [22]. En comparant la structure poly-Si / SiON à 65 nm, le courant de fuite de la grille d'un transistor empilé à 45 nm métal / grille high-k a été réduit de 1000 fois dans PMOS et 25 fois réduit dans NMOS.

Cependant, le diélectrique de la grille high-k a des problèmes [23]. La qualité de l'interface entre la grille high-k et la grille poly-silicium est très médiocre, de

sorte que l'absence d'oxygène dans la couche diélectrique induit un pinçage au niveau de Fermi qui provoque des tensions de seuil élevées de fonctionnement du dispositif.

Cette diffusion de phonons à high-k est une source primaire de dégradation de la mobilité. Des électrons significativement augmentés dans l'électrode de grille métallique peuvent filtrer les vibrations dans un diélectrique à k élevé [23]. Ainsi, la diffusion des phonons de surface est réduite. De plus, la qualité de l'interface peut être améliorée et l'épinglage au niveau de Fermi est réduit. L'utilisation d'une pile High-k et métal requiert la correspondance correcte entre PMOS et NMOS pour les performances supérieures du dispositif.

1.4.2 Silicium sur isolant

Le silicium sur isolant (SOI) est un substrat de silicium-couche d'oxyde de silicium pris en sandwich. Comme le montre la figure I.10, l'ensemble du transistor est complètement isolé des autres transistors et du substrat arrière par l'oxyde enterré [24]. La couche isolée de dispositif verticalement est protégée contre les effets parasites. Le courant de fuite, le photo-courant induit par rayonnement, ... etc. peuvent être induits dans les substrats. La plaquette SOI réduit la surface de jonction, le courant de fuite et la capacité de jonction.

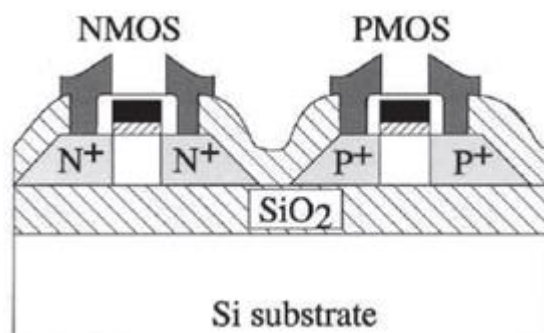


Figure I.10 : Coupe transversale du SOI MOSFET planaire [22].

La plaquette SOI peut être fabriquée par plusieurs méthodes. Séparée par implantation d'oxygène, la méthode utilise l'implantation d'un faisceau d'ions d'oxygène [25]. Après un recuit thermique, la couche de SiO_2 enterrée est formée

dans la tranche de Si. Le procédé ELTRAN (Epitaxial Layer TRANSfer) utilise une couche épitaxiale développée sur le Si poreux [26]. Selon l'épaisseur de la plaquette SOI, elle peut être classée comme SOI partiellement appauvrie et SOI complètement appauvrie (voir Figures I.11 et I.12) [27].

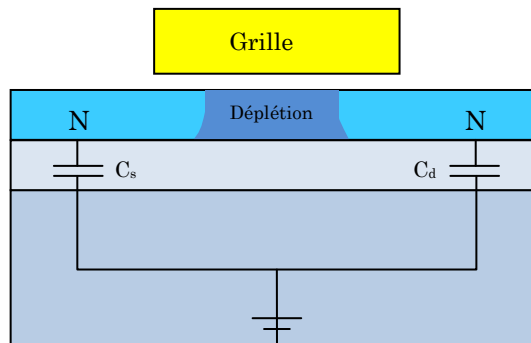


Figure I.11 : SOI totalement déplétée

La couche supérieure de Si (dopage N) a une épaisseur entre 5 et 20 nm ; typiquement le $\frac{1}{4}$ de la longueur de la grille. La couche Si sous la grille est tellement fine qu'elle est totalement déplétée.

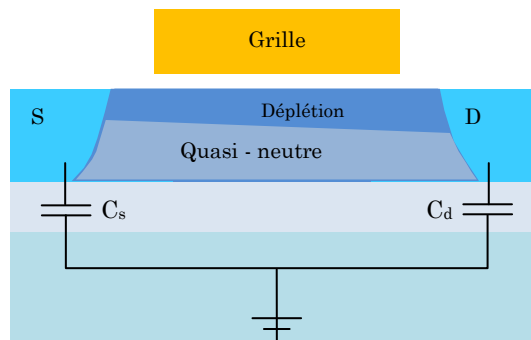


Figure I.12 : SOI partiellement déplétée

La couche Si supérieur est typiquement entre 50 et 90 nm d'épaisseur en fonction du design. La couche Si en dessous du canal est partiellement déplétée de porteurs de charges mobiles. Une ionisation à avalanche au niveau du drain peut conduire à une accumulation de charges dans la région quasi-neutre (floating body effect).

Dans le cas d'une SOI complètement appauvrie, cette dernière a une couche de dispositif relativement épaisse ($t_{si} > 45 \text{ nm}$). La grille supérieure et la grille arrière sont découplées en raison de l'épaisseur de la couche du dispositif. La charge de déplétion dans le canal ne s'étend pas de la surface du canal à la couche de l'interface du dispositif/l'interface oxyde enterré.

Une couche suffisamment épaisse du dispositif a un corps flottant. La plaquette SOI a plusieurs problèmes d'effets de corps flottants [24]. Les porteurs majoritaires peuvent être collectés dans la région neutre de SOI MOSFET partiellement déplétée.

Le SOI MOSFET totalement déplété a un corps mince inférieur à 45 nm (typiquement inférieur à 20 nm). En raison de son épaisseur extrêmement faible, tout le corps est épuisé et la charge d'épuisement est constante. L'excellent couplage entre la tension de grille et l'inversion de canal améliore le courant de drain, le basculement infraliminaire et le temps de réponse de la grille. La grille arrière est également plus efficace que celle du SOI partiellement déplété, donc le contrôle de la tension de seuil est possible en utilisant la polarisation de la grille arrière. Les effets du corps flottant sont fortement réduits dans les dispositifs SOI totalement déplétés.

Cependant, il y a des problèmes à surmonter bien sûr. La faible conductivité thermique de l'oxyde enterré (BOX) induit un problème d'auto-échauffement dans le dispositif SOI totalement déplété. Dans la région de saturation, la température du dispositif augmente et le courant est réduit en raison de l'auto-échauffement. Le couplage de défauts est également un problème dans le SOI totalement déplété. La présence de défauts à l'interface du dispositif affecte fortement la dégradation des performances. Le transport du porteur affecté par la diffusion des défauts réduit la mobilité effective.

Même si la technologie SOI a peu d'inconvénients, elle conduit évidemment à de meilleures performances de fonctionnement du dispositif. Pour minimiser les

effets de canaux courts, la technologie SOI est l'une des alternatives prometteuses avec une structure multi-grille. Cette dernière sera explicitée dans le paragraphe suivant.

I.4.3 Structure multi-grilles

La structure multi-grilles représentée sur la figure 1.13 a été développée pour améliorer l'immunité aux effets de canaux courts des dispositifs de grilles planaires simples classiques. Même dans les SOI FET, l'épaisseur t_{si} du corps devrait être réduite à $L_{eff}/5$ pour le bon contrôle des effets de canal court [28]. En raison de la limitation du processus, il est très difficile d'être uniforme partout sur une plaquette SOI. Cette variation engendre la fluctuation des performances du dispositif dans les transistors à l'échelle nanométrique [29-30].

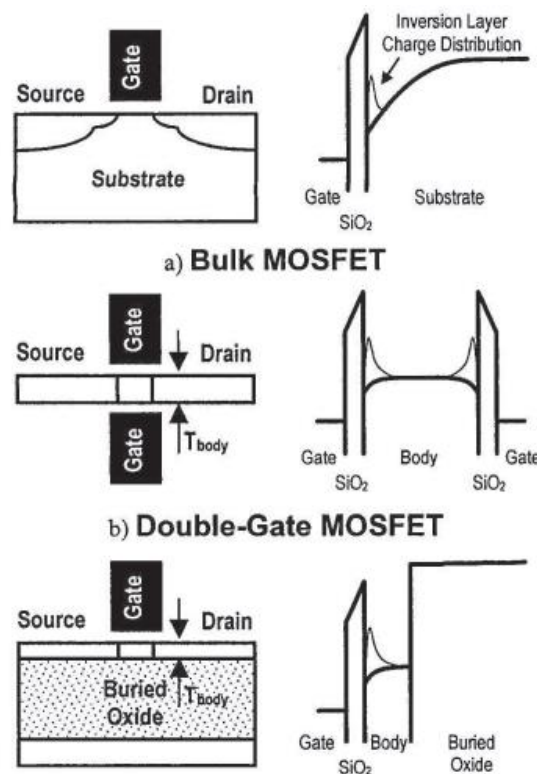


Figure 1.13 : Structure du dispositif et diagramme de bande d'énergie du MOSFET à grille simple standard, MOSFET à double grille et MOSFET à corps ultra-mince. En standard MOSFET à grille unique, le corps loin de la grille est difficile à contrôler [26]

Dans le cas de la double grille, deux grilles systématiques font des couches d'inversion sur les deux interfaces entre la couche de silicium et les grilles. Le FET double grille peut être fabriqué à la fois en plans horizontal et vertical. Les électrodes de grille sont situées du côté du canal mince vertical (Fin Channel) qui a w_{si} comme une largeur fine dans la double grille verticale FET et en haut et en bas du canal dans le double FET planaire

Alors que t_{si} devrait être plus petit que $L_{eff}/5$ dans un transistor planaire SOI, w_{si} devrait être réduit à $L_{eff}/2$ [31]. Ainsi, le contrôle de grille est amélioré sans dopants de canal.

L'absence de dopant n'induit aucune charge d'appauvrissement ($Q_{depl} = 0$). Le champ électrique de grille efficace E_{eff} (champ électrique vertical dans le canal) consiste en une combinaison linéaire entre Q_{depl} et Q_{inv} . Une réduction de E_{eff} donne lieu à une mobilité de porteurs plus élevée ; la limitation due à la diffusion des impuretés diminue. Il peut également réduire la diffusion d'interface entre la couche de Si et l'isolant de grille et l'effet tunnel direct dans le diélectrique de grille.

De ce point de vue, le contrôle électrostatique des électrodes de grille peut être amélioré par l'augmentation du nombre de grilles. Intel a annoncé que la plateforme de CPU de nouvelle génération nommée Ivy Bridge sera un processus de fabrication de 22 nm au lieu du processus de 32 nm de Sandy Bridge. Ivy Bridge utilisera FinFET à trois grilles pour résoudre le problème des effets canaux courts. Il apportera une consommation d'énergie plus faible et une vitesse d'horloge élevée en raison de l'avantage de la réduction. Intel s'attend à ce que le processus FinFET 22 nm soit 37% plus rapide que le processus actuel de 32 nm et permettra d'économiser les 50% de puissance active.

Au-delà du FinFET à trois grilles, la grille-all-around (GAA) sera la structure de grille optimisée dans les MOSFETs multi-grilles 3D. GAA FET a des électrodes de grille enroulées autour de la région de canal. Le corps de canal de nanofils extrêmement étroit a une structure de canal pseudo-1D. L'immunité à l'effet canal court du FET à nanofils peut être analysée quantitativement en

utilisant la longueur naturelle λ qui peut être dérivée de l'équation de Poisson (tableau I.3) [32].

Grille simple	$\lambda = \sqrt{\frac{\epsilon_{si}}{\epsilon_{ox}} t_{si} t_{ox}}$
Double grille	$\lambda = \sqrt{\frac{\epsilon_{si}}{2\epsilon_{ox}} t_{si} t_{ox}}$
Triple grille	$\lambda = \sqrt{\frac{\epsilon_{si}}{3\epsilon_{ox}} t_{si} t_{ox}}$
Grille enrobée	$\lambda = \sqrt{\frac{\epsilon_{si}}{8\epsilon_{ox}} t_{si}^2 \ln\left(1 + \frac{2t_{ox}}{t_{si}}\right) + \frac{t_{si}^2}{16}}$

Tableau I.3 : Longueur naturelle des dispositifs en fonction de différentes structures de grille [32].

La longueur naturelle est la longueur de la région du canal contrôlée par le drain. Cela signifie que plus λ est petit, l'effet de canal court est plus petit et peut être piloté. Pour être exempt d'effets de canaux courts, λ doit être au moins 5 fois plus court que la longueur effective de la grille. De l'équation de λ avec les grilles simples, doubles et triples, on peut simplement supposer qu'environ la valeur de λ peut être estimée par division avec la racine carrée du nombre de grilles. Plus λ est petit pour réduire les effets de canal court, plus le dispositif a de bonnes immunités.

De plus, à partir de ces équations, il convient de noter que la réduction de t_{ox} diminue les effets de canaux courts comme cela a été discuté dans la section précédente. La diminution de t_{ox} a une limitation due au courant tunnel de fuites sous l'épaisseur de l'oxyde de grille de 1,5 nm. Ainsi, le diélectrique à grille élevée peut efficacement réduire λ . L'effet de l'amincissement de t_{si} est également essentiel pour réduire λ et les effets de canal court. Un confinement quantique induit par la réduction de t_{si} augmente l'effet d'inversion de volume et donne l'augmentation de V_{th} . Cependant, un corps ultra-mince augmente la dégradation de la mobilité même si la réduction de t_{si} peut diminuer les effets de canaux

courts [33]. Ainsi, l'optimisation de la mise à l'échelle du dispositif dans le GAA MOSFET est toujours nécessaire pour améliorer les performances du dispositif.

I.5 Transistor sans jonction (JLT)

Certains des défis du processus de mise à l'échelle des dispositifs CMOS peuvent être réduits par un dispositif qui n'a pas besoin de jonctions et c'est l'avantage principal du transistor sans jonction. Contrairement au MOSFET conventionnel, les JLT ont un dopage fort de canal et sont complètement déchargés à l'état OFF. A cet effet, un métal de grille qui a une grande différence de fonctionnement par rapport à celle du canal est nécessaire. La polarisation de la grille doit être appliquée pour éliminer la déplétion du canal et voir une conduction entre la source et le drain. Comme il y a une seule barre de silicium semi-conductrice avec un dopage uniforme de la source au canal, elle peut être modélisée comme une résistance dont la résistance peut être modulée par la grille. Cependant, pour une conductance raisonnable entre la source et le drain, le dopage de la barre semi-conductrice doit être très élevé. D'autre part, la largeur d'appauvrissement dans un semiconducteur fortement dopé est très faible et ceci nécessite un corps de silicium ultra mince pour un JLT.

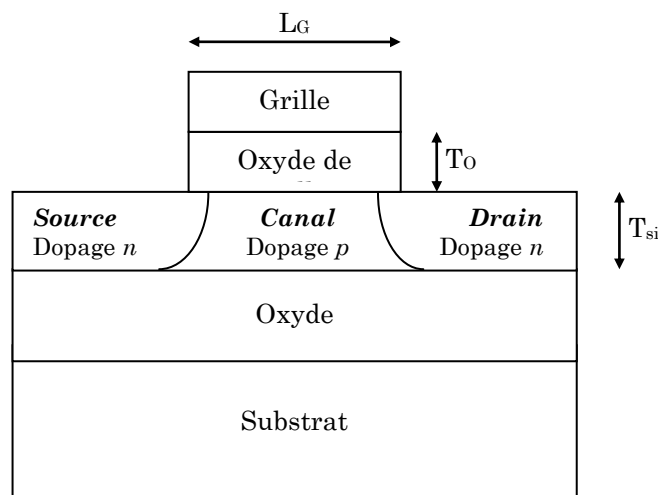


Figure I.14 : Schéma d'un silicium sur isolant extrêmement mince (ETSOI) FET.

I.5.1 Théorie des transistors sans jonction

La représentation schématique du transistor sans jonction est donnée sur la figure I.15. On peut voir que pour un canal de type n , la source, le canal et le drain sont de dopage de type n et la grille est d'un travail de sortie de type p (≈ 5.1 eV). A cause de la différence de travail de sortie entre le canal de type n et la grille de type p qui est approximativement 1 eV, il y a un appauvrissement dans le canal, où l'épuisement est contrôlé par le dopage de la région de canal (largeur d'épuisement mince pour un dopage élevé et vice versa). Le canal peut être complètement épuisé en choisissant un canal extrêmement mince et un faible dopage respectivement de 10 nm et 10^{19} . Une fois le canal complètement épuisé, le courant entre la source et le drain devient très faible. Comme le montrent les caractéristiques $I_D - V_{DS}$ de la figure I.16, le courant est très faible lorsque la grille est à 0 V [34].

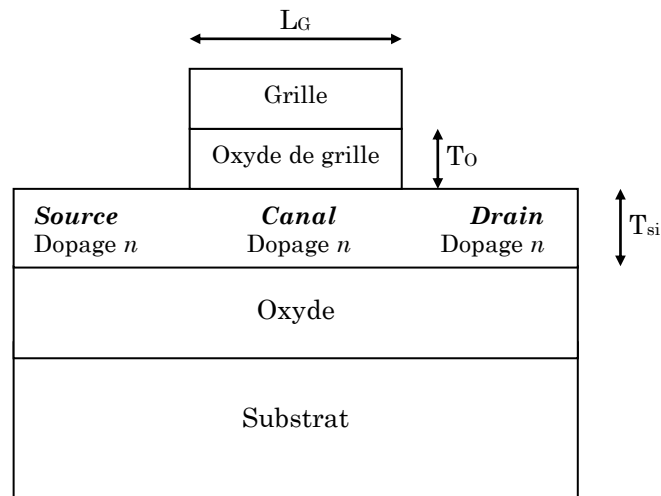


Figure I.15 : Schéma d'un transistor sans jonction SOI.

En outre, on peut voir dans le diagramme de bande (figure I.17) pour $V_{GS} = 0$ V qu'il existe une barrière entre la source et le canal en raison de l'épuisement des porteuses dans le canal. Il existe une barrière similaire entre la source et le canal même dans le MOSFET classique. Une fois qu'une polarisation de grille positive est appliquée (notez que ceci concerne un canal de type n), le canal est maintenant sorti de l'épuisement et la barrière entre la source et le canal est réduite. Cela entraîne un courant de drain élevé et non nul. Lorsque la tension

appliquée sur la grille est approximativement égale à la différence de travail de sortie entre la grille et le canal, le dispositif est amené dans la condition de bande plate et le transistor est dit être activé ON.

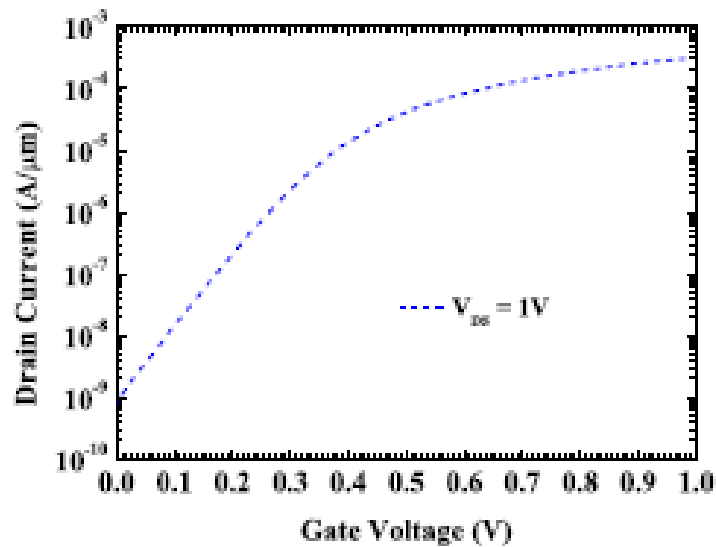


Figure I.16 : Caractéristique typique I_D - V_{GS} des transistors sans jonction.

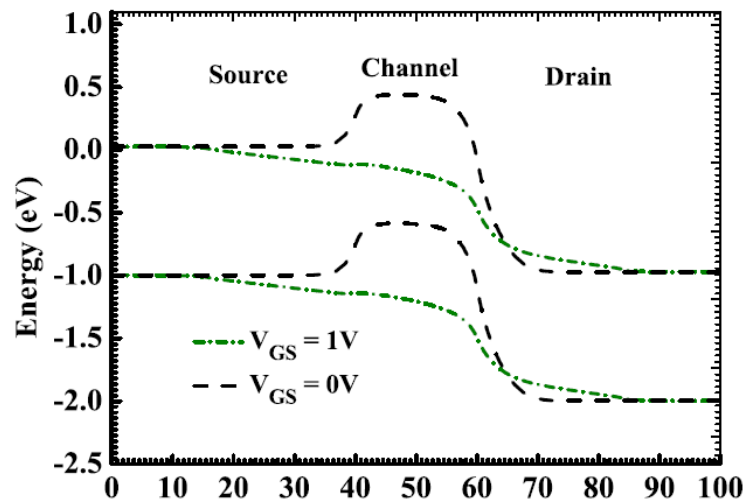


Figure I.17 : Diagramme de bande latérale sur JLT à la fois sur les états ON et OFF.

Cependant, tout ceci est valable lorsque l'épaisseur du canal est inférieure à sa largeur de déplétion ; sinon, le dispositif ne sera pas à l'état OFF quand $V_{GS} = 0V$. Par exemple, si la largeur d'épuisement calculée est de 10 nm et l'épaisseur de canal de 20 nm , le dispositif conduira en raison de la polarisation drain-source, même pour une polarisation nulle, c'est-à-dire que le dispositif ne peut pas être à

l'état OFF. Par conséquent, il est important de maintenir une épaisseur de semi-conducteur très mince dans les transistors sans jonction pour avoir des caractéristiques appropriées de commutation.

1.5.2 Examen des transistors sans jonction

Réaliser les jonctions métallurgiques au-delà du nœud de 32 nm pour un MOSFET est devenu extrêmement difficile en raison de la nécessité de profils de dopage ultra raides [35]. Récemment, de nouveaux types de dispositifs, basés sur la première architecture des transistors de Lilienfeld [36], sans jonction métallurgique, ont été proposés [37-41] et fabriqués avec succès sur silicium [35, 42-43]. Les nouvelles conceptions incluent des architectures nanofils de grille enrobée (GAA) [37, 39, 42], des dispositifs empilés verticalement [44], des architectures de nanofils tri-grilles avec un silicium sur isolant (SOI) [40]. Des architectures planaires sur des substrats ont également été proposées pour simplifier davantage le processus de fabrication [41]. Les transistors sans jonction ont une couche de dispositif ultra-mince de semi-conducteur fortement dopé qui est appauvrie en volume dans l'état OFF (à polarisation de grille nulle) en raison de sa différence de travail de sortie avec celle de l'électrode de grille. Cela entraîne un très faible courant de fuite [35]. Une polarisation de grille positive force la couche du dispositif à la bande plate et ensuite à l'accumulation, ce qui entraîne une augmentation du courant de drain vers la source [35]. La grille du transistor sans jonction module la résistance du semi-conducteur fortement dopé, de sorte que le dispositif peut être vu comme une résistance commandée [35, 45].

Les transistors tri-grilles sans jonction (JLT) avec une longueur de canal de 1 μm ont été fabriqués sur des substrats de silicium sur isolant (SOI) [35]. Récemment, des performances JLT de 50 nm [42] et 26 nm [46] ont été explorées. Des JLT à canal p sur des substrats de germanium sur isolant (GeOI) [47] et des JLT à canal n avec des canaux de nanofils de poly-Si ont également été étudiées [43].

Ces dispositifs sont connus pour offrir plusieurs avantages par rapport aux MOSFET conventionnels, à savoir :

- Complexité réduite du processus de fabrication [41, 48],
- Haute mobilité [49].
- Meilleure évolutivité [50],
- Faible champ électrique pendant l'état ON du dispositif [41, 51],
- L'ionisation d'impact induit une forte pente sous-seuil à un drain polarisé de 1,5 V [52],

Il existe d'autres architectures de JLT. On peut citer, par exemple, le transistor vertical FET à fente (VeSFET) [44]. Son schéma est illustré sur la figure I.18. Le VeSFET est un transistor sans jonction à double grille dans lequel les deux grilles peuvent être utilisées indépendamment. L'architecture de grille indépendante permet au concepteur de réaliser des fonctions logiques telles que AND, OR, ... etc. Son assemblage vertical fait du VeSFET un dispositif attractif pour l'intégration 3D [44]. Cependant, il serait difficile d'adapter la longueur du canal à un régime ultra-court en raison de la nature circulaire de la grille.

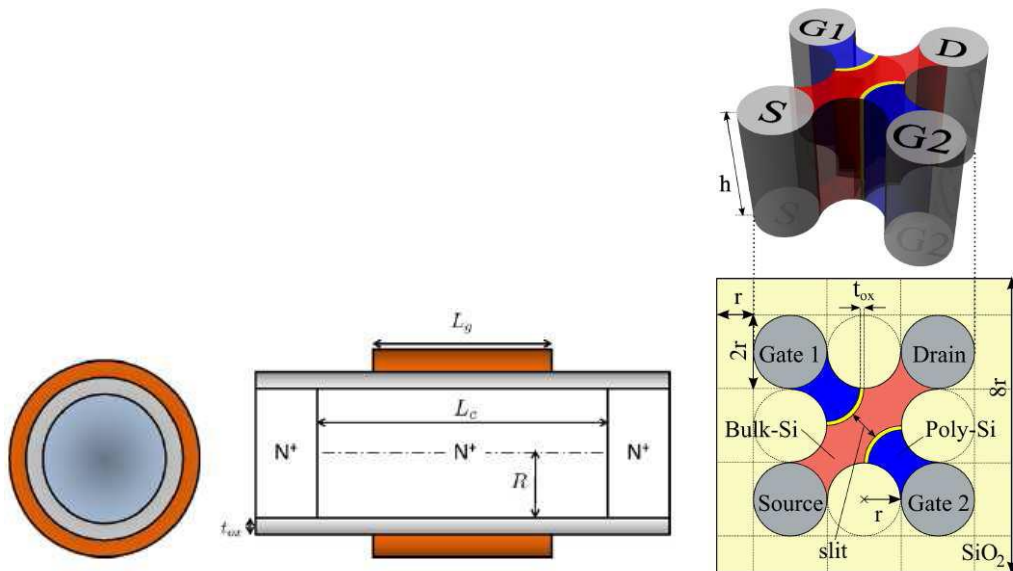


Figure I.18 : Représentations schématiques du FET à pincement nanofil (à gauche) [37] et FET à fente verticale (VeSFET) (à droite) [44]

Partie B : Le HEMT

I.6 Les transistors à haute mobilité d'électrons (HEMT)

Le HEMT (High Electron Mobility Transistor) est une version du transistor à effet de champ. Il contient une jonction entre deux matériaux ayant des énergies de gap différentes (Hétéro jonction). Il constitue une hétéro structure à vitesse de porteurs de charge très élevée.

Dans la littérature, on trouve diverses dénominations décrivant cette hétéro structure ; on peut citer, par exemple, le HFET (Heterojunction Field Effect Transistor) et le MODFET (MODulation Doped Field Effect Transistor).

Le HEMT est connu comme étant un transistor ayant un grand gain ; ce qui le prête bien à une utilisation comme amplificateurs. Aussi, il présente des vitesses de commutation très élevées. Par ailleurs, il offre un bon fonctionnement aux hautes fréquences grâce à la haute mobilité des électrons. Il faut noter aussi que la présence de l'hétérojonction permet une diminution du temps de passage des électrons responsable du courant drain-source [53]

La figure suivante représente la structure de base d'un HEMT.

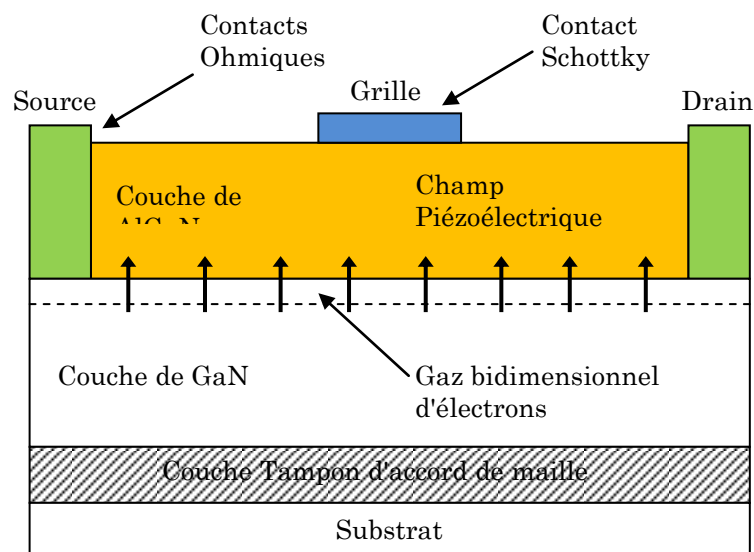


Figure I.19 : Structure d'un transistor HEMT [54]

Le fonctionnement d'un HEMT peut être décrit par l'accumulation des électrons dans le canal qui résulte de la présence de deux polarisations : polarisation spontanée et piézoélectrique.

La polarisation spontanée est une polarisation due au matériau au repos. Cette polarisation est orientée vers le substrat.

La polarisation piézoélectrique est due à la différence entre les énergies de gap des deux matériaux constituant l'hétéro structure.

Ainsi, les deux champs issus des deux polarisations font apparaître une densité de charge positive du côté AlGaN.

La condition de neutralité électrique oblige cette densité de charge positive d'être compensée par une densité de charge négative. Des électrons libres apparaissent alors à l'interface AlGaN/GaN côté GaN (gaz d'électrons). Sachant que c'est les mêmes mécanismes et conséquences qui se produisent à l'interface AlGaN/InGaN.

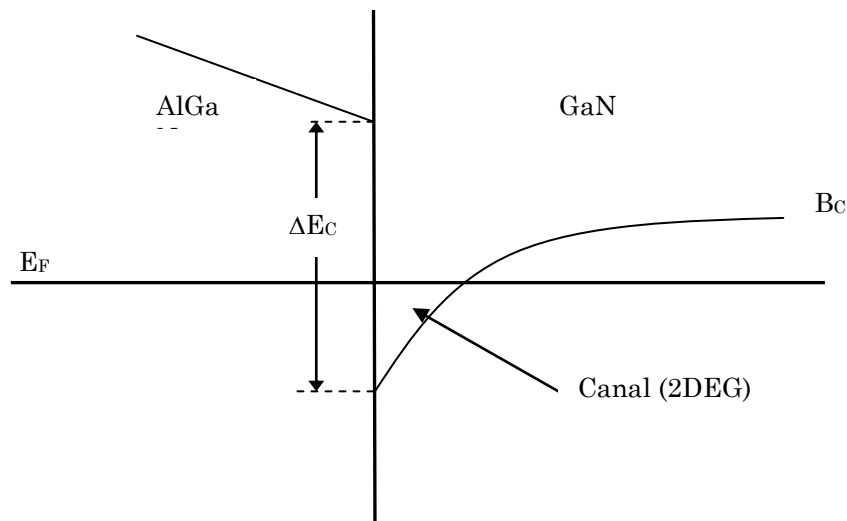


Figure I.20 : Création du Canal 2DEG de l'hétéro-structure AlGaN/GaN [54].

Il faut noter que d'autres variantes plus récentes du HEMT sont présentes dans la littérature [53]. La figure suivante illustre l'une d'elles.

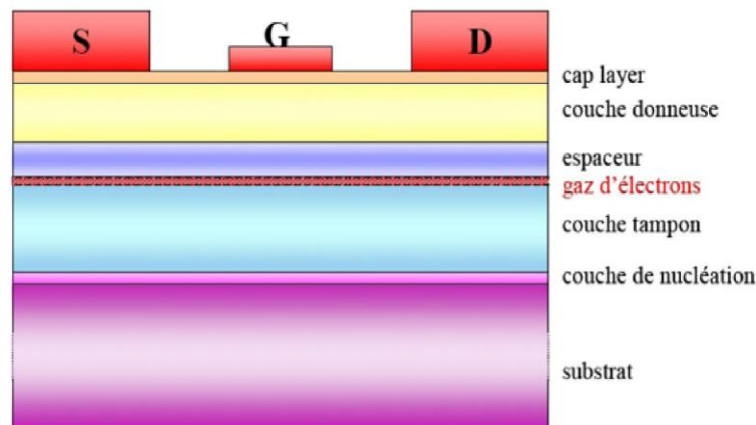


Figure I.21 : variante d'un transistor HEMT.

Dans ce qui suit, les couches constitutives sont décrites brièvement :

- **Cap layer** : C'est une couche responsable de la création des contacts ohmiques de la source et du drain. Son énergie de gap est faible afin que la résistance de contact soit moindre.
- **Couche donneuse** : Elle possède une énergie de gap élevée. Elle contient la zone de charge d'espace englobant la jonction Schottky de grille.
- **Couche espaceur** : Elle possède l'énergie de gap la plus élevée. L'épaisseur de cette couche est en relation directe avec la densité du courant. Lorsque cette épaisseur est faible, le courant croît ; et lorsque cette épaisseur est grande, la densité des porteurs sera réduite, ce qui augmente la mobilité des électrons.
- **Le canal** : Il est constitué d'un matériau à faible énergie de gap. C'est la zone où se produit le gaz d'électrons. A travers les propriétés de transport des électrons, il conditionne les performances du composant.
- **La couche tampon** : elle est constituée d'une composition de nitrure de gallium dont la largeur de gap est relativement plus faible. Le gaz bidimensionnel est créé dans la partie supérieure de cette zone. Cette couche réduit l'injection des porteurs vers le substrat ce qui permet l'amélioration du confinement des électrons.

- **La couche de nucléation** : Elle réalise l'adaptation entre la couche tampon et le substrat.
- **Le substrat** : Il constitue la couche de base sur laquelle toutes les autres couches reposent.

I.6.1 Étude d'une hétérojonction

Lorsque deux matériaux semi-conducteurs ayant des gaps différents sont juxtaposés, une hétérojonction est alors créée. Cependant, la création de cette hétérojonction requiert que les deux matériaux aient des propriétés cristallines voisines.

Il faut noter qu'il y a création de discontinuités des bandes de conduction ΔE_c et de valence ΔE_v suite à la différence entre les énergies de gap des deux matériaux. Selon les valeurs de ces énergies de gap, trois types d'hétérojonction peuvent se produire (voir figure I.22) :

- Type I : la bande interdite E_g^B est entièrement dans E_g^A
- Type II : Une des discontinuités est plus grande que $E_g^A - E_g^B$ mais inférieure à E_g^B
- Type III : une des discontinuités est supérieure à E_g^A

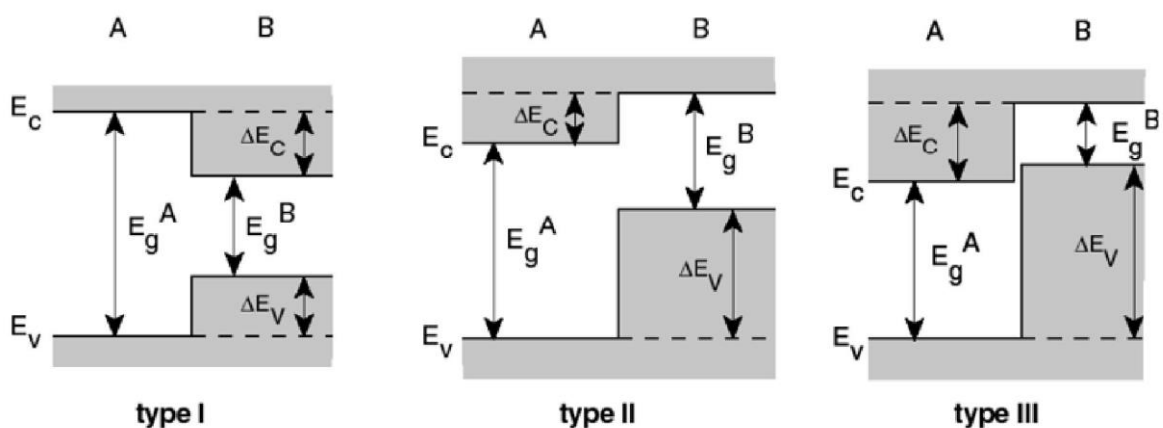


Figure I.22 : Types d'hétérojonctions [55].

I.6.1.1 Diagramme des bandes d'une hétérojonction

Dans ce qui suit, nous donnons un exemple d'une hétérojonction permettant de voir comment se crée la discontinuité de la bande de conduction à l'interface. La figure suivante illustre l'utilisation de AlGaN et GaN ayant respectivement des énergies de gap de 3,82 eV et 3,4 eV pour la création ultérieure d'une jonction.

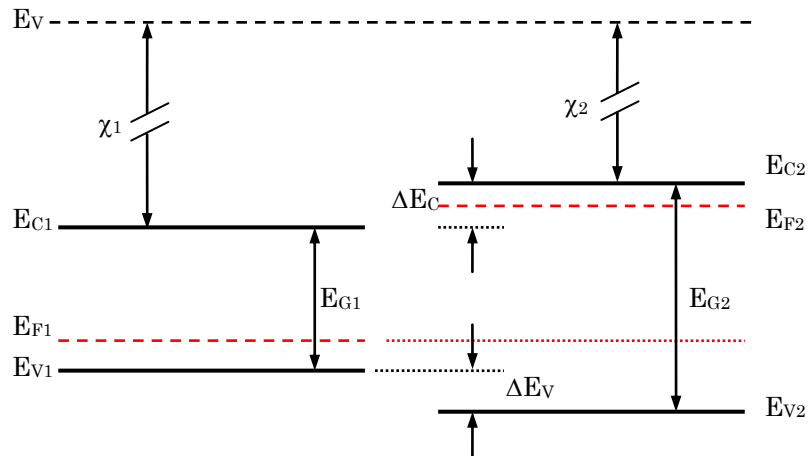


Figure I.23 : Diagrammes des bandes d'énergies avant contact [53]

Lorsque l'on met ces matériaux semi-conducteurs en contact, la figure suivante illustre cette juxtaposition. Dans ce cas, les niveaux de Fermi de ces deux matériaux s'alignent et il y a création d'une discontinuité dans la bande d'énergie à l'interface.

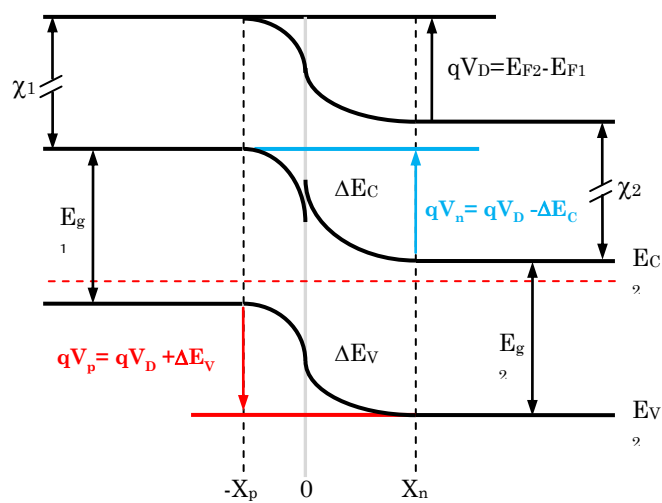


Figure I.24 : Diagramme des bandes d'énergies des deux matériaux en contact [53]

Il faut noter que la création d'une zone de potentiel à l'interface se fait dans le côté du matériau à faible énergie de gap. Par ailleurs, le matériau dont l'énergie de gap est élevée va constituer une barrière énergétique de cette zone.

Un gaz d'électrons est alors formé dans cette zone suite au regroupement de charges libres ; ce qui va créer la conduction. Cette zone de gaz constitue alors le canal dont la densité en électrons dépend du niveau de Fermi et de la différence des énergies de gap ΔE_g des deux matériaux.

Il est important de signaler que le contrôle de l'intensité du courant circulant dans le canal dépend de l'application de la tension sur la grille [53]. La figure suivante montre la présence d'une polarisation sur la grille.

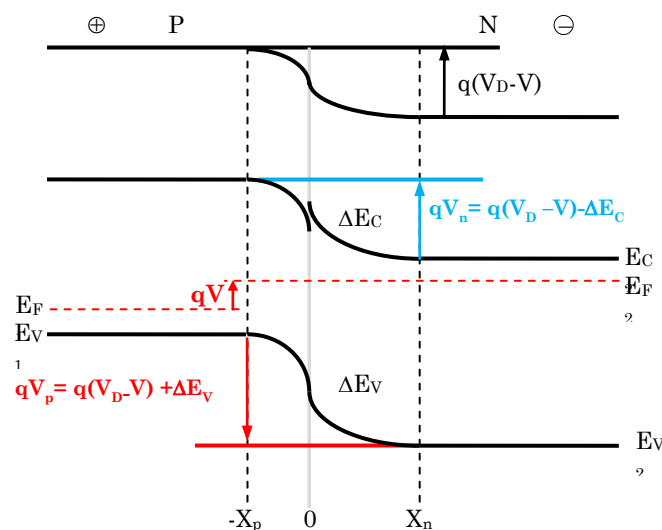


Figure 1.25 : Diagramme de bande d'une hétérojonction en polarisation direct [53]

1.6.2 Caractéristiques électriques

Dans ce qui suit, nous explicitons les caractéristiques électriques essentielles du HEMT [53].

1.6.2.1 Courant drain-source

Comme cela a été mentionné auparavant, le courant drain-source est créé suite au flux de gaz des électrons présent au niveau du canal.

$$I_{HEMT} = qwn_s V(E(X)) \quad (I.15)$$

où w est la largeur de grille du composant ; n_s représente la densité surfacique équivalente des électrons dans le puits ; $V(E(X))$ est la vitesse des électrons dans le canal ; X est la position sur l'axe source-drain ; $E(X)$ représente le champ électrique longitudinal à une abscisse donnée sous la grille.

Il est à noter que la densité de charges dans le puits est proportionnelle au dopage de la barrière. Cependant, il y a risque de claquage de la jonction Schottky si le dopage est trop important.

I.6.2.2 Transconductance

La transconductance g_m peut être définie par la relation suivante :

$$g_m = \left[\frac{\partial I_{ds}}{\partial V_{gs}} \right]_{V_{ds}=cte} \quad (I.16)$$

Elle représente la variation du courant drain-source par rapport à la tension grille-source en considérant une tension drain-source constante. La transconductance représente la contrôlabilité du courant par la tension de la grille.

I.6.2.3 Conductance de sortie

La conductance est un paramètre défini par la relation suivante :

$$g_d = \left[\frac{\partial I_{ds}}{\partial V_{ds}} \right]_{V_{gs}=cte} \quad (I.17)$$

Elle traduit la variation du courant drain-source par rapport à la tension drain-source en considérant une tension grille-source constante.

I.7 Conclusion

Dans ce chapitre, les tendances et les problèmes récents des dispositifs à semi-conducteurs sont étudiés. En l'occurrence, pour le MOSFET, l'engouement vers une miniaturisation accrue et des performances optimales ne va pas se faire sans induire les effets de canal court.

Pour surmonter les effets de canaux courts, de nombreuses technologies ont été étudiées telles que High-k et grille en métal, SOI, structure multi-grille et le GAAJ. Il est nécessaire de réduire les effets de canaux courts pour faire du MOSFET un dispositif intéressant pour les applications à faible consommation d'énergie.

Par ailleurs, le HEMT a également été présenté en termes de son hétérojonction et de ses caractéristiques électriques. Ce composant très intéressant en électronique sera comparé plus tard en performances avec le MOSFET.

Le chapitre suivant sera dédié aux techniques d'optimisation métaheuristiques.

Chapitre II

Les techniques métaheuristiques

II.1 Introduction

À mesure que les technologies modernes de calcul et de modélisation se développent, la conception technique s'appuie fortement sur la modélisation et la simulation informatiques pour accélérer les cycles de conception et réduire les coûts. Un problème de conception complexe impliquera de nombreux paramètres ; et la recherche de solutions optimales reste un défi majeur pour ces systèmes.

L'optimisation est une branche des mathématiques qui étudie les méthodes et techniques spécialement conçues pour trouver la "meilleure" solution d'un problème "d'optimisation" donné. Elle vise à minimiser ou maximiser une ou plusieurs fonctions objectives basées sur une ou plusieurs variables dépendantes qui peuvent prendre des valeurs entières ou réelles. L'optimisation est largement appliquée dans des domaines tels que l'ingénierie, commerce, transport, finance, médecine, et tous les processus de prise de décision. De nombreuses techniques d'optimisation classiques ont été conçues pour résoudre un large éventail d'optimisation des problèmes, tels que la programmation linéaire, la programmation non linéaire, la programmation d'optimisation dynamique ou combinatoire [56].

Cependant, beaucoup de techniques d'optimisation classiques appliquées souffrent d'une sensibilité marquée par des problèmes tels que : difficultés à surmonter les solutions optimales locales, risque de divergence, difficultés dans les contraintes ou autres [56].

Pour surmonter ces problèmes, les techniques heuristiques et métaheuristiques ont été proposées au début des années 70 [57]. Contrairement aux méthodes classiques, les méthodes (méta) heuristiques ont un support

théorique simple et compact et sont souvent basées sur des critères de nature empirique.

En raison de la grande diversité et la complexité des problèmes rencontrés par les ingénieurs des dispositifs microélectroniques, les chercheurs dans ce domaine étaient les pionniers à utiliser les techniques heuristiques et métaheuristiques pour résoudre des problèmes d'optimisation [58].

Ce chapitre présente un aperçu sur les techniques métaheuristiques utilisées pour résoudre les problèmes d'optimisation. Dans cette thèse, nous proposons d'utiliser des algorithmes génétiques pour optimiser les performances du GAAJ MOSFET.

II.2 Méthodes heuristiques

Les méthodes d'optimisation classiques exactes finissent souvent par ne pas déterminer une solution dans un temps raisonnable. Pour éviter de tels cas, des méthodes alternatives ont été proposées permettant de déterminer de bonnes approximations aux solutions exactes.

En particulier, les méthodes heuristiques tentent via la connaissance et l'expérience des experts à explorer l'espace de la recherche d'une manière particulièrement pratique. Les méthodes heuristiques ont été introduites par G. Polya en 1945 [57] et développées plus tard dans les années 70 où elles ont été utilisées pour des problèmes spécifiques dans différents domaines de la science et de la technique [58].

Fondamentalement, une heuristique est conçue pour fournir une meilleure performance de calcul par rapport aux techniques d'optimisation classiques au détriment d'une précision moindre. Cependant, les "règles empiriques" sous-jacentes à une heuristique sont souvent très spécifiques au problème considéré. De plus, puisque les heuristiques sont des techniques de résolution de problèmes basés sur l'expertise des solveurs, elles utilisent des représentations spécifiques aux domaines [61]. Une large gamme de stratégies de recherche heuristiques est évoquée dans la littérature. On peut citer, par exemple, la meilleure première

recherche (BeFS), la recherche par faisceau (BeS) ou la recherche A * (A * S) [60-63, 65].

Les stratégies de recherche non-averties ou aveugles sont appliquées sans aucune information sur l'espace de recherche, à part la possibilité de distinguer entre un état intermédiaire et un état cible. Les stratégies de recherche éclairées utilisent des connaissances spécifiques aux problèmes. Habituellement, cette connaissance est représentée à l'aide d'une fonction d'évaluation qui évalue soit la qualité de chaque état dans l'espace de recherche, soit le coût du passage de l'état actuel à un état objectif en utilisant divers chemins possibles.

Dans le cas de BeFS, parmi tous les états possibles à un niveau, l'algorithme choisit d'étendre le plus "prometteur" en termes d'une règle spécifiée [64]. BeS est une version améliorée de l'algorithme BeFS. Les améliorations consistent à réduire les besoins en mémoire [66]. Dans ce but, BeS est définie en fonction de BrFS qui est utilisé pour construire l'arbre de recherche. A chaque niveau, tous les nouveaux états sont générés et la fonction heuristique est calculée pour chaque état inséré dans une liste ordonnée par des valeurs de fonction heuristique. La liste, de longueur limitée, est égale à la "largeur de faisceau". Cela limite les besoins en mémoire, mais le compromis risque d'élaguer le chemin vers l'état but.

Les algorithmes de recherche A * utilisent une stratégie BeFS et une fonction heuristique qui combine deux métriques : le coût de l'origine à l'état actuel et une estimation du coût-à-but. L'algorithme A * est considéré comme très efficace [62].

L'un des inconvénients des stratégies de recherche présentées ci-dessus est l'inefficacité numérique du processus de recherche, en particulier pour les problèmes de grande dimension. Ainsi, des efforts significatifs ont été consacrés à l'identification de nouvelles heuristiques capables de faire face à ces problèmes.

II.3 Méthodes métaheuristiques

Les nouveaux paradigmes ont été appelés métaheuristiques et étaient d'abord introduits au milieu des années 80 comme une famille de recherche d'algorithmes capables d'approcher et de résoudre des problèmes complexes d'optimisation en utilisant un ensemble de plusieurs heuristiques. Le terme métaheuristique a été proposé dans [68] pour définir une heuristique de haut niveau utilisée pour guider d'autres heuristiques pour une meilleure évolution dans l'espace de recherche.

Bien que les méthodes de recherche stochastiques traditionnelles principalement basées sur le hasard (les solutions changent aléatoirement d'un pas à un autre), elles peuvent être utilisées en combinaison avec des algorithmes métaheuristiques pour guider le processus de recherche et d'accélérer la convergence. La plupart des algorithmes métaheuristiques sont seulement des algorithmes d'approximation parce qu'ils ne peuvent pas toujours trouver la solution optimale globale. Cependant, la caractéristique la plus attrayante d'une métaheuristique est que son application ne nécessite aucune connaissance particulière sur le problème d'optimisation à être résolu. Cet état fait que la métaheuristique est un outil général de résolution des problèmes d'optimisation [59, 67].

Depuis leur introduction au milieu des années 80 jusqu'à maintenant, les méthodes métaheuristiques pour résoudre des problèmes d'optimisation ont été continuellement développées. Elles permettant d'aborder et de résoudre un nombre croissant de problèmes qui sont précédemment considérés comme difficiles ou même impossible à résoudre.

Ces méthodes comprennent les algorithmes génétiques, l'optimisation par essaim de particules, algorithme des colonies de fourmis, ... etc.

II.4 Les algorithmes génétiques

Les algorithmes génétiques constituent une des méthodes d'optimisation les plus utilisées. Ils représentent une branche du domaine de recherche appelée calcul évolutif [69]. Ils permettent de déterminer les valeurs maximales ou minimales d'une fonction donnée. Ils imitent les processus biologiques de la reproduction et de la sélection naturelle pour trouver des solutions à un problème donné [69].

Beaucoup de processus d'un algorithme génétique sont aléatoires. Cependant, cette technique d'optimisation permet de fixer le niveau de probabilité et le niveau de contrôle [69]. Ces algorithmes sont beaucoup plus puissants et efficaces que les algorithmes de recherche aléatoire et de recherche exhaustive [69], mais ne nécessitent pas d'informations supplémentaires sur le problème donné. Cette fonctionnalité leur permet de trouver des solutions à des problèmes que d'autres méthodes d'optimisation ne peuvent gérer en raison d'un manque de continuité, de dérivées, de linéarité ou d'autres caractéristiques.

Dans ce qui suit, nous allons donner les éléments de base d'un algorithme génétique. Les parties spécifiques de l'algorithme génétique qui ont une fonction particulière sont appelés des opérateurs. Dans sa forme la plus simple, un algorithme génétique est composé de trois opérateurs de base :

- Sélection
- Crossover
- Mutation

En plus de ces opérateurs de base, l'opérateur de génération crée la population de chromosomes. En outre, l'opérateur d'élitisme est utilisé pour empêcher la perte de chromosomes individuels réussis.

Ces opérateurs sont appliqués à la génération actuelle pour former la prochaine génération. L'algorithme génétique continue à évoluer jusqu'à ce que les critères de conception soient atteints. Ces critères sont définis par l'utilisateur tout au début de l'optimisation.

La figure II.1 présente les fondements de base de l'algorithme génétique. Au début, la population est évaluée et leur condition physique est déterminée. Ensuite, les individus qui réussissent sont sélectionnés et ils remplacent ceux qui échouent. La prochaine étape consiste à former la population suivante en utilisant l'élitisme, le croisement et la mutation. Ces processus continuent jusqu'à ce que le nombre de population prédéfini soit atteint [69].

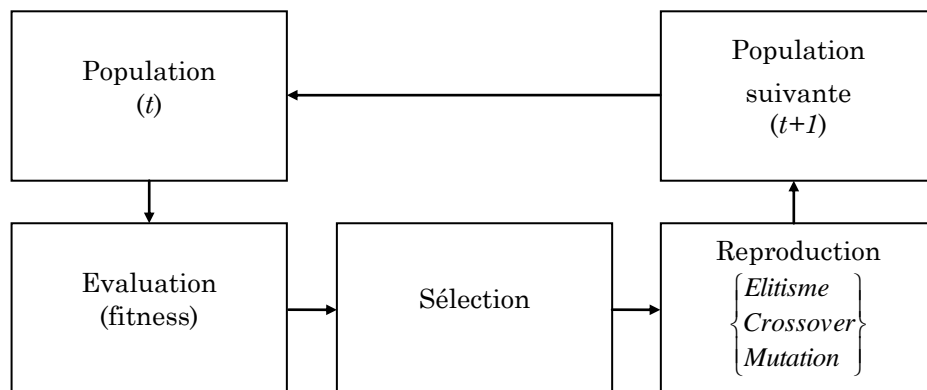


Figure II.1 : Organigramme simple de l'algorithme génétique

II.4.1 Concept de chromosome

L'algorithme génétique utilise le concept de chromosome pour définir les variables. Chaque variable de décision est définie dans les gènes pour former des chromosomes. Le moyen commun de codage est une chaîne binaire.

II.4.2 Génération

Sur la base des données qu'on a, l'algorithme génétique va générer une population initiale. Chaque population est composée de chromosomes. Chaque solution (chromosome) contiendra des variables de décision générées aléatoirement. Le générateur de nombres basé sur le hasard attribue un 1 ou un 0 à chaque position de bit dans le chromosome où le nombre défini de bits représente des variables de décision spécifiques. Cet opérateur est appelé opérateur "Génération".

Une fois la population initiale générée, l'algorithme génétique traduira chaque gène dans la variable correspondante et calculer la fonction objectif. Une fois la fonction objective atteinte, une analyse doit être effectuée ensuite pour chaque chromosome de la population [70].

II.4.3 Sélection

Cet opérateur est utilisé pour éliminer les pires chromosomes en raison de leur faible fitness. Une fois leurs fonctions objectives déterminées à un stade plus précoce, un certain nombre de chromosomes avec les plus mauvaises fitness est remplacé par le même nombre de meilleurs chromosomes [70].

II.4.4 Elitisme

L'élitisme est utilisé pour protéger les chromosomes les plus aptes du croisement et de la mutation. L'objectif est d'avoir certains des meilleurs chromosomes les mieux adaptés dans la prochaine génération et ne pas les perdre. L'élitisme peut rapidement augmenter les performances de l'algorithme génétique [70].

II.4.5 Crossover

L'opérateur de croisement est appliqué afin d'initier un échange partiel de bits (information) entre les chaînes parentales pour former deux chaînes de descendance. L'algorithme génétique choisira au hasard deux solutions pour le croisement.

Le taux de croisement est défini par l'utilisateur au début de l'étude. Les types de croisement les plus populaires sont les croisements de point unique, deux points et multi points comme le montre la figure II.2. Notez que tous les points de croisement sont sélectionnés de manière aléatoire [70].

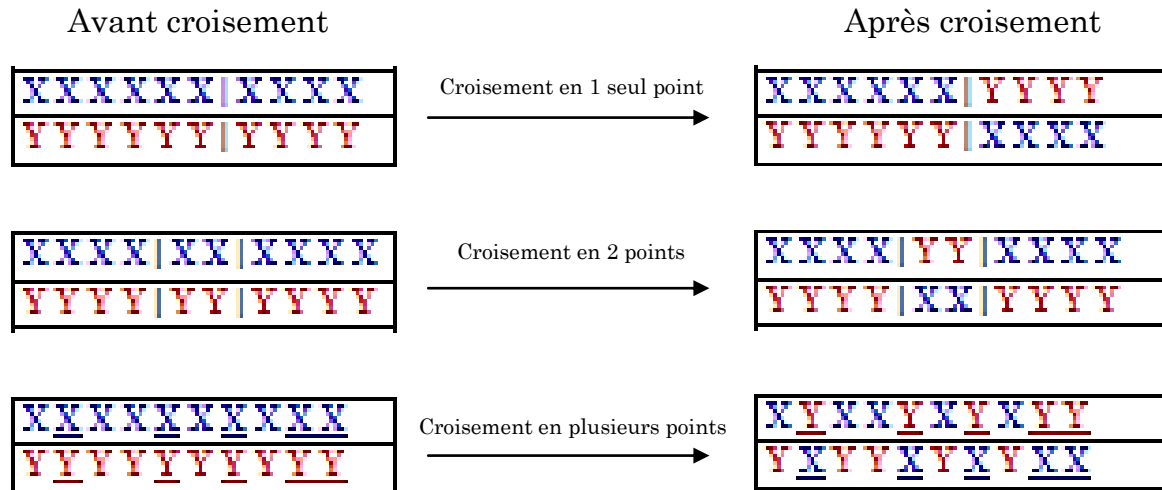


Figure II.2 : Opérateur Crossover

II.4.6 Mutation

Une fois le moment de l'application de la mutation est connu, l'opérateur de mutation simplement change aléatoirement la valeur d'un gène. Pour les gènes réels, ce changement pourrait être fait en sélectionnant un nombre uniformément dans la gamme des valeurs possibles. Une autre possibilité consiste à utiliser une distribution gaussienne à moyenne nulle et à variance donnée où le nombre généré par cette distribution est ajouté à la valeur du gène. Cela pourrait être ajusté de sorte que la variance diminue au fur et à mesure que l'algorithme itère [70].

II.4.7 Mise en œuvre d'un algorithme génétique

Un algorithme génétique suit les étapes suivantes [70] :

- Etape 1** : Déterminer le nombre des chromosomes, génération, les taux de mutation et croisement.
- Etape 2** : Générer un nombre de population et initialiser la valeur des gènes avec un nombre aléatoire.
- Etape 3** : Faire les étapes 4 à 7 jusqu'à ce que le nombre de génération soit atteint.
- Etape 4** : Evaluation de la valeur de fitness des chromosomes en calculant la fonction objective.
- Etape 5** : Sélection des chromosomes.

Etape 6 : Croisement

Etape 7 : Mutation

Etape 8 : Solution (meilleur chromosome)

L'organigramme d'un algorithme génétique est représenté ci-dessous.

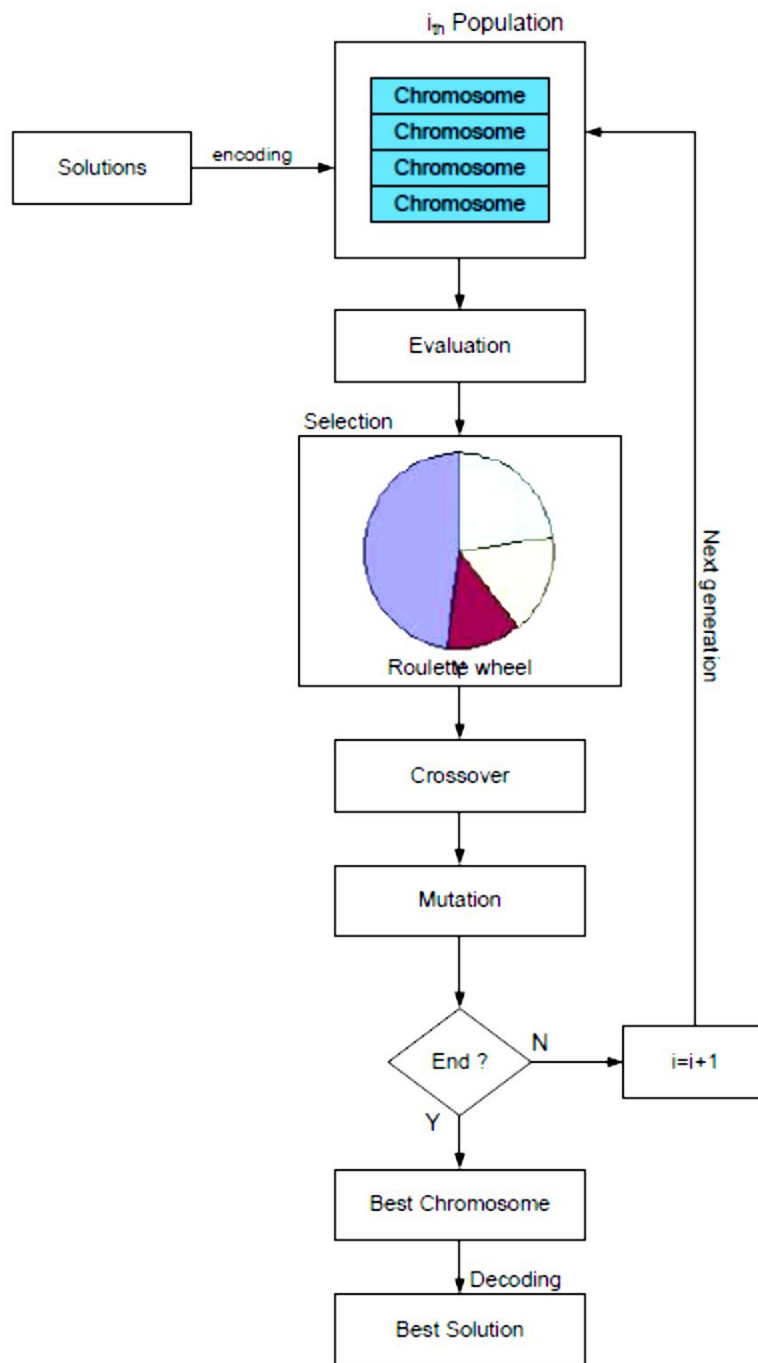


Figure II.3 : organigramme d'un algorithme génétique

II.5 Conclusion

Les algorithmes génétiques fournissent des solutions proches de la solution optimale à l'aide des mécanismes de sélection, d'hybridation et de mutation. Un algorithme génétique nous donne une grande liberté dans le paramétrage et dans l'implémentation des différents traitements. Nous sommes libre ensuite de modifier tel ou tel paramètre si les solutions obtenues ne nous conviennent pas.

Chapitre III

Modélisations du GAAJ MOSFET et du FPDG HEMT

III.1 Introduction

La réduction d'échelle continue sur les dispositifs MOS classiques et les rend plus proéminents pour les applications RF/analogiques. Néanmoins, les principaux défis auxquels la technologie CMOS est confrontée sont les SCEs. La mise à l'échelle rigoureuse des dimensions du MOSFET conduit à plusieurs SCEs en termes d'abaissement de la barrière induite par le drain (DIBL), la vitesse de saturation et de résistance en série. Les SCEs dégradent les performances RF/analogique du dispositif et augmentent la dissipation de puissance [71-72].

En conséquence, l'exploration de nouveaux modèles et architectures fait l'objet d'une enquête approfondie afin de réduire les SCEs indésirables et d'améliorer les performances des dispositifs. Pour surmonter les problèmes de SCEs, une gamme de structures d'ingénierie est suggérée et approuvée expérimentalement [73-75]. Parmi ces schémas, le GAAJ MOSFET constitue une structure intéressante pour des applications RF/analogique en raison de sa parfaite contrôlabilité de grille, de son évolutivité exceptionnelle, petites fuites, et propriété de transport améliorée [76-77].

Cependant, à l'échelle nanométrique, nous sommes confrontés à la tâche difficile de créer des jonctions en conjonction avec les techniques de dopage et thermique coûteuses [78]. En outre, afin de préserver une fluctuation aléatoire ultrarapide, des techniques de dopage sont nécessaires. Il convient de noter que ces techniques sont complexes et coûteuses. Pour surmonter ces inconvénients, le

GAAJ MOSFET est suggéré [79-80]. Du fait que le dispositif en commutation est contrôlé à partir de toutes ses faces, la conception GAAJ est très appropriée pour la fabrication. Par contraste avec les processus de fabrication du dispositif, le junctionless (JL) est mieux [81-82].

Cependant, dans le cas d'applications hautes performances, de nombreuses améliorations sont nécessaires en raison de performances imparfaites. Pour améliorer ce dispositif, sur la base des modèles analytiques, un nouveau paradigme personnalisé peut également être exploré pour améliorer la capacité du courant de drain et pour réduire les inconvénients des SCEs. Lorsqu'une valeur de courant du drain élevée est demandée, essentiellement pour les applications RF/analogique, le GAAJ, y compris les extensions S/D, a été trouvé comme une technologie attrayante pour alléger les SCEs [83-84].

Pour un canal long GAA MOSFET, les auteurs de [84-86] ont montré que les extensions S/D permettent une faible valeur de la résistance série et de meilleures performances RF/analogique. Dans ce cadre, de nombreux travaux sont réalisés afin d'explorer et d'améliorer la performance de ce dispositif [77-84, 86-89]. Cependant, aucune enquête n'est réalisée pour un canal court GAAJ MOSFET. Un GAAJ MOSFET sans extensions S/D dont la concentration de dopage est élevée provoque une dégradation de la mobilité du transporteur (CMD) [87-91] ; ce qui permet de diminuer les performances RF/analogiques.

Pour traiter ce problème, nous proposons un GAAJ MOSFET avec des régions d'extensions S/D fortement dopées et une concentration de dopage de canal uniformément moindre. Ce chapitre a pour but de proposer un nouveau modèle compact permettant l'optimisation géométrique pour concevoir des extensions S/D conduisant à des capacités techniques RF/analogique élevées en augmentant l'immunité du dispositif contre les SCEs.

Un autre composant intéressant très utilisé dans le domaine RF/analogique est le HEMT. Dans ce contexte, nous proposons une nouvelle structure de ce composant reposant sur un nouveau design de la grille et le Si₃N₄ comme high-k

pour le GaAs en tant que matériau à large bande interdite dans le dispositif HEMT pour montrer les améliorations de performances en termes de performances RF/analogiques, de tension et de fréquence radio.

Partie A : GAAJ MOSFET

III.2 Méthodologie de modélisation

III.2.1 Structure du dispositif

Dans ce chapitre, une modélisation analytique de canal court du GAAJ MOSFET y compris les régions d'extension est proposée pour calculer le courant du drain et les paramètres RF/analogiques. Les vues en 3-D et en coupe du dispositif étudié sont représentées dans les figures III.1a et III.1b, respectivement.

Dans le cas du GAAJ MOSFET classique sans extensions S/D, le dopage du corps de canal est homogène en concentration et en type. En revanche, le GAAJ MOSFET proposé a des extensions S/D avec un dopage à proportion élevée par rapport au corps du canal.

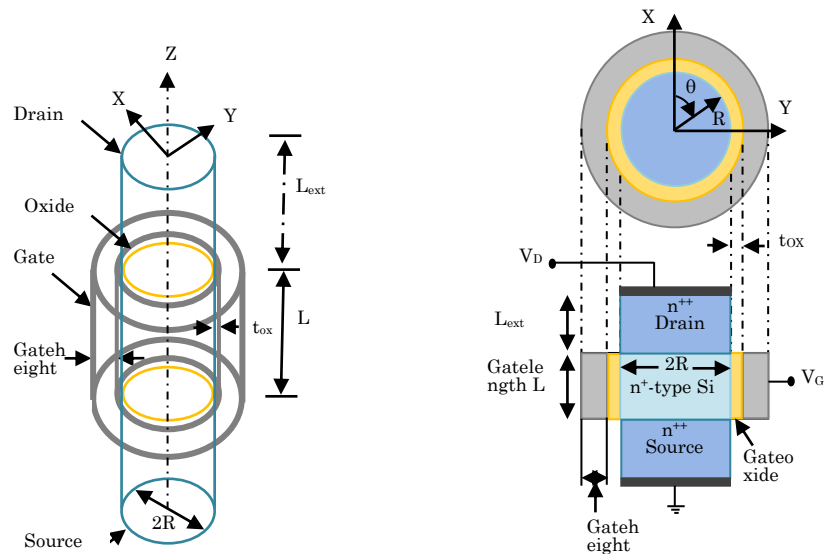


Figure III.1: (a) Structure schématique du GAAJ MOSFET cylindrique montrant différentes directions (b) Structure schématique en 2D du GAAJ MOSFET cylindrique montrant les variables associées

III.2.2 Développement du modèle

Dans cette section, en premier lieu, nous développons un modèle de base à canal long par résolution de l'équation de Poisson 1-D, puis nous intégrons les effets de canal court dans notre modèle. Selon la figure III.1, en tenant compte le modèle du canal long [92], l'équation de Poisson en 2-D qui régit le potentiel électrostatique de canal se réduit à sa forme 1-D. En outre, les effets de confinement quantique deviennent non significatifs lorsque l'épaisseur du film de silicium est supérieure à 5 nm ; par conséquent, ils peuvent être ignorés dans cette étude [92].

Le dispositif considéré GAA a une concentration en impuretés dopantes N_d . En appliquant les coordonnées cylindriques à ce modèle, l'équation de Poisson est exprimée comme suit :

$$\frac{\partial^2 \phi}{\partial r^2} + \frac{1}{r} \frac{\partial \phi}{\partial r} = \frac{q N_d}{\epsilon_{Si}} \left(e^{\frac{\phi(r)-V}{V_T}} - 1 \right) \quad (\text{III.1})$$

$\phi(r)$ et q représentent, respectivement, la distribution du potentiel du film de silicium et la charge électronique, N_d est la concentration du donneur, ϵ_{Si} est la permittivité diélectrique du silicium, V et V_T sont, respectivement, le potentiel (niveau de quasi-Fermi) et la tension thermique.

Les conditions aux limites pour l'équation de Poisson 1-D peuvent s'écrire comme :

i. Pour un rayon nul, le potentiel est :

$$\phi(0) = \phi_0 \quad (\text{III.2})$$

et le champ électrique correspondant :

$$\left. \frac{d\phi}{dr} \right|_{r=0} = 0 \quad (\text{III.3})$$

ii. À la jonction source/canal, on a :

$$V(0) = V_i \quad (III.4)$$

iii. À la jonction drain/canal, on a :

$$V(L) = V_i + V_{ds} \quad (III.5)$$

Ici ϕ_0 est le potentiel du corps au centre du canal ; V_i indique le potentiel intégré et V_{ds} est la polarisation de tension S/D. V_i peut être écrit comme suit :

$$V_i = V_T \ln \left(\frac{N_{dext}}{N_d} \right) \quad (III.6)$$

N_{dext} indique la concentration de dopage de l'extension S/D.

En supposant le même profil de potentiel parabolique selon [92], le potentiel peut être obtenu en tenant compte des conditions formulées précédemment (i, ii, iii) :

$$\phi(r) = \frac{\phi_s - \phi_0}{R^2} r^2 + \phi_0 \quad (III.7)$$

A la limite Si/SiO₂, ϕ_s est le potentiel de surface et R est le rayon du canal cylindrique.

Pour obtenir l'expression de densité de charge mobile Q_{mob} , l'application du théorème de Gauss à la circonférence du semi-conducteur est requise. La relation entre le potentiel et la charge mobile est obtenue par :

$$\left. \frac{\partial \phi}{\partial r} \right|_{r=R} = \frac{Q_{mob} - Q_{fix}}{\epsilon_0 \epsilon_{Si}} \quad (III.8)$$

L'utilisation des conditions aux limites mentionnées (i, ii, iii) conduit à l'équation de densité de charge mobile comme suit :

$$Q_{mob} = Q_{fix} Q_{cp} \frac{1 - \exp\left(\frac{R(-Q_{mob} + Q_{fix})}{2\varepsilon_0\varepsilon_{Si}V_T}\right)}{Q_{mob} - Q_{fix}} \exp\left(\frac{\phi_S - V}{V_T}\right) \quad (III.9)$$

Q_{fix} fait référence à la densité de charges fixes calculée à partir de $Q_{fix} = qN_dR/2$, et Q_{cp} est une charge déduite des paramètres de base $Q_{cp} = 2\varepsilon_0\varepsilon_{Si}V_T/R$.

L'équation du potentiel de surface, en termes de charge mobile Q_{mob} , peut être obtenue en combinant les équations (III.8) et (III.9) :

$$\phi_S = V_{gs} - V_{fb} - \frac{Q_{mob} - Q_{fix}}{C_{OX}} \quad (III.10)$$

V_{gs} et V_{fb} désignent, respectivement, la tension de polarisation grille-source et la tension de la bande plate. Cette dernière tension est définie comme suit :

$$V_{fb} = \phi_{ms} + V_T \ln(N_d/n_i) \quad (III.11)$$

Le terme C_{OX} est tel que :

$$C_{OX} = \varepsilon_{OX} / R \ln\left(1 + \frac{t_{OX}}{R}\right) \quad (III.12)$$

Il représente la capacité d'oxyde de la structure GAA, où t_{OX} et ε_{OX} sont, respectivement, l'épaisseur et la permittivité de l'oxyde. Pour étudier avec précision le comportement du dispositif, nous devons estimer la charge du canal Q_{mob} pour les modes d'accumulation et d'appauvrissement. Son expression est trouvée en utilisant l'équation (III.9) et la fonction mathématique Lambert-W :

$$Q_{mob}(V) = C_{OX} V_T LW(\xi) \exp(v(V)) \quad (III.13)$$

Le paramètre ξ est donné par l'expression suivante :

$$\xi = \frac{Q_{fix} Q_{cp}}{C_{OX} V_T} \frac{(1 - \exp(\frac{Q_{fix} - Q_{m1}(V)}{Q_{cp}}))}{Q_{m1}(V) - Q_{fix}}$$

Selon [92], la fonction de Lambert est :

$$LW(z) = \ln(1+z) \left(1 - \frac{\ln(1+\ln(1+z))}{2 + \ln(1+z)}\right) \quad (III.14)$$

et

$$Q_{m1}(V) = \frac{Q_{cp} C_{OX} V_T}{(Q_{cp} + C_{OX} V_T)} LW(z) \quad (III.15)$$

z est défini comme suit :

$$z = \frac{(Q_{cp} + C_{OX} V_T) Q_{fix} Q_{cp}}{Q_{cp} C_{OX} V_T} \frac{\exp(\frac{Q_{fix} - Q_{m2}(V)}{Q_{cp}})}{Q_{m2}(V) - Q_{fix}} \exp(v(V))$$

$$\text{où } Q_{m2}(V) = 2C_{OX} V_T LW \left[\frac{\sqrt{Q_{fix} Q_{cp}}}{C_{OX} V_T} \exp(v(V)/2) \right]$$

$$v(V) = (V_{gs} + V_{fb} + Q_{cp} / C_{OX} + V) / V_T$$

Pour faciliter l'étude des SCEs sur le GAAJ MOSFET et pour donner plus d'informations sur la dégradation des performances du dispositif, une amélioration de la précision du modèle autour de la tension de seuil est nécessaire. D'après [93], l'expression finale précise de la densité de charge mobile Q_{mob} est :

$$Q_{mob} = \frac{Q_{cp} C_{OX} V_T}{(Q_{cp} + C_{OX} V_T)} LW(z) \quad (III.16)$$

où z est comme suit:

$$z = \frac{(Q_{cp} + C_{OX} V_T) Q_{fix} Q_{cp}}{Q_{cp} C_{OX} V_T} \frac{\exp\left(\frac{Q_m^0 - Q_{fix}}{Q_{cp}}\right) - 1}{Q_m^0 - Q_{fix}} \exp\left(v + \frac{Q_{fix}}{f Q_{cp}}\right)$$

avec $f = 1 + 0.2 \frac{Q_m^0}{Q_{fix}} \exp\left(-\frac{Q_m^0}{Q_{fix}}\right)$

Q_m^0 est donné par l'équation (III.13). f est le paramètre d'ajustement. En prenant en compte le schéma de modélisation basé sur le formalisme de transport par dérive-diffusion, l'approche directe pour calculer le courant de drain consiste simplement à intégrer la charge mobile entre la tension de polarisation S/D :

$$I_{ds} = \frac{R\mu_n V_T}{L} \int_{V_1}^{V_2} Q_{mob} dV \quad (III.17)$$

où $V_1 = V_i$ et $V_2 = V_{ds} + V_i$

En intégrant Q_{mob} de V_1 à V_2 dans l'équation (III.17), le courant de drain, qui prend en considération les régions S/D étendues fortement dopées, peut être exprimé par :

$$I_{ds} = \frac{R\mu_n V_T}{L} (F(V_{bi}) - F(V_i + V_{ds})) \quad (III.18)$$

et

$$F(V) = \frac{(Q_{cp} + C_{OX} V_T) Q_{mob}(V)^2}{2Q_{cp} C_{OX} V_T} + 2Q_{mob}(V) - CQ_{mob}(V) \ln\left(1 + \exp\left(\frac{Q_{mob}(V) - Q_{fix}}{2CQ_{cp}}\right)\right) + Q_{fix} \ln\left[\frac{Q_{mob}(V) - Q_{fix}}{2Q_{cp} \left(\exp\left(\frac{Q_{mob}(V) - Q_{fix}}{2Q_{cp}}\right) - 1\right)}\right] \quad (III.19)$$

$$\mu_n = \mu_{\min} + \left(\frac{\mu_{\max} - \mu_{\min}}{1 + \left(\frac{N_d}{N_{crit}} \right)^\alpha} \right) \quad (\text{III.20})$$

où μ_n représente la mobilité électronique des semi-conducteurs.

Les valeurs les plus élevées et les plus faibles de la mobilité du silicium sont $\mu_{\max} = 1400 \text{ cm}^2 / \text{Vs}$ et $\mu_{\min} = 688 \text{ cm}^2 / \text{Vs}$. α et N_{crit} sont deux paramètres ayant les valeurs suivantes $\alpha = 0.71$ et $N_{crit} = 10^{18} \text{ cm}^3$.

La dégradation de la mobilité μ_{eff} est causée principalement par la vitesse de saturation et l'effet de pincement qui réduit considérablement la longueur effective du canal ΔL . Selon [94-96], cette dégradation est incorporée dans le modèle à canal long en substituant L à $L - \Delta L$, et μ_n à μ_{eff} dans l'équation du courant de drain (III.18). Par conséquent, notre modèle implémente la dégradation de la mobilité comme suit :

$$\mu_{eff} = \frac{\mu_n}{\left(1 + \left(\frac{\mu_n V_{deff}}{V_{sat(L-\Delta L)}} \right)^\alpha \right)^{\frac{1}{\alpha}}} \quad (\text{III.21})$$

$$V_{deff} = V_{sat} - V_{sat} \frac{\ln \left(1 + \exp \left(A \left(1 - \frac{V_d}{V_{sat}} \right) \right) \right)}{\ln(1 + \exp(A))} \quad (\text{III.22})$$

$$V_{sat} = \frac{V_s}{\frac{V_s}{V_{\max}} + 1} \quad (\text{III.23})$$

$$\text{avec } V_s = \frac{Q_{mob}(0)}{C_{OX}} + \frac{V_{\max}}{\frac{V_{\max}}{V_{\min}} - 1}$$

$$V_{\max} = \alpha \frac{v_{sat}}{\mu_n} L \quad (\text{III.24})$$

$$V_{\min} = 2V_T \quad (\text{III.25})$$

où v_{sat} est la vitesse de saturation et L est la longueur du canal. V_T est considéré dans notre thèse comme un paramètre d'ajustement ($v_{sat} = 2 \times 10^7 \text{ cm/s}$). Le phénomène de pincement affecte significativement le courant de drain dans le GAAJ MOSFET en termes de longueur efficace de canal. Dans la région de saturation, la réduction de la longueur effective du canal a été calculée en utilisant une résolution quasi 2D de l'équation de Poisson. Pour notre dispositif considéré, nous avons utilisé des coordonnées cylindriques (voir Figure III.1):

$$\frac{\partial^2 \phi}{\partial r^2} + \frac{1}{r} \frac{\partial \phi}{\partial r} + \frac{\partial^2 \phi}{\partial z^2} = \frac{qN_d}{\epsilon_{sc}} \left(\exp\left(\frac{\phi - V}{V_T}\right) - 1 \right) \quad (\text{III.26})$$

où $\phi(R, Z)$ et V présentent, respectivement, le potentiel et le quasi niveau de Fermi.

En prenant en considération le dispositif entièrement déplété et la forme du profil de potentiel parabolique le long de l'épaisseur du canal, l'équation (III.26) peut être réécrite sous [97] :

$$\frac{\partial^2 \Delta \phi(0, z)}{\partial z^2} = \frac{\Delta \phi(0, z)}{\lambda^2} \quad (\text{III.27})$$

Pour le cas du potentiel de surface ($r=R$) :

$$\frac{\partial^2 (\phi(0, z) - \phi(R, L - \Delta L))}{\partial z^2} = \frac{\phi(R, z) - \phi(R, L - \Delta L)}{\lambda^2} \quad (\text{III.28})$$

avec :

$$\lambda = R \sqrt{\frac{C_{Si}}{2C_{ox}}}$$

$$C_{Si} = \frac{\varepsilon_0 \varepsilon_{Si}}{R}$$

En tenant compte du fait que :

$$\left. \frac{\partial \phi(R, z)}{\partial z} \right|_{z=L-\Delta L} = \alpha \frac{v_{sat}}{\mu_n}$$

L'équation (III.29) est résolue de la même manière que [93] :

$$\phi(R, z) - \phi(R, L - \Delta L) = \alpha \frac{v_{sat}}{\mu_n} \lambda \sinh\left(\frac{L - \Delta L - z}{\lambda}\right)$$

Nonobstant le fait que le côté gauche de l'équation précédente est $\phi(R, z) - \phi(R, L - \Delta L) = V_d - V_{deff}$, la diminution effective de la longueur du canal ΔL peut être exprimée par [98] :

$$\Delta L = \lambda S \ln \frac{(V_d - V_{deff}) \left(1 + \sqrt{1 + \left(\frac{\alpha \frac{v_{sat}}{\mu_n} \lambda}{V_d - V_{deff}} \right)^2} \right)}{\alpha \frac{v_{sat}}{\mu_n} \lambda} \quad (III.29)$$

Le paramètre d'ajustement S (paramètre d'ajustement empirique) a été ajouté pour s'assurer que ΔL tend vers 0 en dessous de la tension de seuil :

$$S = \sqrt{1 - \frac{1}{1 + \beta \frac{Q_{mob}(0)}{C_{eq} V_T}}}}$$

$Q_{mob}(0)$ fait référence à la charge mobile du modèle à canal long. β est un paramètre permettant le réglage du lissage de la transition et C_{eq} est la capacité de grille équivalente :

$$\frac{1}{C_{eq}} = \frac{1}{C_{OX}} + \frac{1}{2C_{Si}} \quad (\text{III.30})$$

Le décalage de tension de seuil ΔV_{Th} qui caractérise l'effet DIBL est exprimé par [92] :

$$\Delta V_{Th} = \frac{\sqrt{\Delta\phi_S e^{\frac{L}{\lambda}} - \Delta\phi_D} \sqrt{\Delta\phi_D - \Delta\phi_S e^{-\frac{L}{\lambda}}}}{\text{Sinh}\left(\frac{L}{\lambda}\right)} \quad (\text{III.31})$$

Les conditions aux limites sont les suivantes:

$$\Delta\phi_S = V_{bs} - \varphi_0^K \quad (\text{III.32})$$

$$\Delta\phi_D = V_{bd} - \varphi_0^K + V_d \quad (\text{III.33})$$

$\Delta\phi_S$ et $\Delta\phi_D$ représentent la hauteur de la barrière aux extrémités du canal ; $\varphi_0^K = V_G - V_{Th}$ désigne le potentiel au centre du canal, et V_{Th} représente la tension de seuil exprimée par:

$$V_{Th} = V_{fb} - \frac{qN_D R}{4} \left(\frac{R}{\varepsilon_{SC}} + \frac{2}{C_{OX}} \right) \quad (\text{III.34})$$

V_{bs} et V_{bd} représentent les hauteurs effectives de la barrière de potentiel dans les régions étendues S/D, et sont données par [75] :

$$V_{bs} = V_{bi} - \Delta\phi_S^b - \frac{qN_{dext}\lambda}{\varepsilon_0\varepsilon_{Si}} \left(1 - \sqrt{1 + 2\varepsilon_0\varepsilon_{Si} \frac{\Delta\phi_S^b}{qN_{dext}\lambda}} \right) \quad (\text{III.35})$$

$$V_{bd} = V_{bi} - \Delta\phi_D^b - \frac{qN_{dext}\lambda}{\varepsilon_0\varepsilon_{Si}} \left(1 - \sqrt{1 + 2\varepsilon_0\varepsilon_{Si} \frac{\Delta\phi_D^b}{qN_{dext}\lambda}} \right) \quad (\text{III.36})$$

avec :

$$\Delta\phi_S^b = V_T \ln \left(1 + \exp \left(\frac{V_{bi} - \phi_0^k}{V_T} \right) \right) \quad (\text{III.37})$$

$$\Delta\phi_D^b = V_T \ln \left(1 + \exp \left(\frac{V_{bi} - \phi_0^k + V_d}{V_T} \right) \right) \quad (\text{III.38})$$

V_{bi} représente la tension intégrée équivalente de la jonction donnée par :

$$V_{bi} = V_{bi0} - \phi_F + V_T \ln \left(\frac{N_{dext}}{N_d} \right) \quad (\text{III.39})$$

et

$$\phi_F = V_T \ln \left(\frac{N_d}{n_i} \right) \quad (\text{III.40})$$

ϕ_F est la tension de Fermi dans le canal. V_{bi0} est la hauteur de la barrière par rapport au niveau intrinsèque du côté canal-source.

Afin d'améliorer la précision du modèle proposé en dehors du régime sous-seuil, nous considérons que le DIBL rigoureux et la dégradation de la pente sous-seuil sont essentiellement causés par le couplage capacitif entre les régions S/D et la cathode virtuelle ; donc nous pouvons réécrire l'équation (III.31) comme une fonction de C_s et C_D comme suit :

$$\Delta V_{th} = \frac{C_s \Delta\phi_S + C_D \Delta\phi_D}{C_{eq}} \quad (\text{III.41})$$

C_s et C_D réfèrent, respectivement, aux couplages capacitifs avec le drain et la source, et sont données par [93] :

$$C_D = C_{eq} \frac{\Delta\phi_S \cosh\left(\frac{L}{\lambda}\right) - \Delta\phi_D}{\sinh\left(\frac{L}{\lambda}\right) \sqrt{2\Delta\phi_S \Delta\phi_D \cosh\left(\frac{L}{\lambda}\right) - \Delta\phi_S^2 - \Delta\phi_D^2}} \quad (\text{III.42})$$

$$C_S = C_{eq} \frac{\Delta\phi_D \cosh\left(\frac{L}{\lambda}\right) - \Delta\phi_S}{\sinh\left(\frac{L}{\lambda}\right) \sqrt{2\Delta\phi_S \Delta\phi_D \cosh\left(\frac{L}{\lambda}\right) - \Delta\phi_S^2 - \Delta\phi_D^2}} \quad (\text{III.42})$$

Afin d'enlever ce couplage capacitif au-dessus du seuil, on multiplie $C_{S(D)}$ par une fonction et nous obtenons le décalage de tension de seuil comme suit :

$$\Delta V_{th} = \frac{C_S^* \Delta\phi_S^* + C_D^* \phi_D^*}{C_{eq} V_T} \quad (\text{III.43})$$

avec :

$$C_{S(D)}^* = C_{S(D)} \frac{2 \exp\left(-\frac{Q_{mob}(0)}{\gamma Q_{fix}}\right)}{1 + \exp\left(-\frac{Q_{mob}(0)}{\gamma Q_{fix}}\right)} \quad (\text{III.44})$$

Q_{mob} est obtenu à partir de l'équation (III.13). Le paramètre γ ajuste la transition ($\gamma=3.33$). Donc, l'effet DIBL peut être ramené au cœur du modèle en remplaçant le paramètre ν par V_{dibl} dans les équations (III.13), (III.15) et (III.16) [92].

$$V_{dibl} = \nu + \frac{C_S^* \Delta\phi_S^* + C_D^* \phi_D^*}{C_{eq} V_T} \quad (\text{III.45})$$

De plus, nous avons utilisé la fonction de lissage suivante :

$$\Delta\phi_{S(D)}^* = V_T \ln\left(1 + \exp\left(\frac{\Delta\phi_{S(D)}}{V_T}\right)\right) \quad (\text{III.46})$$

de sorte que $\Delta\phi_{S(D)}^*$ ne devienne pas négatif et prend 0 V au-dessus du seuil.

La résistance série R_s est l'un des paramètres qui affecte sévèrement les performances RF/analogiques. Ce paramètre peut être différent dans les

dispositifs en mode JL et inversion ; elle est due à la dissemblance de la concentration de dopage S/D et à l'absence de jonctions dans le GAAJ MOSFET.

Dans cette étude, nous allons étudier l'effet de la résistance série dans le GAAJ MOSFET sur le courant drain de saturation. Dans ce contexte, pour améliorer la précision du modèle et avoir un aperçu de la signification physique de cet effet, un effet de résistance série peut être introduit dans l'expression de courant de drain I_{ds0} [94, 99] :

$$I_{ds} = \frac{I_{ds0}}{1 + 2\pi \frac{R}{L} \mu_{eff} R_s (Q_{mob}(0) - n(Q_{mob}(0) - Q_{mob}(V_{deff})))} \quad (III.47)$$

avec I_{ds0} est donné par l'équation (III.18). n est un paramètre d'ajustement. $Q_{mob}(0)$ et $Q_{mob}(V_{deff})$ signifient les charges mobiles à long canal sur les côtés S/D du canal.

Partie B : HEMT

III.3 Méthodologie de modélisation

III.3.1 Structure du dispositif

La structure proposée du HEMT à champ plat et double grille est illustrée dans la figure III.2. Pour garantir une meilleure contrôlabilité de la grille, une concentration de $3 \times 10^{18} \text{ cm}^{-3}$ pour le drain et la source est considérée. Le tableau III.1 décrit les dimensions de cette structure.

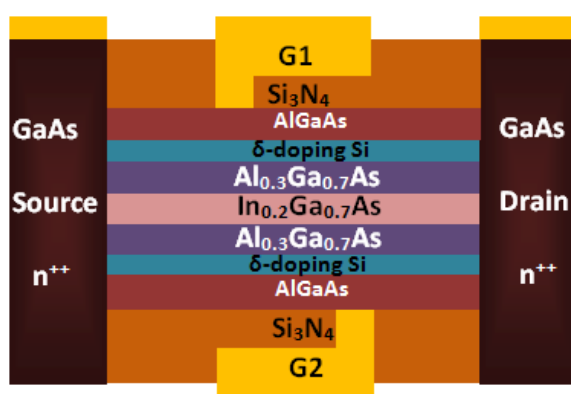


Figure III.2 : Structure du champ plat à double grille $In_{0.2}Ga_{0.8}As / Al_{0.3}Ga_{0.7}As$ HEMT avec double hétérostructure.

Table III.1 : Dimensions de la structure $In_{0.2}Ga_{0.8}As / Al_{0.3}Ga_{0.7}As$ HEMT avec double hétérostructure.

Couche	Dimensions	
	Dopage (cm^{-3})	Epaisseur (nm)
Canal $In_{0.2}Ga_{0.8}As$	Non dopé	15
Espaceur $Al_{0.3}Ga_{0.7}As$	Non dopé	4
Si- δ	$2,8 \times 10^{18} cm^{-3}$	4
Barrière $Al_{0.3}Ga_{0.7}As$	Non dopée	15
T_{ox}		$0.05 \mu m$
W		$4.5 \mu m$

III.3.2 Modèles Physiques

Par souci de précision de calcul, un très petit maillage est considéré dans les régions hétérointerface. Le gaz d'électrons bidimensionnel se situe entre l'hétérostructure $In_{0.2}Ga_{0.8}As / Al_{0.3}Ga_{0.7}As$. Ce phénomène apparaît grâce à la couche de dopage au silicium δ [100]. Les simulations à effectuer tiennent compte de nombreux phénomènes physiques, notamment la recombinaison Auger et SRH, la durée de vie dépendante de la concentration, la durée de vie des porteurs et la mobilité qui dépend de la concentration et de la température de dopage.

Tout d'abord, les recombinaisons Auger et SRH sont exprimées comme suit [101] :

$$R_{Auger} = (pC_p + nC_n)(np - n_i^2) \quad (\text{III.48})$$

$$R_{SRH} = \frac{pn - n_i^2}{\tau_p \left(n + n_i \exp\left(\frac{E_{trap}}{kT}\right) \right) + \tau_n \left(p + n_i \exp\left(\frac{-E_{trap}}{kT}\right) \right)} \quad (\text{III.49})$$

où C_n et C_p représentent les coefficients Auger ; E_{trap} est la différence entre le niveau d'énergie du piège et le niveau de Fermi intrinsèque ; τ_n et τ_p sont les durées de vie des porteurs en fonction du niveau de dopage proposé dans [102].

$$\tau_{n,p} = \frac{\tau_{0n,p}}{1 + \left(\frac{N}{N_{n,p}^{SRH}} \right)} \quad (\text{III.50})$$

où N représente la concentration locale (totale) des impuretés.

Enfin, le modèle analytique des mobilités porteuses de Caughey-Thomas est donné par [101] :

$$\mu_{n,p} = \mu_{0n,p}^{\min} \left(\frac{T}{300} \right)^{\alpha_{n,p}} + \frac{\mu_{0n,p}^{\max} \left(\frac{T}{300} \right)^{\beta_{n,p}} - \mu_{0n,p}^{\min} \left(\frac{T}{300} \right)^{\alpha_{n,p}}}{1 + \left(\frac{T}{300} \right)^{\gamma_{n,p}} \left(\frac{N}{N_{n,p}^{crit}} \right)^{\delta_{n,p}}} \quad (\text{III.51})$$

où μ_{0n} représente les mobilités des porteurs à $T = 300$ °K. Il est à noter que pour les champs électriques élevés, une réduction de la mobilité peut être provoquée par la vitesse de saturation.

III.4 Conclusion

Afin de réduire les SCEs, ce chapitre a été consacré à la proposition d'une nouvelle structure de GAAJ MOSFET dont les régions d'extensions S/D sont fortement dopées et une concentration de dopage de canal uniformément moindre. Ainsi, nous avons explicité toutes les équations nécessaires pour établir le modèle analytique du dispositif proposé.

Afin de comparer les performances du GAAJ MOSFET, nous avons opté pour un autre composant dont les caractéristiques sont notables ; en l'occurrence le HEMT. A cet effet, nous avons explicité tous les paramètres de ce composant, notamment la transconductance, le facteur de génération de transconductance et le gain intrinsèque.

Le chapitre suivant sera consacré à l'évaluation des performances du GAAJ MOSFET et du FPDG HEMT et leur comparaison.

Chapitre IV

GAAJ MOSFET et FPDG HEMT : étude et comparaison

IV.1. Introduction

Pour valider le modèle proposé, SILVACO [109] a été utilisé pour effectuer les simulations correspondantes. Pour assurer de bonnes performances RF/Analogiques, il est nécessaire d'étudier la capacité d'échelle et le comportement immunitaire des dispositifs et de montrer comment la dégradation du dispositif peut être supprimée en utilisant un dopage élevé pour les extensions S/D.

Partie A : le GAAJ MOSFET

IV.2. Caractéristiques DC

Les caractéristiques analytiques $I(V)$ du dispositif proposé et classique sont illustrées dans les figures IV.1, IV.2 et IV.3. Le dispositif conventionnel avec profil de dopage de canal homogène ($1 \times 10^{19} \text{ cm}^{-3}$) nécessite un travail de sortie de la grille avec une valeur élevée ($\phi_m = 5.6 \text{ eV}$) pour l'épuisement du canal. Cependant, cette valeur de travail de sortie n'est pas facile à obtenir [110]. En revanche, le GAAJ MOSFET proposé nécessite une valeur inférieure ($\phi_m = 4.95 \text{ eV}$).

D'après les figures IV.1, IV.2 et IV.3, en introduisant les régions étendues S/D fortement dopées, le courant de drain est amélioré pour le dispositif conçu en comparaison avec le courant conventionnel. La cause de la diminution pour le GAAJ MOSFET conventionnel est principalement due à la dégradation de la mobilité du porteur et à l'effet de résistance en série. Il est évident que le

dispositif conçu, en comparaison avec le dispositif conventionnel, a un courant supérieur à la tension de seuil.

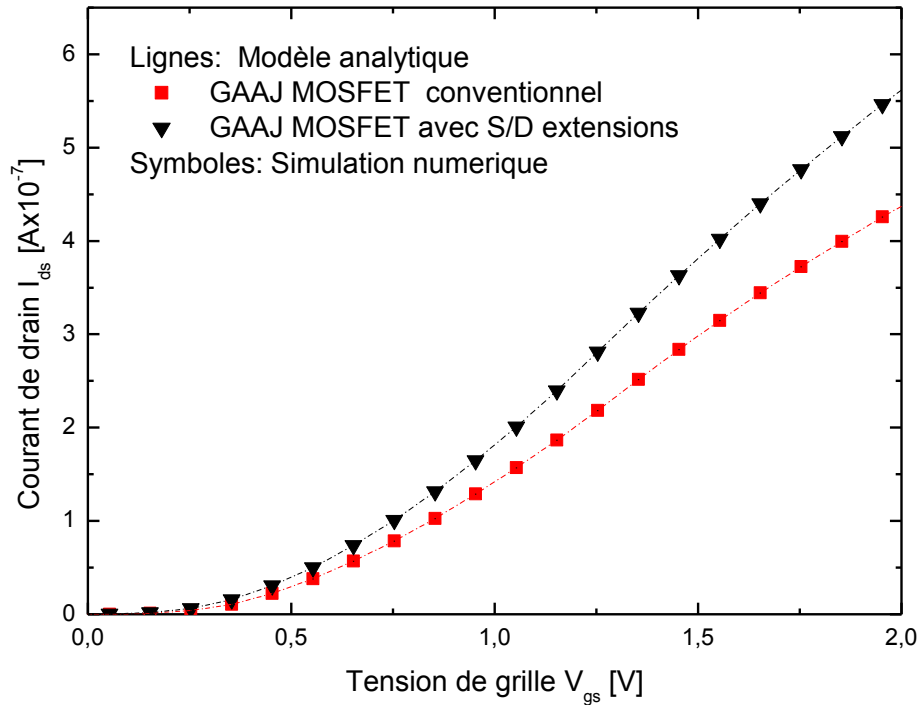


Figure IV.1 : Caractéristiques de Transfert $I_{ds}(V_{gs})$ en échelles linéaire $V_{ds} = 1V$, $N_d = 10^{19}$, $N_{dext} = 5.10^{19}$, $T_{ox} = 2nm$, $L = 100nm$, $R = 7.5nm$, $\phi_m = 5.27$.

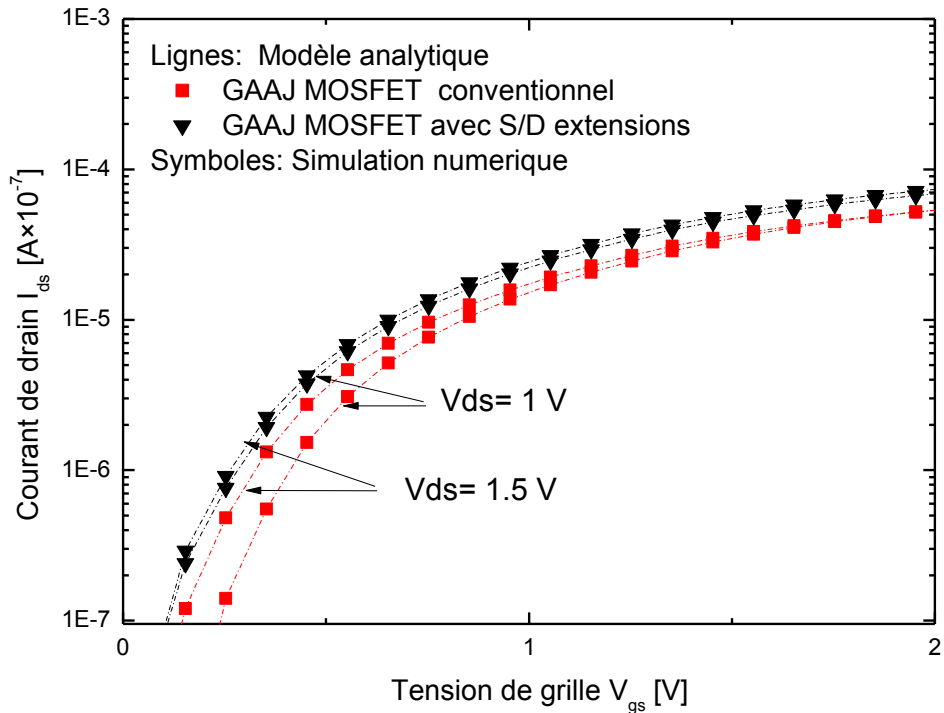


Figure IV.2 : Caractéristiques de Transfert $I_{ds}(V_{gs})$ en échelles logarithmiques $V_{ds} = (1V, 1.5V)$, $N_d = 10^{19}$, $N_{dext} = 5.10^{19}$, $T_{ox} = 2nm$, $L = 100nm$, $R = 7.5nm$, $\phi_m = 5.27$.

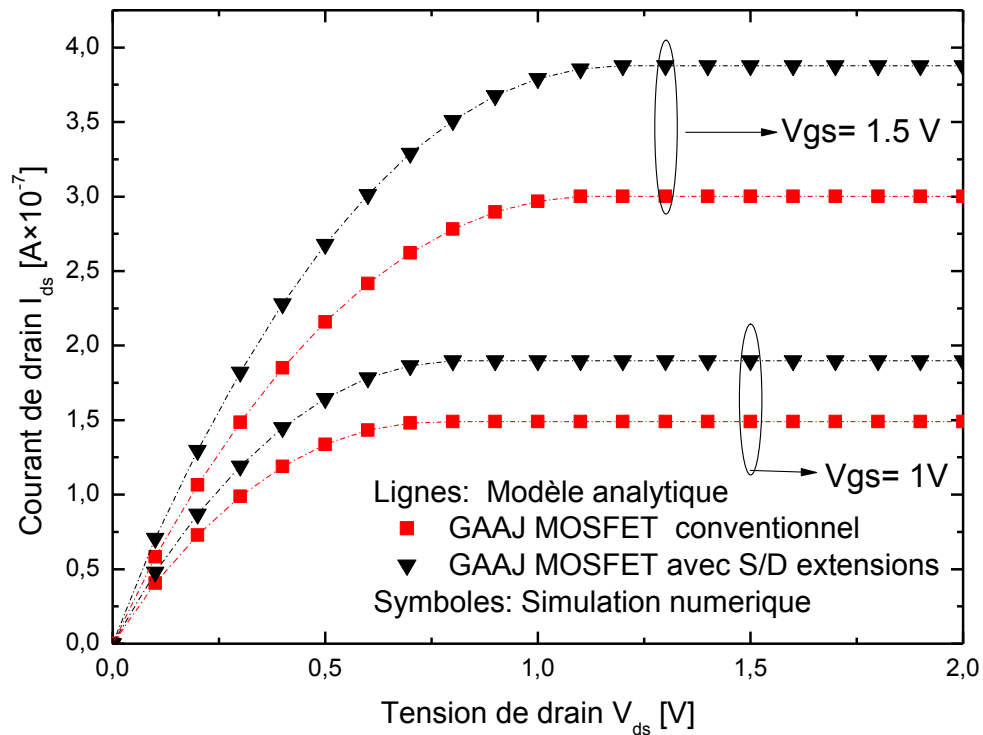


Figure IV.3 : Variation du courant de drain en fonction de la tension de drain $V_{gs} = (1V, 1.5V)$, $N_d = 10^{19}$, $N_{dext} = 5.10^{19}$, $T_{ox} = 2nm$, $L = 100nm$, $R = 7.5nm$, $\phi_m = 5.27$.

La raison de l'amélioration du courant au-delà du seuil est principalement due à la haute immunité du GAAJ MOSFET proposé comprenant des régions étendues S/D fortement dopées. Les extensions S/D permettent de contrer les effets combinés de la vitesse de saturation et des résistances en série. Cette amélioration est essentiellement due à l'augmentation de la barrière de potentiel du canal.

Afin d'inspecter la capacité de mise à l'échelle du dispositif conçu sous l'influence des SCEs, la figure IV.4 montre la variation du courant ON en fonction du rayon du canal pour le GAAJ MOSFET conçu et le GAAJ MOSFET conventionnel. Il est clair, d'après la figure IV.4, qu'une amélioration du courant ON dans le GAAJ MOSFET conçu est évidente où le courant ON a une tendance montante rapide pour le GAAJ MOSFET comprenant des extensions dopées élevées par rapport au dispositif conventionnel.

Cette amélioration significative est due principalement à la réduction des SCEs donnant ainsi une meilleure immunité au dispositif. Ces résultats font du GAAJ MOSFET proposé avec des extensions hautement dopées un candidat approprié pour les applications numériques.

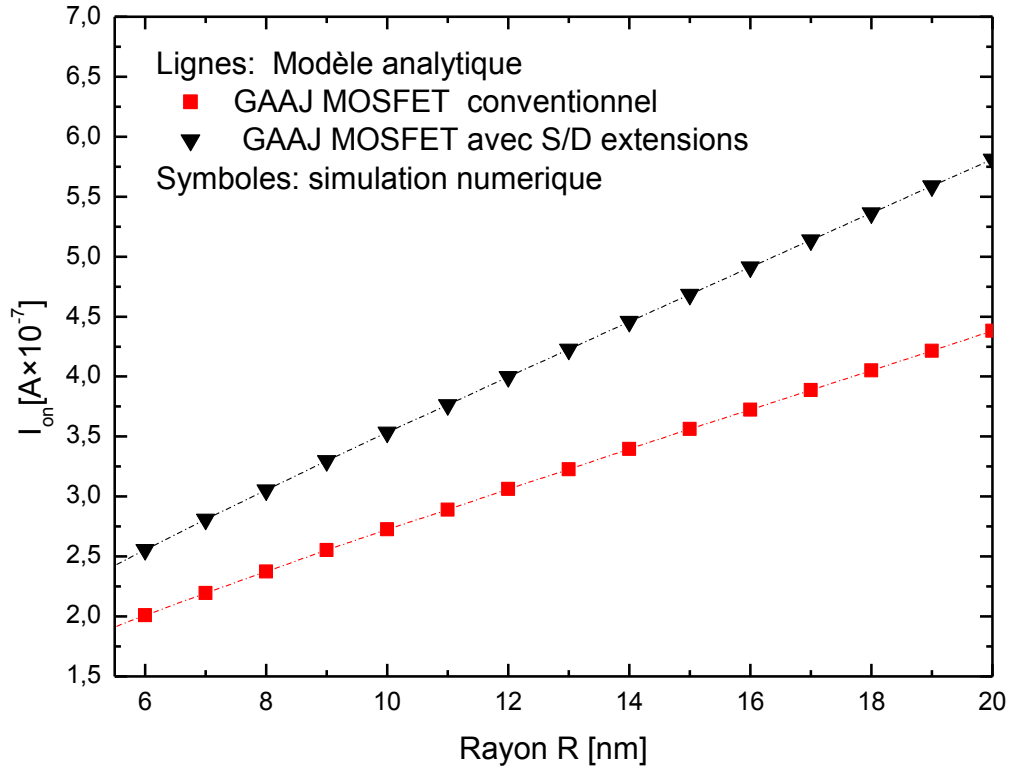


Figure IV.4 : Variation du courant ON en fonction du rayon du canal (R), $V_{ds} = 1V$,
 $V_{gs} = 1V$, $N_d = 10^{19}$, $N_{dext} = 5.10^{19}$, $T_{ox} = 2nm$, $L = 100nm$, $\phi_m = 5.27$.

IV.3. Performances analogiques

Cette section se concentre sur les figures de mérite analogiques en termes de transconductance. Ce paramètre est exprimé comme suit :

$$g_m = \frac{\partial I_{ds}}{\partial V_{gs}} \quad (IV.1)$$

La transconductance est un paramètre important. Plus la transconductance est élevée, plus la fréquence de coupure est élevée. Il est évident d'après la figure IV.5 que le GAAJ MOSFET conventionnel a une transconductance g_m

légèrement inférieure à celle du GAAJ MOSFET conçu ; elle est principalement due à la dégradation de la mobilité provoquée par la vitesse de saturation et aux effets de résistances élevés S/D. La situation s'aggrave avec l'augmentation de la tension de drain. À notre avis, ce résultat souligne la puissance de la conception proposée.

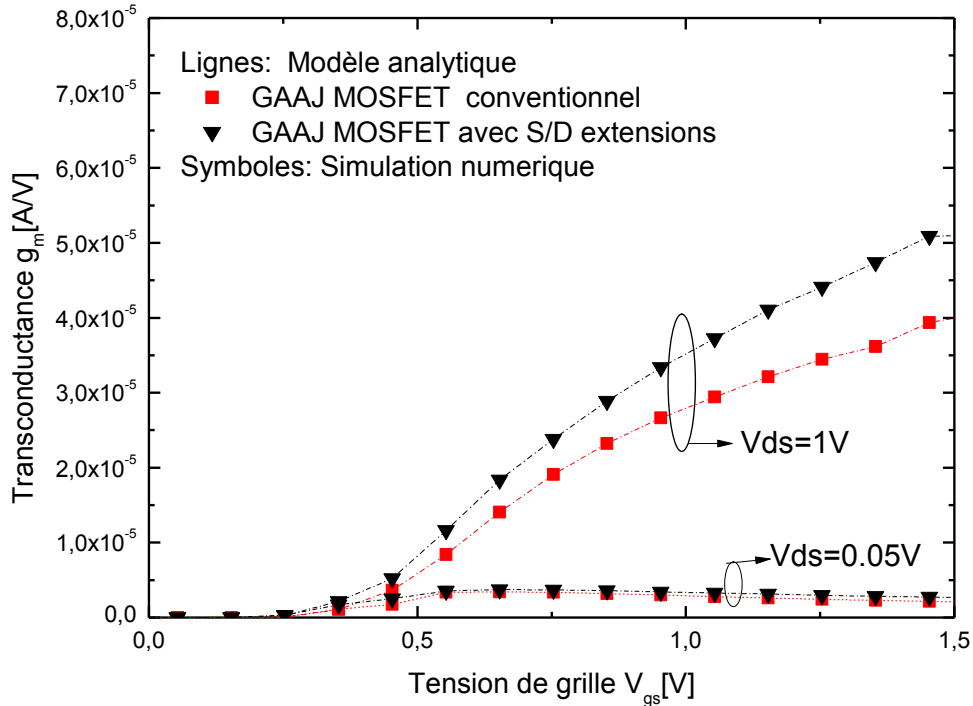


Figure IV.5 : Variation de la transconductance g_m en fonction de la tension de grille, $V_{ds} = (0.05V, 1.5V)$, $N_d = 10^{19}$, $N_{dext} = 5.10^{19}$, $L = 100nm$, $R = 7.5nm$, $\phi_m = 5.27$.

Un autre paramètre important est le facteur de génération de transconductance (TGF). TGF est défini comme suit :

$$TGF = \frac{g_m}{I_d} \quad (IV.2)$$

A partir de la figure IV.6, pour un ensemble de valeurs du rayon de canal, les caractéristiques de TGF attendues du modèle sont comparées aux résultats de simulation numériques TCAD. La comparaison rend évidente la précision du modèle proposé. En outre, la structure proposée

fournit des valeurs TGF remarquables par rapport au dispositif classique. Cependant, il convient de mentionner que lorsque le rayon du canal augmente, les SCEs diminuent et TGF diminue de manière significative.

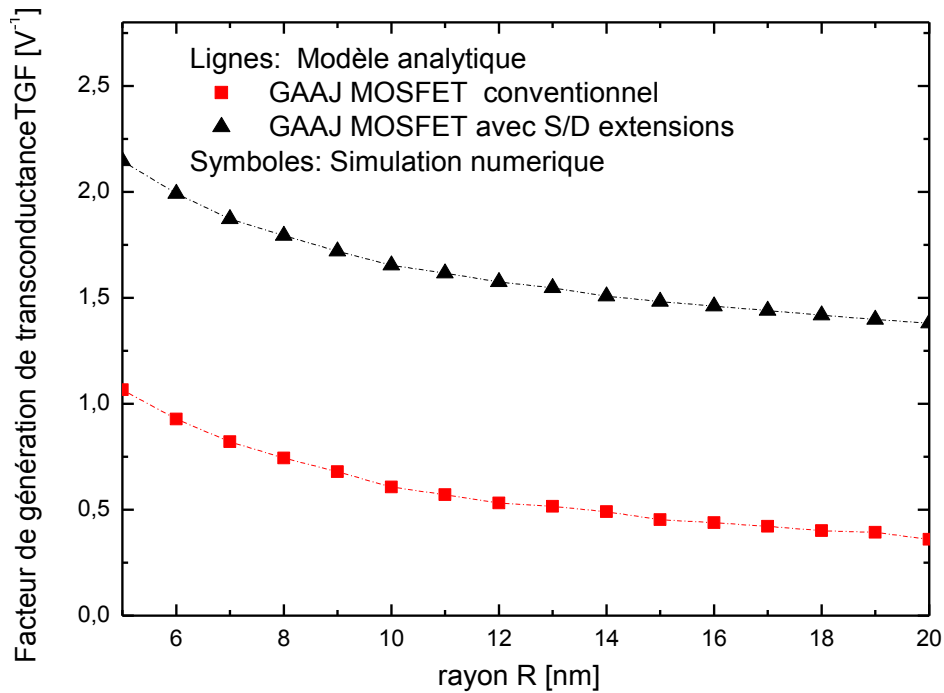


Figure IV.6 : TGF en fonction du rayon de canal (R) pour: $V_{ds} = 1V$, $V_{gs} = 1V$, $N_d = 10^{19}$, $N_{dext} = 5.10^{19}$, $T_{ox} = 2nm$, $L = 100nm$, $\phi_m = 5.27$.

En supposant qu'une charge de conductance de sortie de $r = 105 \Omega$ affecte chacun des dispositifs classique et proposé, le gain en tension peut être exprimé comme suit :

$$A_v = rg_m \quad (IV.3)$$

Ce gain constitue un paramètre utile pour quantifier les performances du dispositif. A partir de la figure IV.7, le dispositif proposé présente une amélioration apparente de cette valeur par rapport à la valeur

conventionnelle pour un grand ensemble de valeurs du rayon de canal sous SCEs. Cette amélioration montre l'efficacité de notre dispositif conçu pour diminuer les SCEs.

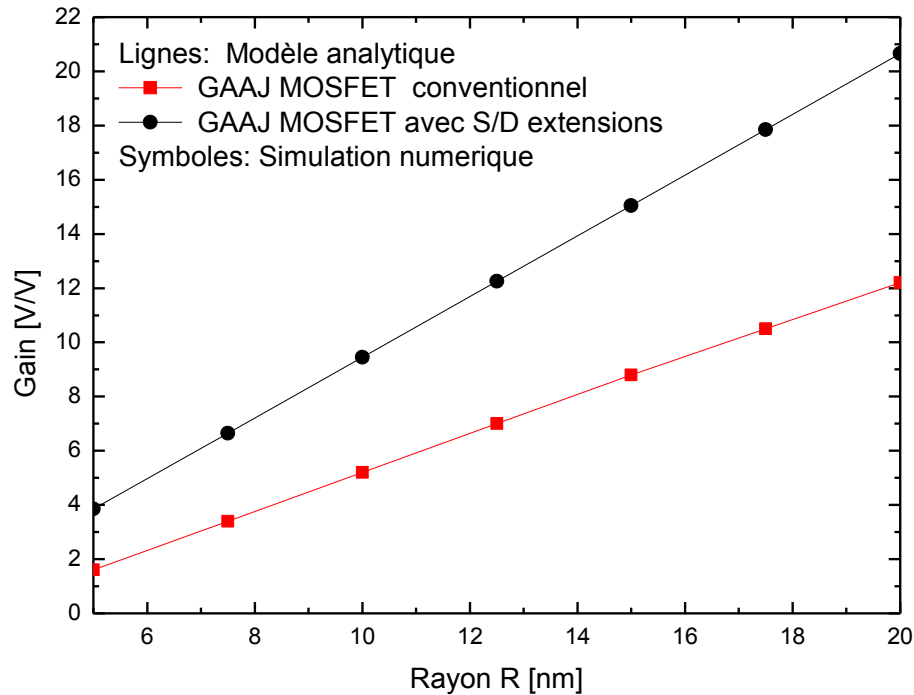


Figure IV.7 : Variation du gain en fonction du rayon du canal pour une charge $r = 10^5 \Omega$, $V_{ds} = 1V$, $V_{gs} = 1V$, $N_d = 10^{19}$, $N_{dext} = 5.10^{19}$, $T_{ox} = 2nm$, $L = 100nm$, $\phi_m = 5.27$.

IV.4. Performances RF

Des performances supérieures, des coûts réduits et une plus grande fonctionnalité pour les circuits à très faible consommation représentent un nouveau défi en raison de la réduction d'échelle minutieuse de la technologie CMOS.

Dans ce qui va suivre, afin d'évaluer les performances RF, les expressions analytiques sont exploitées et analysées. Plus la fréquence de coupure f_c est élevée, plus les performances (en termes de temps de montée et de bande passante) sont meilleures. La figure IV.8 représente f_c en fonction de la tension de polarisation V_{gs} pour les dispositifs

classique et proposé. La fréquence de coupure f_c peut être calculée comme suit :

$$f_c = \frac{g_m}{2\pi \times C_{OX}} \quad (IV.4)$$

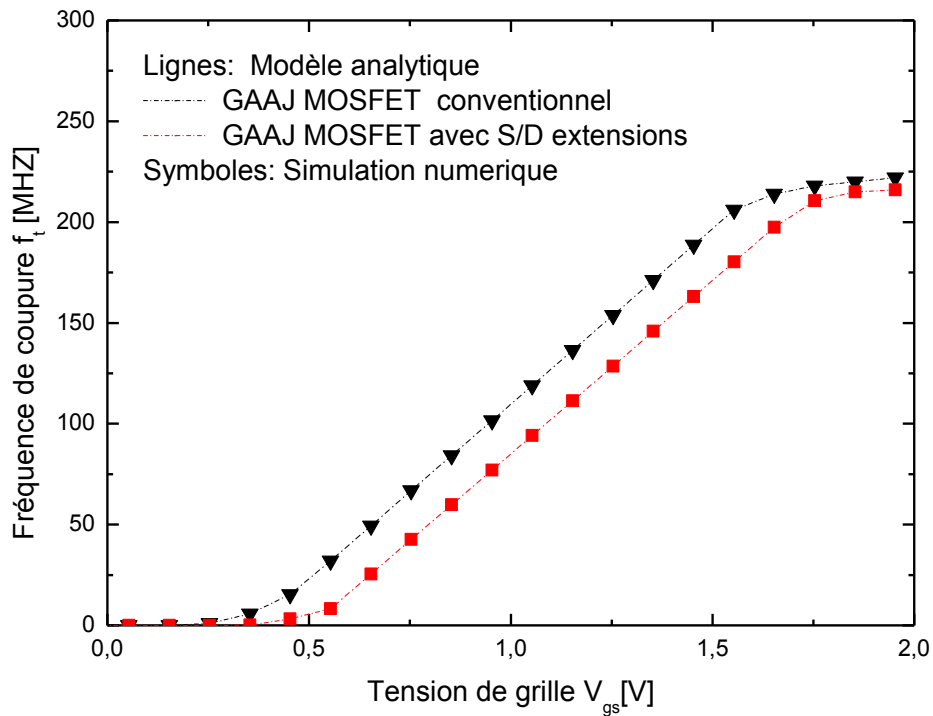


Figure IV.8 : Variation de la fréquence de coupure f_c en fonction de la tension de grille $V_{ds} = 1V$, $N_d = 10^{19}$, $N_{dext} = 5.10^{19}$, $T_{ox} = 2nm$, $L = 100nm$, $R = 7.5nm$, $\phi_m = 5.27$.

La figure IV.8 montre que la discordance des courbes des deux dispositifs est remarquable exclusivement dans l'intervalle de 0,5V–1,6V. Dans la gamme susmentionnée, le GAAJ MOSFET conçu surpasse le dispositif conventionnel. Il est utile de préciser que les résultats de la simulation TCAD et ceux de notre modèle analytique sont en parfaite adéquation.

IV.5. Optimisation des performances du GAAJ MOSFET

En raison du comportement complexe du GAAJ MOSFET conçu, il semble typique d'exploiter une approche métaheuristique pour rechercher la

combinaison des paramètres géométriques, physiques et électriques qui conduit aux performances RF/Analogiques élevées.

Les algorithmes génétiques constituent une approche vigoureuse et flexible qui peut être utile pour un large éventail de problèmes d'optimisation [111-114]. Ils sont principalement appropriés aux problèmes où les méthodes d'optimisation habituelles deviennent obsolètes. De plus, les algorithmes génétiques fournissent une force particulière et permettent une certaine latitude dans le choix de la solution appropriée. Aucun paradigme métaheuristique n'a été proposé pour améliorer le comportement "immunitaire" du GAAJ MOSFET contre les SCEs ; par conséquent, le but de cette section est d'étudier intensivement l'impact des régions étendues S/D fortement dopées et de formuler de nouveaux critères de conception avec deux objectifs cohérents (f_c , I_{dmax}) pour améliorer le comportement du dispositif proposé contre les SCEs.

La structure générale d'un algorithme génétique est représentée sur le digramme de la figure IV.9.

Cette recherche vise à trouver des paramètres optimaux de conception (géométriques, physiques et électriques) pour le dispositif proposé. Le cadre d'optimisation basé sur l'approche AG nécessite l'énoncé des fonctions objectives. Par conséquent, l'optimisation du dispositif étudié prendra en compte les critères suivants :

- Maximisation du courant de drain $I_{dmax}(X)$.
- Maximisation de la fréquence de coupure $f_c(X)$.

X est un vecteur contenant les paramètres à optimiser.

$$X = (R, L, L_{ext}, T_{OX}, N_d, N_{dext}, V_{gs}, V_{ds}, \phi_m).$$

La contrainte est : $g_1(x) : x \in [x_{i_{min}}, x_{i_{max}}]$, $x_i \in X$ (chaque paramètre de conception doit être limité dans une plage particulière).

- $g_2(x) : R > 5\text{nm}$ (pour éviter les effets quantiques)
- $g_3(x) : N_d > 10^{18} \text{ cm}^{-3}$

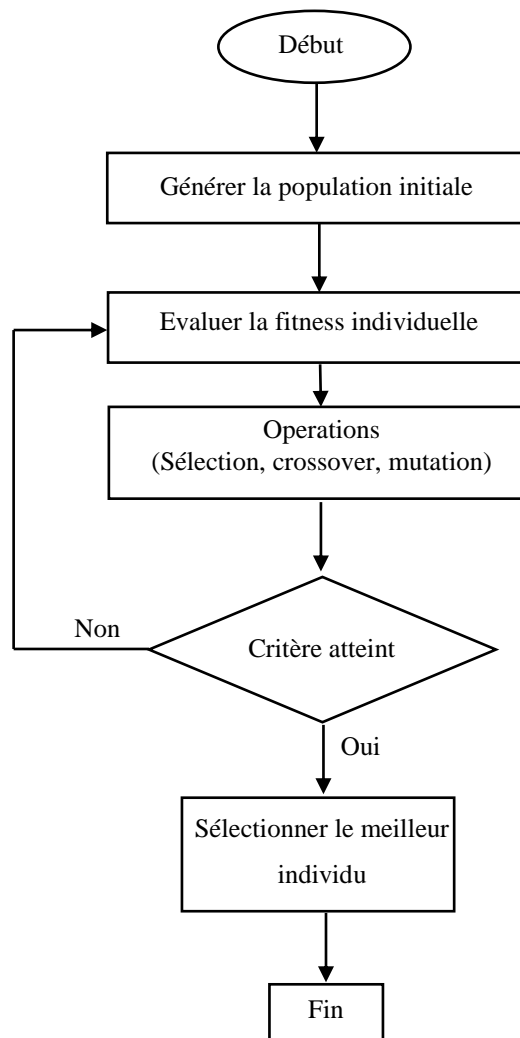


Figure IV.9 : structure générale d'un algorithme génétique

Pour la mise en œuvre de notre approche métaheuristique basée sur des algorithmes génétiques, les individus sont évalués en utilisant le calcul de la fonction objective. Pour évoluer pendant des générations consécutives, les valeurs utilisées des paramètres pour l'algorithme génétique sont résumées dans le tableau 1. La meilleure valeur de la fonction de fitness obtenue au cours d'une succession de générations évolutives correspond à la combinaison optimale qui fournit des performances élevées RF/Analogiques du GAAJ MOSFET.

Tableau 1
Paramètres AG pour les 2 structures conventionnelle et conçue

<i>Paramètres AG</i>	<i>Valeur</i>
Nombre des variables	9
Taille Population	50
Nombre Maximum des générations	1000
Sélection	Tournament
Croisement	Dépendant de la contrainte
Mutation	dispersé
Taux de croisement	0.8

Il est utile de noter que la convergence de la fonction objectif est lié au choix des valeurs des poids. Pour illustrer cet état de fait, 3 cas de figures sont considérés : $(w_1, w_2) = (0.5, 0.5)$, $(w_1, w_2) = (0.75, 0.25)$ et $(w_1, w_2) = (0.25, 0.75)$.

A partir des figures IV.10, IV.11 et IV.12, on peut voir que la convergence n'est pas affectée par la complexité du modèle. Pour les 3 cas, les convergences sont réalisées de manières semblables.

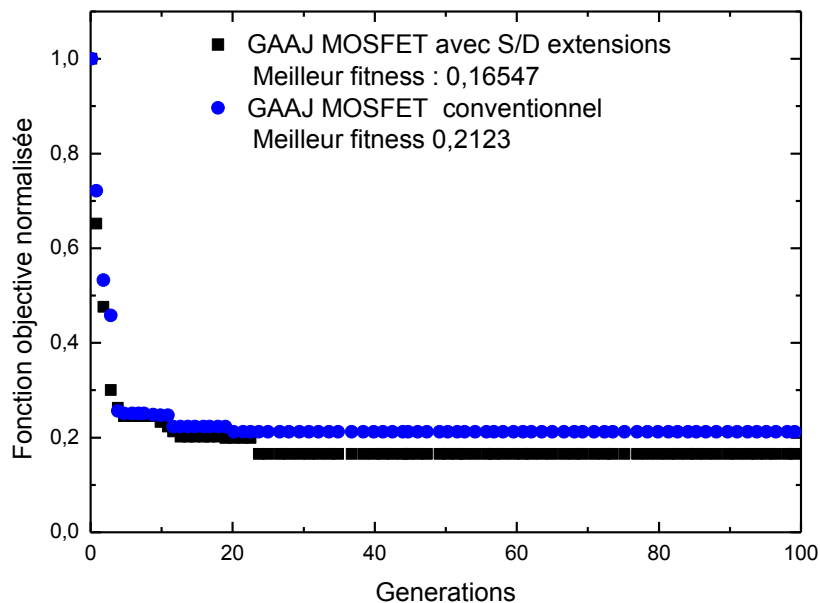


Figure IV.10 : Convergence de la fonction objective en fonction du nombre de génération : $(w_1, w_2) = (0.5, 0.5)$

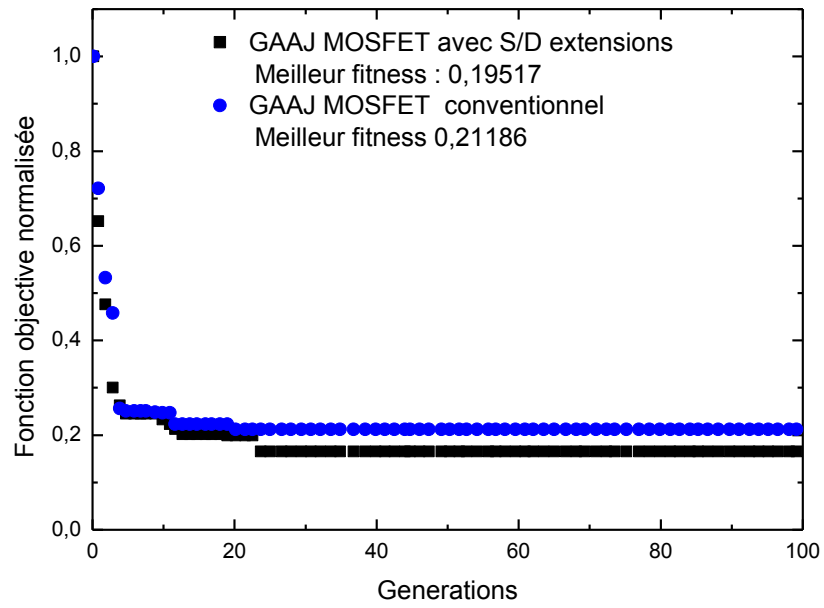


Figure IV.11 : Convergence de la fonction objective en fonction du nombre de génération :
 $(w_1, w_2) = (0.75, 0.25)$

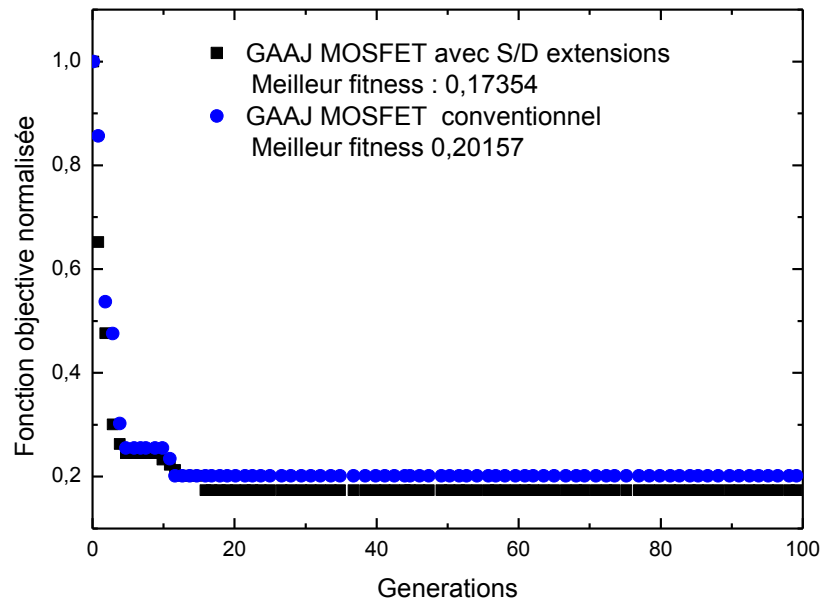


Figure IV.12 : Convergence de la fonction objective en fonction du nombre de génération :
 $(w_1, w_2) = (0.25, 0.75)$

Dans la suite, sur la base de la méthode de l'approche par somme pondérée, les deux fonctions objectives considérées sont incorporées dans une fonction mono-objectif :

$$F(X) = w_1 f_c + w_2 I_d \quad (\text{IV.5})$$

Le réglage des poids avec les préférences non articulées w_i ($i = 1, 2$) peut être donné en tant que 0,5. Les paramètres optimaux finaux du GAAJ MOSFET, y compris l'impact des extensions S/D, sont résumés dans le tableau 2.

Sur la base des paramètres optimisés de conception indiqués dans le tableau 2, les courbes $I_{ds}-V_{gs}$ des dispositifs proposé et classique sont tracées.

D'après la figure IV.12, il est clair que le courant $I_{d\max}$ et la fréquence de coupure du GAAJ MOSFET optimisé sont nettement améliorés, respectivement de 46,7% et de 54,8%, par rapport au dispositif conventionnel. Ceci est dû à l'immunité du dispositif proposé contre les SCEs grâce aux régions fortement dopées.

Il ressort de la Figure IV.12 que la méthodologie hybride combinant à la fois l'idée des extensions S/D et l'optimisation à base de l'approche AG apparaît comme une stratégie attrayante pour minimiser l'impact des effets de canaux courts qui diminuent considérablement le courant de drain.

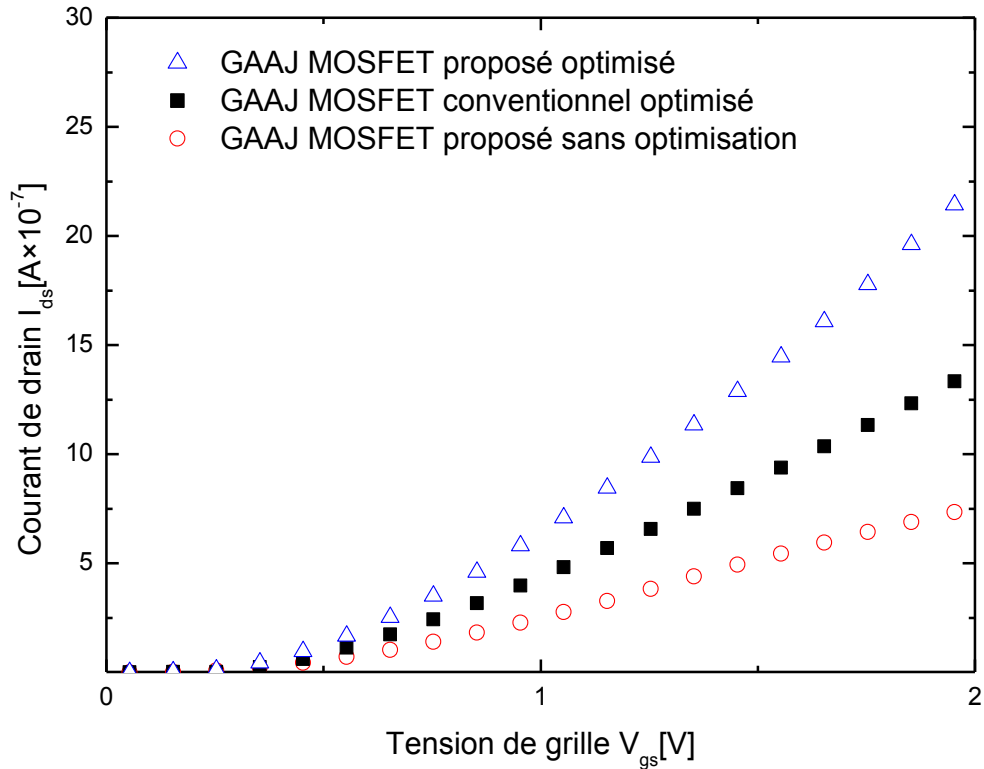


Figure IV.13 : Courbes de la conception proposée, avec et sans optimisation par rapport à la conception optimisée conventionnelle du GAAJ MOSFET.

Les résultats montrent que le courant de drain augmente jusqu'à atteindre un maximum d'environ 36% correspondant aux paramètres : $R = 28\text{nm}$, $N_{dext} = 9.5 \times 10^{19}\text{ cm}^{-3}$, $L_{ext} = 63\text{nm}$, $\phi_m = 4.6\text{eV}$.

Il est à noter que cette valeur de travail de sortie du métal ϕ_m peut être concrétisée en utilisant du chrome comme matériau de grille au lieu de polysilicium. Par conséquent, l'utilisation du chrome comme matériau de grille permet au concepteur d'éviter les effets indésirables de largeur de déplétion en polysilicium et de pénétration de dopant [115].

Tableau 2
 Comparaison des performances entre les dispositifs conventionnel et conçu

Paramètres de conception	design conçu sans optimisation	design conventionnel avec optimisation	Design proposé avec optimisation
Paramètres des extensions S/D			
N_{dext} [cm ⁻³]	5×10 ¹⁹	/	9.5×10 ¹⁹
L_{ext} [nm]	10	/	8.6
Paramètres du GAAJ MOSFET			
Rayon R [nm]	7.5	30	28
Longueur du canal L [nm]	100	40	38
Épaisseur de l'oxyde T_{ox} [nm]	2	2	2
Tension de grille V_{gs} [V]	2	2	2
Tension du drain V_{ds} [V]	1	4	1.5
Travail de sortie du métal ϕ_m [eV]	5.27(polysilicon)	4.6(Chromium)	4.6(Chromium)
Dopage du canal N_d [cm ⁻³]	1×10 ¹⁹	1×10 ¹⁹	1×10 ¹⁸
Fonction Objectif			
Fréquence de coupure f_c [MHz]	460	630	720
Courant du drain I_{dmax} [A]	7.5×10 ⁻⁷	13×10 ⁻⁷	22.7×10 ⁻⁷

Partie B: le FPDG HEMT

IV.6. Caractéristiques DC

Les figures IV.14 représentent respectivement les caractéristiques $I(V)$ et les caractéristiques de transfert. Comme prévu, à partir de ces résultats, en introduisant le modèle High-K Si₃N₄ et la conception de la grille a champ plat, le courant de drain est amélioré pour le dispositif conçu par rapport à la structure conventionnelle; L'amélioration est essentiellement due à l'augmentation de la barrière potentielle du canal.

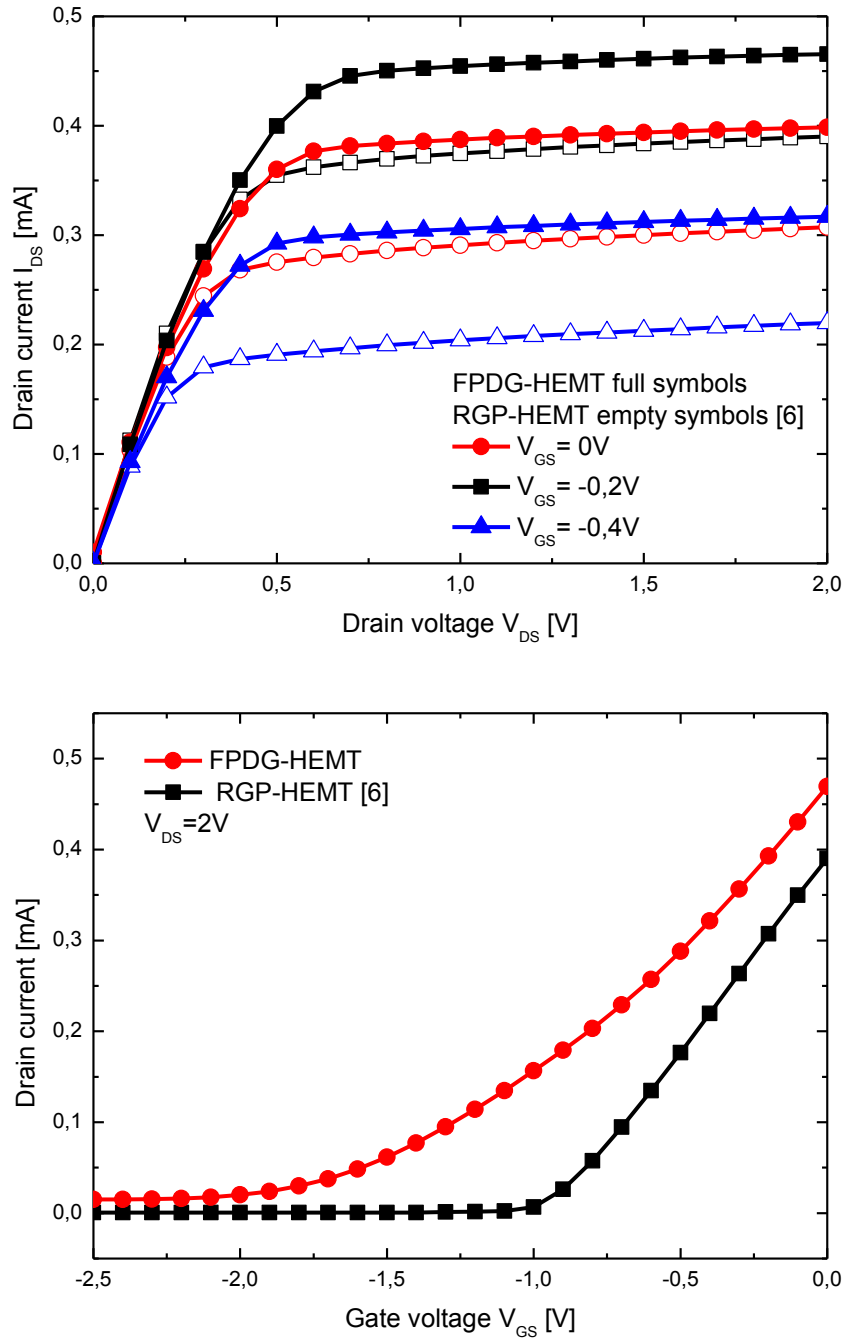


Figure IV.14 : Les caractéristiques $I_{ds}-V_{DS}$ et $I_{ds}-V_{GS}$

IV.7. Performances Analogiques

Dans cette section, nous étudions les performances analogiques des dispositifs conçus et conventionnels.

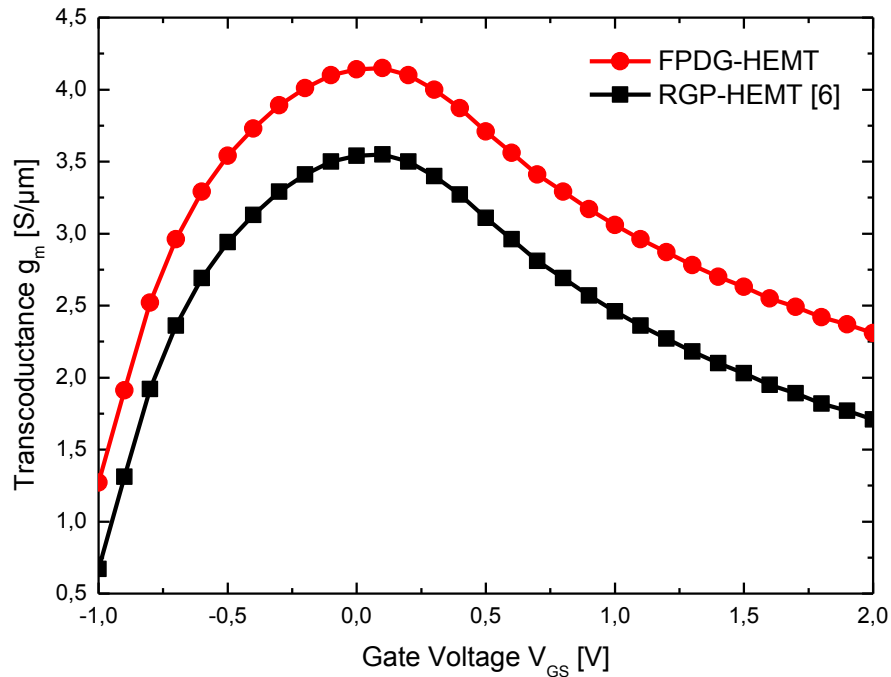


Figure IV.15 : La transconductance en fonction de la tension de la grille

La figure IV.15 montre que le dispositif conçu présente une valeur supérieure de la transconductance par rapport à celle du MOSFET HEMT classique. Cette amélioration est obtenue grâce à l'immunité de notre conception contre la dégradation de la mobilité.

Le TGF représente la valeur de gain de l'unité de dissipation d'énergie. Il convient de noter que les valeurs de TGF inférieures cause une dissipation de puissance importante peut se produire dans les circuits de charge capacitifs. La figure IV.16 représente la courbe de TGF en fonction de la tension de grille V_{GS} . La valeur de TGF diminue considérablement lors de l'augmentation de la tension V_{GS} . Ce fait est dû à l'augmentation du courant de drain. En revanche, des valeurs TGF élevées peuvent être obtenues dans le régime de sous-seuil en raison de l'augmentation exponentielle du courant de drain.

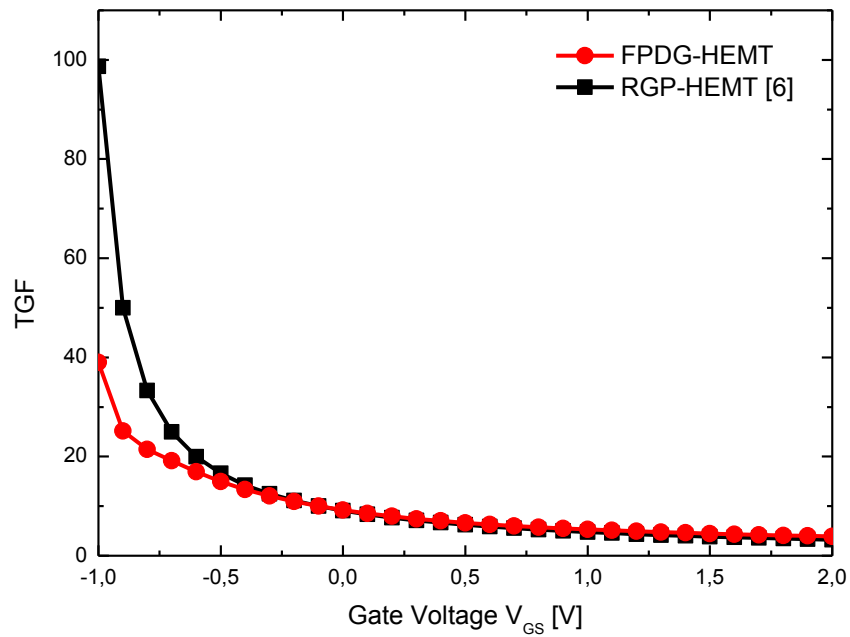


Figure IV.16 : TGF en fonction de la tension du grille

Pour faire face à la tension de gain intrinsèque, une charge résistive de $R = 105 \Omega$ est supposée être connectée aux dispositifs conventionnels et proposés.

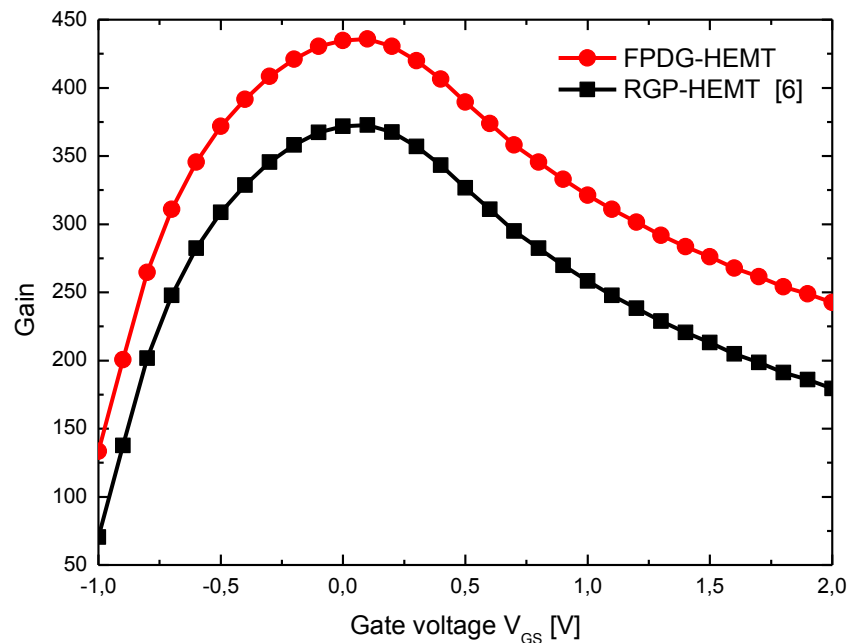


Figure IV.17 : Le gain intrinsèque en fonction de la tension de la grille

La courbe du gain intrinsèque en fonction de la tension de grille est illustrée à la figure IV.17. Il est évident à partir de cette figure que les augmentations aussi; Ceci est vrai jusqu'à une certaine valeur optimale. Au-delà de cette dernière valeur, diminue normalement. Contrairement au dispositif conventionnel, notre appareil montre une amélioration de cette valeur.

IV.8. Performances RF

La figure suivante montre l'évolution de la fréquence de coupure en fonction de la tension de la grille.

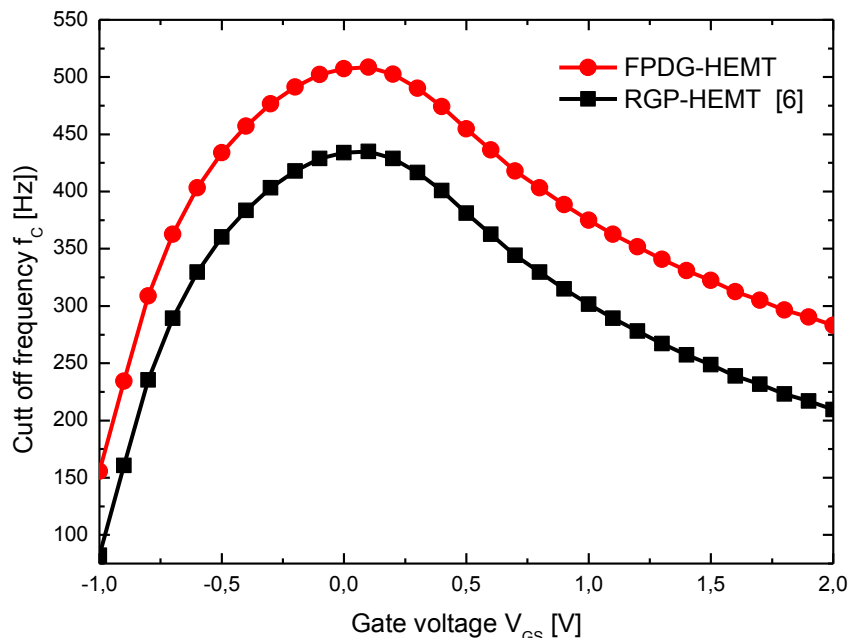


Figure IV.18 : Fréquence de coupure en fonction de la tension de la grille

La figure IV.18 indique clairement que la courbe de fréquence de coupure de la conception proposée présente une valeur de crête de 520 Hz. De la même manière, le dispositif classique présente un pic de 425 Hz. Par conséquent, notre structure surpasse le dispositif conventionnel.

IV.9. Conclusion

Dans ce chapitre, une nouvelle méthodologie de conception utilisant à la fois la modélisation analytique et l'optimisation métaheuristique a été suggérée. L'impact des extensions S/D du MOSFET sur les performances RF/Analogiques est étudié. En outre, la stratégie suggérée permet l'étude du comportement d'immunité du GAAJ MOSFET vis-à-vis des SCEs. Contrairement au dispositif conventionnel, l'amélioration des performances RF/analogiques de la conception proposée est due à la capacité à diminuer les SCEs. La précision du modèle analytique développé est validée par les résultats de la simulation numérique TCAD. Pour pousser plus loin les performances du GAAJ MOSFET à canal court conçu, une approche basée sur les algorithmes génétiques utilisant des formulations analytiques développées a été proposée pour traiter l'optimisation des paramètres et améliorer les performances RF/Analogiques. Dans ce contexte, les améliorations de la fréquence de coupure et du courant de saturation sont respectivement d'environ 120% et 87% par rapport à la conception conventionnelle avec optimisation. Les résultats obtenus prouvent que la stratégie suggérée est un outil pratique pour concevoir des MOSFET sans jonction à haute performance.

Par ailleurs, par souci de comparaison et d'étude des performances, nous avons proposé une nouvelle structure à champ plat à double grille $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ / $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$ HEMT avec double hétéro structure. Des paramètres analogiques telles que la transconductance, le facteur de génération de transconductance et le gain intrinsèque sont exprimées, évaluées et comparées à celles d'un dispositif similaire classique. En outre, les performances RF sont analysées en termes de fréquence de coupure. La conception proposée montre une amélioration dans la plupart des figures de mérite analogiques et RF. Le courant de drain, la transconductance et la fréquence de coupure de la structure proposée sont améliorés par rapport à ceux du dispositif classique.

Conclusion générale

Depuis plusieurs années, le MOSFET est devenu un dispositif très estimé tant sur le plan de recherche que sur le plan industriel en raison des performances notables qu'il offre.

Cependant, à force de peaufiner ses performances vers d'autres horizons conjointement avec le souci d'une intégration à très grande échelle, des problèmes apparaissent et entravent le chemin de ces évolutions. Parmi ces problèmes, l'effet de canal court (abaissement de la barrière induite par le drain (DIBL), vitesse rapide de saturation et résistance en série élevée) devient contraignant.

Diverses solutions ont été proposées par la communauté scientifique pour pallier ces problèmes induits par le canal court ; et des solutions technologiques ont été trouvées et mises en pratique telles que High-k et métal de grille, semiconducteur sur isolant (SOI), structure multi-grille et le GAAJ.

Dans ce contexte, cette thèse se veut une continuité à ces travaux de recherche et propose une nouvelle architecture de GAAJ MOSFET permettant de réduire ces effets de canaux courts. Le dispositif proposé possède des extensions source – drain fortement dopées et un canal à dopage réduit et uniforme. Les équations formelles de ce dispositif ont été clairement explicitées afin d'établir son modèle analytique. Par ailleurs, par souci de rigueur, nous avons opté pour le logiciel SILVACO pour valider notre modèle. La concordance a été établie et montre l'exactitude du modèle développé.

Vers une optique d'amélioration des performances RF/analogiques du modèle établi, nous nous sommes orientés vers son optimisation et, à cet effet, nous avons opté pour les algorithmes génétiques pour faire cette tâche. Cet outil a été utilisé de manière hybride avec le modèle analytique pour améliorer les performances du dispositif où le modèle analytique a été utilisé comme une fonction objective. Il est à noter que cette dernière englobe une optimisation des

paramètres physiques et géométriques d'une part, et les paramètres relatifs aux performances RF/analogiques d'autres part.

Les résultats à cet égard sont très prometteurs et montrent que l'optimisation hybride est très efficace, car elle nous a permis notamment d'augmenter les performances RF/analogiques en termes de maximisation de courant de drain et de fréquence de coupure d'environ, respectivement, de 120% et 87% par rapport à la conception conventionnelle avec optimisation.

Par ailleurs, afin de valoriser les performances du GAAJ MOSFET avec d'autres composants, nous avons opté pour le HEMT ; un composant dont les performances sont notables. A cet effet, nous avons proposé une nouvelle structure de ce composant à champ plat à double grille $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}/\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$ (FPDG) HEMT avec double hétéro structure. Les paramètres analogiques de cette structure sont évalués en termes de transconductance, de facteur de génération de transconductance et de gain intrinsèque. En outre, ces mêmes paramètres sont comparés avec un HEMT classique en vue de valider la structure FPDG HEMT proposée. Il en ressort que la structure suggérée offre des performances meilleures.

Références bibliographiques

- [1] J. Rabaey, "Digital Integrated Circuits: A Design Perspective," *Prentice Hall India*, 1997.
- [2] R. R. Troutman, "Simple model for threshold voltage in a short-channel IGFET," *Transactions on Electron Devices, IEEE*, vol. 24, no. 10, pp. 1266–8, 1977.
- [3] E. Takeda, "Hot-carrier effects in sub-micrometer MOS VLSIs," *IEE Proceedings*, vol. 131, no. 5, pp. 153–62, 1984.
- [4] M. Garrigues and B. Balland, "Hot carrier injection into SiO₂," *Instabilities in silicon devices: Silicon passivation and related instabilities*, vol. 1, pp. 441–502, 1986.
- [5] A. Kottantharayil, "Low voltage hot-carrier issues in deep sub-micron MOSFETs" *PhD Thesis, University of the German Federal Armed Forces Munich*, cpt. 2, pp. 6-20, Jan. 2002.
- [6] J. E. Lilienfeld, "Method and apparatus for controlling electric current," *US Patent*, no. 1745175, 1925.
- [7] B. Soree, W. Magnus, and G. Pourtois, "Analytical and self-consistent quantum mechanical model for a surrounding gate MOS nanowire operated in JFET mode," *Journal of Computational Electronics*, vol. 7, pp. 380–383, 2008.
- [8] C.-W. Lee, A. Afzalian, N. D. Akhavan, R. Yan, I. Ferain, and J.-P. Colinge, "Junctionless multigate field-effect transistor," *Applied Physics Letters*, vol. 94, no. 5, pp. 053511–053512, 2009.
- [9] B. Soree and W. Magnus, "Silicon nanowire pinch-off FET: basic operation and analytical model," in *10th International Conference on Ultimate Integration on Silicon*, pp. 245–248, 2009.
- [10] A. Kranti, C.-W. Lee, I. Ferain, R. Yu, N. D. Akhavan, P. Razavi, and J. Colinge, "Junctionless nanowire transistor: Properties and design guidelines," in *34th European Solid-State Device Research Conference, IEEE*, pp. 357–360, Aug. 2010.
- [11] S. Gundapaneni, S. Ganguly, and A. Kottantharayil, "Bulk planar junctionless transistor (BPJLT): An attractive device alternative for scaling," *Electron Device Letters, IEEE*, vol. 32, no. 3, pp. 261–263, 2011.
- [12] S.-J. Choi, D.-I. Moon, S. Kim, J. Duarte, and Y.-K. Choi, "Sensitivity of threshold voltage to nanowire width variation in junctionless transistors," *Electron Device Letters, IEEE*, vol. 32, no. 2, pp. 125–127, 2011.
- [13] C.-J. Su, T.-I. Tsai, Y.-L. Liou, Z.-M. Lin, H.-C. Lin, and T.-S. Chao, "Gate-all-around junctionless transistors with heavily doped polysilicon nanowire channels," *Electron Device Letters, IEEE*, vol. 32, no. 4, pp. 521–523, 2011.
- [14] M. Weis, A. Pfitzner, D. Kasprovicz, R. Emling, T. Fischer, S. Henzler, W. Maly, and D. Schmitt-Landsiedel, "Stacked 3-dimensional 6T SRAM cell with independent double gate transistors," in *IEEE International Conference on IC Design and Technology*, pp. 169–172. (*ICICDT*), 2009.

- [15] J. Colinge, C. Lee, A. Afzalian, N. Dehdashti, R. Yan, I. Ferain, P. Razavi, B. O'Neill, A. Blake, M. White, A. Kelleher, B. McCarthy, and R. Murphy, "SOI gated resistor: CMOS without junctions," in *SOI Conference, IEEE International*, pp. 1–2. 2009.
- [16] R. Rios, A. Cappellani, M. Armstrong, A. Budrevich, H. Gomez, R. Pai, N. Rahhal-orabi, and K. Kuhn, "Comparison of junctionless and conventional trigate transistors with Lg down to 26 nm," *Electron Device Letters, IEEE*, vol. 32, no. 9, pp. 1170–1172, 2011.
- [17] D. D. Zhao, T. Nishimura, C. H. Lee, K. Nagashio, K. Kita, and A. Toriumi, "Junctionless ge-p-channel metal-oxide-semiconductor field-effect transistors fabricated on ultrathin ge-on-insulator substrate," *Applied Physics Express*, vol. 4, no. 3, pp. 031302–031304, 2011.
- [18] S.-J. Choi, D.-I. Moon, S. Kim, J.-H. Ahn, J.-S. Lee, J.-Y. Kim, and Y.-K. Choi, "Nonvolatile memory by all-around-gate junctionless transistor composed of silicon nanowire on bulk substrate," *Electron Device Letters, IEEE*, vol. 32, no. 5, pp. 602–604, 2011.
- [19] Y. Sun, H. Yu, N. Singh, K. Leong, E. Gnani, G. Bacarani, G. Lo, and D. Kwong, "Vertical-Si-nanowire-based nonvolatile memory devices with improved performance and reduced process complexity," *Electron Devices, IEEE Transactions on*, vol. 58, no. 5, pp. 1329–1335, 2011.
- [20] Y. Sun, H. Y. Yu, N. Singh, K. C. Leong, G. Q. Lo, and D. L. Kwong, "Junctionless vertical-Si-nanowire-channel-based SONOS memory with 2-bit storage per cell," *Electron Device Letters, IEEE*, vol. 32, no. 6, pp. 725–727, 2011.
- [21] J. Kim, A. J. Hong, S. M. Kim, E. B. Song, J. H. Park, J. Han, S. Choi, D. Jang, J. T. Moon, and K. L. Wang, "Novel vertical-stacked-array transistor (VSAT) for ultra-high density and cost-effective NAND Flash memory devices and SSD (solid state drive)," in *Technical Digest of VLSI Technology Symposium*, pp. 186–187. Jun. 2009.
- [22] H. Tanaka, M. Kido, K. Yahashi, M. Oomura, R. Katsumata, M. Kito, Y. Fukuzumi, M. Sato, Y. Nagata, Y. Matsuoka, Y. Iwata, H. Aochi, and A. Nitayama, "Bit cost scalable technology with punch and plug process for ultra high density Flashmemory," in *Technical Digest of VLSI Technology Symposium*, pp. 14–15. Jun. 2007.
- [23] H. T. Lue, E. K. Lai, Y. H. Hsiao, S. P. Hong, M. T. Wu, F. H. Hsu, N. Z. Lien, S. Y. Wang, L. W. Yang, T. Yang, K. C. Chen, K. Y. Hsieh, R. Liu, and C. Y. Lu, "A novel junction free BE-SONOS NAND Flash," in *Technical Digest of VLSI Technology Symposium*, pp. 140–141, Jun. 2008.
- [24] Y. Fukuzumi, R. Katsumata, M. Kito, M. Kido, M. Sato, H. Tanaka, Y. Nagata, Y. Matsuoka, Y. Iwata, H. Aochi, and A. Nitayama, "Optimal integration and characteristics of vertical array devices for ultra-high density, bit-cost scalable Flash memory," in *Technical Digest of the International Electron Devices Meeting*, pp. 449–452, Dec. 2007.
- [25] Y. Komori, M. Kido, M. Kito, R. Katsumata, Y. Fukuzumi, H. Tanaka, Y. Nagata, M. Ishiduki, H. Aochi, and A. Nitayama, "Disturbless Flash memory due to high boost efficiency on BiCS structure and optimal memory film stack for ultra high density storage device" in *Technical Digest of the International Electron Devices Meeting*, pp. 851–854. Dec. 2008.
- [26] A. Kranti, C. Lee, I. Ferain, R. Yan, N. Akhavan, P. Razavi, R. Yu, G. A. Armstrong, and J. Colinge, "Junctionless 6T SRAM cell," *IET Electronics Letters*, vol. 46, no. 22, pp. 1491–1493, 2010.

- [27] J.-P. Raskin, J.-P. Colinge, I. Ferain, A. Kranti, C.-W. Lee, N. Akhavan, R. Yan, P. Razavi, and R. Yu, "Mobility improvement in nanowire junctionless transistors by uniaxial strain," *Applied Physics Letters*, vol. 97, no. 4, pp. 042114 – 042116, 2010.
- [28] N. Dehdashti Akhavan, I. Ferain, P. Razavi, R. Yu, and J.-P. Colinge, "Improvement of carrier ballisticity in junctionless nanowire transistors," *Applied Physics Letters*, vol. 98, no. 10, pp. 103 510–103 512, 2011.
- [29] D. Sels, B. Sore, and G. Groeseneken, "Quantum ballistic transport in the junctionless nanowire pinch-off field effect transistor," *Journal of Computational Electronics*, pp. 1–6, 2011.
- [30] S. Cho, K. R. Kim, B.-G. Park, and I. M. Kang, "RF performance and small-signal parameter extraction of junctionless silicon nanowire MOSFETs," *Electron Devices, IEEE Transactions on*, vol. 58, no. 5, pp. 1388 –1396, 2011.
- [31] P. Razavi, G. Fagas, I. Ferain, N. Akhavan, R. Yu, and J. Colinge, "Performance investigation of short-channel junctionless multigate transistors," *12th International Conference on Ultimate Integration on Silicon (ULIS)*, pp. 1 –3, Mar. 2011.
- [32] J.-P. Colinge, C.-W. Lee, I. Ferain, N. Akhavan, R. Yan, P. Razavi, R. Yu, A. Nazarov, and R. Doria, "Reduced electric field in junctionless transistors," *Applied Physics Letters*, vol. 96, no. 7, pp. 073 510 – 073 512, 2010.
- [33] C.-W. Lee, A. N. Nazarov, I. Ferain, N. D. Akhavan, R. Yan, P. Razavi, R. Yu, R. T. Doria, and J.-P. Colinge, "Low subthreshold slope in junctionless multigate transistors," *Applied Physics Letters*, vol. 96, no. 10, pp. 102106 –102109, 2010.
- [34] S.M. Sze, Kwok K. Ng, *Physics of Semiconductor Devices*, John Wiley & Sons, Inc., 2007.
- [35] <http://www.databeans.net/>
- [36] K. F. Brennan, & A. S. Brown, *Theory of modern electronic semiconductor devices*. John Wiley. 2002.
- [37] L. D. Yau, A simple theory to predict the threshold voltage of short-channel IGFET's. *Solid-State Electronics*, 17(10), 1059-1063. 1974.
- [38] B. G. Streetman, and S. Banerjee, *Solid state electronic devices*. 6th ed. Prentice Hall series in solid state physical electronics, Upper Saddle River, N.J., Pearson/Prentice Hall, 2006.
- [39] N. Arora, *Mosfet modeling for VLSI simulation: theory and practice*. World Scientific. 2007.
- [40] J. J. Barnes, K. Shimohigashi, & R. W. Dutton. Short-channel MOSFETs in the punchthrough current mode. *IEEE Journal of Solid-State Circuits*, 14(2), 368-375. 1979.
- [41] K. Roy, S. Mukhopadhyay, & H. Mahmoodi-Meimand, Leakage current mechanisms and leakage reduction techniques in deep-submicrometer CMOS circuits. *Proceedings of the IEEE*, 91(2), 305-327. 2003.
- [42] N. Kotani, , & S. Kawazu. Computer analysis of punch-through in MOSFETs. *Solid-State Electronics*, 22(1), 63-70. 1979.
- [43] Y. -S. Sohn, "Method for fabricating semiconductor device with ultra-shallow super-steep-retrograde epi-channel by boron-fluoride compound doping." U.S. Patent No. 6,730,568. 4 May 2004.

- [44] S. Wolf, Silicon Processing for the VLSI Era, Vol. 3: The Submicron MOSFET. 1994.
- [45] R. J. Huetting, & A. Heringa, Analysis of the subthreshold current of pocket or halo-implanted nMOSFETs. IEEE transactions on electron devices, 53(7), 1641-1646. 2006.
- [46] W. Müller, and I. Eisele, Velocity saturation in short channel field effect transistors. Solid State Communications, 34(6), 447-449. 1980.
- [47] <http://bwrc.eecs.berkeley.edu>
- [48] <http://www.itrs.net>
- [49] www.advancedsubstratenews.com
- [50] J. W. Yang, and J. G. Fossum, On the feasibility of nanoscale triple-gate CMOS transistors. IEEE Transactions on Electron Devices, 52(6), 1159-1164. 2005.
- [51] J. P. Colinge, Multi-gate SOI MOSFETs. Microelectronic Engineering, 84(9-10), 2071-2076. 2007.
- [52] A. Dixit, A. Kottantharayil, Collaert, N., Goodwin, M., Jurczak, M., & De Meyer, K. Analysis of the parasitic S/D resistance in multiple-gate FETs. IEEE Transactions on Electron Devices, 52(6), 1132-1140. 2005.
- [53] S. De Meyer "Étude d'une nouvelle filière de composants HEMTs sur technologie nitrure de gallium, conception d'une architecture flip-chip d'amplificateur distribué de puissance à très large bande". Thèse de doctorat, Université de Limoges, 216 p, 2005.
- [54] G. Soubercaze-Pun "De l'Étude en Bruit Basse Fréquence à la Conception d'un Oscillateur en Bande-X à partir de transistors AlGaIn/GaN HEMT", Thèse de doctorat en génie électrique, Université Paul Sabatier de Toulouse, 158 p. 2007.
- [55] C. Charbonnaud "Caractérisation et modélisation électrothermique non linéaire de transistors à effet de champ GaN pour l'amplification de puissance microonde", Thèse de doctorat en génie électrique, Université de Limoges, 191 p. 2005.
- [56] R. Fletcher, Practical Methods of Optimization, 2-nd Edition, John Wiley & Sons, 2000.
- [57] G. Polya, How to Solve It., Princeton Univ.Pr, 1945.
- [58] F. Box, A Heuristic technique for assigning frequencies to mobile radio nets, IEEE Transactions on Vehicular Technology, 27, 57-74, 1978.
- [59] K. Y. Lee and M.A. El-Sharkawi (editors), Modern Heuristic Optimization Techniques with Applications to Power Systems, IEEE Press Series on Power Engineering, John Wiley & Sons, 2008.
- [60] S. J. Russell, P. Norvig, Artificial Intelligence: A Modern Approach (3rd ed.), 2009.
- [61] J. Pearl., Heuristics: Intelligent Search Strategies for Computer Problem Solving, Add.-Wesley, 1984.
- [62] S. Koenig M. Likhachev, Y. Liu, et al., Incremental heuristic search in AI, AI Magazine, 25 (2), 2004.
- [63] R. Zhou, E. A. Hansen, Breadth-First Heuristic Search, Proc. of the 14th International Conference on Automated Planning and Scheduling, ICAPS-04, Whistler, British Columbia, Canada, June 2004.

- [64] E. Burns, S. Lemons, R. Zhou, W. Ruml, Best-First Heuristic Search for Multi-Core Machines, Proc. of the 21-st International Joint Conference on Artificial Intelligence (IJCAI-09), Pasadena, California, pp. 449-455, 2009.
- [65] R. Dechter, J. Pearl, Generalized Best-First Search Strategies and the Optimality of A*. Journal of the Assoc. for Comp. Machinery, 32, pp. 505-536, 1985.
- [66] R. Zhou, E. A. Hansen, Beam-Stack Search: Integrating Backtracking with Beam Search, Proc. of the 15th International Conference on Automated Planning and Scheduling, Monterey, June, 2005.
- [67] F. Glover, Future Paths for Integer Programming and Links to Artificial Intelligence, *Computers and Operations Research* 13 (5): 533-549, 1986.
- [68] C. Blum, A. Rolli, Metaheuristics in Combinatorial Optimization: Overview and Conceptual Comparison, *ACM Computing Surveys*, 35(3), 268-308, 2003.
- [69] M. Gen, R. Cheng, L. Lin "Network Models and Optimization: Multiobjective Genetic Algorithm Approach", Springer-Verlag London editions, 2008.
- [70] M. Gen, R. Cheng, "Genetic Algorithms And Engineering Design", John Wiley & Sons, 1997.
- [71] <http://www.itrs2.net>
- [72] R. Wang, J. Zhuge, R. Huang, Y. Tian, H. Xiao, L. Zhang, C. Li, X. Zhang and Y. Wang, "Analog/RF Performance of Si Nanowire MOSFETs and the Impact of Process Variation," *IEEE T. Electr. Devices*, vol. 54, no 6, pp. 1288-1294, June. 2007.
- [73] P. Kumar, D. Joy and B. K. Jeblin, "Nanoscale tri-gate MOSFET for Ultra low power applications using high-k dielectrics," 5th International Conference on Nanoelectronics, Singapore, pp. 12-19. 2013
- [74] D. Jimenez, J. Saenz, B. Iñiguez, J. Sune, L. F. Marsal and J. Pallares, "Modeling of Nanoscale Gate-All-Around MOSFETs," *IEEE Electr. Device L*, vol. 25 no 5, pp. 314-316, May. 2004.
- [75] F. Djeflal, Z. Ghoggali, Z. Dibi, N. Lakhdar, "Analytical analysis of nanoscale multiple gate MOSFETs including effects of hot-carrier induced interface charges," *Microelectron Reliab*, vol. 49 no 4, pp. 377-381, Apr. 2009.
- [76] F. Djeflal, N. Lakhdar, A. Yousfi, "An optimized design of 10-nm-scale dual-material surrounded gate MOSFETs for digital circuit applications," *Physica E*, vol. 44 no 1, pp. 339-344, oct. 2011.
- [77] A. Cerdeira, F. Avila, B. Iñiguez, M. De Souza, M. A. Pavanello, M. Estrada, "Compact core model for symmetric double-gate junctionless transistors," *Solid State Electron*, vol. 94, pp. 91-97, Apr. 2014.
- [78] C. Dupré, T. Ernst, C. Arvet, F. Aussenac, S. Deleonibus, G. Ghibaudo, "Stacked nanowires FET with independent gates: novel device for ultra-dense low power applications," 2007 International SOI Conference, New York, pp. 95-96, 2007.
- [79] C. W. Lee, A. Afzalian, N. D. Akhavan, R. Yan, I. Ferain, J. P. Colinge, "Junctionless multigate field-effect transistor," *Applied Physics Letters*, vol. 94, pp. 053511.1-053511, Jan. 2009.

- [80] D. Ghosh, A. Kranti, "Impact of channel doping and spacer architecture on Analog/RF performance of low power junctionless MOSFETs", *Semiconductor science and technology*, vol. 30 no 1, pp. 1-11, Nov. 2014.
- [81] C. J. Su, T. I. Tsai, Y. L. Liou, Z. M. Lin, H. C. Lin, T. S. Chao, "gate all around junctionless transistors with heavily doped polysilicon nanowire channels", *IEEE Electron. Device L*, vol. 32 no 4, pp. 521-523, Feb. 2011.
- [82] T. Y. Liu, F. M. Pan, J. T. Sheu, "characteristics of Gate All Around junctionless polysilicon nanowire transistors with TWIN 20 nm gates", *IEEE Journal of the Electron Devices Society*, vol. 3, no 5, pp. 405-409, June. 2015.
- [83] X. Jin, X. Liu, M. Wu, R. Chuai, J. H. Lee, J. H. Lee, "Modeling of the nanoscale channel length effect on the subthreshold characteristics of junctionless field effect transistors with a symmetric double gate structure", *Journal of Physics D: Applied Physics*, vol. 45 no 37, pp. 1-5, Aug. 2012.
- [84] N. Trivedi, M. Kumar, S. Haldar, S. S Deswal, M. Gupta, R. S. Gupta, "Analytical modeling simulation and characterization of short channel Junctionless Accumulation Mode Surrounding Gate (JLAMSG) MOSFET for improved analog/RF performance," *Superlattices and Microstructures*, vol 100, pp. 1263-1275, Dec. 2016.
- [85] D. Y. Jeon, S. J. Park, M. Mouis, S. Barraud, G. T. Kim, G. Ghibaudo, "Impact of series resistance on the operation of junctionless transistors" *Solid-State Electron*, vol. 129, pp. 103-107, Mar. 2017.
- [86] F. Djeflal, H. Ferhati, T. Bentrchia, "Improved analog and RF performances of gate-all-around junctionless MOSFET with drain and source extensions", *Superlattices and Microstructures*, vol. 90, pp. 132-140, Feb. 2016.
- [87] N. Trivedi, M. Kumar, S. Haldar, S. S. Deswal, M. Gupta, R. S. Gupta, "Analytical modeling of Junctionless Accumulation Mode Cylindrical Surrounding Gate MOSFET (JAM-CSG)", *Int. J. Numer. Model*, vol. 29 no 6, pp. 1036–1043, Mar. 2016.
- [88] S. Dubey, P. K. Tiwari, S. Jit, "On-current modeling of short channel double gate (DG) MOSFETs with a vertical Gaussian-like doping profile", *Journal of Semiconductors*, vol. 34 no 5, pp. 1-8, May. 2013.
- [89] Y. S. Yu, "A Unified Analytical Current Model for N- and P-Type Accumulation- Mode (Junctionless) Surrounding-Gate Nanowire FETs", *IEEE Trans. Electron Devices*, vol. 61 no 8, pp. 3007-3010, Aug. 2014.
- [90] A. Kranti, G. A. Armstrong, "Design and optimization of FinFETs for ultra-low-voltage analog applications," *IEEE T. Electron. Devices*, vol. 54 no 12, pp. 3308-3316, Dec. 2007.
- [91] ATLAS User Manual: Device Simulation Software, 2012.
- [92] F. Lime, O. Moldovan, B. Iñiguez, "A compact explicit model for long-channel gate-all-around junctionless MOSFETs. Part I: dc characteristics", *IEEE T. Electron. Devices*, vol. 61, pp. 3036-3041, Sep. 2014.
- [93] F. Lime, F. Ávila-Herrera, A. Cerdeira, B. Iñiguez, "A Compact Explicit DC Model For Short Channel Gate-All-Around Junctionless MOSFETs", *Solid-State Electron*, vol. 131, pp. 24-29, May. 2017.

- [94] F. Lime, O. Moldovan, B. Iñiguez, A quasi-two-dimensional compact drain-current model for undoped symmetric double-gate MOSFETs including short-channel effects, *IEEE Trans. Electron Devices*, vol. 55, pp. 1441-1448, May. 2008.
- [95] C. C. Mc. Andrews, B. K. Bhatta Charyva, O. A. "A single-piece C/∞ /-continuous MOSFET model including subthreshold conduction", *IEEE Electron Device Letters*, vol. 12 no 10, pp. 565-567, Oct. 1991.
- [96] B. Iñiguez, E. Moreno, "An Improved C_1 -Continuous Small-Geometry MOSFET Modeling for Analog Applications," *Analog Integrated Circuits and Signal Processing*, vol. 13, pp. 241-259, Jul. 1997.
- [97] C. P. Auth, J. D. Plummer, "Scaling Theory for Cylindrical, Fully-Depleted, Surrounding-Gate MOSFET's," *IEEE Electron Device Letters*, vol. 18, no 2, pp. 74-76, Feb. 1997.
- [98] S. Veeraraghavan, J. Fossum, "A physical short-channel model for the thin- film SOI MOSFET applicable to device and circuit CAD," *IEEE T. Electron. Devices*, vol. 35 no 11, pp.1866-1875, Nov. 1988.
- [99] A. Cerdeira, F. Ávila, B. Iñiguez, M. De Souza, M. Pavanello, M. Estrada, "Compact core model for Symmetric Double-Gate Junctionless Transistors", *Solid-State Electron*, vol. 95, pp. 91-97, Apr. 2014.
- [100] Lin, J.C., P.Y. Yang and W.C. Tsai, Simulation and analysis of metamorphic high electron mobility transistors. *Microelectron. J.*, 38(2): 251-254, 2007.
- [101] S. Selberherr, *Analysis and Simulation of Semiconductor Devices*, Springer, Wien, 1984.
- [102] P. T. Landsberg, and G. S. Kousik, "The connection between carrier lifetime and doping density in nondegenerate semiconductors," *J. Appl.Phys.*, vol. 56, pp. 1696-1700, 1984.
- [103] Y. Li, Y. Y. Cho, "Intelligent BSIM4 Model Parameter Extraction for Sub-100 nm MOSFET Era", *Japanese Journal of Applied Physics*, vol. 43, no.4B, pp. 1717-1722, Apr. 2004.
- [104] I. Benacer, Z. Dibi, "Extracting parameters of OFET before and after threshold voltage using genetic algorithms", *IJAC Journal*, vol. 13 no 4, pp. 382-391. Aug. 2016.
- [105] H. Bencherif, F. Djeflal, and H. Ferhati, "Performance enhancement of Pt/TiO₂/Si UV-photodetector by optimizing light trapping capability and interdigitated electrodes geometry", *Superlattices and Microstructures*, vol. 97, pp. 303-312. Sep. 2016.
- [106] H. Bencherif, F. Djeflal, Analytical investigation of SiGe solar cell including texture morphology effects, 2015 4th IEEE International Conference on Systems and Control, Sousse, pp. 268-272, 2015.
- [107] M. Saxena, S. Haldar, M. Gupta, R.S. Gupta, "Physics-based analytical modeling of potential and electrical field distribution in dual material gate (DMG)-MOSFET for improved hot-electron effect and carrier transport efficiency," *IEEE T. Electron Devices*, vol. 49, pp. 1928-1938, Nov. 2002.

Annexe A

Simulateur TCAD

A.1. Introduction

La simulation est un outil puissant utilisé pour reproduire mathématiquement le fonctionnement des dispositifs et des systèmes. Cela peut être considéré comme une méthode analytique développée ; il est généralement utilisé lorsque les méthodes analytiques ne représentent pas adéquatement le système étudié. Par exemple, dans certaines situations, la fonction objective est non linéaire ; certaines des restrictions ne peuvent pas être modélisées par un ensemble d'équations linéaires. Dans d'autres cas, les simplifications adoptées dans les méthodes analytiques ont un effet significatif sur les résultats. La simulation joue également un rôle principal dans le développement et la prédiction des propriétés des technologies modernes. En raison du passage par l'élaboration d'un prototype et de la refonte du circuit, le coût des technologies modernes (circuits intégrés par exemple) est très élevé, ce qui peut être facilement réduit grâce à la simulation. De plus, la simulation permet une visualisation et une meilleure compréhension des phénomènes physiques microscopiques et des effets se produisant sur de très petites longueurs ou sur de petites périodes dans des dimensions macroscopiques. Ainsi, la simulation du dispositif a pour but d'utiliser la sortie de simulation pour l'analyse prédictive des propriétés et du comportement de la structure du dispositif simulé avec un aperçu unique du fonctionnement interne du processus et de la structure et de la possibilité d'optimisation et de développement.

En simulation, le dispositif semi-conducteur est représenté par une structure dont les propriétés électriques et physiques sont discrétisées sur un maillage de nœuds contenant des informations sur les types de matériaux, les profils de

dopage dans des régions spécifiques et les conditions de limites. Un vaste ensemble de modèles physiques est également fourni pour caractériser les comportements physiques du dispositif. Un simulateur de dispositif calcule les caractéristiques de sortie en résolvant un ensemble d'équations différentielles partielles au moyen de techniques numériques itératives.

A.2. Simulation sous SILVACO

La première solution numérique en 2D de l'équation de Poisson pour la structure de MOSFET a été rapportée simultanément dans les travaux de *Loeb* et *Schroeder* [91]. La première analyse par éléments finis des équations des semi-conducteurs a été rapportée dans [91]. Au début de 1980, lorsque les dimensions des dispositifs sont devenues plus petites et les dessins sont devenus plus complexes, les simulations numériques en 2D sont devenues de plus en plus insuffisantes menant aux développements des simulateurs numériques en 3D [91]. Suite à cela, cette nouveauté à effectuer des simulations en 3D a été incorporée presque dans tous les programmes des simulateurs disponibles en 2D [91].

Après le succès des outils de CAO pour simuler les caractéristiques électriques, il y avait un intérêt croissant dans la communauté de la recherche pour des outils qui pourraient simuler le processus de fabrication. Dans ce contexte, on peut citer l'outil SUPREM développé par des chercheurs de l'université de Stanford à la fin des années 1970 [91]. Actuellement, Silvaco [91] et Synopsys sont les principaux fournisseurs d'outils commerciaux TCAD.

Silvaco TCAD fournit l'outil ATLAS pour créer la structure du dispositif dans un mode de traitement par lots (entrée de ligne de commande) et l'outil DEVEDIT qui a son tour peut être utilisé pour éditer le dispositif de manière interactive. La structure créée peut être analysée à l'aide de l'outil de visualisation inclus dans le logiciel.

Les principales caractéristiques d'un simulateur comprennent l'acquisition d'informations de source valides sur le dispositif (ou le circuit simulé), la sélection

de caractéristiques et de comportements clés, l'utilisation d'approximations et d'hypothèses simplifiées dans la simulation, et enfin la validation du résultat de la simulation. Les simulations fournissent l'information physique nécessaire pour optimiser le processus et maximiser le rendement. Cependant, la précision de la simulation dépend des modèles de dispositif utilisés dans les simulateurs.

La première étape dans l'exécution d'une simulation est la création de la structure du dispositif ; ceci est réalisé par l'utilisation d'un outil de simulation de processus. Ce dernier prend en compte les différents effets physiques des étapes de fabrication telles que l'oxydation, la diffusion, l'implantation ionique, le dépôt, le recuit et la gravure (voir figure suivante).

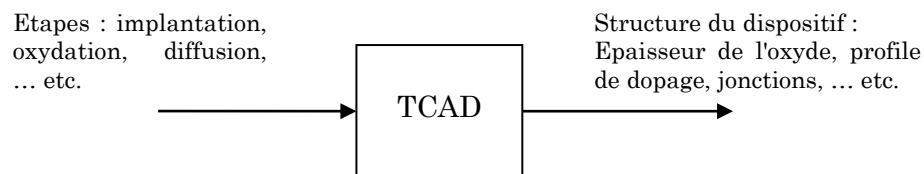


Figure A.1 : Schéma du processus de simulation TCAD

La seconde étape est la simulation du dispositif. Elle fait référence à la simulation numérique du fonctionnement du dispositif. A noter que le dispositif lui-même inclut un ensemble de modèles relatif aux différents phénomènes et propriétés physiques. Le schéma de simulation d'un dispositif est montré dans la Figure A.2.

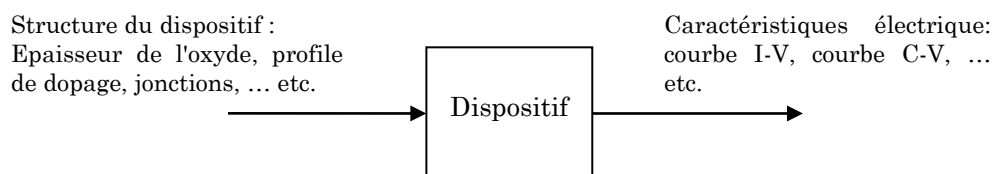


Figure A.2 : Schéma de simulation d'un dispositif pour générer des caractéristiques électriques.

Dans cette thèse, nous utilisons Silvaco TCAD pour valider le modèle analytique que nous avons explicité au début de ce chapitre.

Afin d'évaluer les caractéristiques du dispositif, un simulateur suit un flux typique illustré à la Figure A.3. Il montre les différentes étapes impliquées dans la simulation d'un dispositif, de sa création à l'obtention des caractéristiques électriques.

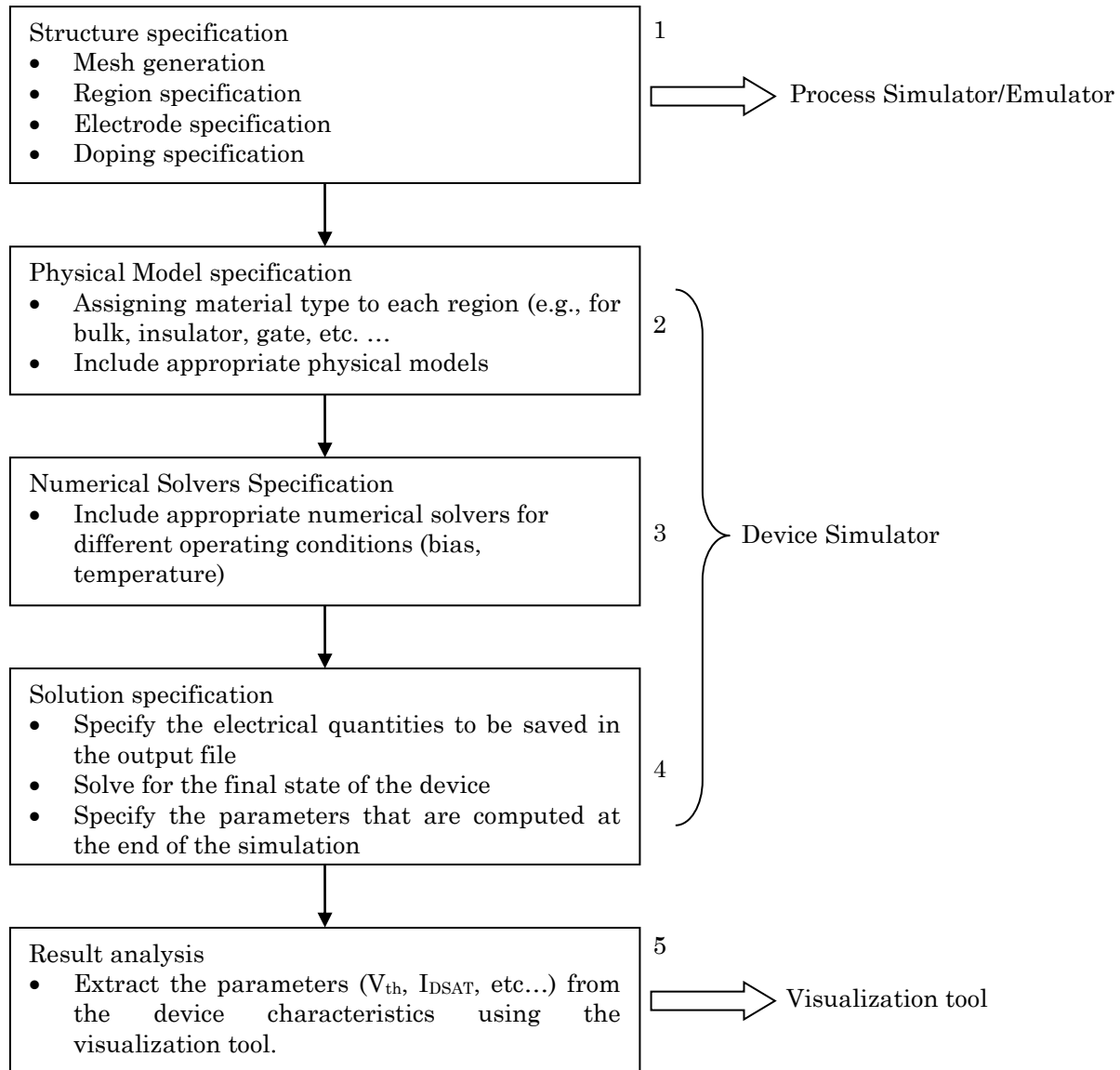


Figure A.3 : Flux de simulation

Comme le montre le premier bloc, le flux de conception typique commence par la création d'une structure de dispositif soit par un outil de simulation de processus, soit par des opérations de conception assistée par ordinateur (CAO) et d'émulation de processus. Afin de créer la structure, les informations géométriques telles que les dimensions du dispositif doivent être fournies.

Parallèlement à la géométrie du dispositif, des informations spécifiques au dispositif telles que le dopage, la définition de l'électrode et la définition du maillage doivent également être fournies. Lors de la spécification de la géométrie du dispositif, une largeur définie peut être spécifiée pour créer une structure 3D autre que la structure 2D avec la largeur par défaut. Le dispositif construit est intelligemment maillé et transmis au simulateur pour effectuer des simulations du dispositif.

L'ensemble du processus de simulation de dispositif est décrit par les deuxième, troisième et quatrième les blocs de la Figure A.3. Le type de matériau est affecté à différentes régions et différents modèles physiques appropriés. L'inclusion de différents modèles physiques dépend de la nature et de l'intention des simulations. Ils peuvent aller de simples modèles de transport de porteurs tels que des modèles de conduction-diffusion à des modèles quantiques plus complexes. Les simulateurs de dispositifs simulent numériquement le comportement électrique d'un seul dispositif à semi-conducteur ou de plusieurs dispositifs combinés dans un circuit. Par conséquent, les solveurs numériques appropriés sont également spécifiés dans le simulateur (3ème bloc). Les courants, les tensions et les charges sont calculés sur la base de l'ensemble des équations incluses dans les différents modèles physiques et dans les conditions de fonctionnement (température et polarisation), celles-ci sont représentées par le 4ème bloc de la Figure A.3. Enfin, comme indiqué dans le 5ème bloc, différents outils graphiques sont utilisés pour tracer et visualiser les caractéristiques électriques du dispositif simulé (circuit). Les outils de visualisation peuvent également être utilisés pour visualiser diverses autres grandeurs électriques telles que la densité de courant, le champ électrique entre différentes régions, ... etc.

Annexe B

Éléments de base pour la simulation du GAAJ MOSFET sous SILVACO

Les simulateurs de dispositifs peuvent prédire les caractéristiques électriques associées à la structure et aux conditions de polarisation spécifiées. Ceci est obtenu en rapprochant le fonctionnement du dispositif décrit par des modèles mathématiques (des phénomènes et des caractéristiques physiques du dispositif) sur une grille à deux ou trois dimensions également appelée maille de dispositif. Le maillage est constitué d'un certain nombre de points appelés nœuds (N). Les dimensions du maillage de la structure simulée ont une grande influence sur les résultats simulés (sorties).

Il est à rappeler que les modèles mathématiques peuvent être représentés par un ensemble d'équations différentielles. Ces équations constituées de l'équation de Poisson, des équations de continuité et des équations de transport ... etc. sont discrétisées sur la grille de simulation (2D ou 3D) pour simuler cette structure.

L'équation de Poisson relie les variations du potentiel électrostatique aux densités de charge locales. Les équations de continuité et de transport décrivent la façon dont les densités des porteurs (électrons et trous) évoluent à la suite des processus de transport, des processus de génération et de recombinaison. En raison de l'importance de ces équations dans tous les simulateurs physiques, elles sont brièvement abordées ci-dessous.

Equation de Poisson

Le champ électrique est défini comme le gradient négatif du potentiel électrostatique $\psi(x)$:

$$\frac{d\psi(x)}{dx} = -E(x) \quad (\text{B.1})$$

De la loi de Gauss, nous pouvons établir la relation entre la densité de charge et le champ électrique :

$$\frac{dE(x)}{dx} = \frac{\rho(x)}{\varepsilon} \quad (\text{B.2})$$

En substituant l'équation B.1 à B.2, nous obtenons la relation entre la densité de charge et le potentiel électrostatique :

$$\frac{d^2\psi(x)}{dx^2} = \frac{\rho(x)}{\varepsilon} \quad (\text{B.3})$$

L'équation B.3 est appelée équation de Poisson ; elle relie les variations du potentiel électrostatique aux densités de charge locales. La physique des dispositifs a établi l'existence de trois mécanismes différents qui s'ajoutent au terme de charge d'espace dans l'équation de Poisson, en plus du donneur ionisé et des impuretés accepteurs. Ces mécanismes traduisent la charge fixe et la charge d'interface. Les charges fixes sont toujours complètement occupées. La charge d'interface peut être classée en tant que pièges à donneurs et pièges à accepteurs. Un piège à donneur peut être positif ou neutre comme un dopant donneur. Un piège à donneur est chargé positivement (ionisé) lorsqu'il est vide et neutre lorsqu'il est rempli (avec un électron). Un piège à donneur vide qui est positif, peut capturer un électron ou émettre un trou. Un piège à donneur rempli qui est neutre peut émettre un électron ou capturer un trou. Un accepteur le piège peut être négatif ou neutre comme un dopant accepteur. Il est neutre lorsqu'il est vide ; et il est chargé négativement (ionisé) lorsqu'il est rempli (avec un électron). Un piège à accepteur rempli peut émettre un électron ou capturer un trou. Un piège à accepteur vide peut capturer un électron ou émettre un trou. Par conséquent la

charge totale causée par la présence de pièges est soustraite du côté droit de l'équation de Poisson (voir équation B.3) et est donnée comme suit :

$$Q_T = q(N_{tD}^+ - N_{tA}^-) \quad (\text{B.4})$$

où N_{tD}^+ et N_{tA}^- sont les densités de pièges de type donneur ionisé (chargé) et accepteur respectivement et sont décrits par les équations B.5 et B.6.

$$N_{tD}^+ = N_D \times F_{tD} \quad (\text{B.5})$$

$$N_{tA}^- = N_D \times F_{tA} \quad (\text{B.6})$$

La densité du piège ionisé dépend de la densité totale du piège et de la probabilité d'ionisation. Dans les équations B.5 et B.6, F_{tD} et F_{tA} sont les probabilités d'ionisation pour les pièges de type donneur et accepteur ; N_D est la densité totale des pièges.

La probabilité d'ionisation des pièges de type accepteur ou donneur est en fonction des différentes caractéristiques du piège, telles que la section efficace de capture et l'énergie du piège. Elle est donnée par l'équation B.7 où σ_n et σ_p sont, respectivement, les sections transversales des pièges à électrons et trous, et E_t est l'énergie du piège.

$$F_{tA} = f(\sigma_n, E_t) \quad (\text{B.7})$$

$$F_{tD} = f(\sigma_p, E_t) \quad (\text{B.8})$$

L'énergie du piège (E_t) se situe dans la zone interdite E_g du matériau dans laquelle les pièges existent. Dans le cas des pièges d'interface, l'un des matériaux (formant l'interface) peut être considéré comme une référence à partir de laquelle l'énergie du piège est mesurée. Pour le piège du type donneur, l'énergie du piège est mesurée à partir de la bande de valence ; tandis que pour le piège du type accepteur, elle est mesurée à partir de la bande de conduction. La section

transversale du piège (σ_n/σ_p) est la taille physique effective du piège dans le matériau.

Équations de continuité des porteurs

L'équation de continuité met en relation les variations de la densité de porteurs dans le temps avec les flux des porteurs, la génération et la recombinaison des porteurs. L'équation de continuité est basée sur la conservation des charges mobiles [91] et est :

$$\frac{\partial n}{\partial t} = \frac{1}{q} \frac{\partial J_n}{\partial x} - R_n + G_n \quad (\text{B.9})$$

$$\frac{\partial p}{\partial t} = -\frac{1}{q} \frac{\partial J_p}{\partial x} - R_p + G_p \quad (\text{B.10})$$

Ici, les équations B.9 et B.10 correspondent au cas des électrons (n) et des trous (p), respectivement ; où G_n et G_p sont les taux de génération des électrons et des trous ; R_n et R_p sont les taux de recombinaison des électrons et des trous ; J_n et J_p sont les densités de courant des électrons et des trous ; q est la charge d'un électron.

Mécanisme de transport

Le courant à l'intérieur d'un semi-conducteur (ou de n'importe quel matériau) est défini comme le débit des porteurs de charge. Les deux principaux moyens d'écoulement des porteurs à l'intérieur d'une structure MOSFET sont le courant de conduction et le courant de diffusion. Lorsqu'un champ électrique est appliqué à un semi-conducteur, la force électrostatique provoque l'accélération des porteurs due au champ. L'écoulement des porteurs de charge sous un champ électrique appliqué est connu sous le nom de conduction, entraînant un courant de conduction. En raison de collisions avec des impuretés, la vitesse des porteurs atteint une valeur constante, appelée vitesse de saturation (v). L'autre moyen de courant connu sous le nom de courant de diffusion est le résultat du mouvement

des porteurs dû à l'énergie thermique. Ce mouvement (ou diffusion) des porteurs se produit en raison d'un gradient de densité, créé à la suite de la variation de la densité de dopage. Le courant total est la somme des courants de conduction et de diffusion ; et les équations B.11 et B.12 montrent la densité de courant totale pour les électrons et les trous.

$$J_n = qn\mu_n E + qD_n \frac{D_n}{\partial x} \quad (\text{B.11})$$

$$J_p = qn\mu_p E + qD_p \frac{D_p}{\partial x} \quad (\text{B.12})$$

Dans les expressions ci-dessus, D_n et D_p sont les constantes de diffusion, les termes μ_n et μ_p correspondent respectivement à la mobilité des électrons et des trous.

La mobilité est une propriété importante des porteurs. Par conséquent, une meilleure compréhension des facteurs qui influencent la mobilité des porteurs est très cruciale pour les concepteurs des dispositifs. Les porteurs sont accélérés par le champ électrique appliqué mais perdent leurs élans à la suite de divers processus de diffusion. Ces processus de diffusion comprennent des vibrations de réseau et des imperfections.

Dans le cas le plus simple, la mobilité est en fonction de la température du réseau, mais ceci n'est valable que pour les dispositifs sous faible champ électrique ou avec un faible niveau de dopage.