



Université de Batna 2 – Mostefa Ben Boulaïd
Faculté de Technologie
Département d'Électronique



Thèse

Présentée pour l'obtention du titre de :
Docteur en Sciences en Électronique
Option : Microélectronique

Sous le Thème :

**VARIATEUR DE VITESSE INDUSTRIEL À BASE
DE FPGA**

Présentée par :

BELKHEIRI Ahmed

Devant le jury composé de :

M. ABDESSEMED Yassine	Prof.	Université de Batna 2	Président
M. AOUGHELLANET Said	MCA	Université de Batna 2	Rapporteur
M. ABDESSEMED Foudil	Prof.	Université de Batna 2	Examineur
M. KOUZOU Abdellah	Prof.	Université de Djelfa	Examineur
M. BELARBI Khaled	Prof.	Université de Constantine	Examineur
M. MOKHTARI Bachir	MCA	Université de Laghouat	Examineur

11 Décembre 2018

بِسْمِ اللَّهِ الرَّحْمَنِ الرَّحِيمِ

الحمد لله رب العالمين
والصلاة والسلام على
سيدنا محمد وآله

ملخص

الهدف من هذا العمل هو تصميم وإنجاز مغير سرعة لمحرك ثلاثي الأطوار لا تزامني وذلك باستخدام رقائق مصفوفة البوابات المنطقية القابلة للبرمجة. من أجل ذلك تم في البداية دراسة ومحاكاة مبدأ التحكم الشعاعي غير المباشر للتدفق من أجل فصل تحكم العزم الكهرومغناطيسي عن تحكم التدفق ثم دراسة ومحاكاة طرق التحكم في موج التوتر الكهربائي ذو مستويين, لاستعماله في تغيير سرعة المحرك. وبعدها تم عرض ومناقشة منهجية تصميم وتطوير مناسبة لبناء خوارزميات التحكم المقترحة, رقمياً بواسطة رقائق مصفوفة البوابات المنطقية القابلة للبرمجة, وكانت مساهمتنا الأساسية من خلال هذه الأطروحة البناء الرقمي لهذه الخوارزميات وذلك باستعمال أقل عدد ممكن من الوحدات الأساسية و الموارد المكونة لهاته الرقائق. وقد تم في الأخير إثبات نجاعة بناء هذه الخوارزميات بواسطة المحاكاة أولاً, ومن ثم بواسطة اختبار تجريبي مستعملين دائرة مغير السرعة التي تم إنجازها في إطار هذا العمل.

Abstract

The objective of this work is the FPGA-based design and implementation of speed controller of induction motor, to do this, a study and a simulation of indirect rotor flux control was presented, in order to decouple them, and also the control methods of two levels voltage inverters, used in speed controller, was presented. In order to implement the control algorithms proposed on FPGA, an adequate methodology of design and development it was presented and discussed. Our contribution, in the context of this work it was the implantation of these algorithms using the minimum of logical elements and the minimum of resources of the FPGA. A verification of the functionality and effectiveness of the algorithms developed was done, by simulation, then by an experimental validation exploiting the test bench speed controller which is made-up in the framework of this work.

Key words: PWM inverters, FFT, THIPWM, VHDL, THD, FPGA, LE, SVPWM, DC bus, IRFOC.

Résumé

L'objectif de ce travail est la conception et la réalisation d'un variateur de vitesse d'un moteur triphasé asynchrone à cage d'écureuil à base de FPGA, pour ce faire, une étude et une simulation de la commande vectorielle indirecte de flux, afin d'avoir découplé le couple électromécanique et le flux rotorique, ensuite une étude et une simulation des méthodes de la commande rapprochée de l'onduleur de tension à deux niveaux, pour le variateur de vitesse, ont été présentées. De ce fait on a présenté et discuté la méthodologie adéquate de conception et de développement pour implanter les algorithmes de commande proposés, sur FPGA. Notre contribution, dans le cadre de ce travail est l'implantation de ces algorithmes en utilisant le minimum des éléments logiques et des ressources de FPGA. Une vérification de la fonctionnalité et l'efficacité des algorithmes développés a été faite par une simulation, ensuite par une validation expérimentale en exploitant le banc d'essai du variateur de vitesse réalisé dans le cadre de ce travail.

Mots-clés : Onduleur MLI, FFT, VHDL, THD, FPGA, Élément Logique, Modulation vectorielle, Tension de Bus continu, IRFOC.

Avant propos

Le travail présenté dans cette thèse a été proposé et réalisé sous la direction de Monsieur Said AOUGHELLANT maître de conférences de l'université de Batna.

A cet effet, je suis très honoré que Monsieur Said AOUGHELLANT, a accepté de diriger ce travail. Je tiens à le remercier très sincèrement, et je souhaite lui exprimer ma profonde reconnaissance pour le choix adéquat de ce sujet qui m'a ouvert les perspectives des recherches scientifiques dans plusieurs disciplines, et qui m'a permis, de toucher réellement la pratique. Je tiens à le remercier pour ses encouragements, ses conseils et pour la très grande liberté qui m'a accordé durant l'élaboration de cette thèse.

Je tiens également à remercier les membres du jury, pour avoir accepté de juger, examiner et enrichir cette thèse.

Je voudrais remercier ici tous ceux qui, de près ou de loin, ont contribué à l'aboutissement de ce travail, je cite :

- Particulièrement Monsieur Mohammed BELKHEIRI professeur de l'université de Laghouat, de m'avoir accompagné durant mon parcours scientifique.
- Le directeur de laboratoire de signaux et système de l'université de Laghouat.
- Le directeur de laboratoire de matériaux LEDMAS de l'université de Laghouat.
- Mrs Merouane HADJADJ, Bachir MOKHTARI et Madani LAADJAL, maitre de conférences de l'université de Laghouat.
- Mrs Mohamedi Naïl et à Mr Khaled KARBOUN, techniciens des laboratoires pédagogiques pour leur aide dans la réalisation du dispositif expérimental.
- Mrs ABDI Amir maitre de conférences de l'université de BATNA 2.

Dédicaces

À mes chers parents qui méritent toutes les expressions de remerciement, de considération et de reconnaissance...

À ma femme, M...

À mes gosses Mahdi Salah Eddine, Mohammed Dheaâ Eddine, Baraâ bahaâ Eddine à ma fille Saja Rahil...

À mes très chers frères et sœurs pour leurs aides précieuses et leurs encouragements...

À toute la famille BELKHEIRI

Au petit Hadj Ahmed...

À mes collègues de l'université de Laghouat.

À la mémoire de mon cher frère ABBA Slimane...

Je dédie ce modeste travail

Ahmed....

LISTE DES FIGURES

Chapitre I

I.1 Principe du rotor bobiné.....	7
I.2 Principe du rotor à cage d'écureuil.....	8
I.3 Représentation schématique de la MAS triphasée et sa machine biphasée équivalente.....	11
I.4 Loi de commande V/f d'un onduleur de tension.....	18
I.5 Principe de commande vectorielle indirecte par FOC.....	20
I.6 Schéma de régulation de vitesse de MAS en IRFOC.....	21
I.7 Technique de découplage par compensation.....	23
I.8 Boucle de réglage de courant après découplage.....	23
I.9 Boucle de réglage de courant après découplage.....	24
I.10 Principe de méthode de Ziegler-Nichols.....	25
I.11 Résultats de simulation de la commande vectorielle IRFOC.....	28

Chapitre II

II.1 (a) Allure de la tension de sortie de l'onduleur monophasé en demi pont avec commande pleine onde ; (b) Spectre de la tension de sortie U'	33
II.2 (a) Onduleur monophasé en demi pont; (b) Génération du signal MLI de commande....	34
II.3 Principe de MLI sinus-triangle.....	35
II.4 Spectre de la tension de sortie de l'onduleur MLI.....	37
II.5 Schéma de principe d'un onduleur triphasé de tension alimentant une charge triphasée équilibrée.....	39
II.6 Principe de sur-modulation.....	41
II.7 Injection de l'harmonique trois, pour une phase.....	41
II.8 Injection de l'harmonique trois, avec facteur de correction, pour une phase.....	42
II.9 les huit combinaisons de commutation possibles d'un onduleur triphasé à deux niveaux.....	43
II.10 Représentation spatiale des vecteurs de tension actifs dans le repère (α, β)	45
II.11 Représentation spatiale de la tension de référence pour le secteur 1.....	46
II.12 Allure des impulsions SVPWM symétrique quand V_w est localisé dans le secteur 1....	46
II.13 l'allure des signaux SVPWM pour les six secteurs.....	47
II.14 Schéma complet du modèle de simulation.....	50
II.15 . Signaux de commande pleine onde, tension composée V_{ab} , et tension simple V_{an} de l'onduleur.....	51
II.16. (a): Spectre harmonique de la tension simple V_{an} , (b): Spectre harmonique de la tension de sortie du filtre V_{1R}	51
II.17 Les impulsions SPWM.....	52
II.18 a) Tension de sortie de l'onduleur V_{ab} , V_{an} ; b) Analyse spectral de la tension V_{an} pour $f_c=1980$ Hz.....	53

II.19 a) Tension VaR de sortie de filtre ; b) Analyse spectral de la tension VaR pour $f_c=1980$ Hz.....	53
II.20 a) Tension VaR de sortie de filtre ; b) Analyse spectral de la tension VaR pour $f_c=15$ kHz.....	54
II.21 Génération des impulsions THIPWM.....	55
II.22 Résultats de simulation de THIPWM, a) Tension composée et simples de sortie de l'onduleur ; b) Tension simple filtrée ; c) Spectre de la tension filtrée.....	55
II.23. Allure des signaux SVPWM générés à $f=60\text{Hz}$, $f_c=12*f$, $m=0.9$	56
II.24 Résultats de simulation de SVPWM ; a) Tension composée et simples de sortie de l'onduleur ; b) Tension simple filtrée ; c) Spectre de la tension filtrée.....	57
Chapitre III	
III.1 classification des circuits numériques.....	61
III.2 Etapes de développement d'une application sur FPGA.....	65
III.3 Schéma synoptique général de la stratégie SPWM.....	67
III.4 Schéma synoptique de la stratégie SPWM proposé.....	67
III.5 Approche proposée pour varier la fréquence.....	68
III.6 vu au niveau RTL du compteur pointeur.....	68
III.7 Spécification de l'entité principale (<i>top level entity</i>) de SPWM.....	69
III.8 Rapport de compilation de SPWM.....	69
III.9 résultats de simulation fonctionnelle du SPWM.....	70
III.10 .Occupation physiques sur FPGA des différent Blocs Logiques implantant le SPWM.....	71
III.11 Spécification de l'entité principale (<i>top level entity</i>) de THIPWM.....	72
III.12 Rapport de compilation de THIPWM, généré après synthèse logique et synthèse physique, par Quartus II.....	72
III.13 résultat de simulation de THIPWM sur Quartus II.....	73
III.14 Occupation physiques, sur FPGA, des différent Blocs Logiques implantant le THIPWM.....	73
III.15 schéma synoptique de sélection de secteur actif et le calcul de Tx et Ty.....	76
III.16 génération des signaux de commande.....	76
III.17 Vue RTL de la SVPWM optimisée.....	77
III.18 Rapport de compilation de SVPWM, généré après synthèse logique et synthèse physique, par Quartus II.....	78
III.19 résultat de simulation de SVPWM sur Quartus II.....	78
III.20 Occupation physiques, sur FPGA, des différent Blocs Logiques implantant le SVPWM.....	79
III.21 schéma synoptique de l'architecture proposée de la commande IRFOC sur FPGA.....	79
III.22 Allures des signaux de l'encodeur.....	80
III.23 résultats expérimentaux de calcul de la vitesse angulaire, la position et les fonctions cosinus et sinus.....	81
III.24 Processus de transformation $abc-dq$ et $dq-abc$	82

III.25 résultats expérimentaux de la transformation abc vers dq.....	83
III.26 Régulateur PI avec un anti windup.....	84
III.27 Rapport de compilation de la commande IRFOC.....	84

Chapitre IV

IV.1 Schéma synoptique de variateur de vitesse réalisé.....	87
IV.2 Allure expérimental des impulsions SPWM.....	89
IV.4 Allure expérimental des impulsions de SVPWM.....	91
IV.5 photographie du premier dispositif expérimental.....	91
IV.6 Allures de la tension composée V_{ab} , les tensions simples et le spectre d'harmonique de la tension V_{an} , de l'onduleur.....	92
IV.7 Allures de tensions simples filtrées, et leur spectre d'harmonique.....	93
IV.8 Allures de tensions simples filtrées, et leur spectre d'harmonique.....	93
IV.9 Allures de tensions simples filtrées, et leur spectre d'harmonique.....	94
IV.10 Allures de tensions simples filtrées, et leur spectre d'harmonique.....	94
IV.11 Allures de tensions simples filtrées, et leur spectre d'harmonique.....	95
IV.12 Allures de la tension composée V_{ab} , les tensions simples et le spectre d'harmonique de la sortie V_{an} , de l'onduleur.....	96
IV.13 Allures de tensions simples filtrées, et leur spectre d'harmonique.....	96
IV.14 Allures de la tension composée V_{ab} , les tensions simples et le spectre d'harmonique de la sortie V_{an} , de l'onduleur.....	97
IV.15 Allures de tensions simples filtrées, et leur spectre d'harmonique.....	98
IV.16 photographie du deuxième dispositif expérimental, pour valider la commande IRFOC.....	99
IV.17 Allures de courant i_d , i_{d_ref} et le courant statorique i_{as} , durant un démarrage à vide de 0 à 1500tr/min.....	100
IV.18 Allures de courant i_q , i_{q_ref} et le courant statorique i_{as} , durant un démarrage à vide de 0 à 1500tr/min.....	101
IV.19 Allures des courants i_d, i_q et i_{as} pour une inversion de vitesse de 1500tr/min à -1500 tr/min.....	102
IV.20 courbe de la vitesse et la vitesse de consigne correspond à une inversion de vitesse de 1500 tr/min à -1500tr/min.....	102
IV.21 Allure de courants i_d, i_q, i_{as} pendant une application d'un couple de charge.....	103

LISTE DES SYMBOLES

Paramètres du Modèle

R_s	Résistance statorique.
R_r	Résistance rotorique.
L_s	Inductance propre d'une phase statorique.
L_r	Inductance propre d'une phase rotorique.
$M_{sr} = L_m$	Mutuelle inductance entre phases statoriques et rotoriques
J	Moment d'inertie du rotor
n_p	Nombre de paires de pôles

Variables électriques et mécaniques de la machine

E	Tension continue à l'entrée de l'onduleur
V_s	Tension statorique
I_s	Courant statorique
I_r	Courant rotorique
φ_s	Flux du stator
φ_r	Flux du rotor
ω_s	Pulsation statorique
ω	Pulsation mécanique
ω_{sl}	Pulsation de glissement
Ω	Vitesse angulaire de rotation
θ_r	Angle électrique entre le rotor et le stator
θ_{sl}	Angle électrique entre l'axe d et le rotor.
θ_s	Angle électrique entre l'axe d et le stator
$\sigma = 1 - \frac{M^2}{L_s L_r}$	Coefficient de dispersion de Blondel
$\tau_r = \frac{L_r}{R_r}$	Constante de temps rotorique
$\tau_s = \frac{L_s}{R_s}$	Constante de temps statorique
γ	Angle entre les vecteurs flux statorique et rotorique
C_r	Couple de charge (résistant)
g	Glissement

Indices

a, b, c	Indice pour exprimer les variable dans le repère fixe triphasé
d, q	Indice pour exprimer les variable dans le repère (d,q) tournant
α, β	Indice pour exprimer les variable dans le repère fixe biphasé (α,β)

ABRÉVIATIONS

ASIC	<i>Application Specific Integrated Circuit</i>
APF	<i>Actif Power Filter</i>
CAO	<i>Conception Assisté par Ordinateur</i>
CLB	<i>Configurable Logic Bloc</i>
CPLD	<i>Complex Programmable Logic Device</i>
DTC	<i>Direct Torque Control</i>
DSC	<i>Direct Self Control</i>
DSP	<i>Digital Signal Processor</i>
EPROM	<i>Erasable Programmable Read Only Memory</i>
EEPROM	<i>Electrically Erasable Programmable Read Only Memory</i>
EEPLD	<i>Electrically Erasable Programmable Logic Device</i>
FOC	<i>Field Oriented Control</i>
FPGA	<i>Field Programmable Gate Array</i>
GTO	<i>Gate Turn Off</i>
IRFOC	<i>Indirect Field Oriented Control</i>
IGBT	<i>Insolated Gate Bipolar Transistor</i>
IOB	<i>Input Output Bloc</i>
IP	<i>Intellectual property</i>
LE	<i>Logic Element</i>
LB	<i>Logic Bloc</i>
LC	<i>Logic cell</i>
LUT	<i>Look Up Table</i>
MLI	<i>Modulation de Largeur d'Impulsion</i>
MAS	<i>Machine asynchrone</i>
PLD	<i>Programmable Logic Device</i>
PAL	<i>Programmable Array Logic</i>
PWM	<i>Pulse With Modulation</i>
RTL	<i>Register Transfer Leve</i>
SVM	<i>Space Vector Modulation</i>
THIPWM	<i>Third Harmonic Injection PWM</i>
THD	<i>Total Harmonic Distortion</i>
VSI	<i>Voltage. Source Inverter</i>
VSD	<i>Variable Speed Drive</i>
VLSI	<i>Very Large Scale Integration</i>

Sommaire

LISTE DES FIGURES.....	IV
LISTE DES SYMBOLES	VII
ABRÉVIATIONS	VIII
 CHAPITRE I : COMMANDE VECTORIELLE INDIRECTE DE FLUX DU MOTEUR A CAGE	
I.1 Introduction.....	6
I.2 Le moteur asynchrone.....	6
I.2.1 Constitution.....	6
I.2.2 Principe de fonctionnement	7
I.3 Hypothèses simplificatrices	9
I.4 Modélisation du moteur asynchrone.....	9
I.4.1 Equations électriques et magnétiques dans le repère (a, b, c).....	10
I.4.2 Transformation de Park.....	12
I.4.3 Equations électriques et magnétiques sur les axes (d,q)	13
I.5 Commande du moteur asynchrone.....	15
I.5.1 Commande scalaire.....	16
I.5.2 Commande vectorielle par orientation de flux.....	17
I.6 Conclusion	28
 CHAPITRE II : STRATÉGIES DE COMMANDE DES ONDULEURS DE TENSION POUR VARIATEUR DE VITESSE	
II.1 Introduction	30
II.2 Présentation des structures des onduleurs de tension	30
II.3 Onduleur monophasé en demi-pont.....	31
II.3.1 Commande pleine onde	31
II.3.2 Principe de la modulation de largeur d’impulsion MLI sinus-triangle.....	32
II.3.3 Caractéristiques de la modulation MLI	34
II.3.4 Analyse spectrale de la tension de sortie	34
II.3.5 Tension de sortie de l’onduleur	35
II.4 Onduleur de tension triphasé à MLI.....	36
II.4.1 Principe.....	36
II.4.2 Tensions de sortie	37
II.5 Autres stratégies de modulation	38
II.5.1 Sur-modulation	38

II.5.2 Injection de l'harmonique trois (THIPWM).....	39
II.5.3 MLI vectorielle (SVPWM).....	41
II.5.3.1 Principes de la SVPWM.....	41
II.5.3.2 Calcul des durées de commutation Ta, Tb, T0	45
II.5.3.2 Calcul de temps de commutation pour chaque interrupteur	46
II.6 Simulation des différentes stratégies PWM.....	47
II.6.1 Simulation de la commande pleine onde	48
II.6.2 Simulation de la commande par SPWM.....	50
II.6.3 Simulation de la commande THIPWM	52
II.6.4 Simulation de la commande SVPWM.....	54
II.7 Conclusion.....	55

CHAPITRE III : CONCEPTION ET IMPLANTATION SUR FPGA

III.1 Introduction :	58
III.2 Méthodologie de développement	59
III.2.1 Optimisation de vitesse	60
III.2.2 Optimisation de la surface.....	60
III.2.3 Optimisation de la puissance.....	61
III.3 Outil de développement pour FPGA de ALTERA	62
III.4 Format utilisé	64
III.5 Architectures des trois techniques PWM	64
III.5.1 Conception et implantation de la SPWM sur FPGA	64
III.5.2 Conception et implantation de la THIPWM sur FPGA.....	70
III.5.3 Conception et implantation de la SVPWM sur FPGA	72
III.6 Architecture de la commande IRFOC.....	77
III.6.1 Module de calcul de la vitesse angulaire et la position	78
III.6.2 Modules de transformation triphasé - biphasé	80
III.6.2 Modules IRFOC de base	82
III.7 Conclusion.....	83

CHPITRE IV: VALIDATIONS EXPERIMENTALES

IV.1 Introduction.....	85
IV.2 Description de dispositif expérimental.....	85
IV.2.1 Etage de puissance	85
IV.2.2 Partie commande.....	86
IV.2.3 Partie interface homme/machine.....	86
IV.2.4 Partie charge.....	86
IV.3 Analyse des signaux PWM généré par FPGA	86

IV.4 Essai pratique du variateur	89
IV.4.1 Cas d'une charge RL triphasée équilibrée	89
IV.4.2 Validation de l'architecture de la commande vectorielle du MAS	96
IV.5 Conclusion	101
CONCLUSION GENERALE.....	104
ANNEXES	107
BIBLIOGRAPHIE	122

INTRODUCTION GÉNÉRALE

Introduction générale

Les progrès technologiques dans les systèmes numériques tels que les microprocesseurs, les microcontrôleurs, les processeurs de traitement de signal numérique (DSP), les circuits intégrés VLSI et les circuits logiques programmables tels que les circuits FPGA, de plus les outils logiciel de conception assistée par ordinateur (CAO) offerts par les constructeurs pour le développement des systèmes numériques basés sur ces dispositifs [1,2]. D'autre part, le développement de fabrication des composants de l'électronique de puissance à semi-conducteurs fonctionnant à des puissances atteignant 1 MVA et des fréquences de commutation à l'ordre de 100 kHz [3]. Ces efforts ont augmenté les exigences en termes de performances des systèmes de contrôle. Cela a entraîné de nombreuses nouvelles applications pour les variateurs de vitesse (VSD), les filtres de puissance active (APF), les alimentations sans coupure (UPS), la distribution statique (DSTATCOM) [4-8], le chauffage par induction et les systèmes d'énergie renouvelable [9].

La machine à induction a connu un grand intérêt industriel dans les applications de la vitesse variable vu sa simplicité, sa robustesse et son faible coût de fabrication. Malgré ces avantages, sa commande est très complexe car son modèle mathématique est non linéaire ainsi le problème de couplage entre le flux et le couple électromagnétique, ce qui est à l'opposé de sa simplicité structurelle comparativement à celle de la machine à courant continu [1]. La résolution de ce problème de couplage a donnée naissance à la commande vectorielle qui cherche à orienter le flux rotorique, statorique ou d'entrefer.

Les onduleurs, qui génèrent une tension alternative à une fréquence désirée à partir d'une tension continue constante en utilisant des techniques de PWM sont les plus utilisés dans les applications à vitesses variables. Les stratégies PWM ont été largement étudiées au cours ces dernières décennies. Des méthodes différentes de point de vu concept et rendement ont été développées afin d'atteindre un ou plusieurs des objectifs suivants :

- une composante fondamentale maximale, meilleure utilisation DC [10-11],
- une large gamme de modulation linéaire,
- une faible perte de commutation,
- un faible taux de distorsion d'harmonique totale (THD),
- une mise en œuvre facile,
- un Temps de calcul court [12].

Parmi ces techniques, la SPWM basée sur la comparaison d'un signal de porteuse et un signal modulant sinusoïdal pure qui a été introduite par Schonung et Stemmler en 1964 [13]. Le

taux d'utilisation de la tension de bus continu par SPWM traditionnelle représente 78,5% de celle obtenue par la commande pleine onde [14]. En 1975, Buja a résolu ce problème en introduisant la stratégie de l'injection de troisième harmonique (THIPWM) dans le signal de référence sinusoïdal menant à une augmentation de 15,5% du taux d'utilisation [14].

Une autre technique utilisée d'augmentation du taux d'utilisation de bus continu est la modulation vectorielle (SVPWM) basée sur le calcul vectoriel qui a été introduite en 1980 largement développé par Van Der Broeck en 1988 [15]. Les deux techniques THIPWM et SVPWM ont des résultats similaires, en termes d'utilisation de bus continu, elles se différencient dans la mise en œuvre. La SVPWM est devenue l'une des méthodes les plus utilisées pour la commande des onduleurs triphasés grâce aux circuits numériques et les algorithmes largement développés [16].

Les premières implantations des algorithmes de commande des machines ont été réalisées en adoptant des solutions analogiques caractérisées essentiellement par leur large bande passante et une haute résolution. Cependant, elles sont fortement sensibles aux perturbations et aux variations des paramètres liées aux contraintes thermiques des circuits analogiques. Pour remédier à ces inconvénients, les solutions numériques se sont naturellement imposées. Au cours des années 1980, les microprocesseurs à faible performance ont été utilisés [17]. En 1990, les DSP ont été utilisés pour le contrôle des convertisseurs de l'électronique de puissance.

Ces solutions numériques, qui sont purement logiciel, présentaient un grand intérêt économique et une meilleure flexibilité de conception. Cependant, l'exécution d'un algorithme se fait séquentiellement, ce qui croît le temps de calcul et par conséquent la dégradation des performances des systèmes à commander en termes de rapidité.

Avec l'avancement technologique dans le domaine de la micro-électronique, de nouvelles solutions de conceptions matérielles, telles que les FPGA (*field programmable Gate Array*) sont introduites et utilisées comme cibles numériques pour l'implantation des algorithmes. Le parallélisme de ces nouveaux dispositifs ainsi que la grande capacité de calcul diminue le temps d'exécution malgré la complexité des algorithmes à implémenter. L'utilisation de ces solutions matérielles permet donc de retrouver certaines performances analogiques tout en gardant les avantages des solutions logicielles.

L'aspect de la conception modulaire permet d'intégrer sur une seule et unique cible FPGA plusieurs algorithmes qui assurent différentes fonctionnalités indépendantes.

Malgré les progrès amenés aux outils de CAO et aux langages de description matérielle HDL (Hardware Description Language), tels que le *vhdl*, *verilog*..., le développement d'une application sur FPGA reste encore une démarche complexe qui dépend de la complexité des algorithmes à implémenter. Il est donc judicieux de se baser sur une approche automatisée et qui se repose sur une méthodologie de développement appropriée, ce qui permet d'effectuer une implantation optimisée en termes de ressources consommées de circuit cible de l'application et du temps d'exécution tout en réduisant le temps de développement.

Dans le cadre de cette thèse, on s'intéressera à la conception et à l'implantation sur cible FPGA des stratégies PWM de commande des onduleurs de tension pour variateur de vitesse et de la commande vectorielle IRFOC d'une machine asynchrone à cage d'écureuil. Un banc d'essai sera réalisé pour la validation expérimentale des architectures correspondantes à chacun de ces algorithmes.

La méthodologie de conception et d'implantation est basée sur les notions de *modularité*, *réutilisabilité* et *portabilité*. Ces trois notions permettent l'élaboration des bibliothèques spécifiques d'architectures réutilisables connues sous le nom modules IP(Intellectuel Property), ceci facilitera considérablement les conceptions futures des nouveaux algorithmes et de réduire le temps de développement.

La thèse est structurée en quatre chapitres :

Le premier chapitre est consacré, dans un premier temps, à la modélisation de la machine asynchrone en vue de sa commande indirecte du flux rotorique IRFOC. Dans un second temps, le principe de l'algorithme de commande et son implémentation sur MATLAB/SIMULINK sont présentés.

Dans le deuxième chapitre, nous nous intéressons plus particulièrement aux techniques PWM utilisées dans la commande des onduleurs triphasés à deux niveaux de tension vis-à-vis de leurs performances et de méthode d'implantation.

Le troisième chapitre sera dédié à la présentation, en premier lieu, de la cible de FPGA pour l'implantation, à savoir, son architecture, performances, méthodologies de conception et choix du circuit cible après avoir élaboré un cahier de charge relatif à la réalisation de variateur de vitesse. Des nouvelles architectures sont proposées afin de réduire les ressources utilisées de FPGA.

Le dernier chapitre sera consacré à la mise en œuvre expérimentale du variateur de vitesse à base de FPGA. Les résultats expérimentaux obtenus seront présentés et discutés pour illustrer l'efficacité des architectures proposées.

Enfin, une conclusion générale sera présentée et suggérer des perspectives envisagées.

Ces travaux entrepris dans le cadre de cette thèse, ont fait l'objet de trois publications dans des revues renommées internationale et de deux communications internationales :

PUBLICATION INTERNATIONNALES :

- **Ahmed Belkheiri¹, Said Aoughellanet and Mohammed Belkheiri.** *FPGA Implementation of a Space Vector Pulse Width Modulation Technique for a Two-Level Inverter.* *Elektrotehniški vestnik* , 85(3) June, 2018, pp.1-7, ISSN 0013-5852.
- **Ahmed Belkheiri, Said Aoughellanet,** “*FPGA-based on IP Core for Induction Machine Rotor Speed and Position Measurement*”, in *Electrotehnica, Electronica, Automatica (EEA)*, 2017, vol. 65, no. 4, pp. 74-78, ISSN 1582-5175.
- **A. Belkheiri, S. Aoughellanet, M. Belkheiri.** *Reconfigurable three-phase SPWM implementation on DE2 FPGA* 2a. pp 144, Warszawa, Polish : Przegląd Elektrotechniczny (Electrical Review), 2013, Vol. 2013. ISSN 0033-2097.

COMMUNICATIONS INTERNATIONNALES:

- **A. Belkheiri, S. Aoughellanet, M. Belkheiri. A.Rabhi.** *FPGA based control of a PWM inverter by the third harmonic injection technique for maximizing DC bus utilization.* 3rd International Conference on Control, Engineering & Information Technology (CEIT). IEEE Conference publications, At Tlemcen, Algeria, 25-27 May 2015
- **A.Belkheiri, M.Belkheiri, S.Aoughellanet and A.Rabhi.** *FPGA implementation of configurable three-phase SPWM module.* 2nd international Conference on communications, Computing and Control Application(CCCA). IEEE Conference publications, Marseille, France 2012 DEC 2012, pp. 1-5.

CHAPITRE I

COMMANDE VECTORIELLE INDIRECTE DE FLUX DU MOTEUR A CAGE

I.1 Introduction

L'objectif de cette étude est l'établissement d'un cahier de charge, pour but de connaître et de concevoir tous les blocs indispensables pour la réalisation d'un variateur de vitesse à base de circuit FPGA.

Le choix d'utilisation du moteur asynchrone (MAS) et plus particulièrement à cage d'écureuil, alimenté par un onduleur de tension, est motivé d'une part, par la simplicité, robustesse, prix peu élevé et entretien facile du (MAS) et d'autre part par les progrès en matière de semi-conducteurs de puissance (MOSFET, GTO, IGBT...), des circuits numériques de commande (Microcontrôleur, DSP et récemment les FPGAs) [18]. Ces progrès rendent maintenant possible la réalisation d'entraînement équipés de moteurs à courant alternatif dont les performances sont aussi comparables à celles obtenues avec des moteurs à courant continu [19].

I.2 Le moteur asynchrone

I.2.1 Constitution

Le moteur asynchrone triphasé est constitué d'un stator séparé par un entrefer d'épaisseur constant [20].

Le stator comporte un circuit magnétique et un enroulement triphasé, à p paires de pôles, parcouru par des courants triphasés. Le rotor se compose également d'un circuit magnétique et d'un enroulement triphasé à p paires de pôles. Il existe deux types de rotor :

a- Les rotors bobinés

Comme il est indiqué sur la figure I.1, le bobinage du rotor est connecté en étoile afin d'empêcher toute circulation de courant entre les phases rotoriques. Il est relié à des bagues fixées sur l'arbre de la machine. Des balais frottant sur ces bagues relient électriquement l'enroulement rotorique à des résistances situées à l'extérieur de la machine.

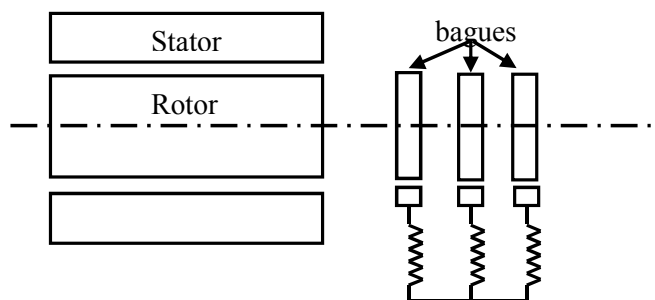


Figure I.1 Principe du rotor bobiné

b- Les rotors à cage

Le circuit électrique du rotor est constitué de barres en cuivre ou en aluminium logées dans des encoches régulièrement espacées sur la périphérie du rotor. Ces barres sont reliées aux deux extrémités du rotor par un anneau de court-circuit. figure I.2

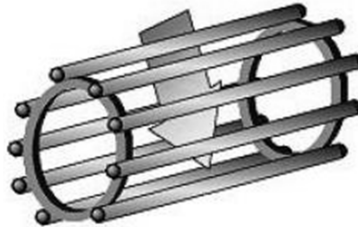


Figure I.2 Principe du rotor à cage d'écureuil

Le circuit magnétique rotorique est traversé par l'arbre qui s'appuie sur des paliers montés dans les flasques fixés au carter [21], [22].

Le moteur asynchrone à cage d'écureuil est donc caractérisé par :

- la présence d'un seul bobinage alimenté par une source extérieure, au stator ;
- la présence d'un "bobinage" massif en court-circuit, au rotor.

On se limite dans cette étude au moteur asynchrone à cage d'écureuil.

I.2.2 Principe de fonctionnement

Lorsque l'enroulement du stator est alimenté par des courants triphasés de pulsation ω , il apparaît dans l'entrefer un champ d'induction magnétique comportant $2p$ pôles et tournant à la vitesse angulaire ω/p [23], [24]. Cette vitesse, désignée par Ω_s , est appelée vitesse de synchronisme :

$$\Omega_s = \frac{\omega}{p} \quad \text{et} \quad N_s = \frac{f}{p} \quad (I.1)$$

Où N_s est la vitesse de rotation du champ.

Ce champ tournant induit dans les enroulements rotoriques des forces électromotrices triphasées de pulsation ω . Etant donné que les enroulements rotoriques sont refermés sur eux-mêmes (court-circuit), il s'y développe des courants triphasés de pulsation ω . L'interaction entre le champ d'induction statorique tournant et les courants induits dans le rotor génère un couple sous l'effet duquel le rotor se met en mouvement. Le rotor ne peut tourner aussi vite que le flux

sinon le flux à travers ses enroulements serait constant, il n'y aurait plus de courant induit ni de couple [25].

Le rotor tourne à une vitesse N (ou Ω) qui s'écarte d'autant plus de la vitesse synchrone que la charge qu'il entraîne demande un couple plus fort. La perte relative de vitesse est appelée glissement g .

$$g = \frac{N_s - N}{N} = \frac{\Omega_s - \Omega}{\Omega} \quad (I. 2)$$

Désignons par N la vitesse de rotation de la machine. Bien souvent, on caractérise cette vitesse par le glissement g , défini par la relation suivante :

$$N = (1 - g) \frac{\omega}{p} \quad (I. 3)$$

Lorsque g vaut 1, la machine est à l'arrêt et lorsque g vaut 0, la machine tourne à la vitesse de synchronisme Ω_s , c.-à-d. à la même vitesse que le champ tournant statorique. Lorsque $0 < \Omega = (1 - g) \frac{\omega}{p} < \Omega_s$, dans ce cas $0 < g < 1$. Le champ statorique, produit par des courants de pulsation ω , glisse toujours dans l'entrefer à la vitesse angulaire ω/p . Par rapport au rotor, ce champ se déplace à la vitesse angulaire :

$$\frac{\omega}{p} - \Omega = \frac{g\omega}{p} \quad (I. 4)$$

Il induit dans les conducteurs du rotor des forces électromotrices et des courants de pulsation $g\omega$. L'interaction entre le champ d'induction qui se déplace à la vitesse $g\omega/p$ par rapport au rotor et les courants de pulsation $g\omega$ induits dans celui-ci génère un couple dirigé dans le sens de la rotation de la machine.

Si le rotor tourne à la vitesse de synchronisme, c.-à-d. à la vitesse de champ glissant statorique ($g = 0, \Omega = \Omega_s = \omega/p$), il est fixe par rapport au champ glissant ; il n'y a pas de force électromotrice ni de courant induit dans le rotor et la couple est nul.

La dénomination de la machine asynchrone vient du fait que cette machine développe un couple pour des vitesses de rotation différentes de la vitesse de synchronisme.

De plus, du fait qu'il résulte de l'interaction entre un champ tournant statorique et courants que celui-ci induit dans le rotor, la machine asynchrone est également appelée « machine à induction ». [26][27]

I.3 Hypothèses simplificatrices

Le stator est alimenté soit par un système triphasé de tensions sinusoïdales de fréquence f_s ($\omega_s = 2\pi f_s$) et de valeur efficace V_s constante, soit par un onduleur de tension ou de courant à fréquence et à amplitude réglables. L'étude électrique montre que le MAS obéit aux lois et conventions fondamentales de l'induction magnétique : le théorème de Ferraris, les lois de Faraday et de Lenz. Ces lois sont utilisées dans un contexte habituel d'hypothèses simplificatrices telles que [28], [29]:

- Entrefer constant
- Effet des encoches négligé
- Distribution spatiale sinusoïdale des forces magnétomotrices d'entrefer
- Circuit magnétique non saturé et à perméabilité constante
- Pertes ferromagnétiques négligeables
- L'influence de l'effet de peau et de l'échauffement sur les caractéristiques n'est pas prise en compte.

Parmi les conséquences importantes de ces hypothèses, on peut citer :

- L'additivité des flux
- La constance des inductances propres
- La loi de variation sinusoïdale des inductances mutuelles entre les enroulements du stator et du rotor en fonction de l'angle électrique entre leurs axes magnétiques.

I.4 Modélisation du moteur asynchrone

L'étape de modélisation s'avère indispensable pour l'analyse et la synthèse de la commande du moteur. Les modèles utilisés mettent en jeu des paramètres du moteur (résistance, inductance), et calculent des grandeurs intermédiaires comme les flux, et donnent enfin accès aux grandeurs à contrôler telles que le couple et les courants statoriques [30], [31]. Le MAS peut être schématisé par la figure I.4.

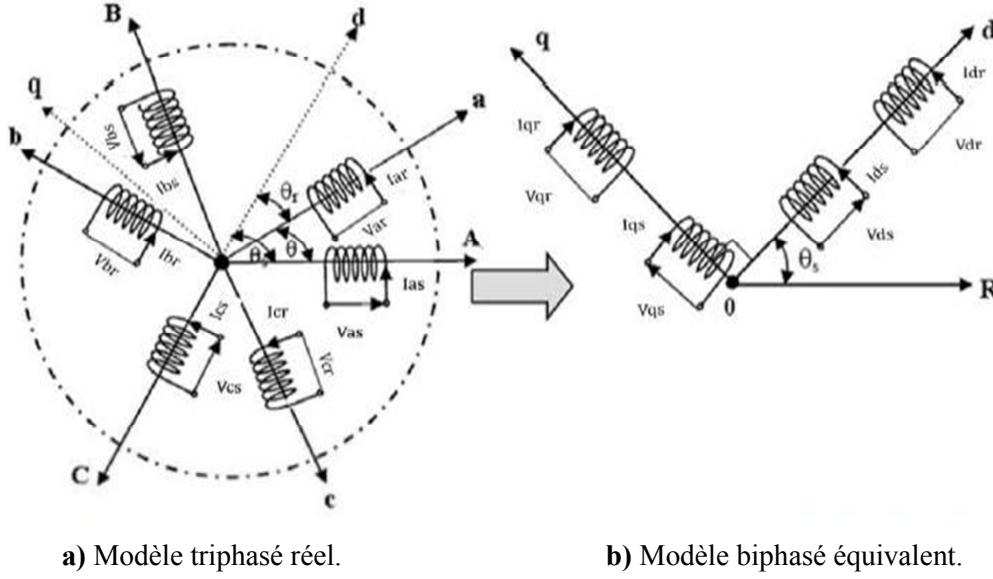


Figure I.3 Représentation schématique de modèle triphasé du moteur et son modèle biphase équivalent.

I.4.1 Equations électriques et magnétiques dans le repère (a, b, c)

Pour plus de détails sur la mise en équation, on pourra se référer à [32], [28] et [20].

Les équations des tensions statoriques, écrites dans le repère fixe au stator, sont données sous forme matricielle condensée :

$$[v_{sabc}] = R_s[i_{sabc}] + \frac{d}{dt}[\varphi_{sabc}] \quad (I.5)$$

Pour le rotor :

$$[v_{rabc}] = \begin{bmatrix} 0 \\ 0 \\ 0 \end{bmatrix} = R_r[i_{rabc}] + \frac{d}{dt}[\varphi_{rabc}] \quad (I.6)$$

Le rotor étant en court-circuit, ses tensions sont nulles.

Le plus couramment les flux statoriques et rotoriques sont donnés par la forme matricielle condensée suivante [21], [33]-[30] :

$$[\varphi_{sabc}] = [L_s][i_{sabc}] + [M_{sr}][i_{rabc}] \quad (I.7)$$

$$[\varphi_{rabc}] = [L_r][i_{rabc}] + [M_{sr}][i_{sabc}] \quad (I.8)$$

Où $[L_s]$ est la matrice des inductances propres, et des mutuelles, entre phases statoriques.

Elle est donnée par :

$$[L_s] = \begin{bmatrix} L_s & M_s & M_s \\ M_s & L_s & M_s \\ M_s & M_s & L_s \end{bmatrix} \quad (I.9)$$

$[L_r]$ est la matrice des inductances propres et des mutuelles entre phases rotoriques, exprimée par :

$$[L_r] = \begin{bmatrix} L_r & M_r & M_r \\ M_r & L_r & M_r \\ M_r & M_r & L_r \end{bmatrix} \quad (I.10)$$

$[M_{sr}]$ est la matrice des inductances mutuelles entre les phases statoriques et les phases rotoriques, définie par :

$$[M_{sr}] = [M_{rs}]^T = [M_{aA}] \begin{bmatrix} \cos(\theta) & \cos(\theta + \frac{2\pi}{3}) & \cos(\theta - \frac{2\pi}{3}) \\ \cos(\theta - \frac{2\pi}{3}) & \cos(\theta) & \cos(\theta + \frac{2\pi}{3}) \\ \cos(\theta + \frac{2\pi}{3}) & \cos(\theta - \frac{2\pi}{3}) & \cos(\theta) \end{bmatrix} \quad (I.11)$$

Si on désigne par θ l'écart angulaire compté dans le sens de rotation entre les phases du stator et du rotor, on peut remarquer que les flux s'expriment en fonction de deux courants statorique et rotorique; ce qui implique un couplage entre les grandeurs du stator et du rotor. Ce couplage est à la base des non-linéarités du modèle du moteur asynchrone.

Si on remplace les expressions des flux dans les équations de tension on obtient :

Pour le stator :

$$[v_{sabc}] = R_s[i_{sabc}] + \frac{d}{dt} \{ [L_s][i_{sabc}] + [M_{sr}][i_{rabc}] \} \quad (I.12)$$

Pour le rotor :

$$[v_{rabc}] = R_r[i_{rabc}] + \frac{d}{dt} \{ [L_r][i_{rabc}] + [M_{sr}][i_{sabc}] \} \quad (I.13)$$

On peut noter la non-linéarité dans les équations de tension, pour surmonter cette complexité on fait appel à la transformation de Park.

La dernière relation importante complétant le modèle du MAS, deduite de l'équation fondamentale mécanique décrivant la dynamique du rotor de la machine [33] [34] [35]:

$$J \frac{d\Omega}{dt} + f\Omega = C_e - C_r \quad (I.14)$$

Avec :

J (kg. m²) : Moment d'inertie du moteur

Ω (rad/s) : Vitesse angulaire mécanique du rotor

f (N. m. s/rad) : Coefficient de frottement visqueux

C_e (N. m) : Couple électromagnétique délivré par le moteur

C_r (N. m) : Couple résistant, ou de charge

I.4.2 Transformation de Park

La transformation de Park, qui conserve l'amplitude des courants, est réalisée à partir de la transformation de Clark, par contre la transformation de Park, qui conserve la puissance est réalisée en utilisant la transformation de Concordia [36] [37]. La transformation de Park est constituée d'une transformation triphasée-diphasée suivie d'une rotation. Elle permet de passer du repère (abc) vers le repère mobile (dq).

L'utilisation de cette transformation, permet de remplacer les équations différentielles, précédentes, à coefficients variables, par des équations différentielles plus simples à coefficients constants [38], ce qui rend le système linéaire.

Ainsi un changement de variables faisant intervenir le décalage angulaire entre l'axe des enroulements et les axes (d, q), permet de considérer un système d'enroulements équivalent pour le stator et le rotor. Ce système est formé de deux bobinages statoriques et rotoriques d'axes (d, q) en quadrature tournant à une même vitesse angulaire arbitraire, (figure I.4.b) [28].

La matrice de passage de Park $[P]$ et son inverse $[P]^{-1}$, conservant les modules de grandeurs électriques et magnétiques, est donnée par :

$$[P] = \frac{2}{3} \begin{bmatrix} \cos \theta & \cos \left(\theta - \frac{2\pi}{3} \right) & \cos \left(\theta + \frac{2\pi}{3} \right) \\ -\sin \theta & -\sin \left(\theta - \frac{2\pi}{3} \right) & -\sin \left(\theta + \frac{2\pi}{3} \right) \\ \frac{1}{2} & \frac{1}{2} & \frac{1}{2} \end{bmatrix} \quad (I.15)$$

Son inverse est :

$$[P]^{-1} = \begin{bmatrix} \cos \theta & -\sin \theta & 1 \\ \cos \left(\theta - \frac{2\pi}{3} \right) & -\sin \left(\theta - \frac{2\pi}{3} \right) & 1 \\ \cos \left(\theta + \frac{2\pi}{3} \right) & -\sin \left(\theta + \frac{2\pi}{3} \right) & 1 \end{bmatrix} \quad (I.16)$$

Donc, d'une façon générale, toutes les grandeurs (courants, tensions et flux), peuvent être s'exprimées dans le repère (d, q) comme suit :

$$\begin{bmatrix} x_d \\ x_q \\ x_0 \end{bmatrix} = [P] \begin{bmatrix} x_a \\ x_b \\ x_c \end{bmatrix} \quad (I.17)$$

Ou inversement pour revenir au repère (a, b, c) :

$$\begin{bmatrix} x_a \\ x_b \\ x_c \end{bmatrix} = [P]^{-1} \begin{bmatrix} x_d \\ x_q \\ x_0 \end{bmatrix} \quad (I.18)$$

La composante homopolaire est donnée par:

$$x_0 = 1/3(x_a + x_b + x_c) ;$$

Dans un système triphasé équilibré cette composante est nulle [36].

➤ **Choix du repère (d,q)**

L'angle θ qui sert à la transformation de Park est à priori quelconque. Il dépend du choix du référentiel. Il existe différentes possibilités pour le choix de l'orientation du repère d'axes (d, q) qui dépendent des objectifs de l'application [22], [30-39] :

- Axes (d, q) solidaires au champ tournant (synchronisme):

$$\frac{d\theta_s}{dt} = \omega_s \quad \text{et} \quad \frac{d\theta}{dt} = \omega = \omega_s - \omega_r = p\Omega \quad \text{pulsation mécanique}$$

- Axes (d, q) tournant à la vitesse du rotor ($\theta_r = 0$): $\frac{d\theta_s}{dt} = \omega_s$ et $\frac{d\theta}{dt} = \omega_s$
- Axes (d, q) liés au stator ($\theta_s = 0$): $\frac{d\theta_s}{dt} = 0$ et $\frac{d\theta}{dt} = -\omega_r$

Telque :

ω_s est la pulsation statorique

ω_r est la pulsation rotorique

ω est la pulsation mécanique

I.4.3 Equations électriques et magnétiques sur les axes (d,q)

Les tensions statoriques et les tensions rotoriques sont exprimées en choisissant un repère (d, q) lié au champ tournant(synchronisme). L'avantage de ce choix, est d'avoir des grandeurs constantes en régime permanent. Il est alors plus aisé d'en faire la régulation.

En appliquant la transformation de Park d'angle θ_s (angle électrique entre l'axe d et le stator) pour les grandeurs statoriques, et d'angle θ_r pour les grandeurs rotoriques ; aux équations (I.4), (I.5), (I.6), (I.7) et (I.8) de la machine asynchrone, on trouve :

Les tensions statoriques ; en posant $\omega_s = \frac{d\theta_s}{dt}$

$$v_{sd} = R_s i_{sd} + \frac{d\varphi_{sd}}{dt} - \omega_s \varphi_{sq} \quad (\text{I.19})$$

$$v_{sq} = R_s i_{sq} + \frac{d\varphi_{sq}}{dt} + \omega_s \varphi_{sd} \quad (\text{I.20})$$

Les tensions rotoriques ; en posant $\omega_r = \frac{d\theta_r}{dt}$

$$v_{rd} = R_r i_{rd} + \frac{d\varphi_{rd}}{dt} - \omega_r \varphi_{rq} = 0 \quad (\text{I.21})$$

$$v_{rq} = R_r i_{rq} + \frac{d\varphi_{rq}}{dt} + \omega_r \varphi_{rd} = 0 \quad (\text{I.22})$$

Les flux statoriques :

$$\varphi_{sd} = L_s i_{sd} + M i_{rd} \quad (\text{I.23})$$

$$\varphi_{sq} = L_s i_{sq} + M i_{rq} \quad (\text{I.24})$$

Les flux rotoriques :

$$\varphi_{rd} = L_r i_{rd} + M i_{sd} \quad (\text{I.25})$$

$$\varphi_{rq} = L_r i_{rq} + M i_{sq} \quad (\text{I.26})$$

A partir des expressions (I.25) et (I.26) et en utilisant les expressions (I.21) et (I.22) et après arrangement de (I.19) et (I.20), on obtient finalement le système d'équation :

$$\begin{cases} \frac{di_{sd}}{dt} = \frac{1}{\sigma L_s} \left[-\left(R_s + \frac{L_m^2}{L_r \tau_r}\right) i_{sd} + \sigma L_s \omega_s i_{sq} + \frac{L_m}{L_r \tau_r} \varphi_{rd} + \frac{L_m}{L_r} \omega \varphi_{rq} + v_{sd} \right] \\ \frac{di_{sq}}{dt} = \frac{1}{\sigma L_s} \left[-\sigma L_s \omega_s i_{sd} - \left(R_s + \frac{L_m^2}{L_r \tau_r}\right) i_{sq} - \frac{L_m}{L_r} \omega \varphi_{rd} + \frac{L_m}{L_r \tau_r} \varphi_{rq} + v_{sq} \right] \\ \frac{d\varphi_{rd}}{dt} = \frac{L_m}{\tau_r} i_{sd} - \frac{1}{\tau_r} \varphi_{rd} + (\omega_s - \omega) \varphi_{rq} \\ \frac{d\varphi_{rq}}{dt} = \frac{L_m}{\tau_r} i_{sq} - (\omega_s - \omega) \varphi_{rd} - \frac{1}{\tau_r} \varphi_{rq} \end{cases} \quad (\text{I.27})$$

Avec :

$$\sigma = 1 - \frac{L_m^2}{L_r L_s} : \text{est le facteur de dispersion}$$

$\tau_r = \frac{L_r}{R_r}$: est la constante du temps rotorique

$\tau_s = \frac{L_s}{R_s}$: est la constante du temps statorique

Ajoutant l'équation mécanique, ce système nous permet de modéliser le moteur asynchrone en n'introduisant que ses quatre paramètres ($R_s, \tau_s, \tau_r, \sigma$), une hypothèse souvent utilisée de fixer $L_r = L_s$, [41].

L'expression du couple électromagnétique, est donnée par [36] :

$$C_e = \frac{3}{2} p \frac{L_m}{L_r} [\varphi_{rd} i_{sq} - \varphi_{rq} i_{sd}] \quad (\text{I.28})$$

Où p est le nombre de paires de pôles.

On constate que le couple électromagnétique résulte de l'interaction d'un terme de flux et d'un terme de courant. Ces expressions rappellent le couple de la machine à courant continu. Dans ce cas, c'est le collecteur qui permet naturellement d'obtenir ce découplage. Le problème posé ici est de pouvoir contrôler indépendamment le flux et le courant. C'est justement en cela que réside la commande vectorielle qui sera présentée par la suite.

I.5 Commande du moteur asynchrone

Actuellement, la variation de vitesse de la machine asynchrone est principalement assurée par la variation de la fréquence des tension d'alimentation. Ce procédé nécessite des onduleurs de tension ou de courant et une commande plus élaborée.

On distingue deux types de commandes ; la commande scalaire et la commande vectorielle (41).

Tableau I.1 Types des commandes utilisées

Commande scalaire	Commande vectorielle
Basée sur le modèle régime permanent	Basée sur le modèle transitoire
Plus Simple à implanter	Plus Précise et rapide
Dynamique lente	Contrôle du couple à l'arrêt
	Plus chère (encodeur incrémental ou estimateur de vitesse, DSP...)
Contrôle des grandeurs en amplitude	Contrôle des grandeurs en amplitude et en phase

I.5.1 Commande scalaire

Plusieurs type de commandes scalaires existent selon que l'on agit sur le courant ou sur la tension. Elles dépendent surtout de la topologie de l'actionneur utilisé (Onduleur de tension ou de courant). Pour notre travail on utilise un onduleur de tension alimentant la machine asynchrone. Cette méthode de commande est basée sur le modèle de la machine en régime permanent. Pour cette raison, l'étude du modèle de la machine en régime établi est importante.

La grandeur la plus importante pour le contrôle de la machine asynchrone est le flux magnétique. En conséquence, ce flux magnétique, statorique, rotorique ou d'entrefer, doit être contrôlé d'une part pour imposer un état magnétique de la machine, éviter une saturation magnétique trop élevée qui provoquerait un appel de courant important. Cet appel de courant entraînerait un surplus d'échauffement de la machine et des contraintes dangereuses pour les semi-conducteurs. De plus, le réglage du flux assure le contrôle du couple électromagnétique pour un fonctionnement donné [42].

D'après le modèle établi en régime permanent, le couple maximum s'écrit [23-35-36]:

$$C_{max} = \frac{3p}{2L_s\sigma\left(\frac{L_s}{L_m}\right)^2} \left(\frac{V_s}{\omega_s}\right)^2 \quad (I.29)$$

On voit bien que le couple est directement proportionnel au carré du rapport de la tension à la fréquence statorique.

En maintenant ce rapport constant et en jouant sur la fréquence statorique, on déplace la courbe du couple électromagnétique. En effet, garder le rapport $\frac{V_s}{\omega_s}$ constant revient à garder le flux constant pour que le moteur puisse développer le même couple maximum à toutes les fréquences.

L'inconvénient de cette méthode est qu'elle admet que le flux statorique φ_s reste constant, quel que soit le couple à fournir et la vitesse du moteur. Or cette condition est difficile à vérifier pour les basses vitesses, à cause de l'influence de la résistance R_s du stator, qui provoque une chute de tension ($\bar{V}_s = R_s \bar{I}_s + j\omega_s \bar{\varphi}_s$). Pour pallier cet inconvénient, on réalise un ajustage dit « *boost* » aux basses valeurs de la pulsation statorique ω_s en imposant une tension V_s constante environ de 20% de la tension nominale pour $\omega_s = 0$ [25]. Ensuite, on adopte le rapport V_s/ω_s comme il est indiqué à la figure I.4

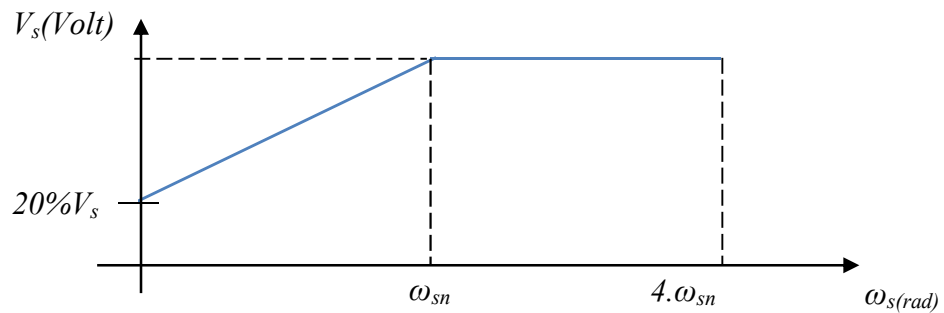


Figure I.4 Loi de commande V/f d'un onduleur de tension.

Malgré cette amélioration, qui utilise un « boost » au basses vitesses, la tension appliquée au moteur n'est pas fonction de sa charge. Cet ajustage permet d'obtenir un couple élevé à basse vitesse, mais présente l'inconvénient de maintenir un courant élevé dans le moteur à vide avec risque de saturation et de surcharge.

Pour surmonter à cet inconvénient, il faut faire appel à des techniques plus adaptées telles que la commande vectorielle, objet de notre étude.

I.5.2 Commande vectorielle par orientation de flux

I.5.2.1 Principe

Développée par Blaschke au début des années 70 [43], la commande vectorielle, nommée aussi commande par orientation du flux, est actuellement la stratégie de commande la plus élaborée pour les machines asynchrones.

En général il y a plusieurs classifications des méthodes de commande vectorielle :

- Suivant le type d'alimentation, onduleur de tension ou de courant.
- Suivant l'orientation du flux, On distingue trois types : orientation du flux rotorique, statorique ou d'entrefer. La commande vectorielle à orientation du flux rotorique est la plus utilisée car elle élimine l'influence des réactances de fuite rotorique et statorique et donnent de meilleurs résultats par rapport à ceux obtenus par les méthodes basées sur l'orientation du flux statorique ou d'entrefer [41].
- Méthode directe ou indirecte : la première méthode consiste à mesurer directement le flux de la machine à l'aide de capteurs positionnés dans l'entrefer pour déduire l'amplitude et la phase ou bien de l'estimer à partir de mesures effectuées sur le montage (courants, tensions, vitesse). Les inconvénients de cette méthode sont dus au fait que les capteurs sont soumis à des conditions extrêmes (température, vibrations, etc.), en effet, la mesure est entachée de

bruits causés par les encoches, et dépendant de la vitesse ce qui nécessite du filtrage à fréquence variable, de plus l'installation de capteurs de flux augmente le coût de fabrication. La méthode indirecte consiste non pas à estimer ou à mesurer l'amplitude du flux rotorique mais imposer l'amplitude de référence (flux nominal) indirectement en imposant le courant I_{ds} image du flux. L'intérêt de la méthode indirecte est d'utiliser uniquement des grandeurs de référence qui par définition ne sont pas bruitées.

Pour le cas du présent travail, nous nous intéressons à la commande vectorielle indirecte par orientation du flux rotorique (IRFOC) d'un moteur asynchrone à cage d'écureuil alimentée par un onduleur de tension.

Il aura toute fois fallu attendre 1980 pour voir la première réalisation pratique [44]. C'est en effet à partir des progrès de la micro-électronique, et notamment des microprocesseurs puis des DSP, que la commande vectorielle a pu prendre son essor.

L'indépendance naturelle entre la création du flux et la production du couple est manifestement la propriété intrinsèque fondamentale d'une machine à courant continu à excitation séparée. L'objectif du contrôle vectoriel d'une machine asynchrone à cage est de reproduire la quadrature entre le vecteur courant et le vecteur flux. La complexité de la commande réside dans le fait que le courant et le flux sont des variables fortement couplées et que toute action sur l'une d'entre elles se répercute sur l'autre.[45]

Il n'est pas certain que l'intérêt pour la machine asynchrone à cage soit évident au premier abord : son circuit rotorique n'est pas accessible et seule l'action sur le stator est possible ; par ailleurs, pour augmenter le couple, il faut augmenter l'intensité des courants statoriques, provoquant simultanément une variation du champ, ce qui empêche en principe d'agir indépendamment sur les grandeurs du champ et du couple. Par conséquent, la stratégie de commande vectorielle vise à découpler les grandeurs responsables de la magnétisation de la machine et de la production du couple. [45]

Reprenons l'expression du couple électromagnétique faisant intervenir les flux rotoriques :

$$C_e = \frac{3}{2} n_p \frac{L_m}{L_r} [\varphi_{rd} i_{sq} - \varphi_{rq} i_{sd}] \quad (I.30)$$

On constate que le couple est une grandeur quadratique, indépendante du repère dans lequel il est exprimé. Cette expression comporte deux non-linéarités provoquées par le produit croisé de quatre variables différentes. Cette double non-linéarité montre bien l'origine de la complexité structurelle du couplage des grandeurs d'une machine asynchrone à cage.

Un choix judicieux de l'angle d'orientation du repère (d, q) entraîne l'alignement de l'axe d sur la résultante du flux rotorique. Cet alignement permet l'annulation de la composante transversale du flux : $\varphi_{rq} = 0$ Ainsi $\varphi_r = \varphi_{rd} = \text{cte}$ (pour imposer un flux constant), ce principe est illustré par la figure I.5

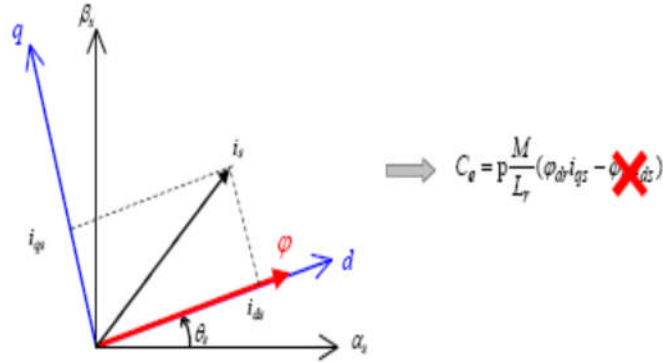


Figure I.5 Principe de commande vectorielle indirecte par FOC .

Avec ce mécanisme d'orientation, on supprime la première non linéarité et l'expression (I.59) du couple devient :

$$C_e = \frac{3pL_m}{2L_r} \varphi_{rd} i_{sq} \quad (\text{I.31})$$

Si φ_{rd} est maintenu constant, le couple devient parfaitement linéaire :

$$C_e = K i_{sq} \quad (\text{I.32})$$

Sachant que $\varphi_{rd} = \text{cte} \Rightarrow \frac{d\varphi_{rd}}{dt} = 0$, l'expression du courant statorique peut être réécrite, à partir des équations rotoriques sur l'axe d (I.21) et (I.25):

$$i_{sd} = \frac{\varphi_r}{L_m} \quad (\text{I.33})$$

On constate, à partir des équations (I.32) et (I.33), que la composante transversale i_{sq} du courant statorique est la seule responsable de la production du couple et que la composante longitudinale i_{sd} du courant statorique est la seule responsable de la création du flux. Ces constatations montrent une similitude remarquable de la machine asynchrone avec la machine à courant continu.

Il convient cependant de préciser que, dans la machine à courant continu, les variables utilisées dans la régulation sont des grandeurs physiques mesurées directement sur les enroulements, tandis que, pour la machine asynchrone à cage, les grandeurs sont les

composantes (d, q) des vecteurs spatiaux, obtenues indirectement après la transformation de Park appliquée aux vraies grandeurs physiques triphasées.

I.5.2.2 Implémentation de la commande IRFOC

Rappelons que dans cette technique de commande les axes (d,q) sont choisis solidaire au champ tournant ce qui est caractérisé par :

$$\frac{d\theta_s}{dt} = \omega_s \quad \text{et} \quad \frac{d\theta}{dt} = \omega = \omega_s - \omega_r$$

Ainsi que la composante $\varphi_{rq} = 0$ et $\varphi_r = \varphi_{rd} = \text{cte}$

Donc on a $i_{sd} = \frac{\varphi_r}{L_m}$ et $\omega\varphi_{rd} = \frac{L_m}{\tau_r} i_{sq} - \omega_s \varphi_{rd}$

Substituons ces deux grandeurs dans le système (I.27), ce type de commande conduit à établir un modèle mathématique du moteur qui prend la forme donnée par le système (I.34).

$$\begin{cases} v_{sd} = R_s i_{sd} + \sigma L_s \frac{di_{sd}}{dt} - \sigma L_s \omega_s i_{sq} \\ v_{sq} = R_s i_{sq} + \sigma L_s \frac{di_{sq}}{dt} + \frac{\omega_s L_m}{L_r} \varphi_r + \sigma L_s \omega_s i_{sd} \\ i_{sd} = \frac{\varphi_r}{L_m} \quad (\text{en régime permanent}) \\ \omega_r = (\omega_s - \omega) = \frac{L_m}{\tau_r \varphi_{rd}} i_{sq} \\ C_e = \frac{3pL_m}{2L_r} \varphi_{rd} i_{sq} \end{cases} \quad (\text{I.34})$$

L'angle θ_s utilisé pour la transformation directe et inverse, est donnée par :

$$\theta_s = \int (\omega_r + \omega) dt = \int \left(\frac{L_m}{\tau_r \varphi_{rd}} i_{sq} + p\Omega \right) dt \quad (\text{I.35})$$

Ce qui nous permet par la suite de développer le schéma général de commande vectorielle indirecte par orientation de flux rotorique, illustrée par la figure (I.16).

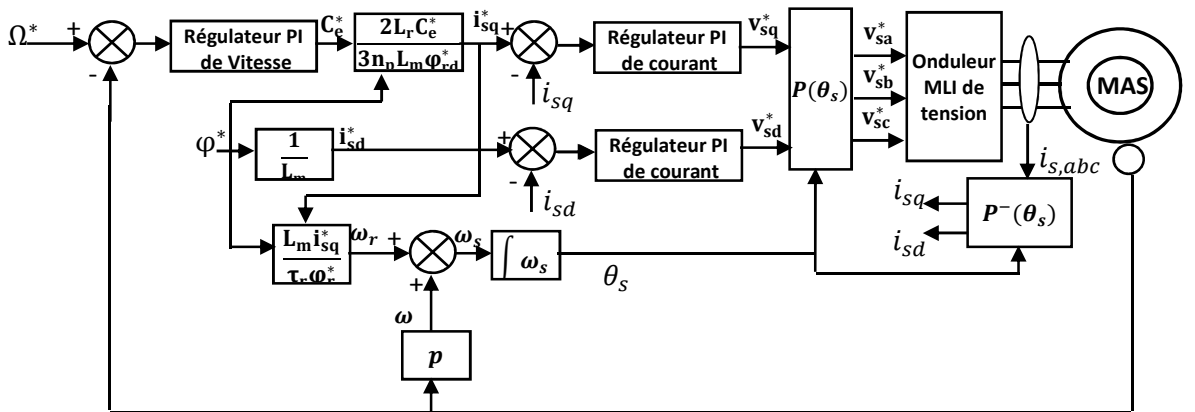


Figure I.6 Schéma de régulation de vitesse de MAS en IRFOC.

Ce schéma comporte deux boucles internes rapides pour i_{sd} , i_{sq} , qui sont obtenues après transformation des courants mesurés i_{sa} , i_{sb} , i_{sc} utilisant l'angle θ_s ; et une boucle externe plus lente pour la régulation de vitesse, à partir des grandeurs de référence, qu'on souhaite imposer. Le régulateur du courant i_{sd} se charge de maintenir le courant i_{sd} constant et égal à la référence i_{sd}^* , ce qui impose un flux nominal dans le moteur, donc on peut imposer le couple en agissant sur le courant i_{sq} . Le régulateur du courant i_{sq} va imposer ce courant à partir d'un courant de référence i_{sq}^* , ce dernier est piloté par un régulateur de vitesse angulaire Ω du moteur.

I.5.2.3 Synthèse des régulateurs de courant

Afin de faire le calcul des coefficients des régulateurs, les paramètres de la machine asynchrone utilisée, issus de l'identification sont présentés au tableau I.2.

Tableau I.2 Paramètres de la machine utilisée.

Plaque signalétique	Paramètres électrique et mécanique identifiés de modèle utilisé.
$U(\lambda/\Delta) = 380/220 V$ $- 0.78/1.32 A$ $P = 0.25 Kw$ $\cos\varphi = 0.78$ $\Omega_n = 1350tr/min - f = 50Hz$	$R_s = 48 \Omega$ $R_r = 34 \Omega$ $L_s = L_r = L_{fr} + L_m = 1.13 H$ (inductances propres) $L_m = 1 H$ $L_{fs} = L_{fr} = 0.13 H$ inductance de fuites $\sigma = 0.1763$ $\tau_s = 0.023 s$ $\tau_r = 0.035 s$ $J = 0.0011 Kg.m^2$ (machine + frein à poudre) $F = 1.35.10^{-4} Kg.m^2.s$ (machine + frein poudre) $n_p = 2$ $C_n = 1.76 N.m$

Après passage par transformation de Laplace, le système (I.34) modélisant la machine devient :

$$\begin{cases} v_{sd} = (R_s + p\sigma L_s)i_{sd} - \sigma L_s \omega_s i_{sq} \\ v_{sq} = (R_s + p\sigma L_s)i_{sq} + \frac{\omega_s L_m}{L_r} \varphi_r + \sigma L_s \omega_s i_{sd} \\ i_{sd} = \frac{\varphi_r}{L_m} \text{ (en régime permanent) } \\ \omega_r = (\omega_s - \omega) = \frac{L_m}{\tau_r \varphi_{rd}} i_{sq} \\ C_e = \frac{3pL_m}{2L_r} \varphi_{rd} i_{sq} \end{cases} \quad (I.35)$$

Les équations différentielles de i_{sd} et i_{sq} du système (I.35) montrent un couplage entre les actions de v_{sd} et v_{sq} , c'est-à-dire que v_{sd} et v_{sq} influent à la fois sur i_{sd} et i_{sq} , de plus des non-linéarités dues à la présence de la pulsation ω_s dans les fonctions de transfert. En effet les termes de couplage sont : $\sigma L_s \omega_s i_{sq}$, $\frac{\omega_s L_m}{L_r} \varphi_r$ et $\sigma L_s \omega_s i_{sd}$.

Il est intéressant d'ajouter des termes de découplage, il s'agit de découplage par compensation, pour rendre les axes d et q complètement indépendant. Il suffit d'ajouter les mêmes termes mais de signes opposés à la sortie de chaque régulateur de courant, comme le montre la figure I.7.

Définissons deux nouvelles variables de commande :

$$\begin{cases} v'_{sd} = v_{sd}^* + \sigma L_s \omega_s i_{sq} \\ v'_{sq} = v_{sq}^* - \sigma L_s \omega_s i_{sd} - \frac{\omega_s L_m}{L_r} \varphi_r \end{cases} \Rightarrow \begin{cases} v_{sd}^* = (R_s + p\sigma L_s) i_{sd} \\ v_{sq}^* = (R_s + p\sigma L_s) i_{sq} \end{cases} \quad (I.36)$$

Avec cette technique les variables de commande v_{sd}^* et v_{sq}^* sont donc complètement découplées.

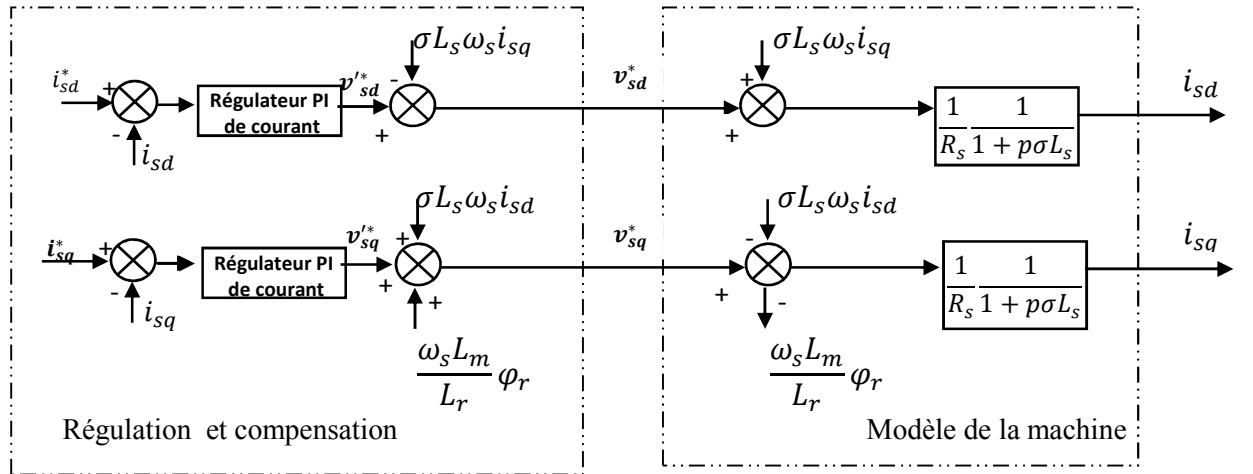


Figure I.7 Technique de découplage par compensation.

Après découplage, les boucles de courant sont simples et identiques (figure I.8), ce qui nous facilite le calcul des gains (K_p et $K_i = \frac{K_p}{T_i}$) des régulateurs PI.

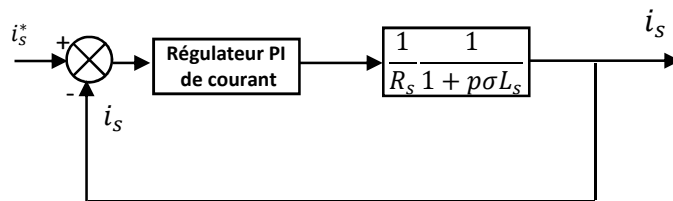


Figure I.8 Boucle de réglage de courant après découplage

Notre objectif est d'implémenter la commande vectorielle IRFOC en exploitant un système numérique à base de FPGA ; en effet, on utilise pour la simulation un système échantillonné. Le calcul des gains du régulateur pour un système échantillonné consiste à concevoir le régulateur en considérant le système comme continu, mais en introduisant tous les retards de la boucle de régulation, ensuite on calcule le régulateur numérique équivalent. Le retard T_d de cette boucle correspond au retard de l'onduleur de tension, de la conversion analogique/numérique et le retard introduit par le filtre de courant est approximé par une fonction de transfert du premier ordre : $\frac{1}{1+PT_d}$

Nous avons adopté un régulateur classique PI à deux actions, une action proportionnelle pour la rapidité et une action intégrale pour éliminer l'erreur statique. La boucle de régulation de courant introduisant le retard est illustrée sur la figure I.9.

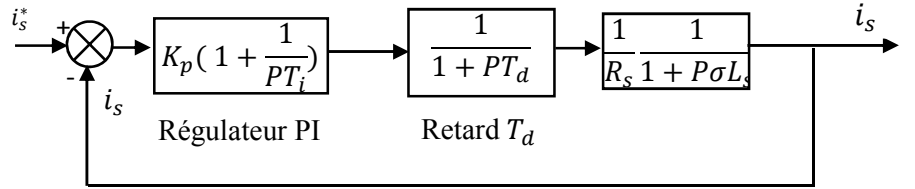


Figure I.9 Boucle de réglage de courant après découplage

La fonction de transfert en boucle ouverte est :

$$H_{BO} = K_p \left(\frac{1 + PT_i}{PT_i} \right) \frac{1}{1 + PT_d} \frac{1}{R_s} \frac{1}{1 + P\sigma L_s} \quad (I.37)$$

Afin d'éliminer le pôle le plus lent, et rendre le système de deuxième ordre, on calcule K_p , en choisissant :

$$T_i = \sigma L_s \quad (I.38)$$

L'expression (I.37) devient :

$$H_{BO} = \frac{K_p}{R_s} \frac{1}{P\sigma L_s(1 + PT_d)} \quad (I.39)$$

La fonction de transfert en boucle fermée (BF) s'écrit alors ;

$$H_{BF} = \frac{H_{BO}}{1 + H_{BO}} = \frac{K_p}{R_s \sigma L_s T_d} \cdot \frac{1}{p^2 + 2P \frac{1}{2T_d} + \frac{K_p}{R_s \sigma L_s T_d}} = \frac{\omega_0^2}{p^2 + 2P\xi\omega_0 + \omega_0^2} \quad (I.39)$$

Avec :

$$\begin{cases} \xi = \frac{1}{2} \sqrt{\frac{R_s \sigma L_s}{K_p T_d}} \\ \omega_0 = \sqrt{\frac{K_p}{R_s \sigma L_s T_d}} \end{cases} \quad (I.40)$$

On obtient ainsi les coefficients de régulateur PI de courant en continu :

$$\begin{cases} K_p = \frac{R_s \sigma L_s}{T_d 4 \xi^2} \\ K_i = \frac{K_p}{T_i} = \frac{K_p}{\sigma L_s} = \frac{R_s}{T_d 4 \xi^2} \end{cases} \quad (I.41)$$

Pour imposer un dépassement de 4.3% on pose $\xi = \frac{1}{\sqrt{2}}$ le retard estimé $T_d = 200\mu s$.

Pour un régulateur PI numérique :

$$\begin{cases} K_{pnum} = K_p \\ K_{inum} = K_i T_e \end{cases} \quad (I.42)$$

Où T_e est le temps d'échantillonnage du système discret.

L'application numérique donne :

$$\begin{cases} K_{pnum} = 1,7486 \cdot 10^4 \\ K_{inum} = 8,333 \cdot 10^4 \cdot T_e \end{cases} \quad (I.42)$$

I.5.2.4 Synthèse du régulateur de vitesse

Vu que la boucle de régulation de vitesse fait intervenir des expressions très compliquées de la fonction de transfert utilisant la méthode systématique de calcul des gains de régulateur, on adopte la méthode de Ziegler Nichols qu'est une méthode empirique qui permettant d'ajuster les gains d'un régulateur pour commander un processus à partir de mesures sur sa réponse indicielle, et ne nécessitant pas de modèle explicite. Son principe est de placer un correcteur proportionnel dans la boucle fermée et d'augmenter doucement le gain de ce correcteur jusqu'à obtenir des oscillations (phénomène de pompage), (figure I.10).

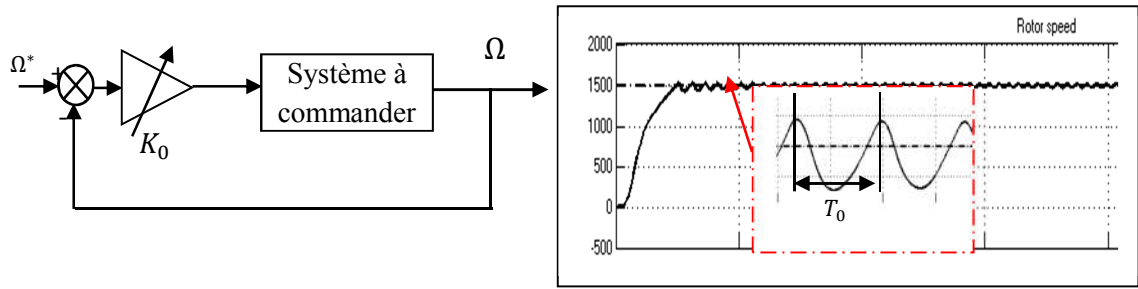


Figure I.10 Principe de méthode de Ziegler-Nichols

On note K_0 le gain qui a amené le système à la limite de stabilité et la période T_0 des oscillations obtenues. Les paramètres de régulation pour que la réponse du système bouclé soit satisfaisante sont donnés par le tableau I.3.

Tableau I.3 Calcul des gain des régulateur P, PI, PID en boucle fermée selon Ziegler Nichols

Type de correcteur	K_p	T_i	T_d
P	$0.5K_0$		
PI	$0.45K_0$	$0.83T_0$	
PID	$0.6K_0$	$0.5T_0$	$0.125T_0$

L'application numérique aboutit à :

$$\begin{cases} K_{pnum} = 0,21 \\ K_{inum} = 0,11.T_e \end{cases} \quad (I.43)$$

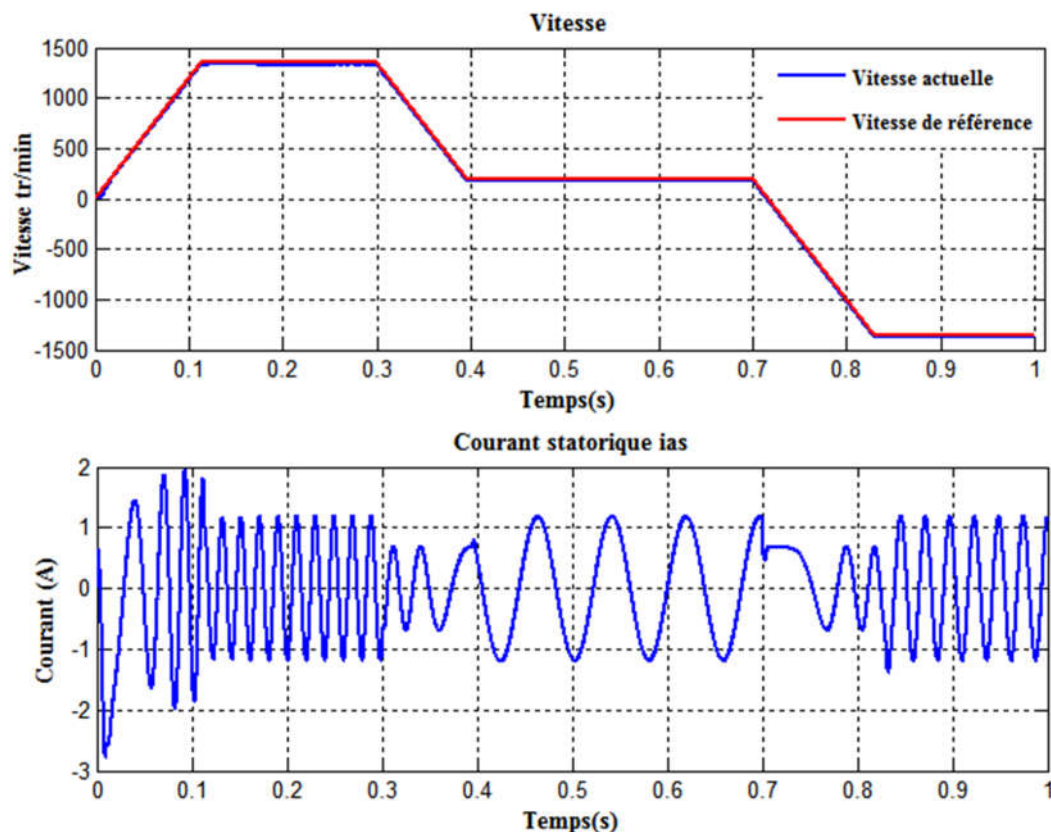
I.5.2.5 Résultats de simulation

Les conditions adoptées pour réaliser les algorithmes de simulation numérique sont faites de façon à ressembler à ceux qui seront développées par voie d'expérimentation. Le système qui a été implanté sous Matlab/Simulink est celui de la figure I.6.

La commande rapprochée de l'onduleur de tension est une modulation SVPWM, le temps d'échantillonnage du système discret $T_e = 40 \mu s$, le régulateur de vitesse est sollicité chaque 1 ms tandis que les boucles de courant toutes les 200 μs . La vitesse de référence dans le cas d'accélération ou décélération suit une rampe d'une pente de $(\frac{1500(tr/min)}{0.125(s)} = 12000)$, avec un couple de charge nominal de 1.73 N.m durant tout le profil.

Pour illustrer les performances et la robustesse de la commande implémentée, on a simulé, en même temps (un seul profil) les modes de fonctionnement suivants:

- Accélération de 0 à 1350 tr/min, durant l'intervalle de temps [0 0.125 s], un courant de rappel i_{ds} qui dépasse le courant nominal, mais ce n'est pas important à cause de la présence des régulateurs de courant, le moteur développe un couple de 4 N.m pour atteindre le régime permanent.
- Régime permanent pour une vitesse (nominale) constante 1350 tr/min, durant [0.125-0.3 s], le courant statorique se stabilise à sa valeur nominale (RMS) 0.78 A, et le couple développé est égale au couple de charge.
- Décélération de 1350 tr/min à 200 tr/min durant [0.3 0.425 s]. Dans ce mode le moteur se comporte comme une génératrice, ce qui provoque la diminution du couple développé.
- Réponse à basses vitesses 200 tr/min durant [0.425 0.7 s], dans cet intervalle, la fréquence du courant statorique est diminuée à une valeur correspond à la vitesse de 200 tr/min, et le couple rejoint à nouveau le couple résistant.
- Inversion du sens de rotation 200 tr/min à -13500 tr/min. Dans ce cas, il est clair que la phase de courant statorique est changée à 180° . Après le régime transitoire le moteur développe un couple nominale 1.73 N.m avec une vitesse nominale inverse -1500 tr/min.



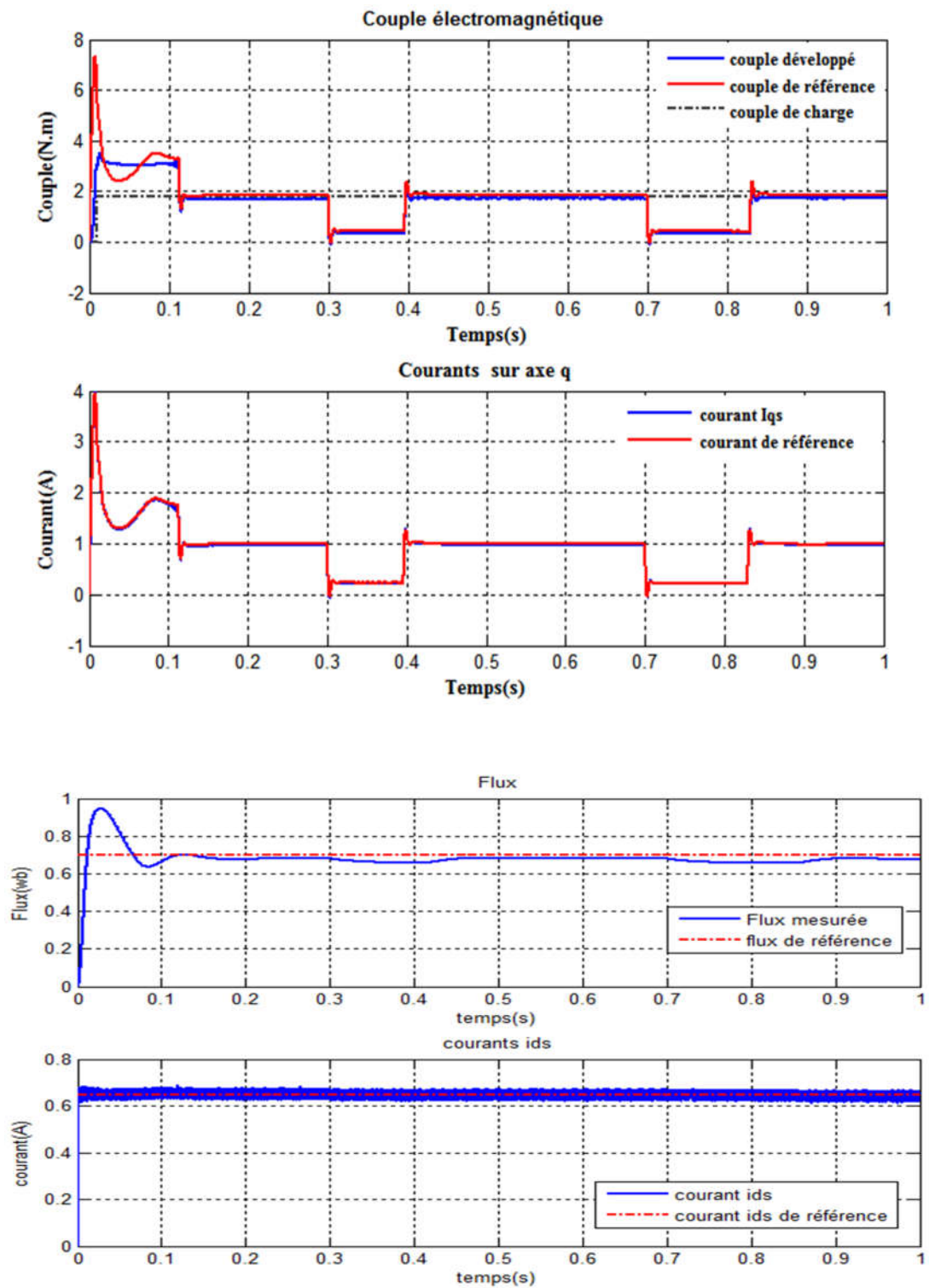


Figure I.11 Résultats de simulation de la commande vectorielle IRFOC d'un moteur asynchrone alimenté par onduleur de tension avec SVPWM

Les résultats de simulation (figure I.11) montrent que :

- les réponses (vitesse, courant) statiques et dynamiques sont satisfaisantes, et ceci est dû à la présence des régulateurs PI.

- Le flux, et le couple sont indirectement contrôlés successivement par i_{ds} et i_{qs} .
- Nous avons reporté également quelques régimes transitoires de démarrage, pour montrer la rapidité d'installation du couple.
- Les différentes réponses montrent que le flux et le couple sont bien découplés.
- Vu que l'image du flux rotorique suit l'image du courant i_{ds} le flux rotorique est orienté dans la direction « d », avec une valeur constante.

I.6 Conclusion

On peut conclure que le moteur à cage, contrairement à la machine à courant continu ou à la machine synchrone, dans lesquelles la réaction d'induit a été compensée, présente un couplage naturel et réciproque entre flux et couple. Ce couplage se caractérise par un modèle non linéaire qui rend plus complexe l'étude de cette machine et la synthèse des régulateurs. Dans la commande scalaire du moteur à cage, la variation de la vitesse ou du couple électromagnétique a une influence sur le flux, qui doit être toujours constant.

Il est clair que la commande vectorielle offre des performances de contrôle très proches à celles de la machine à courant continu à excitation séparée à condition que la constante de temps rotorique soit parfaitement connue. Cependant, ces performances sont sensibles aux variations des paramètres de la machine. L'échauffement et la saturation de la machine peuvent être la cause d'un dérèglement de l'opération de découplage introduisant ainsi des erreurs dans les valeurs estimées du flux et de sa position et par conséquent la diviation de flux.

Ces stratégies de commande vectorielle sont plus précises mais leur implémentation nécessite l'acquisition d'un matériel assez coûteux., ce qui fait l'appel à des solutions numériques pour implémenter ces algorithmes, tels que les microcontrôleurs, DSP, FPGA.

CHAPITRE II

STRATÉGIES DE COMMANDE DES ONDULEURS DE TENSION POUR VARIATEUR DE VITESSE

II.1 Introduction

Au chapitre précédent, on a vu que pour faire varier la vitesse d'un moteur asynchrone, il faut varier la fréquence et la l'amplitude de sa tension d'alimentation on adopte un contrôle v/f constant.

Le procédé le plus utilisé, pour avoir une alimentation à fréquence et à valeur efficace variables, est d'utiliser un onduleur (onduleur de tension pour notre travail), commandé par la technique de Modulation de Largeur d'Impulsion PWM.

Différentes techniques de commande du variateur utilisant la modélisation de largeur d'impulsion (PWM) sont de plus en plus populaires dans les applications de commande des moteurs à courant alternatif [46].

Plusieurs stratégies MLI, et divers techniques de mise en œuvre ont été développées dans les deux dernières décennies [2]. Ces stratégies jouent un rôle important dans la réduction des harmoniques et des pertes de commutation dans les convertisseurs, en particulier dans les applications triphasées. L'objectif principal de toutes les techniques de modulation est d'obtenir une sortie variable avec une composante fondamentale maximum et des harmoniques minimales [12,47].

Nous consacrons ce chapitre sur le principe de fonctionnement des onduleurs de tension et sur les différentes stratégies MLI utilisées pour leur commande.

II.2 Présentation des structures des onduleurs de tension

Un onduleur de tension est un convertisseur continu/alternatif alimenté par une source de tension continu, sa tension en sortie n'est pas sinusoïdale, en effet les interrupteurs travaillent en commutation, la tension de sortie sera toujours constitué de créneaux de tension continu. Cette tension non sinusoïdale peut être considérée comme la somme d'une composante fondamentale (référence qu'on le souhaite) et des tensions de fréquences multiples de celle de la fondamentale dite harmoniques, qui sont indésirables.

Il existe plusieurs structures de l'onduleur de tension :

- Onduleur monophasé en demi-pont (deux interrupteurs).
- Onduleur monophasé en pont complet (quatre interrupteurs).
- Onduleur triphasé à deux niveaux
- Onduleur triphasé à multi-niveaux

II.3 Onduleur monophasé en demi-pont

Pour comprendre le principe de commande des onduleurs, prenons la structure la plus simple des onduleurs de tension, l'onduleur monophasé en demi-pont, composé de deux interrupteurs qui commutent de façon complémentaire, figure II.2.a

II.3.1 Commande pleine onde

Ce type de commande est le plus classique, il consiste à commander les deux interrupteurs complémentaires K_1 et K'_1 pendant chaque période T de la façon suivante :

De 0 à $T/2$, K_1 fermé et K'_1 ouvert

De $T/2$ à T , K_1 ouvert et K'_1 fermé

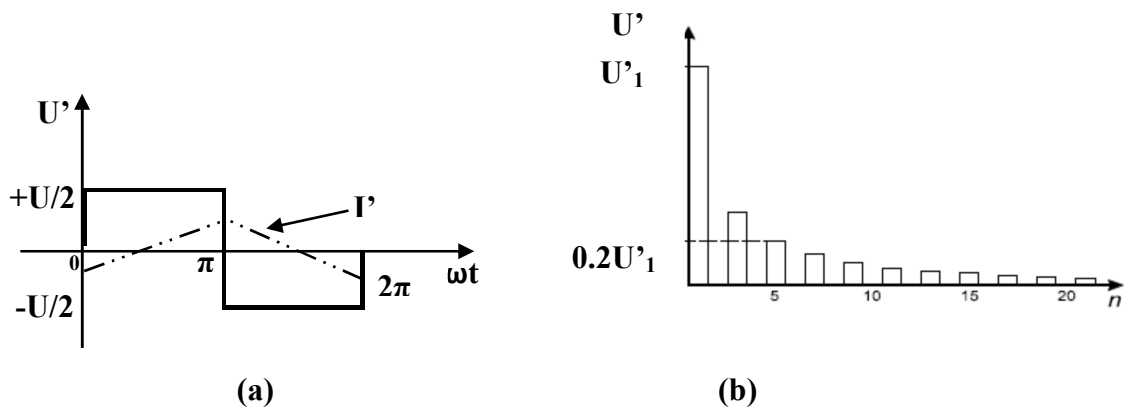


Figure II.1 : a) Allure de la tension de sortie de l'onduleur monophasé en demi pont avec une commande pleine onde; (b) Spectre de la tension de sortie U'

On pose, la tension de sortie de l'onduleur $U' = (V_a - V_0)$, (figure II.2), cette tension est égale à $+U/2$ pendant une alternance, est à $-U/2$ pendant l'autre. L'allure de la tension de sortie avec la commande pleine onde a une forme d'un signal carré, (figure II.1 a) d'amplitude $U/2$, sa fréquence est appelée fréquence du fondamental.

En utilisant la décomposition en série de Fourier figure II.1 b, on constate que la tension de sortie U' de l'onduleur contient une composante sinusoïdale de fréquence égale à celle du signal carré et de valeur efficace fixe (*RMS : Root Mean Square*) :

$$U'_1 = \frac{2U}{\pi\sqrt{2}} = \frac{\sqrt{2}U}{\pi}$$

Aussi il y a des harmoniques de fréquences multiples du fondamental, la valeur efficace de $n^{\text{ième}}$ harmonique de la tension de sortie est égale à :

$$U'_n = \frac{\sqrt{2}U}{n\pi}$$

On peut constater que la tension à la sortie de l'onduleur, pour une commande pleine onde, contient plusieurs composantes harmoniques indésirables, ces composantes ont des valeurs efficaces importantes et des fréquences proches de celle du fondamental.

Puisqu'un moteur asynchrone joue un rôle d'un filtre passe bas (LR) les harmoniques de la tension de sortie qui l'alimente sont difficile à filtrer. Par conséquent le courant qui circule dans le moteur n'est plus sinusoïdal (triangle figure II.1 a), ce qui va échauffer le moteur de plus le couple développé est fortement ondulé [3]. La commande pleine onde permet d'exploiter au maximum le bus continu, de faire varier la fréquence du fondamental mais pas sa valeur efficace. De ce fait d'autres techniques ont été introduites pour remédier à ces problèmes.

II.3.2 Principe de la modulation de largeur d'impulsion MLI sinus-triangle

La figure II.2 (a) rappelle le schéma de l'onduleur monophasé en demi-pont et les notations utilisées [48]. Les instants de fermeture des interrupteurs complémentaires K_1 et K'_1 sont déterminés par les intersections du signal de référence (modulant) $(V_a - V_0)_w$, représentant la tension de sortie désirée de fréquence f , avec la porteuse M .

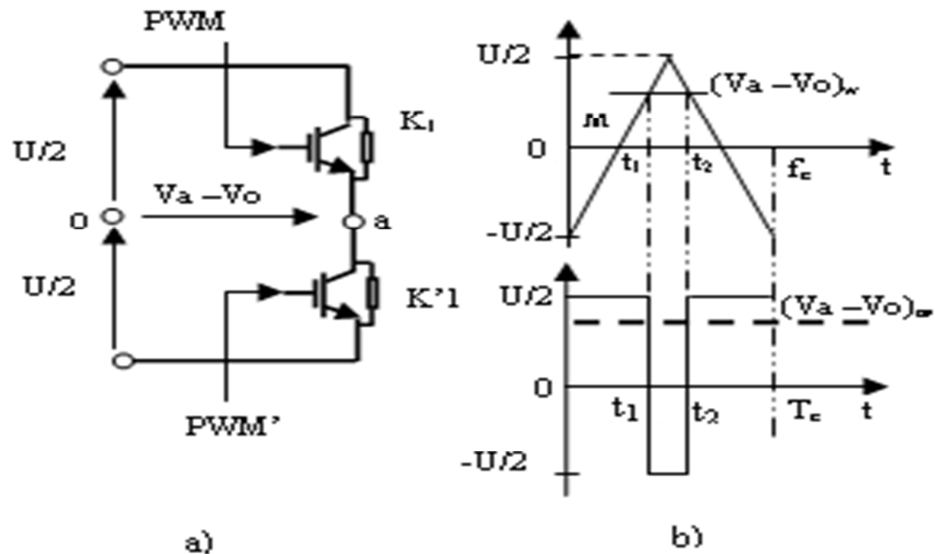


Figure II.2 (a) Onduleur monophasé en demi pont; (b) Génération du signal MLI de commande

La porteuse est un signal triangulaire, de fréquence f' nettement supérieure à f , et d'amplitude normalisé $U/2$.

- Les intersections de $(V_a - V_0)_w$ avec M croissant donnent les instants de fermeture de K'_1 et le début des intervalles à $(V_a - V_0)_w = -U/2$;
- Les intersections de $(V_a - V_0)_w$ avec M décroissant donnent les instants de fermeture de K_1 et le début des intervalles à $(V_a - V_0)_w = +U/2$;

On pose $(V_a - V_0)_w = U'_w$, $(V_a - V_0) = U'$ on calcule la valeur moyenne de la tension de sortie $(V_a - V_0)_w$ pendant une période T' de la porteuse.

La partie ascendante de U'_w a pour équation :

$$M = -\frac{U}{2} + 2U \frac{t}{T'} \quad (\text{II.1})$$

Elle coupe U'_w pour $t=t_1$ tel que

$$t_1 = \left(U'_w + \frac{U}{2} \right) \frac{T'}{2U} \quad (\text{II.2})$$

La partie descendante de M a pour équation :

$$M = \frac{3U}{2} - 2U \frac{t}{T'} \quad (\text{II.3})$$

Elle coupe U'_w pour $t=t_2$ tel que

$$t_2 = \left(\frac{3U}{2} - U'_w \right) \frac{T'}{2U} \quad (\text{II.4})$$

La tension de sortie a pour valeur moyenne au cours de cette période de M :

$$U'_{moy} = \frac{1}{T'} \left(\frac{U}{2} T' - U(t_2 - t_1) \right) \quad (\text{II.5})$$

En remplaçant t_1 et t_2 par leurs valeurs, on obtient

$$U'_{moy} = U'_w = (V_a - V_0)_w$$

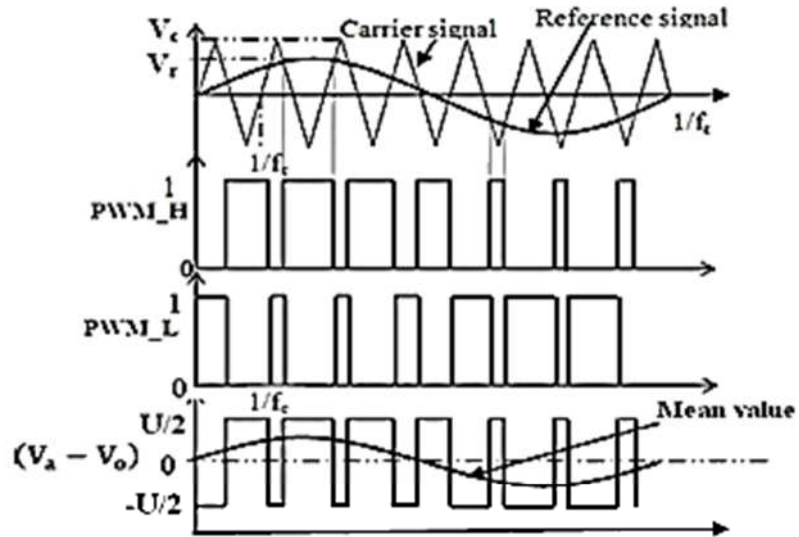


Figure II.3 Principe de MLI sinus-triangle [49] [33].

Donc si la référence varie sinusoïdalement, la valeur moyenne de $(V_a - V_0)$ variera suivant la même forme. C'est le principe de la MLI sinus-triangle ou SPWM (*sine PWM*).

L'idée de base pour produire des signaux de commande MLI sinus-triangle consiste à comparer entre une référence sinusoïdale V_r et une porteuse triangulaire V_c , le principe est illustré sur la figure II.3. La tension de sortie n'est pas sinusoïdale, elle est formée de créneaux de largeurs variable en fonction de la référence, dont leur valeur moyenne est sinusoïdale qui est exactement leur fondamental.

II.3.3 Caractéristiques de la modulation MLI

Si la référence est sinusoïdale, deux paramètres caractérisent la modulation [50]

- L'indice de modulation m , égal au rapport $\frac{f'}{f}$ des fréquences de la porteuse et de la référence ;
- Le coefficient de réglage en tension r , égal au rapport de l'amplitude de la tension de référence à la valeur de crête $\frac{U}{2}$ de la porteuse.

La modulation est dite synchrone, si f' est un multiple entier de f , et asynchrone si on fixe f' et on fait varier de façon continue la fréquence de la référence.

II.3.4 Analyse spectrale de la tension de sortie

On suppose une modulation synchrone et le calage optimal, c.-à-d. le sommet de la porteuse passe toujours au milieu des alternances de la référence.

Si on prend m impaire, le développement en série de Fourier de la tension de sortie $U'=(V_a-V_0)$ ne comporte que , en plus du fondamental , que des harmoniques impaires.

$$U' = A_1 \sin \omega t + A_3 \sin 3\omega t + A_5 \sin 5\omega t + \dots + A_n \sin n\omega t + \dots$$

$$\text{Avec } A_n = \frac{4}{\pi} \int_0^{\pi/2} U' \sin(n\omega t) d\omega t$$

Ce qui donne :

$$A_n = \frac{1}{n} \frac{4}{\pi} \frac{U}{2} \left(1 - 2 \cos n\theta_1 + 2 \cos n\theta_2 \mp 2 \cos n\theta_{\frac{m-1}{2}} \right) \quad (\text{II .6})$$

$\theta_1, \theta_2, \dots$ sont les angles de commutation.

On obtient la valeur efficace U'_1 du fondamental et celles des harmoniques impairs U'_3, U'_5, \dots constituant la tension U' par :

$$U'_1 = \frac{A_1}{\sqrt{2}}; U'_3 = \frac{|A_3|}{\sqrt{2}}; U'_5 = \frac{|A_5|}{\sqrt{2}}; \dots$$

Si m est pair, le développement en série de U' comporte en plus du fondamental, des harmoniques pairs ou impairs, une composante continue, cette composante est importante pour m égal à 2, faible pour m égal à 4, négligeable pour m égal ou supérieur à 6 [48].

La figure II.4 donne par exemple le spectre de la tension de sortie de l'onduleur pour $m=15$ et $r=0.8$. Pour chaque terme de fréquence (nf) on a indiqué sa valeur efficace U'_n rapportée à $U\sqrt{2}/\pi$ valeur efficace du fondamental pour une commande pleine onde.

On distingue:

- le fondamental
- la 1^{ère} famille des harmoniques autour de $15f$.
- la 2^{ème} famille des harmoniques autour de $30f$.
- Les autres harmoniques ont des valeurs très faibles.

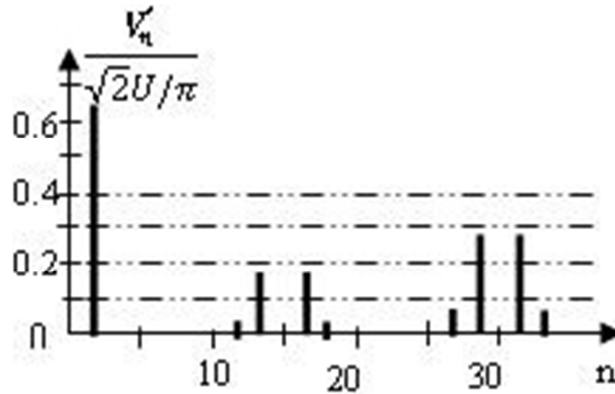


Figure II.4 Spectre de la tension de sortie de l'onduleur MLI.

On constate que la modulation de largeur d'impulsion ne réduit pas le taux de distorsion des harmonique, THD donné par la formule (II.7) [48-50-51], mais repousse les harmoniques vers les fréquences les plus élevées, supérieures à mf , ce qui facilite le filtrage.

$$\text{THD} = \frac{1}{U'} \left(\sum_{n=2}^{\infty} U_n'^2 \right)^{1/2} \quad (\text{II.7})$$

II.3.5 Tension de sortie de l'onduleur

Le fondamental U'_1 de la tension de sortie est pratiquement égal à la tension de référence, sa valeur efficace est donnée par :

$$U'_1 = \frac{1}{\sqrt{2}} r \frac{U}{2} \quad (\text{II.8})$$

Si le coefficient de réglage r varie de zéro à 1, U'_1 va de 0 à $\frac{U}{2\sqrt{2}}$, c'est le maximum de la tension de sortie, qui peut être obtenu par la stratégie MLI sinus-triangle.

A partir du développement en série de Fourier de la tension obtenue avec la commande pleine onde, la valeur efficace de cette tension de sortie (paragraphe II.3.1)

$$U'_1 = \frac{\sqrt{2}U}{\pi}$$

On obtient

$$\left(\frac{U'_1}{\frac{\sqrt{2}U}{\pi}}\right) = \frac{\pi}{4} = 0.7854 = 78.5\% \quad (\text{II.9})$$

Donc, l'utilisation de la stratégie MLI sinus-triangle ne permet d'obtenir que 78.5% du fondamental de celle obtenue avec une commande pleine onde. On a un déchet de tension de 21.5%.

La stratégie SPWM nous permet de faire varier la fréquence et la valeur efficace du fondamental de la tension de sortie de l'onduleur, de repousser harmoniques vers les hautes fréquences ce qui facilite leur filtrage. L'inconvénient de la sous exploitation du bus continu on va être discuté ultérieurement.

II.4 Onduleur de tension triphasé à MLI

II.4.1 Principe

En regroupant trois demi-ponts monophasés à deux niveaux, on obtient l'onduleur de tension triphasé à six interrupteurs. L'onduleur de la figure II.5, est constitué de trois bras, un bras par phase, chaque bras contient deux interrupteurs complémentaires. Chaque interrupteur électronique est à base d'un transistor MOSFET de puissance ou IGBT et d'une diode montée en antiparallèle [52,53].

Comme la plupart des dispositifs électroniques de puissance ne peuvent pas conduire négativement, pour éviter d'endommager les interrupteurs, ce courant négatif devrait être détourné autour d'eux. Par conséquent, les diodes sont placées en anti-parallèle avec les interrupteurs pour permettre la circulation continue du courant. Ces diodes qui sont appelés diodes réactifs ou de roue libre, conduisent chaque fois que la tension et le courant sont opposées. Ceci se produit chaque fois qu'il ya un flux de courant inverse vers l'alimentation DC[54].

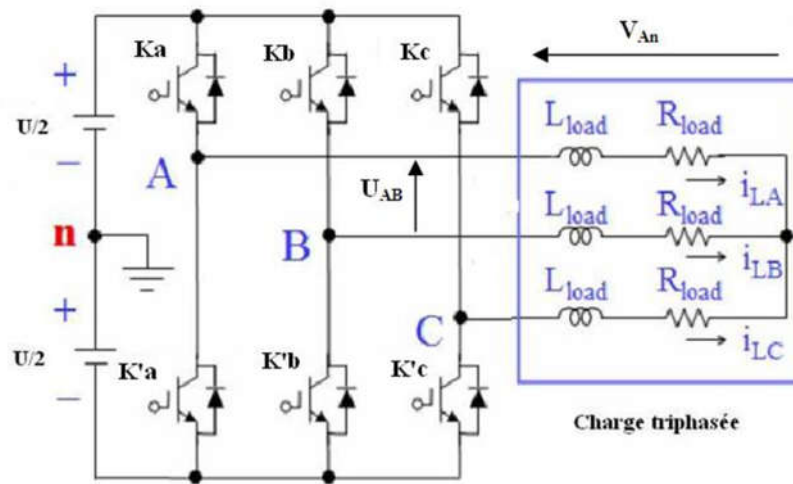


Figure II.5 Schéma de principe d'un onduleur triphasé de tension alimentant une charge triphasée équilibrée.

La commande de l'onduleur triphasé avec MLI sinus-triangle est identique à celle d'un onduleur en demi-pont. On utilise trois signaux de référence sinusoïdaux déphasés de 120° entre eux, pour générer six signaux MLI de commande (une paire par phase).

On retrouve les résultats de l'étude effectuée en demi-pont monophasé :

- Possibilité de faire varier le fondamental de tensions de sortie depuis zéro jusqu'à 78.54% de la valeur de tension obtenu par une commande pleine onde, soit $\frac{2U}{\pi}$, U est la tension continue (*Bus continu*) qui alimente l'onduleur.
- Repousser vers les fréquences élevées des harmoniques de ces tensions.

Un autre avantage, fournit par les onduleurs triphasés de tension, c'est que les harmoniques de rang 3 ou multiple de 3 qui étaient présents en monophasé, sont absents des tensions de sortie de l'onduleur, car ils forment des systèmes homopolaires [50], ce qui sera utilisé en MLI à injection de l'harmonique trois.

II.4.2 Tensions de sortie

Les tensions de sortie sont directement calculées à partir des états des 6 interrupteurs de puissance de l'onduleur et de la tension continue U . L'état, ouvert ou fermé, des interrupteurs de puissance est représenté par 3 grandeurs booléennes de commande notées K_j ($j = a, b, c$), voir figure II.5 [55].

Pour le bras j , lorsque $K_j = '1'$, l'interrupteur du haut est fermé et l'interrupteur du bas ouvert. Inversement lorsque $K_j = '0'$, l'interrupteur du haut est ouvert et l'interrupteur du bas fermé. Les combinaisons des 3 états (K_a, K_b, K_c) permettent de générer, par rapport au système d'axes (a, b, c), 8 positions du vecteur tensions de sortie.

Les tensions simples V_{an} , V_{bn} , V_{cn} s'écrivent en fonction de la tension continue et les états des interrupteurs :

$$\begin{bmatrix} V_{an} \\ V_{bn} \\ V_{cn} \end{bmatrix} = \frac{U}{3} \begin{bmatrix} 2 & -1 & -1 \\ -1 & 2 & -1 \\ -1 & -1 & 2 \end{bmatrix} \begin{bmatrix} K_a \\ K_b \\ K_c \end{bmatrix} \quad (\text{II .10})$$

De la même manière, les tensions composées U_{ab} , U_{bc} et U_{ca} , s'écrivent sous la forme matricielles :

$$\begin{bmatrix} U_{ab} \\ U_{bc} \\ U_{ca} \end{bmatrix} = U \begin{bmatrix} 1 & -1 & 0 \\ 0 & 1 & -1 \\ -1 & 0 & 1 \end{bmatrix} \begin{bmatrix} K_a \\ K_b \\ K_c \end{bmatrix} \quad (\text{II .11})$$

II.5 Autres stratégies de modulation

La modulation sinus-triangle nous permet de régler le fondamental de la tension de sortie de l'onduleur par action sur le paramètre r , et de repousser les harmoniques vers les fréquences élevées ce qui facilite le filtrage, mais cette technique nous ne permet d'exploiter que 78.54% de la tension continue, qui alimente l'onduleur. L'amélioration de l'utilisation de la tension continue DC est un sujet d'actualité de l'électronique de puissance [56].

Ce problème menai à développer d'autres stratégies de modulation. On va voir dans ce qui suit les techniques les plus utilisés (sur-modulation, injection de l'harmonique trois, et le SVPWM).

II.5.1 Sur-modulation

Par action sur r , on peut faire croître le fondamental de la tension de sortie depuis zéro jusqu'à un maximum correspondant à $r = \frac{V_r}{V_c} > 1$ à l'annulation de certain créneaux de la tension, due à la disparition de certaines intersections entre les ondes de référence V_r et de la porteuse V_c . (Voir figure II.6). Cette technique permet d'exploiter au mieux la tension continue, mais de nouvelles harmoniques apparaissent et le THD augmente [50]

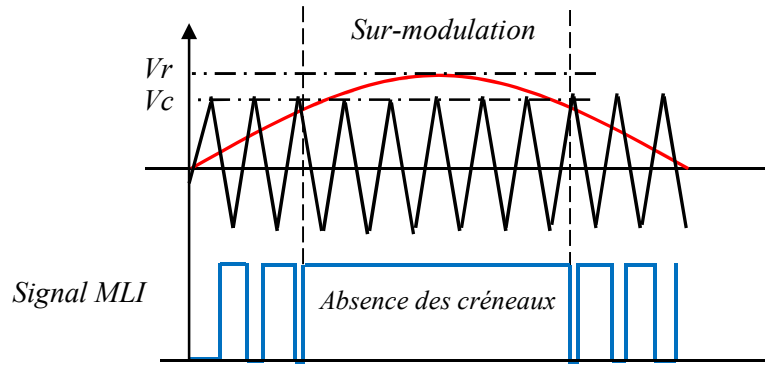


Figure II.6 Principe de sur-modulation

II.5.2 Injection de l'harmonique trois (THIPWM)

Comme on a vu au paragraphe II.4.1, les harmoniques de range 3 ou multiples de 3 sont absents des tensions de sortie de l'onduleur triphasé. La technique THIPWM consiste à injecter l'harmonique trois au signal de référence, qui s'écrit,

$$y = \sin \theta + A \sin 3\theta \quad (\text{II.12})$$

il contient la composante fondamentale en plus d'un terme de fréquence triple, ou $\theta = \omega t$ et A est un paramètre à optimiser pour garder le maximum d'amplitude de $y(t)$ inférieur à l'unité. La valeur maximal de $y(t)$ correspond à une dérivée nulle.

$$\frac{dy}{d\theta} = 0 \quad (\text{II.13})$$

Après calcul [57], on trouve $A = \frac{1}{6} = 0.166$

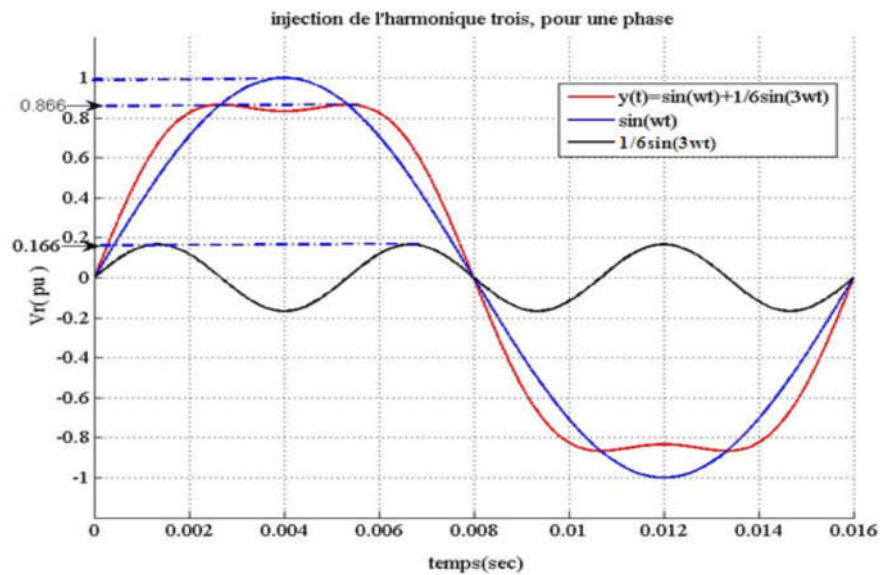


Figure II.7 Injection de l'harmonique trois, pour une phase

Le signal de référence résultant a une amplitude de $\frac{\sqrt{3}}{2} = 0.866$, (figure II.7), ce qui va réduire la tension de sortie, sans changer l'amplitude du fondamental. On doit corriger le signal de référence par un facteur K tel que :

$$y = K(\sin \theta + A \sin 3\theta) \quad (\text{II.14})$$

Ce facteur doit vérifier la condition :

$$\frac{K\sqrt{3}}{2} = 1, \text{ ce qui donne } K = 2/\sqrt{3}$$

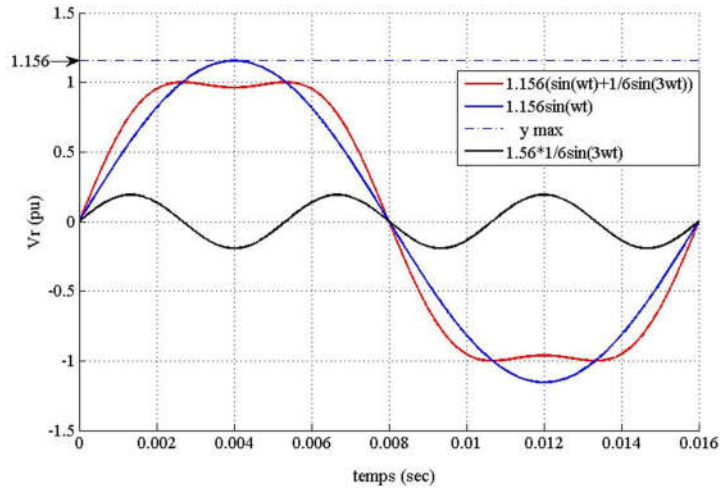


Figure II.8 Injection de l'harmonique trois, avec facteur de correction, pour une phase

Ce procédé ressemble à la sur-modulation, quand $r = 1.156$, et l'annulation des créneaux au centre de la référence est compensée par l'injection de l'harmonique trois.

Cette technique permet donc d'augmenter le fondamental de la tension de sortie avec 11.56% plus que la MLI sinus-triangle, soit 90 % de celle obtenue avec une commande pleine onde, ce qui correspond à un fondamental maximum de $U/\sqrt{3}$.

Pour implémenter la THIPWM on procède de la même manière que la MLI sinus triangle ; on compare avec une porteuse triangulaire les trois signaux de référence obtenus par l'algorithme de la modulation THIPWM:

$$\begin{cases} V_{ra} = \frac{2}{\sqrt{3}} \left(\sin \omega t + \frac{1}{6} \sin 3\omega t \right) \\ V_{rb} = \frac{2}{\sqrt{3}} \left(\sin(\omega t - 2\pi/3) + \frac{1}{6} \sin(3\omega t - 2\pi/3) \right) \\ V_{rc} = \frac{2}{\sqrt{3}} \left(\sin(\omega t + 2\pi/3) + \frac{1}{6} \sin(3\omega t + 2\pi/3) \right) \end{cases} \quad (\text{II.15})$$

II.5.3 MLI vectorielle (SVPWM)

Dans le développement de la modulation SPWM naturelle et régulière échantillonnée, pour un système triphasé, présentée précédemment, la position et l'ordre des impulsions de pour chaque bras est explicitement définie par la stratégie de modulation. Par conséquent, il n'y a pas d'opportunité pour les faire varier.

Toutefois, le placement d'impulsion au milieu de chaque demi-période de la porteuse est présenté pour montrer l'effet sur la tension de sortie maximale (indice de modulation), et sur la mise en œuvre de la modulation. En effet, toutes ces stratégies sont basées sur le placement des intervalles inactifs (nuls) au milieu de chaque demi-période de la porteuse.

II.5.3.1 Principes de la SVPWM

Au milieu des années 80, une forme de PWM appelée modulation vectorielle (SVM) est proposée, dont le but d'offrir des avantages significatifs à celle obtenues avec le SPWM et THSPWM en termes de performances (la simplicité de mise en œuvre, l'exploitation maximum de tension de bus continu) [58 ,59,60].

Ce type de modulation est appelé (*Space Vector Pulse Width Modulation SVPWM*), il n'est applicable que sur les onduleurs de tension [36]. Avec cette technique, on obtient le même résultat que le THIPWM, mais les commutations des interrupteurs sont plus régulières, ce qui va réduire les pertes de commutation [61]. De ce fait, il existe seulement huit combinaisons possibles de commutation d'un onduleur triphasé (2^3 , 3 bras), figure II.9. La SVPWM s'appuie sur le calcul vectoriel des rapports cycliques tandis que la SPWM s'appuie sur la comparaison [62].

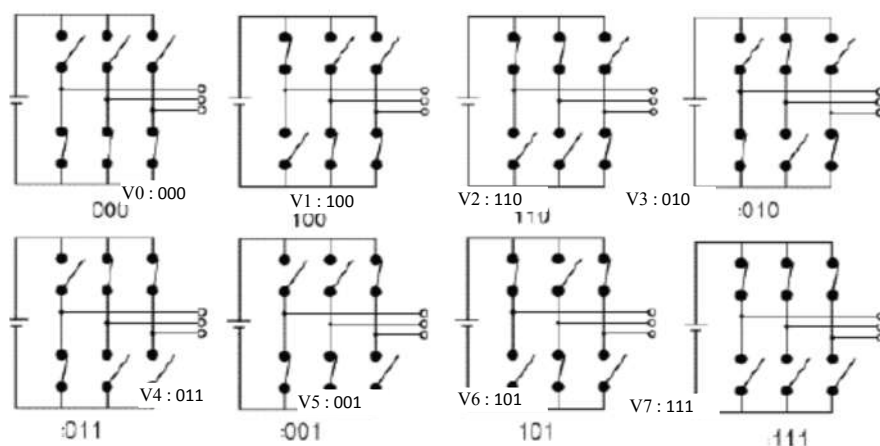


Figure II.9 les huit combinaisons de commutation possibles d'un onduleur triphasé à deux niveaux

Les trois tensions simples de référence (V_{an}, V_{bn}, V_{cn}), d'un système triphasé, peuvent être présentées par un système biphasé (V_α, V_β), avec deux axes orthogonal (α, β).

En utilisant la transformation de Clarke, on peut écrire, sous la forme matricielle :

$$V_w = \begin{bmatrix} V_\alpha \\ V_\beta \end{bmatrix} = \frac{2}{3} \begin{bmatrix} 1 & -1/2 & -1/2 \\ 0 & \sqrt{3}/2 & -\sqrt{3}/2 \end{bmatrix} \begin{bmatrix} V_{an} \\ V_{bn} \\ V_{cn} \end{bmatrix} \quad (\text{II.16})$$

Si l'on considère les composants V_α, V_β comme les projections du vecteur V_w sur les deux axes perpendiculaires, ce vecteur suffit pour caractériser le système triphasé.

Selon les équations (II.10) et (II.11), On peut récrire la tension de référence V_w , en fonction des états logiques des interrupteurs, et de la tension contenue U .

$$V_w = \begin{bmatrix} V_\alpha \\ V_\beta \end{bmatrix} = \frac{U}{\sqrt{3}} \begin{bmatrix} \frac{1}{\sqrt{3}} & -1/\sqrt{3} & -1/\sqrt{3} \\ 0 & 1 & -1 \end{bmatrix} \begin{bmatrix} K_a \\ K_b \\ K_c \end{bmatrix} \quad (\text{II.17})$$

Ayant 3 grandeurs booléennes K_a, K_b, K_c pour la commande des interrupteurs, l'onduleur de tension permet donc de fournir 8 vecteurs spatiaux (six vecteurs actifs et deux vecteurs nuls) comme le montre le tableau II.1.[63]

Tableau II.1 Les 8 états possibles de tensions triphasés (a, b, c) et biphasés (α, β), en fonction des états des interrupteurs

K_a	K_b	K_c	V_a	V_b	V_c	V_α	V_β	\vec{V}_w
0	0	0	0	0	0	0	0	$\vec{V}_0 = 0$
1	0	0	$2U/3$	$-U/3$	$-U/3$	$-U/\sqrt{2/3}$	0	$\vec{V}_1 = 2U/3$
1	1	0	$U/3$	$U/3$	$-2U/3$	$U/\sqrt{6}$	$U/\sqrt{2}$	$\vec{V}_2 = (2U/3)e^{j\pi/3}$
0	1	0	$-U/3$	$2U/3$	$-U/3$	$-U/\sqrt{6}$	$U/\sqrt{2}$	$\vec{V}_3 = (2U/3)e^{j2\pi/3}$
0	1	1	$-2U/3$	$U/3$	$U/3$	$-U/\sqrt{2/3}$	0	$\vec{V}_4 = (2U/3)e^{j\pi}$
0	0	1	$-U/3$	$-U/3$	$2U/3$	$-U/\sqrt{6}$	$-U/\sqrt{2}$	$\vec{V}_5 = (2U/3)e^{j4\pi/3}$
1	0	1	$U/3$	$-2U/3$	$U/3$	$U/\sqrt{6}$	$-U/\sqrt{2}$	$\vec{V}_6 = (2U/3)e^{j5\pi/3}$
1	1	1	0	0	0	0	0	$\vec{V}_7 = 0$

Les six vecteurs actifs $(\vec{V}_1 \dots \vec{V}_6)$ (ont le même module, égal à $2U/3$). Les extrémités de ces vecteurs définissent (Figure II.10) les sommets d'un hexagone régulier, puisque deux vecteurs actifs successifs font entre eux un secteur d'un angle $\pi/3$, les deux vecteurs nuls \vec{V}_0, \vec{V}_7 sont localisé à l'origine de l'hexagone.

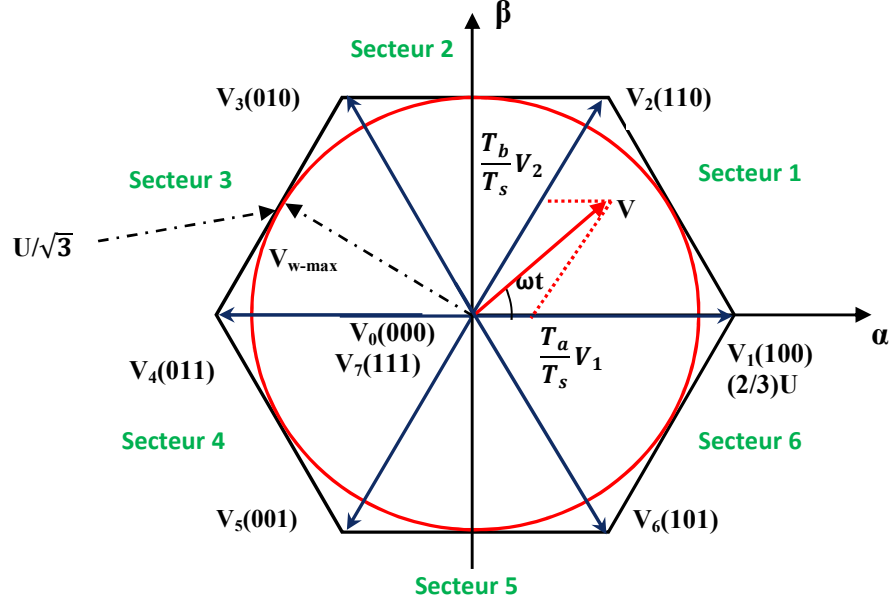


Figure II.10 Représentation spatiale des vecteurs de tension dans le repère (α, β)

Le vecteur V_w représentant les trois tensions désirées, a pour module $r U/\sqrt{3}$ et sa valeur maximal est $U/\sqrt{3}$. Ce vecteur tourne avec une vitesse angulaire $\omega = 2\pi f$, son extrémité décrit un cercle rouge (figure II.10). On obtient un indice de modulation :

$$M_{SVPWM} = \frac{U/\sqrt{3}}{\sqrt{2}U/\pi} = 0.9069 \quad (\text{II.18})$$

Donc, la fondamentale maximal de la tension de sortie obtenu par cette technique, par rapport à la commande pleine onde est 90 %, cela est le même résultat obtenu avec l'injection de l'harmonique trois. Vu le caractère discret du fonctionnement des convertisseurs de puissance, une loi de modulation de type MLI consiste non plus à imposer le système de tension $[V_a(t), V_b(t), V_c(t)]$ à tout instant, mais à imposer sa valeur moyenne $[V_a(k), V_b(k), V_c(k)]$ sur une période de hachage T_s (*sample time*) où k correspond à la $k^{\text{ème}}$ période. La période de hachage T_s est obtenue en divisant la période T , du vecteur de référence V_w , en n intervalles de modulation.

La SVPWM consiste à générer en valeur moyenne le vecteur de tension V_w à partir des vecteurs de tension actifs qui délimitent le secteur à l'intérieur duquel se trouve le vecteur

tension de référence, et de compléter cette génération par des phases de roue libre à travers l'application des vecteurs de tension nuls, et cela à chaque période T_s . Pour ce faire, le raisonnement s'effectue par secteur. Prenant le secteur 1 de la figure II.11, la tension de référence est synthétisée à chaque intervalle régulier T_s , utilisant les deux vecteurs adjacents V_1 , V_2 , et les vecteurs nuls (V_0 , V_7). En effet le vecteur V_1 est appliqué pendant T_a , et V_2 est appliqué pendant T_b et le vecteur nul est appliqué pendant le reste de la période d'échantillonnage $T_0 = T_s - T_a - T_b$. De cette façon on parle de la stratégie SVPWM asymétrique. Un raisonnement équivalent peut être effectué pour chaque des autres secteurs.

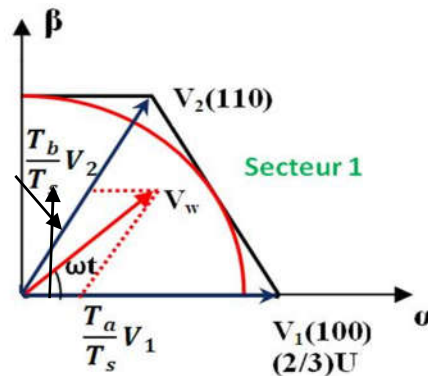


Figure II.11 Représentation spatiale de la tension de référence pour le secteur 1

Il existe un deuxième mode de fonctionnement pour cette technique, c'est la SVPWM symétrique qui consiste à appliquer successivement V_0 , V_1 , V_2 , V_7 pendant $T_0/2$, T_a , T_b , $T_0/2$, ensuite appliquer successivement V_7 , V_2 , V_1 , V_0 , pendant $T_0/2$, T_b , T_a , $T_0/2$, ce qui va générer les signaux SVPWM de façon symétrique (figure II.12).

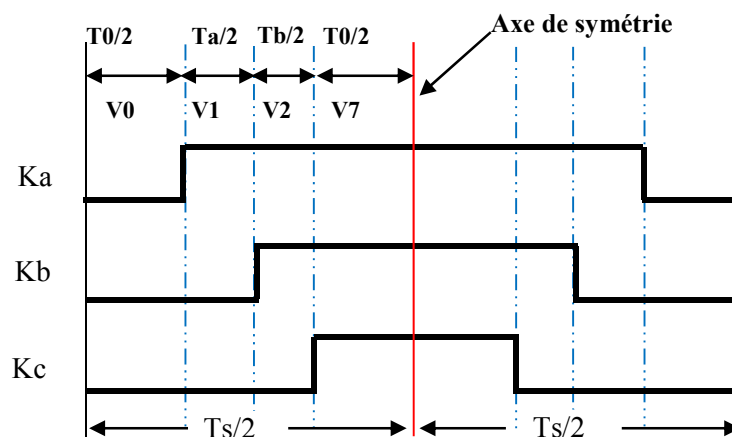


Figure II.12 Allure des impulsions SVPWM symétrique quand V_w est localisé dans le secteur 1

La SVPWM symétrique est souvent préférée car elle permet à chaque impulsion de changer l'état d'un seul interrupteur (Figure II.12), ce qui minimise les pertes de commutations. Elle permet également d'avoir une tension de sortie avec taux de distorsion harmonique THD réduit [47,64].

D'une manière similaire, on peut déduire les cycles de commutation des cinq secteurs restants, comme le montre la figure II.13.

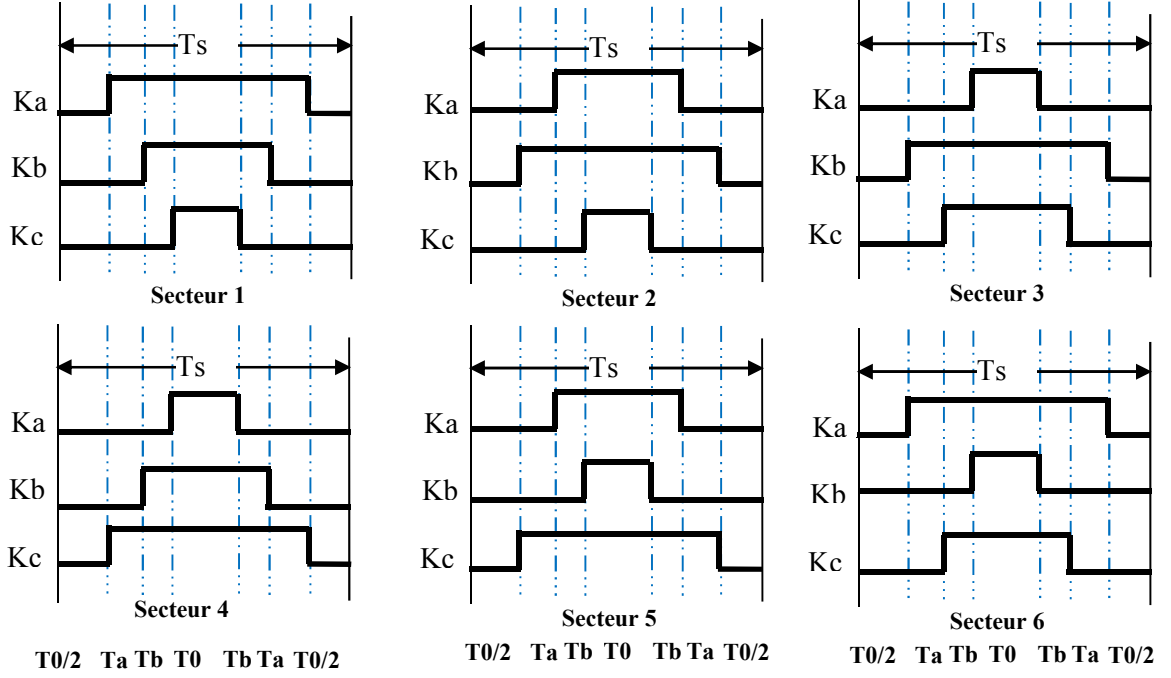


Figure II.13 l'allure des signaux SVPWM pour les six secteurs

Les signaux Ka, Kb, Kc sont les signaux de commande des trois interrupteurs supérieurs de l'onduleur, et leurs compléments commandent les trois interrupteurs inférieurs.

II.5.3.2 Calcul des durées de commutation Ta, Tb, T0

Le calcul Ta, Tb, T0 est basé sur l'intégrale volt-second de Vw de référence.

$$\frac{1}{T_s} \int_0^{T_s} \bar{v}_w dt = \frac{1}{T_s} \left[\int_0^{T_0} v_0 dt + \int_0^{T_a} v_1 dt + \int_0^{T_b} v_2 dt + \int_0^{T_0} v_7 dt \right] \quad (II.19)$$

$$\bar{v}_w \cdot T = v_0 \cdot T_0 + v_1 \cdot T_a + v_2 \cdot T_b + v_7 \cdot T_0 \quad (II.20)$$

$$\bar{v}_w \cdot T_s = T_0 \cdot 0 + \frac{2}{3} U \cdot T_a + \frac{2}{3} U (\cos 60^\circ + j \sin 60^\circ) T_b + T_0 \cdot 0 \quad (II.21)$$

$$\bar{v}_w \cdot Ts = \frac{2}{3}U \cdot Ta + \frac{2}{3}U(\cos 60^\circ + j \sin 60^\circ)Tb \quad (II.22)$$

Se reporter à la figure II.11, on peut écrire la tension de référence V_w :

$$\bar{v}_w = |\bar{v}_w|(\cos \alpha - j \sin \alpha) \quad (II.23)$$

Or $\alpha = \omega t$ puisque nous sommes au secteur 1 : $0^\circ \leq \alpha \leq 60^\circ$

De l'équation II.22 et II.23 on peut déduire :

$$Ts|\bar{V}_w| \cos \alpha = \frac{2}{3}UTa + \frac{1}{3}UTb \quad (II.24)$$

$$Ts|\bar{V}_w| \sin \alpha = \frac{1}{\sqrt{3}}UTb \quad (II.25)$$

La résolution de II.24 et II.25 pour $T1$, $T2$ et $T0$ donne :

$$Ta = \frac{\sqrt{3}V_w Ts}{U} \left[\frac{\sqrt{3}}{2} \cos \alpha - \frac{1}{2} \sin \alpha \right] \quad (II.26)$$

$$Tb = \frac{\sqrt{3}V_w}{U} Ts \sin \alpha \quad (II.27)$$

$$T0 = Ts - Ta - Tb$$

En généralisant le calcul pour les autres secteurs, on trouve sous forme matricielle :

$$\begin{bmatrix} Ta \\ Tb \end{bmatrix} = \frac{\sqrt{3}V_w Ts}{U} \begin{bmatrix} \sin \frac{n\pi}{3} & -\cos \frac{n\pi}{3} \\ -\sin \frac{(n-1)\pi}{3} & \cos \frac{(n-1)\pi}{3} \end{bmatrix} \begin{bmatrix} \cos n\alpha \\ \sin n\alpha \end{bmatrix} \quad (II.28)$$

n vaut de 1 jusqu'à 6 (1- 6 secteur) et $0^\circ \leq \alpha \leq 60^\circ$ pour chaque secteur.

II.5.3.2 Calcul de temps de commutation pour chaque interrupteur

Après avoir calculé Ta , Tb , $T0$ pour chaque secteur, on résume le calcul de temps de chaque interrupteur, sur le tableau II.2, en se basant sur la figure II.13.

Tableau II.2 : Temps de commutation des interrupteurs pour chaque secteur.

N ⁰ de secteur	Interrupteurs haut(Ka, Kb, Kc)	Interrupteurs bas (K'a, K'b, K'c)
1	$K_a = T_a + T_b + T_0/2$ $K_b = T_b + T_0/2$ $K_c = T_0/2$	$K'_a = T_0/2$ $K'_b = T_a + T_0/2$ $K'_c = T_a + T_b + T_0/2$
2	$K_a = T_a + T_0/2$ $K_b = T_a + T_b + T_0/2$ $K_c = T_0/2$	$K'_a = T_b + T_0/2$ $K'_b = T_0/2$ $K'_c = T_a + T_b + T_0/2$
3	$K_a = T_0/2$ $K_b = T_a + T_b + T_0/2$ $K_c = T_b + T_0/2$	$K'_a = T_a + T_b + T_0/2$ $K'_b = T_0/2$ $K'_c = T_a + T_0/2$
4	$K_a = T_0/2$ $K_b = T_a + T_0/2$ $K_c = T_a + T_b + T_0/2$	$K'_a = T_a + T_b + T_0/2$ $K'_b = T_b + T_0/2$ $K'_c = T_0/2$
5	$K_a = T_b + T_0/2$ $K_b = T_0/2$ $K_c = T_a + T_b + T_0/2$	$K'_a = T_a + T_0/2$ $K'_b = T_a + T_b + T_0/2$ $K'_c = T_0/2$
6	$K_a = T_a + T_b + T_0/2$ $K_b = T_0/2$ $K_c = T_a + T_0/2$	$K'_a = T_0/2$ $K'_b = T_a + T_b + T_0/2$ $K'_c = T_b + T_0/2$

Cette étude théorique des différents stratégies de commande des onduleurs de tension, nous permet par la suite de les simuler en utilisant Matlab/Simulink , et pour la mise en œuvre sur FPGA .

II.6 Simulation des différentes stratégies PWM

Cette section porte sur l'implantation, de la commande pleine onde, la stratégie SPWM, THIPWM et la SVPWM, sous le logiciel Matlab / Simulink. Les modèles construits sont basés sur les équations correspondantes à chaque stratégie présentée dans les sections précédentes. Le modèle de simulation, présenté sur la figure II.14, est élaboré de façon à être identique à celui utilisé dans la partie expérimentale (chapitre IV). Ce système est composé d'un onduleur de tension triphasé à deux niveaux, alimenté par une tension continue $U_d = 60$ V, les signaux de commande des gâchettes de six interrupteurs sont élaborés à partir de la stratégie de commande utilisée.

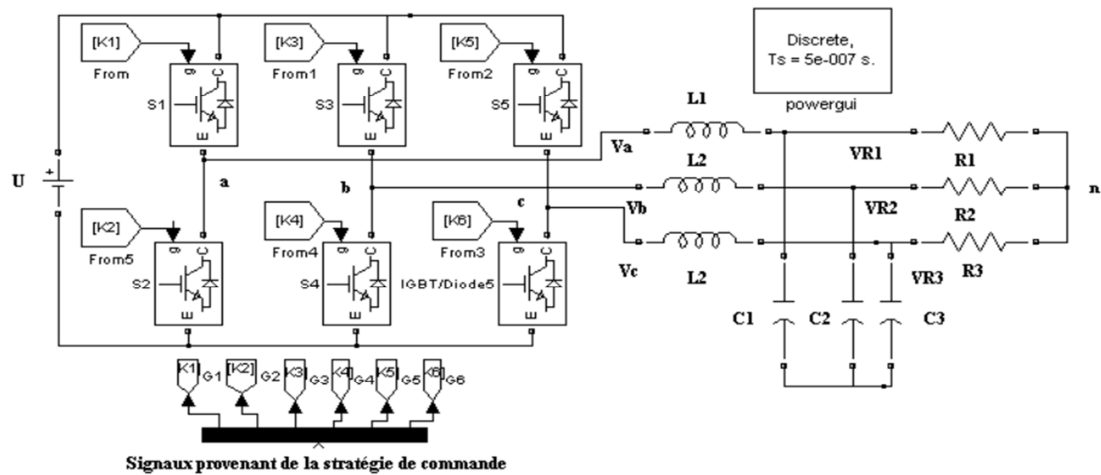


Figure II.14. Schéma complet du modèle de simulation

Pour visualiser les fondamentaux des tensions de sortie de l'onduleur, un filtre passe bas LC ($L=33\text{mH}$, $C=0.47\text{ }\mu\text{F}$), et une charge résistive ($R=120\text{ }\Omega$) sont utilisés.

Le block Powergui (Graphical user interface) est utilisé pour l'analyse spectrale.

II.6.1 Simulation de la commande pleine onde

Les signaux de commande de cette stratégie sont six signaux carrés (trois paires, une paire complémentaire par bras), les trois paires des signaux sont déphasés entre eux avec 120° (figure II.15).

La tension composée V_{ab} résultante comporte une série d'impulsions carrées dont les largeurs sont deux tiers de la période de commutation pour chaque phase.

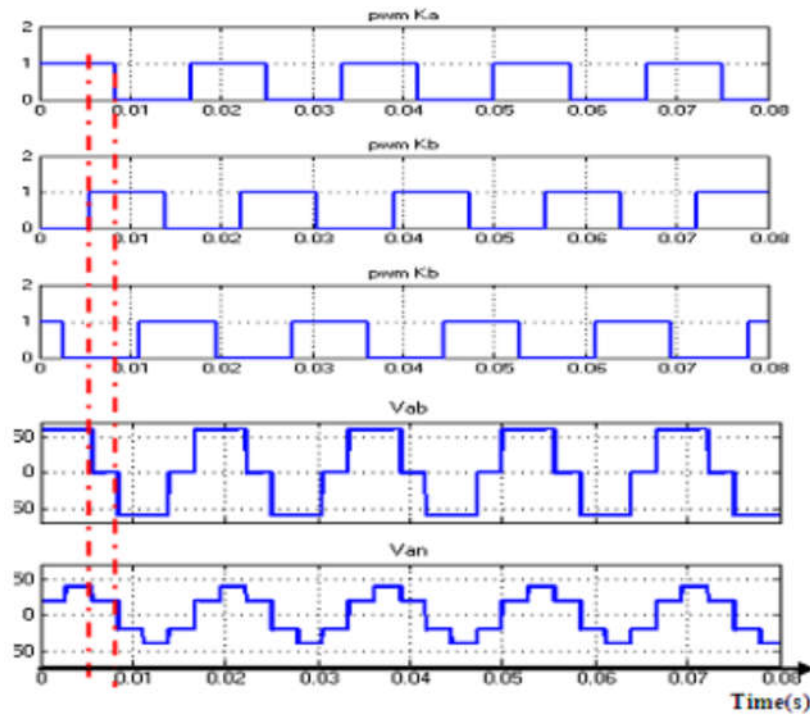
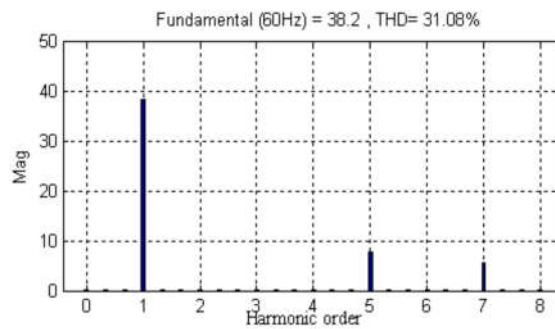


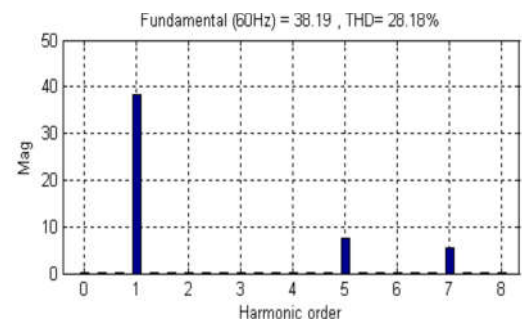
Figure II.15. Signaux de commande pleine onde, tension composée V_{ab} , et tension simple V_{an} de l'onduleur.

La valeur d'amplitude, du fondamental (60 Hz) de la tension simple V_{an} , obtenue par la commande pleine onde est [66]:

$$V_{1an} = \frac{2U}{\pi} = \frac{2 \times 60}{3.14} = 38.2 \text{ V}$$



(a)



(b)

Figure II.16. (a): Spectre harmonique de la tension simple V_{an} , (b): Spectre harmonique de la tension de sortie du filtre V_{1R}

Comme le montre la figure II.16.a, la tension simple contient des harmoniques avec des amplitudes importantes (THD=31.08%) à des fréquences proches du fondamental ce qui signifie qu'il est difficile à filtrer (THD = 28,18%), (Figure II . 16.b). En outre, les harmoniques triples (harmoniques dont la fréquence est un multiple de trois fois la fréquence fondamentale), 3ème, 9ème, 15ème, 21ème, etc ..., ont été éliminées. Cette caractéristique est obtenue, seulement, avec l'onduleur triphasé, qui sera utilisé dans la troisième stratégie d'injection harmonique. Puisque, ces composantes harmoniques sont indésirables pour de nombreuses applications (echauffement de la machine, pollutions du réseau électrique...), on fait appel à la stratégie de SPWM pour surmonter cet inconvénient.

II.6.2 Simulation de la commande par SPWM

Les impulsions de SPWM sont générées en comparant, trois signaux de référence à basse fréquence (en général une sinusoïde), décalés entre eux avec 120 °, à une onde porteuse à haute fréquence (forme de dents de scie ou triangulaire), d'une amplitude V_c , et de fréquence f_c . Les de signaux de référence ont la forme:

$$\begin{cases} V_{a_ref}(t) = V_r \sin(2\pi f t) \\ V_{b_ref}(t) = V_r \sin(2\pi f t + \pi/3) \\ V_{c_ref}(t) = V_r \sin(2\pi f t - \pi/3), \quad m = V_r/V_c. \end{cases} \quad (II.29)$$

Avec

m : est l'indice de modulation ou la profondeur de modulation, qui sert à ajuster l'amplitude de la tension de sortie, avec l'intervalle $0 < m < 1$

f : la fréquence de la fondamentale.

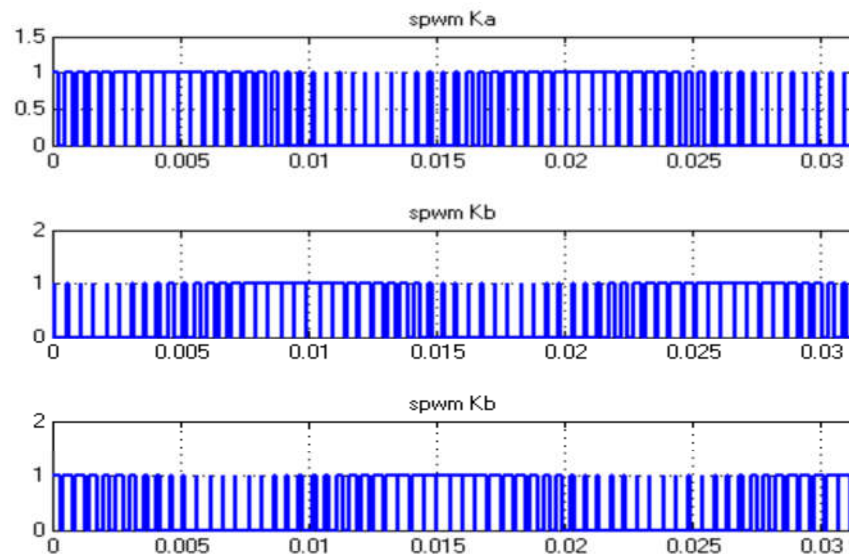


Figure II.17 Les impulsions SPWM.

La Figure II.17, présente les trois impulsions SPWM générées, pour commander les trois interrupteurs supérieurs (Ka, Kb, Kc), leurs compléments sont utilisés pour commander les trois commutateurs inférieurs, avec $f_c = 1980$ Hz, $f = 60$ Hz, et $m = 1$.

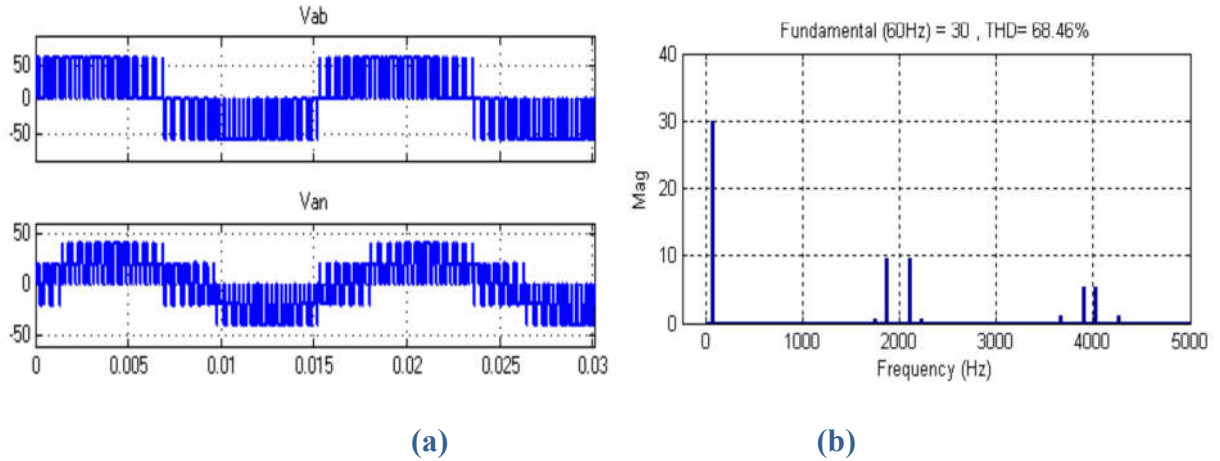


Figure II.18 : a) Tension de sortie de l'onduleur V_{ab} , V_{an} , b) Analyse spectral de la tension V_{an} à $f_c=1980$.

A partir de l'analyse FFT de la tension de sortie de l'onduleur (Figure II.18.b) l'amplitude de la composante fondamentale est $U_d / 2 = 30$ V, ce qui représente 78,54% de celle obtenue par la commande pleine onde $30/38.2 = 78,54\%$, comme mentionné précédemment. En outre, le groupe des premiers harmoniques est poussé vers la fréquence de porteuse 1980 Hz.

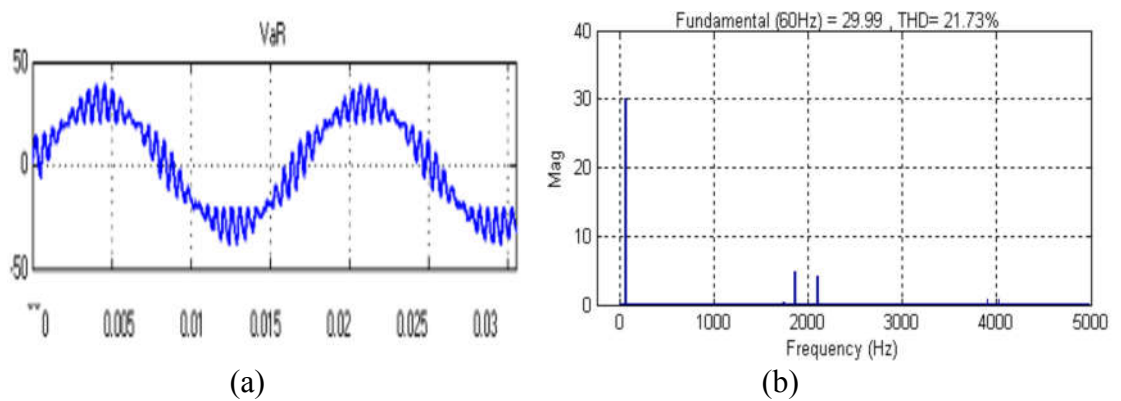


Figure II.19 : a) Tension V_{aR} de sortie du filtre, b) Analyse spectral de la tension V_{aR} à $f_c=1980$.

La Figure II.19 indique que la tension V_{aR} est toujours déformée $THD = 21,73\%$, cependant, n'est pas assez filtrée.

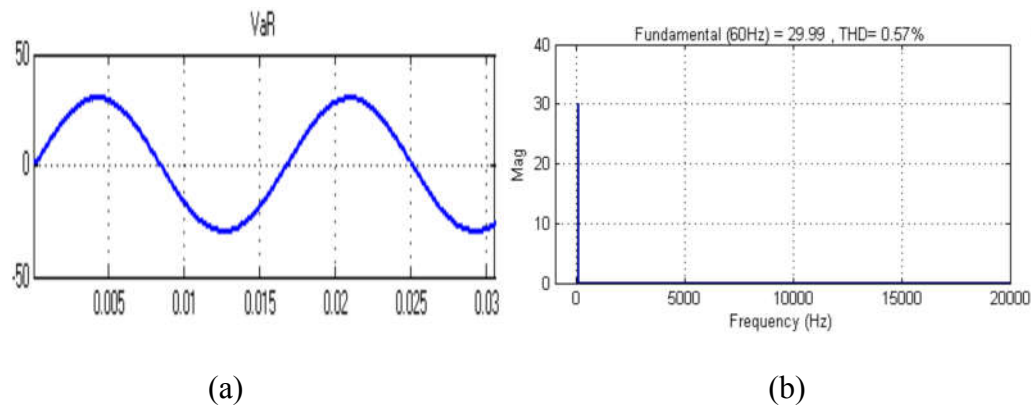


Figure II.20 : a) tension V_{aR} de sortie du filtre, b) FFT de la tension V_{aR} à $f_c=15$ KHz.

Si nous prenons $f_c = 15$ kHz, comme le montre la figure II.20, la tension de sortie du filtre est purement sinusoïdale, avec un THD = 0,57%, ce qui signifie que le premier groupe d'harmoniques est suffisamment poussé vers une fréquence supérieure à la fréquence de coupure du filtre LC.

Avec la stratégie SPWM, nous pouvons obtenir une tension de sortie presque sinusoïdale, avec moins de distorsion harmonique, mais l'amplitude maximum du fondamental de la tension de sortie, lorsque $m = 1$, est seulement 78,54%, de la valeur obtenue avec la commande pleine onde.

Pour accroître la production au-delà de l'amplitude fondamentale 78.54%, nous devons prendre $m > 1$, jusqu'à ce que quelques impulsions seront annulées (sur-modulation), (figure II.6), ce qui augmente le THD.

II.6.3 Simulation de la commande THIPWM

La THIPWM est mise en œuvre de la même manière que la SPWM. Les signaux de référence, sinus plus leur troisième harmonique, sont comparées avec une porteuse triangulaire. En effet, l'amplitude des tensions composées ne dépassent pas la tension d'alimentation continue $U/2$, mais ses composantes fondamentales sont d'environ 15,5% supérieur à l'amplitude du fondamental de la tension de sortie obtenue avec la stratégie SPWM, ce qui fournit une amplitude fondamentale maximale d'environ 90% de l'amplitude du fondamental par rapport à celle obtenue par le mode pleine onde.

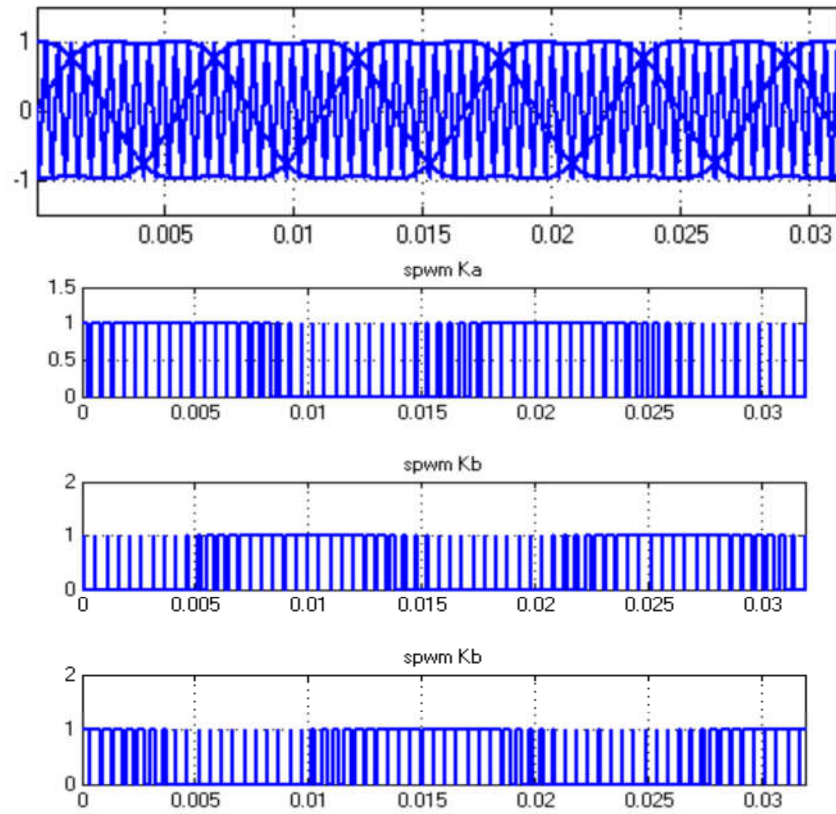
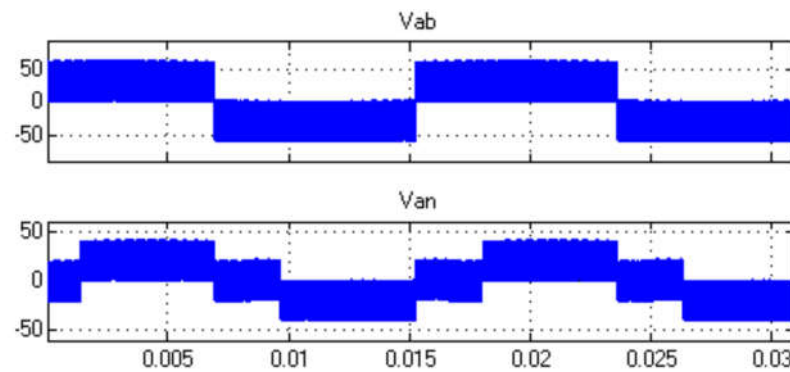
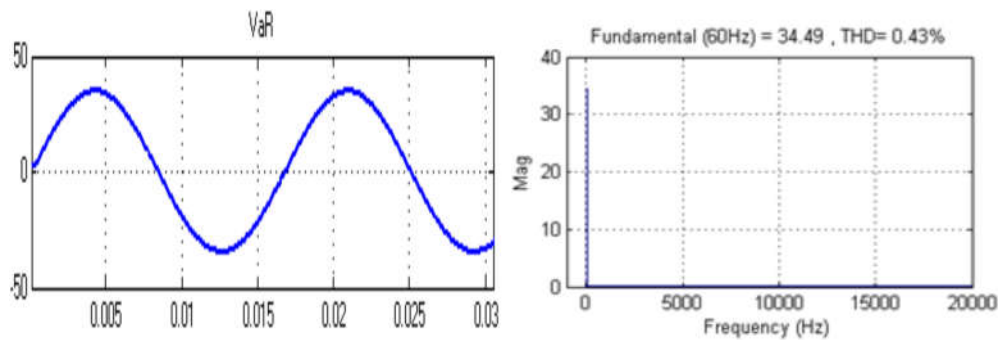


Figure II.21 Génération des impulsions THIPWM.



(a)



(a)

(c)

Figure II.22. Résultats de simulation de THIPWM, a). Tension de sortie de l'onduleur composé et simple, b). Tension simple filtrée, c). Spectres de la tension filtrée.

On constate (Figure II.22), que l'amplitude du fondamental de la tension de sortie de filtre est de 34.4 V, ce qui présente 90% de 38.2 V (figure II.6), avec un THD de 0.43%.

L'étude présentée confirme l'efficacité de la stratégie d'injection de la troisième harmonique, en termes d'utilisation du bus continue, de distorsion des harmoniques et de simplicité de mise en œuvre.

II.6.4 Simulation de la commande SVPWM

Puisque la technique SVPWM, est basée principalement sur le calcul dans l'espace vectoriel, de sorte que son algorithme de mise en œuvre nécessite des moyens de calcul importants, dans ce qui suit, nous allons essayer d'extraire, à travers l'étude théorique qui a été menée précédemment, les étapes nécessaires pour élaborer l'algorithme de génération des signaux SVPWM, puis une simulation de cet algorithme, sera présentée, pour vérifier son efficacité pour la commande des onduleurs triphasés de tension.

La mise en œuvre de la stratégie SVPWM, à chaque période d'échantillonnage T_s , s'appuie sur les étapes suivantes :

- Calcul V_α, V_β à partir de ($V_{a_ref}, V_{b_ref}, V_{c_ref}$) .
- Identification de secteur, dans lequel la tension de référence est localisée.
- Calcul de T_a, T_b, T_0
- Génération des signaux SVPWM en basant sur les temps de commutation des interrupteurs, pour chaque secteur.

Pour pouvoir vérifier que le block SVPWM génère correctement les signaux SVPWM, correspondant aux allures de la figure II.13, on prend la fréquence de porteuse, $f_c = 13 * f$ et $f = 60$ HZ, par cela le signal de référence prend deux positions par secteur, ce que fait 12 positions pour faire un cycle pendant une période du fondamental $T = 1/60 = 0.016$ sec, (figure II.23).

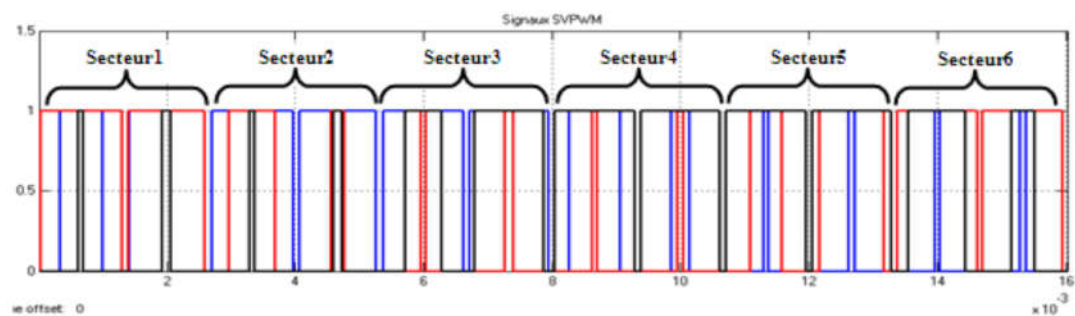


Figure II.23. Allure des signaux SVPWM générés à $f = 60$ Hz, $f_c = 12 * f$, $m = 0.9$

La figure II.24 présente les deux tensions de sortie composée V_{ab} et simple V_{an} de l'onduleur, et la tension filtrée V_{aR} et son spectre d'harmonique. Ces résultats de simulation sont obtenus pour $f_c=15\text{KHz}$, $f=60\text{ Hz}$ et $m=0.9$

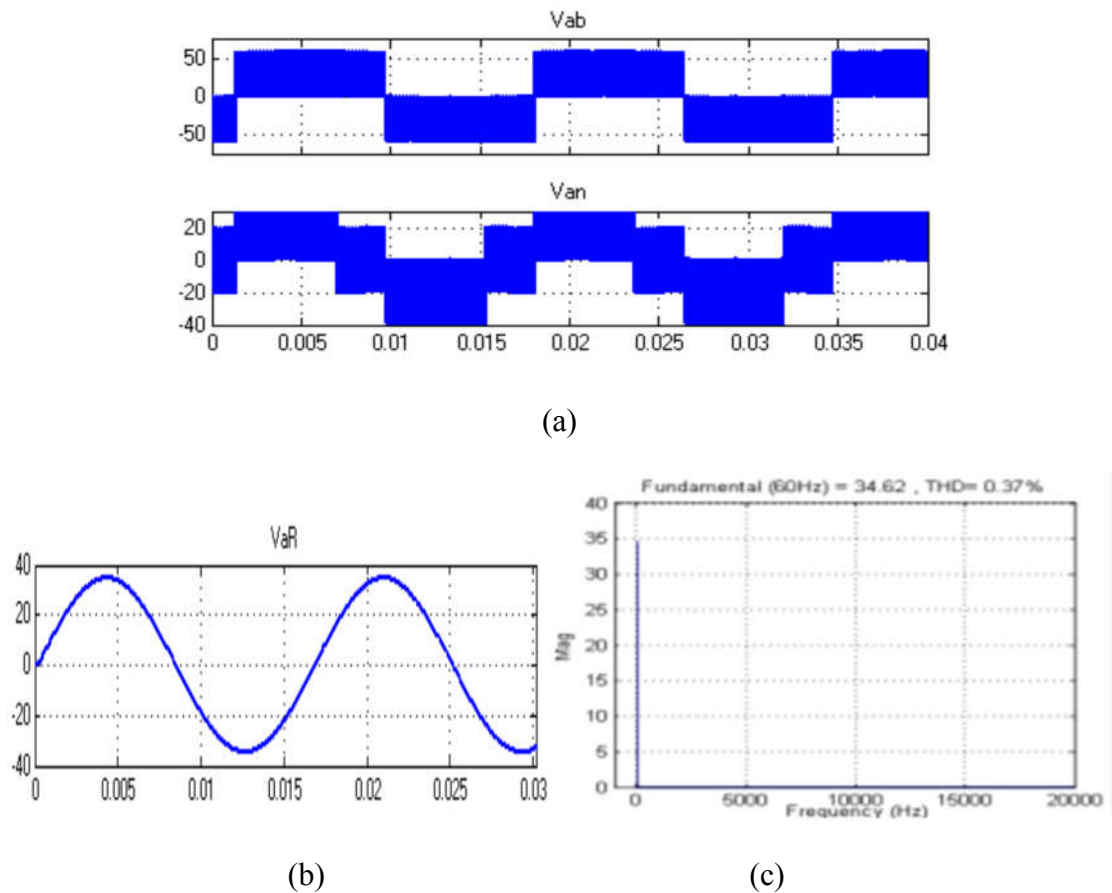


Figure II.24. Résultats de simulation de SVPWM, a). Tension composée et simple de sortie de l'onduleur, b). Tension simple filtrée, c). Spectres des harmoniques de la tension filtrée.

Les résultats obtenus montrent que la SVPWM donne presque la même performance que celle de THIPWM, en termes d'utilisation de bus continu, mais avec THD réduit (0.37%) et ceci dû à la commutation bien ordonnée (changement d'état d'un seul interrupteur par séquence), ce qui par la suite minimisera les pertes de commutation au niveau de l'onduleur.

II.7 Conclusion

Nous avons présenté dans ce chapitre les procédés nécessaires pour avoir une tension à fréquence et amplitude variable, pour la mise en œuvre de notre variateur de vitesse à base de FPGA. Après avoir présenté les différentes topologies des onduleurs de tension, notamment, l'onduleur de tension triphasée à deux niveaux, une étude détaillée de différentes stratégies de commande des onduleurs a été faite à savoir :

- La commande pleine onde
- La commande par SPWM

- La commande par THIPWM
- La commande par SVPWM

Et ceci dans le but d'évaluer les performances de chaque stratégie.

Ensuite, une simulation de chaque méthode a été réalisée pour valider notre étude théorique, le tableau ci-après regroupe les performances, obtenues par simulation, pour chaque méthode.

Stratégie de commande	Amplitude de la tension filtrée	THD de tension filtrée	Algorithmes de mise en œuvre	Ordonnance des commutations
Pleine onde (PO)	$V_{PO}=2U/\pi$	28.18%	Très simple	Non
SPWM	$V_{SPWM}=0.7854 V_{PO}$	0.57%	Simple	Non
THIPWM	$V_{THIPWM}=0.905 V_{PO}$	0.43%	Simple	Non
SVPWM	$V_{SPWM}=0.905 V_{PO}$	0.37%	Une énorme puissance de calcul	Oui

D'après ces résultats la SVPWM est la plus performante, mais aussi la plus compliquée pour sa mise en œuvre, pour cela le circuit FPGA sera utilisé.

CHAPITRE III

CONCEPTION ET IMPLANTATION SUR FPGA

III.1 Introduction :

L'objectif de ce chapitre est la conception et l'implantation sur cible FPGA des différents modules nécessaires à la mise en œuvre de l'algorithme de commande vectorielle IRFOC d'une machine asynchrone. Cependant, la complexité et le caractère multidisciplinaire des structures de commande de machines font qu'il est difficile d'introduire l'utilisation de nouvelles solutions matérielles telles que les FPGA comme support pour l'implantation de tels algorithmes. Donc comme objectif on doit présenter une méthodologie de développement appropriée pour la conception des architectures de commande sur FPGA. Après une description de la structure générale des algorithmes, de commande, une validation par simulation comportementale et une validation expérimentale est présentée.

Les circuits logiques peuvent être classés en deux grandes catégories: fixe et programmable. Les circuits dont un dispositif logique fixe sont permanents, et une fois sont fabriqués ils ne peuvent pas être modifiés, ils réalisent une fonction ou un ensemble de fonctions bien déterminés, tel que le circuit ASIC traditionnels. D'autre part, les circuits logiques programmables (PLD) sont standards, ils peuvent être modifiés à tout moment pour effectuer un certain nombre de fonctions.

Un des principaux avantages de l'utilisation de PLD est que, au cours de la phase de conception, les concepteurs peuvent modifier le contenu de circuits aussi souvent qu'ils le veulent jusqu'à ce que la conception fonctionne de façon satisfaisante. Les PLD sont basés sur la technologie de mémoire effaçable programmable (*rewritable memory technology*) : pour modifier l'algorithme, le circuit ne doit être que reprogrammé. La réutilisation est une autre caractéristique intéressante des PLD [67].

De nombreux types de circuits logiques programmables sont actuellement disponibles. La gamme de produits du marché comprend des petits circuits, capables de mettre en œuvre quelque fonction logique, jusqu'aux énormes FPGA pouvant contenir un cœur de processeur entier, plus un certain nombre de périphériques.

Outre cette diversité impressionnante de tailles, de nombreuses architectures alternatives sont offertes au concepteur. Deux grands types méritent d'être soulignés: le circuit logique programmable complexe (CPLD) et réseau de portes programmables (FPGA), qui seront décrits dans ce qui suit. La figure III.1 donne une classification globale des circuits numériques.

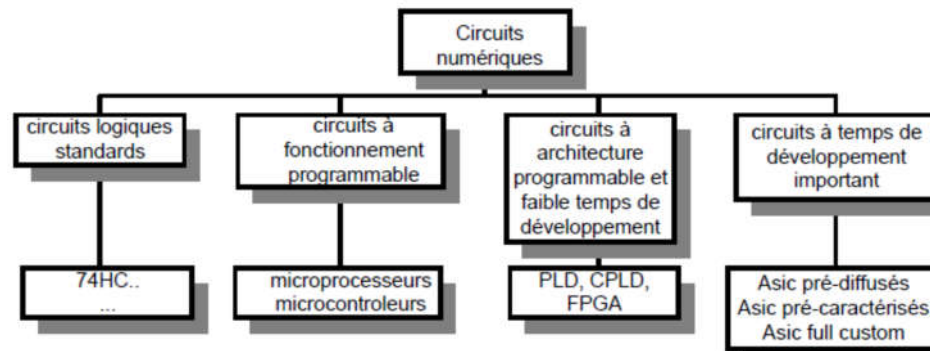


Figure III.1 classification des circuits numériques

Au début des années 80, la plupart des systèmes de circuits logiques typiques ont été mis en œuvre utilisant des circuits intégrés tels que : les microprocesseurs, les contrôleurs de bus d'E / S, les systèmes de temporisation, et ainsi de suite. Néanmoins, chaque système avait encore la nécessité d'une «logique » aléatoire pour relier les grands circuits, par exemple, de générer des signaux de commande globaux et la mise en forme de données (série-parallèle, le multiplexage, etc). Des circuits intégrés personnalisés ont été conçus pour remplacer la grande quantité de la logique câblée et de réduire la complexité du système et le coût de fabrication, ainsi que d'améliorer les performances [68]. Par conséquent, l'approche personnalisée des circuits intégrés était viable que pour des produits à très grande échelle (réduire l'impact des coûts NRE), et non TTM. Faire face à ce problème, Xilinx (une start-up) a présenté, en 1982 la technologie FPGA comme une alternative aux circuits intégrés personnalisés pour la mise en œuvre de la logique programmable. Grâce à la conception assistée par ordinateur (CAO), les circuits FPGA peuvent être réalisés des systèmes complexes, dans un temps relativement réduit, de fait qu'il n'y a pas de processus de développement physique, pas de masques, pas de fabrication de circuits intégrés.

III.2 Méthodologie de développement

Il y a trois paramètres principaux, à optimiser, pour avoir une meilleure architecture, à savoir [69] :

- Vitesse (*Speed*)
- Surface (*Area*)
- Puissance consommée (*Power*).

Les outils de développement les plus sophistiqués ne sont souvent pas suffisants pour optimiser ces trois paramètres, et cela si une méthodologie de conception arbitraire est utilisée.

L'implantation des algorithmes de commande de dispositifs de l'électronique de puissance, dans leur intégralité sur des cibles matérielles telles que les FPGA est une démarche qui nécessite une parfaite maîtrise des processus de conception et un travail spécifique d'adéquation entre l'algorithme et l'architecture de commande à intégrer. Donc, un savoir-faire méthodologique est nécessaire aux concepteurs utilisant les composants de type FPGA afin de satisfaire l'ensemble des contraintes inhérentes à l'implantation, tout en apportant une flexibilité de développement suffisante. Par ailleurs, les applications de commande de machines électriques sont des applications qui décloisonnent un savoir-faire dans plusieurs domaines. En effet, cela nécessite du concepteur la maîtrise d'un savoir-faire dans les domaines de l'électronique de puissance, des machines électriques et de leurs commandes.

III.2.1 Optimisation de vitesse

Une architecture à haut débit est celle qui maximise le nombre de bits par seconde qui peut être traité par une conception. Pour augmenter la vitesse d'exécution d'une fonction logique on doit mettre en considération les points suivants

- Utiliser une boucle itérative augmente le débit.
- La pénalité pour dérouler une boucle itérative est une augmentation proportionnelle surface.
- Une architecture à faible latence est celui qui minimise le retard de l'entrée d'un module à la sortie.
- La latence peut être réduite en supprimant des registres de pipeline.
- La pénalité de suppression des registres de pipeline est une augmentation le retard entre les registres.
- Le timing est dépend à la vitesse d'horloge d'une conception. Une conception répond à la synchronisation lorsque le retard maximum entre deux éléments consécutifs est inférieur à la période d'horloge minimale.

III.2.2 Optimisation de la surface

La réduction de la surface est basée sur le choix de la bonne topologie. La topologie se réfère à l'organisation de plus haut niveau (*top level*) de la conception et n'est pas au circuit cible, ce qui va aider les outils de synthèse et layout de réduire le nombre de portes utilisés dans un sous-ensemble de la conception. pour ce faire on doit mettre en considération les points suivants :

- Enrouler le pipeline permet d'optimiser la zone de designs en pipeline avec la logique dupliqué dans les étages de pipeline.
- Les contrôles peuvent être utilisés pour diriger la réutilisation de la logique lorsque la logique partagée est plus grande que la logique de commande.
- Pour les modèles compacts où la surface est l'exigence principale, la recherche de ressources qui ont leurs équivalents similaires dans d'autres modules qui peuvent être portés à un point dans la hiérarchie global et partagées entre plusieurs zones fonctionnels.
- Une stratégie de réinitialisation incorrecte peut créer une conception inutilement grande et inhiber certaines optimisations de la surface.
- Une ressource de FPGA optimisé ne sera pas utilisée si une réinitialisation est incompatible qui lui est attribué. La fonction sera mise en œuvre avec des éléments génériques et occuperont plus d'espace.
- Évitez d'utiliser, *SET* ou *RESET*, autant que possible lorsqu'on veut optimiser la surface.

III.2.3 Optimisation de la puissance

Dans cette section on discutera les techniques d'amélioration de l'efficacité, en termes d'utilisation de puissance pour une conception donnée sur FPGA.

Dans la technologie CMOS, la consommation de puissance dynamique est liée à la charge et à la décharge des capacités parasites sur les portes et les piste métalliques. L'équation générale pour la dissipation de courant dans un condensateur est :

$$I = V.C.f \quad (III.1)$$

Où I est le courant total, V est la tension, C est la capacité, et f est la fréquence. Ainsi, pour réduire la consommation de courant, il faut réduire l'un des trois paramètres clés. Dans la conception FPGA, la tension est généralement fixée. Cela laisse les paramètres C et f à manipuler le courant. La capacité C est directement liée au nombre de portes qui sont en commutation à un moment donné, et les longueurs des chemins connectant les grilles. La fréquence f est directement liée à la fréquence d'horloge.

Afin de minimiser la dissipation de puissance des dispositifs, on doit mettre en considération les points suivants :

- Ne jamais laisser un tampon d'entrée flottant n'utilisé du FPGA.
- La dissipation de puissance dynamique diminue avec le carré de la tension de base, mais la réduction de tension aura un impact négatif sur les performances.

- Les bascules déclenchés sur double front (Dual-edge triggered flip-flops) ne devraient être utilisés que s'ils sont fournis à titre éléments primitifs.

L'implantation matérielle d'une fonction sur FPGA se faite, par :

- **Les méthodes à base de tables (look-up table) :** un circuit logique est réalisé en utilisant une mémoire.
- **Les algorithmes de récurrence :** des itérations successives sont utilisées jusqu'à satisfaire un critère donné, souvent ce critère représente la précision ou l'erreur relative. Ces algorithmes s'articulent sur quelques opérations arithmétiques et logiques, l'avantage de cette technique c'est d'avoir un gain d'espace de FPGA. Mais en contrepartie, la récurrence génère des pertes de temps.
- **Les approximations polynomiales et rationnelles :** cette technique est basée essentiellement sur la multiplication et la division, ce qui offre une précision manipulable en fonction des besoins, mais en contrepartie, il y a une grande consommation d'espace et de ressource matérielle utilisée.

Dans le cadre du développement numérique actuel, où les critères prédominants sont la rapidité de développement, l'espace et les ressources consommés du FPGA, les performances visées de système conçu. L'approche modulaire est la méthode la plus répondue. Comme nous l'avons déjà signalé, pour ce faire, les différent stratégies à implanter sont subdivisées à des blocs où fonction simples, ce qui va simplifier la complexité des systèmes et ainsi réduire le facteur d'erreur humaine.

III.3 Outil de développement pour FPGA de ALTERA

Le logiciel de conception utilisé est le Quartus II de Altera, ce logiciel est un environnement de conception multiplateforme qui adapte facilement à des besoins spécifiques dans toutes les phases de conception. Quartus II offre une productivité et des performances pour les FPGA et les CPLD d'Altera. Les outils de synthèse, de placement et de routage fournis avec Quartus. II offrent des avantages en termes de temps de compilation. Ces outils permettent de passer d'un niveau d'abstraction à un autre pour mieux manipuler la conception.

Les étapes de développement d'une application relative à un cahier de charge sont présentées sur l'organigramme de la figure III.2.

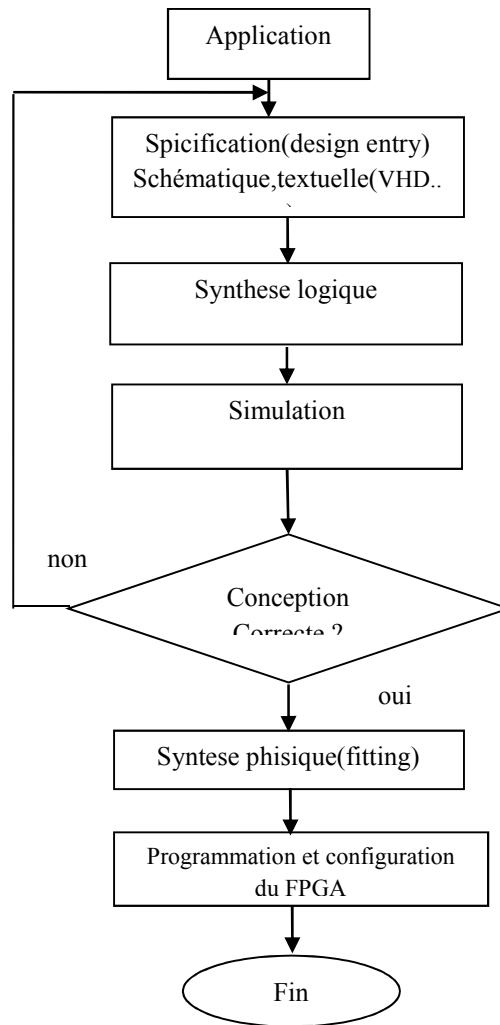


Figure III.2 Etapes de développement d'une application sur FPGA

- La spécification c'est la description de la fonction souhaitée schématiquement ou textuellement (vhdl ,verilog) ou bien les deux à la fois.
- La synthèse logique c'est le passage du niveau d'abstraction de description graphique et textuelle au niveau RTL (registre transfert level), consiste un schéma électrique à base des portes logiques,
- Simulation fonctionnelle pour vérifie la fonctionnalité de la fonction conçue
- Synthèse physique (Fitting = Ajustement) consiste à voir comment les différents portes et registres (produit pour la synthèse logique) peuvent être placé en fonction des ressources. Un fichier (.bit) dit *bitstream* est généré à la fin de cette phase, permettant la configuration de l'FPGA.
- Programmation ou bien configuration de l'FPGA consiste à charger le fichier bit (*bitstream*) de configuration dans la RAM de circuits FPGA, pour ce faire deux modes sont

adoptés, le mode actif, ou une mémoire EEPROM qui contient le fichier de configuration est recopié dans le circuit FPGA à configurer. Le mode passif ou un micro-ordinateur extérieur assure la configuration du FPGA via un câble, ce mode est généralement utilisé en phase de développement du circuit pour tester rapidement la fonctionnalité de l'application envisagée.

III.4 Format utilisé

Concevoir un système numérique sur FPGA, nécessite le bon choix du format de variable manipulés, et cela pour optimiser les ressources utilisées et pour avoir des bonnes performances des algorithmes implantés. Dans notre travail, le format utilisé est le format signé de 23 bits (11,12) à virgule fixe, ce qui nous permet de présenter l'intervalle $[-1024...1023,9921875]$ des nombres avec une précision de trois chiffres après la virgule.

III.5 Architectures des trois techniques PWM

L'objectif de cette section est la conception et l'implantation physique sur FPGA des trois stratégies PWM étudiées, et ceci avec un minimum d'espace et de ressources possible. Ces trois modules sont capables de générer les signaux PWM pour piloter les interrupteurs de l'onduleur de tension, de façon, à avoir une fondamentale de la tension de sortie de l'onduleur réglable en amplitude et en fréquence. Vu l'aspect modulaire et la réutilisabilité de l'approche de conception adoptée, on va concevoir, en premier lieu, tous les modules élémentaires communs entre les trois stratégies, ensuite la conception de la totalité de chacune de ces stratégies.

III.5.1 Conception et implantation de la SPWM sur FPGA

L'algorithme de base de la stratégie SPWM, basée sur la stratégie PWM échantillonnée régulièrement, est présenté sur la figure III.3.

Cet algorithme consomme plus d'espace, vu que les trois signaux de référence sont stockés dans trois mémoires séparées, et chacune des trois mémoires contient les échantillons d'un cycle complet de signal de référence (sinus).

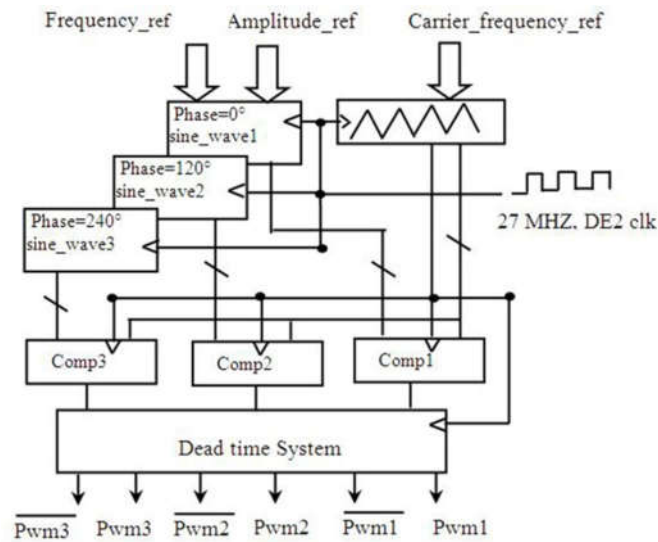


Figure III.3 Synoptique général de la stratégie SPWM

L'architecture proposée de la figure III.4, utilise une seule mémoire, qui contient 128 échantillons d'un cycle de signal de référence (sinus), cependant, les échantillons de référence sont lus périodiquement à partir de la mémoire, en utilisant un compteur, modulo 128, à fréquence réglable comme pointeur, puis, chaque échantillon lu, est mis à l'échelle.

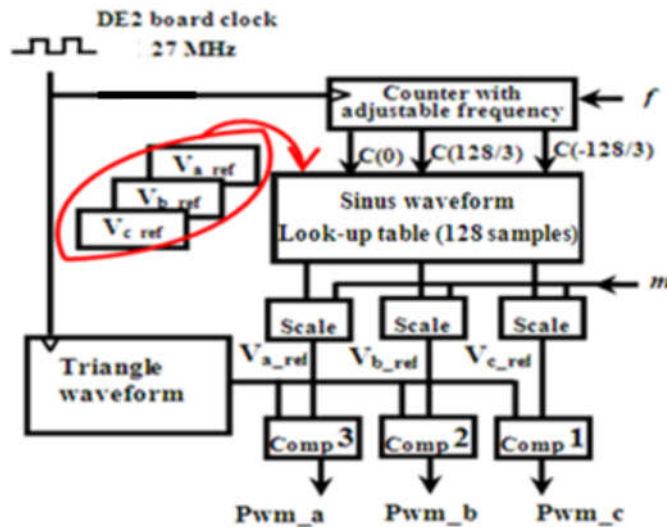


Figure III.4 Synoptique de la stratégie SPWM proposée

Pour générer les deux autres signaux de références de phase (120° et -120°), le compteur pointeur est doté de deux autres bus de comptage décalés entre eux de $128/3$, ce qui permet de pointer sur la mémoire avec un offset (120° et -120°). Ce qui nous permet de générer trois signaux de référence réglables en fréquence et en amplitude, de cette manière en gagnant l'espace de deux mémoires et tous leurs auxiliaires.

La fréquence du signal de référence est ajustée par l'horloge du compteur pointeur. Par conséquent, un sous-module configurable est conçu pour générer des fréquences adéquates d'horloge, ce sous-module est configuré pour générer une onde sinusoïdale avec des fréquences allant de 0,5 Hz à 64 Hz, avec un pas de 0,5 Hz en fonction de la ref Frequency_ entré. Cette approche est représentée sur la figure.III.5.

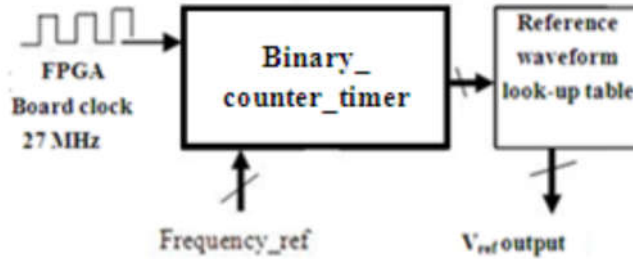


Figure.III.5 Approche proposée pour varier la fréquence.

La valeur de référence de fréquence est calculée par la formule suivante:

$$f_{ref} = \frac{f_{FPGA}}{2^N f_w} - 2 \quad (III.2)$$

où:

f_w : est la fréquence désirée de l'onde de référence

N : est la longueur de mot du compteur (8 bits dans notre cas).

En utilisant l'expression précédente, toutes les valeurs de la fréquence de références Frequency_ref sont calculées et stockées dans une mémoire, afin de générer la fréquence de de l'intervalle (0,5 à 64 Hz).

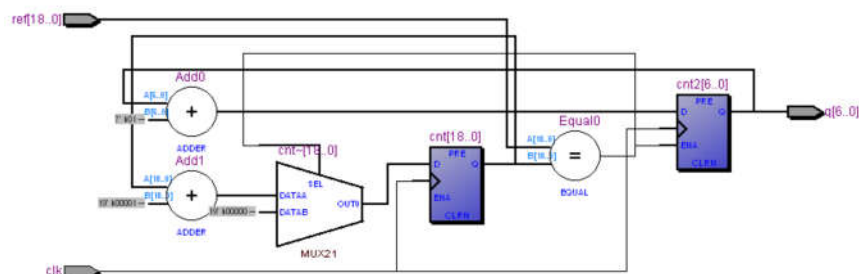


Figure.III.6 vu niveau RTL du compteur pointeur.

Comme il est illustré à la figure III.6, l'idée de base, pour concevoir un compteur binaire dont la fréquence de comptage est réglable, est d'introduire une boucle de temporisation, (compteur et comparateur).

Une autre spécification devrait être atteinte est la mise à l'échelle de l'amplitude de sinusoïde générée, relative à l'indice de modulation m (0 à 1), pour effectuer cette opération; nous avons utilisé l'arithmétique en virgule fixe. Deux opérations sont utilisées, la multiplication et la division qui est réalisée par l'opération de décalage. Dans cette approche, chaque échantillon de référence de 8 bits est lu de la mémoire, ensuite il est multiplié par l'entrées m , le résultat est une donnée sur 16 bits signés, qui est décalée par 7 (division par 128), enfin, le résultat est converti à un mot signé de 8 bits. Cette approche nous permet d'ajuster les trois signaux de références entre 0% et 99,2%, avec un pas de 0,78%. La porteuse est un signal triangulaire qui est implanté sur FPGA comme compteur-décompteur, de la même manière décrite dans le paragraphe précédent; on peut générer la porteuse à la fréquence désirée.

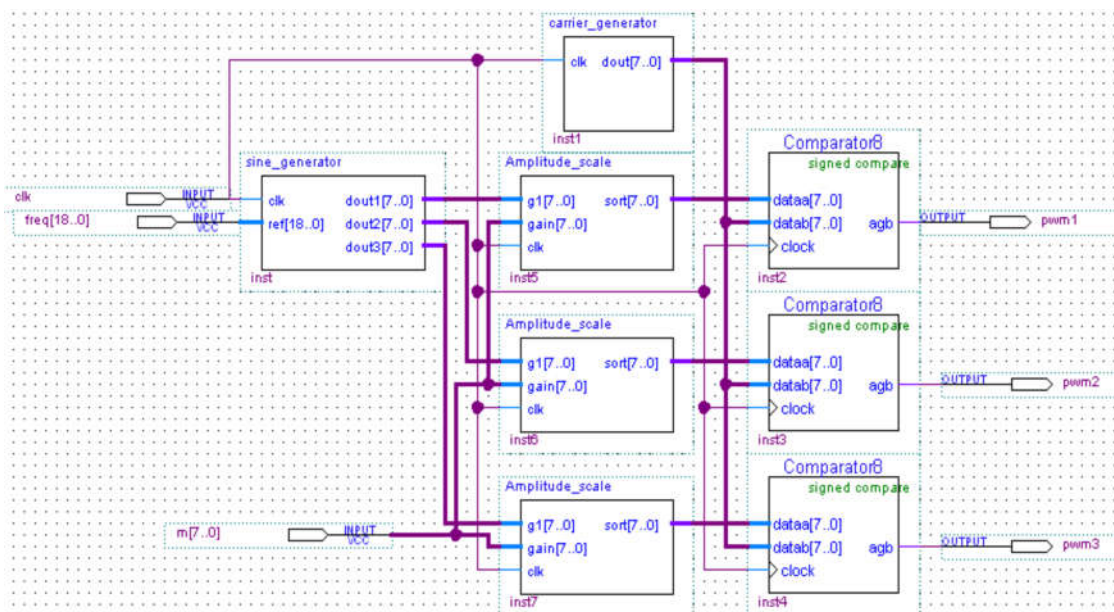


Figure.III.7 Spécification de l'entité principale (*top level entity*) de SPWM.

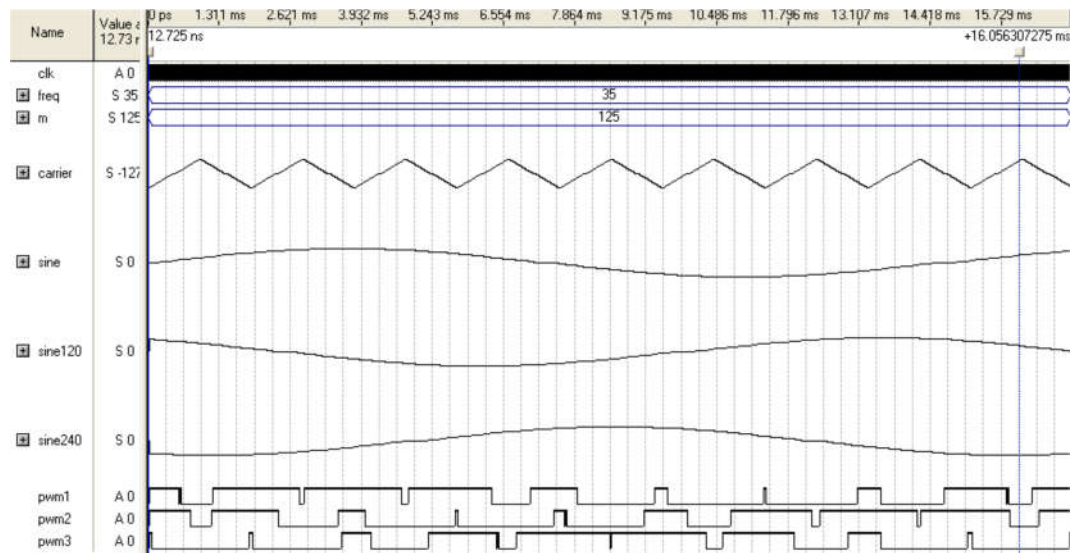
La figure III.7 présente l'entité SPWM, qui est constituée des sous-modules, trois comparateurs, trois blocs d'ajustement de l'amplitude, un bloc qui génère les trois signaux de référence (sinus), et un bloc de génération de porteuse (dents de scie). Les différents sous-modules sont développés essentiellement par le langage vhdl.

Flow Status	Successful - Sat Oct 25 12:42:17 2014
Quartus II 32-bit Version	13.0.0 Build 156 04/24/2013 SJ Full Version
Revision Name	PWM_strategie_simulation
Top-level Entity Name	SPWM
Family	Cyclone II
Device	EP2C35F672C6
Timing Models	Final
Total logic elements	399 / 33,216 (1 %)
Total combinational functions	363 / 33,216 (1 %)
Dedicated logic registers	108 / 33,216 (< 1 %)
Total registers	108
Total pins	31 / 475 (7 %)
Total virtual pins	0
Total memory bits	0 / 483,840 (0 %)
Embedded Multiplier 9-bit elements	3 / 70 (4 %)
Total PLLs	0 / 4 (0 %)

Figure.III.8 Rapport de compilation de SPWM.

Comme il est indiqué sur le rapport de compilation de la figure III.8, l'architecture proposée de la stratégie SPWM ne nécessite que 399 LEs de 33216 LEs disponibles, soit 1%, les 399 éléments logiques utilisés implantent 363 fonctions logiques combinatoires et 108 registres, les autres ressources utilisés sont trois multiplieurs embarqués de 9x9, soit 4%. 0% de PLLs, et 0% de mémoire.

Afin de vérifier la fonctionnalité de la conception, 27 MHz est utilisé comme fréquence d'horloge principale en simulation. Les figures III.9 (a, b), montrent les résultats de la simulation fonctionnelle pour $m=0.97$ et $m=0.86$

(a) $m=0.97$

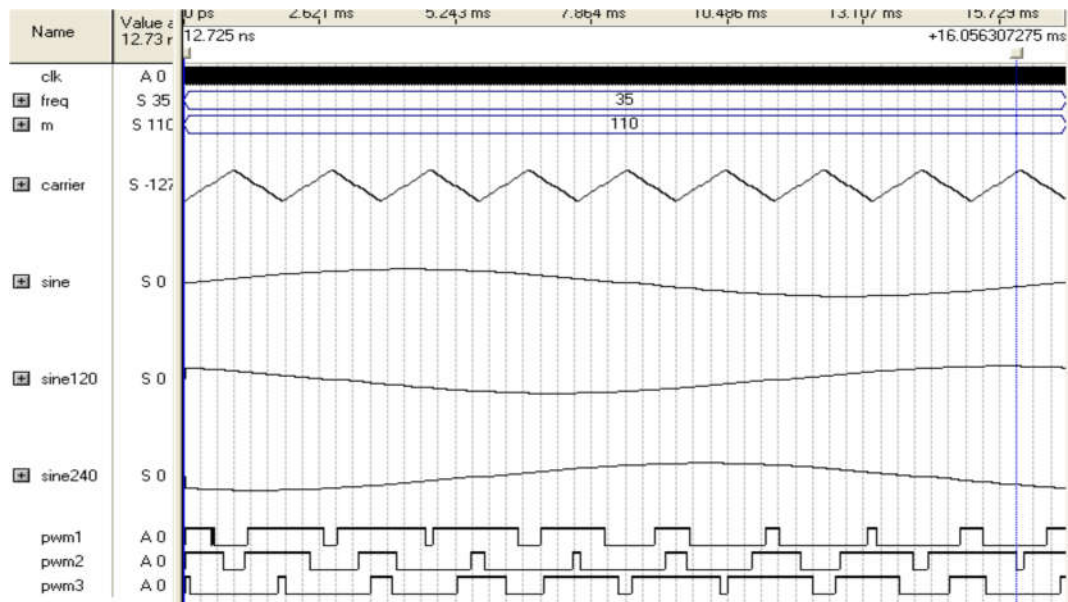
(b) $m=0.86$

Figure.III.9 Résultats de simulation fonctionnelle du SPWM

Nous pouvons voir que les trois signaux sinusoïdaux et la porteuse triangulaire sont générés avec succès. Dans la figure III.9.a et b le curseur de temps indique 16,05 ms (60 Hz), par un examen attentif des largeurs d'impulsion dans les deux figures a et b, il est très clair que les largeurs d'impulsion sont modifiées en faisant varier l'indice de modulation. La fréquence de porteuse est de 540 Hz (60×9 impulsions).

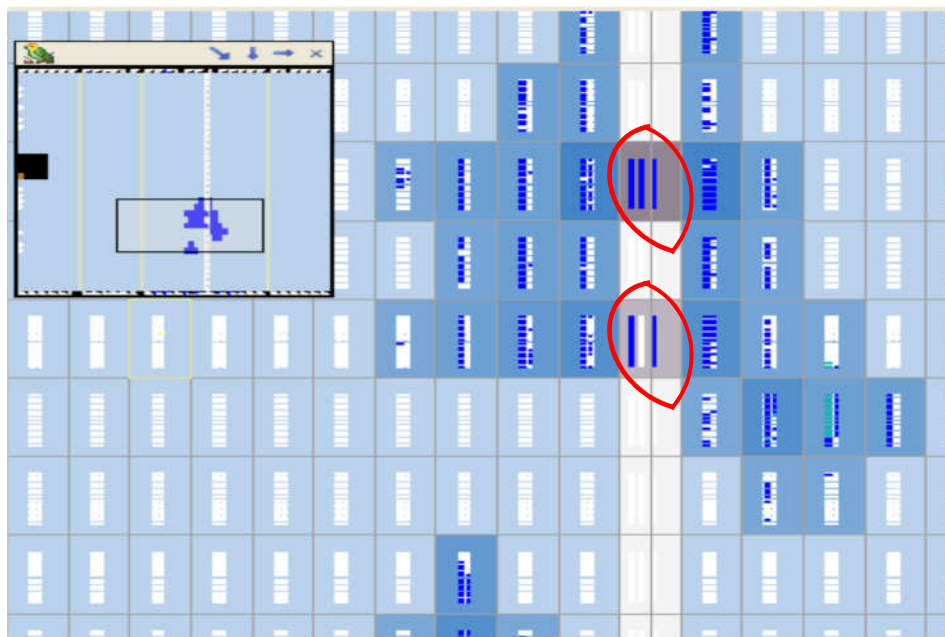


Figure III.10 .Occupation physiques sur FPGA des différent Blocs Logiques implantant le SPWM

L'implantation physique du bloc SPWM nécessite 33 blocs logiques LB, comme illustré sur la figure III.10. Ces blocs constitués de 16 éléments logiques, chacun implante tous les fonctions logiques combinatoires et séquentielles ainsi les fonctions arithmétiques, et ce relatif à la spécification de la figure III.7. Les deux zones cerclées en rouge indiquent les trois multiplieurs embarqués 9x9, sélectionnés par l'outil de placement et routage (*Fiter*), il est à noter que cette FPGA est dotée d'une colonne de 35 blocs, chacun de ces blocs contient un multiplieur 18x18, soit deux multiplieurs 9x9 par bloc.

III.5.2 Conception et implantation de la THIPWM sur FPGA

L'entité de THIPWM se diffère de celle du SPWM, au niveau de signaux modulants de référence, pour ce faire, une injection de la troisième harmonique est indispensable. L'architecture de THIPWM proposé s'appuie sur le calcul off-line des trois signaux de références, c'est-à-dire de générer auparavant le signal de référence qui est la somme d'un sinus et son troisième harmonique, le signal résultant sera utilisé, pour générer les trois signaux de référence, et ce de même manière que l'entité SPWM.

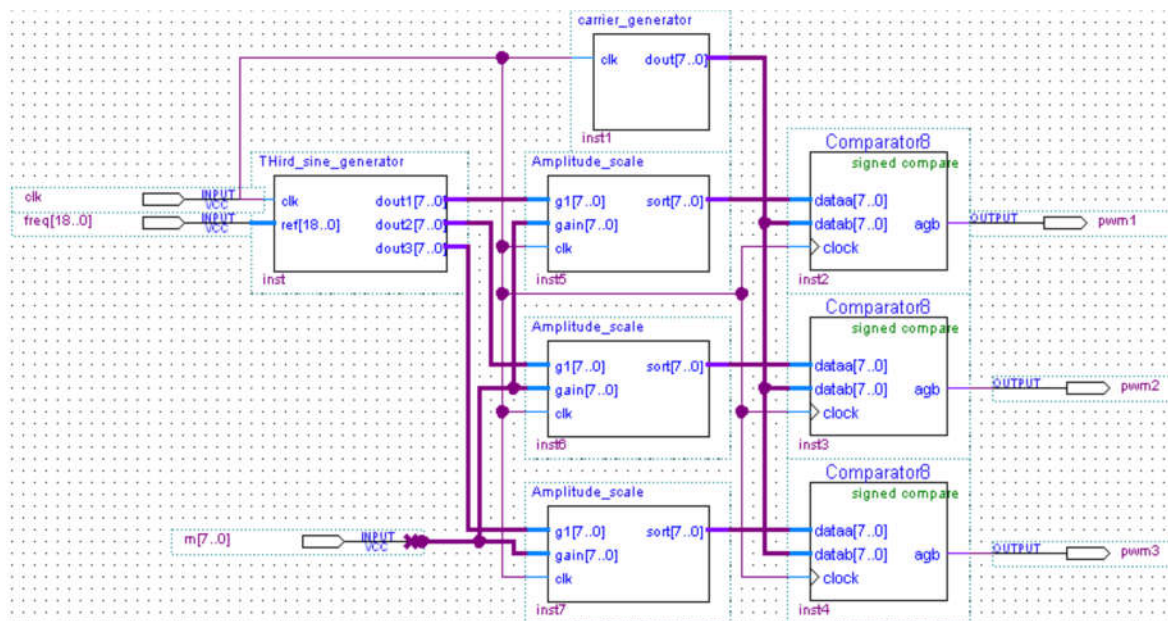


Figure.III.11 Spécification de l'entité principale (*top level entity*) de THIPWM.

La figure III.11 montre l'entité THIPWM, l'approche de réutilisabilité nous permet d'utiliser à nouveau tous les sous-module déjà conçu (*Amplitude_scale*, *carrier_generator*, *Comparator8*), et le seul nouveau module conçu c'est le générateur des signaux de référence (*Third_sine-gerator*), ce qui va réduire considérablement la durée de conception.

Fitter Summary	
Fitter Status	Successful - Sun Oct 26 04:58:54 2014
Quartus II 32-bit Version	13.0.0 Build 156 04/24/2013 SJ Full Version
Revision Name	PWM_strategie_simulation
Top-level Entity Name	THIPWM
Family	Cyclone II
Device	EP2C35F672C6
Timing Models	Final
Total logic elements	383 / 33,216 (1 %)
Total combinational functions	351 / 33,216 (1 %)
Dedicated logic registers	138 / 33,216 (< 1 %)
Total registers	138
Total pins	31 / 475 (7 %)
Total virtual pins	0
Total memory bits	0 / 483,840 (0 %)
Embedded Multiplier 9-bit elements	3 / 70 (4 %)
Total PLLs	0 / 4 (0 %)

Figure.III.12 Rapport de compilation de THIPWM, généré après synthèse logique et synthèse physique, par Quartus II.

D'après le rapport de la figure III.12, l'architecture proposée de la stratégie THIPWM ne nécessite que 383 LEs de 33216 LEs disponibles, soit 1%, les 399 éléments logiques utilisés implantent 351 fonctions logiques combinatoires et 138 registres, les autres ressources utilisés sont trois multiplieurs embarqué de 9x9, soit 4%. 0% de PLLs, et 0% de mémoire.

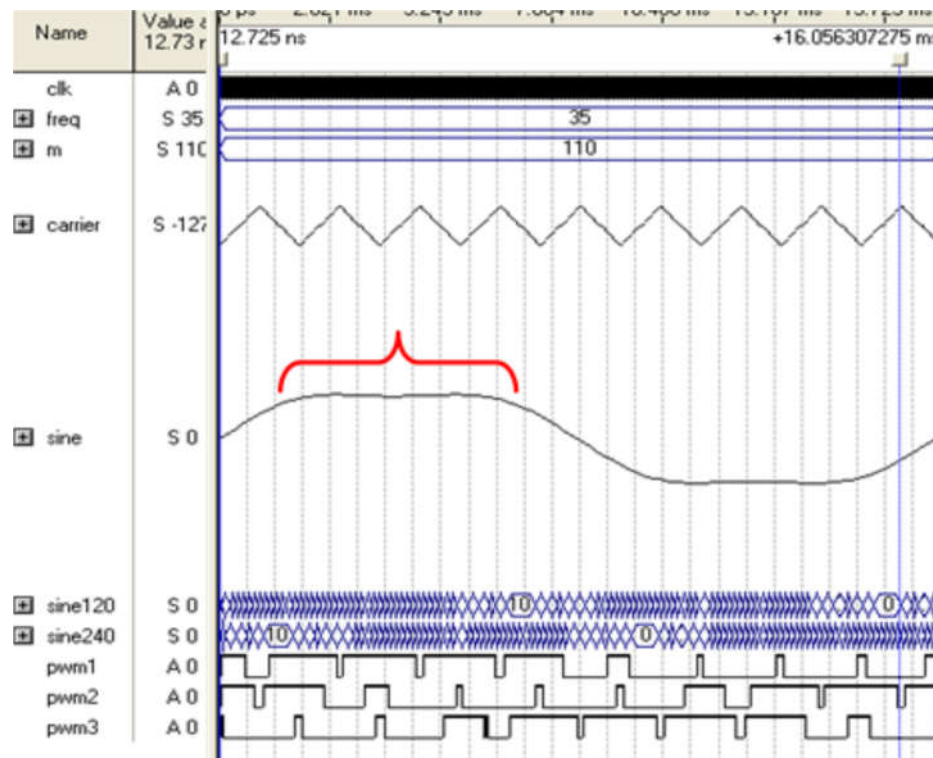


Figure.III.13 Résultat de simulation de THIPWM sur Quartus II.

Les résultats de simulation, de la figure III.13, sont obtenus pour une fréquence de porteuse 540 Hz, $f = 60$ Hz et pour un indice de modulation $m = 0.86$. Examinons la référence de la première phase (0°), la troisième harmonique est bien injectée voir accolade rouge,



Figure III.14 Occupation physiques, sur FPGA, des différents Blocs Logiques implantant le THIPWM.

La figure III.14 indique la disposition des 29 blocs logiques LB, implantant les différents modules de l'entité THIPWM PWM, sur cyclone II de ALTERA.

III.5.3 Conception et implantation de la SVPWM sur FPGA

Etant donné, la stratégie SVPWM se base sur le calcul vectoriel, ce qui nécessite certainement d'énormes ressources de FPGA. Rappelons l'algorithme de mise en œuvre du SVPWM (chapitre II):

- Calcul V_α , V_β à partir de (V_{a_ref} , V_{b_ref} , V_{c_ref}) .
- Identification de secteur, dans lequel la tension de référence est localisée.
- Calcul de T_x , T_y , T_z .
- Génération des signaux SVPWM en basant sur les temps de commutation des interrupteurs, pour chaque secteur.

Puisque la complexité de l'algorithme SVPWM est liée à l'identification des secteurs et au calcul des temps de commutation, ce qui est énorme dans la référence (α , β). Les temps de commutations dans la référence (α , β) sont donnés par l'expression :

$$\begin{bmatrix} T_x \\ T_y \end{bmatrix} = \frac{\sqrt{3}T_s}{U_{dc}} \begin{bmatrix} \sin \frac{n\pi}{3} & -\cos \frac{n\pi}{3} \\ -\sin \frac{(n-1)\pi}{3} & \cos \frac{(n-1)\pi}{3} \end{bmatrix} |V_w| \begin{bmatrix} \cos n\alpha \\ \sin n\alpha \end{bmatrix} \quad (\text{III.3})$$

En utilisant la transformation de Clarke, le vecteur de référence s'écrit, sous la forme matricielle dans la référence (a,b,c) comme suit :

$$V_w = |V_w| \begin{bmatrix} \cos n\alpha \\ \sin n\alpha \end{bmatrix} = \frac{1}{3} \begin{bmatrix} 2 & -1 & -1 \\ 0 & \sqrt{3} & -\sqrt{3} \end{bmatrix} \begin{bmatrix} V_{an} \\ V_{bn} \\ V_{cn} \end{bmatrix} \quad (\text{III.4})$$

En remplaçant l'expression de V_w dans l'expression (III.3) on obtient :

$$\begin{bmatrix} T_x \\ T_y \end{bmatrix} = \frac{T_s}{\sqrt{3}U_{dc}} \begin{bmatrix} \sin \frac{n\pi}{3} & -\cos \frac{n\pi}{3} \\ -\sin \frac{(n-1)\pi}{3} & \cos \frac{(n-1)\pi}{3} \end{bmatrix} \begin{bmatrix} 2 & -1 & -1 \\ 0 & \sqrt{3} & -\sqrt{3} \end{bmatrix} \begin{pmatrix} v_a \\ v_b \\ v_c \end{pmatrix} \quad (\text{III.5})$$

n (1..6) : est le numéro de secteur où le vecteur de référence se localise.

L'expression (III.5) nous permet de calculer les temps de commutation T_x , T_y et ainsi d'identifier les secteurs dans la référence abc sans passer par le calcul trigonométrique, on peut facilement rétablir le tableau suivant :

Tableau III.1 Les conditions et les temps de commutation pour chaque secteur

Conditions de selection des secteurs	$\begin{pmatrix} T_x \\ T_y \end{pmatrix}$
Sec I (V_{100} - V_{110}) $v_a > v_b > v_c$	$\frac{T_s}{U_{dc}} \begin{pmatrix} v_a - v_b \\ v_b - v_c \end{pmatrix}$
Sec II (V_{110} - V_{010}) $v_b > v_a > v_c$	$\frac{T_s}{U_{dc}} \begin{pmatrix} v_a - v_c \\ v_b - v_a \end{pmatrix}$
Sec III (V_{010} - V_{011}) $v_b > v_c > v_a$	$\frac{T_s}{U_{dc}} \begin{pmatrix} v_b - v_c \\ v_c - v_a \end{pmatrix}$
Sec IV (V_{011} - V_{001}) $v_c > v_b > v_a$	$\frac{T_s}{U_{dc}} \begin{pmatrix} v_b - v_a \\ v_c - v_b \end{pmatrix}$
Sec V (V_{001} - V_{101}) $v_c > v_a > v_b$	$\frac{T_s}{U_{dc}} \begin{pmatrix} v_c - v_a \\ v_a - v_b \end{pmatrix}$
Sec VI (V_{101} - V_{100}) $v_a > v_c > v_b$	$\frac{T_s}{U_{dc}} \begin{pmatrix} v_c - v_b \\ v_a - v_c \end{pmatrix}$

En raisonne par secteur, l'identification des secteurs se fait par une simple comparaison des tensions v_a, v_c, v_b et les temps de commutation sont calculés selon le secteur en question, en fonction des différences des tensions exprimées dans le repère (abc) .

La première colonne du tableau donne des conditions pour déterminer le secteur où se trouve le vecteur d'espace de référence en utilisant des tensions v_a, v_c, v_b . Par exemple, si $v_a > v_c > v_b$ le secteur III est sélectionné, il est utilisé pour générer les signaux de commutation de l'onduleur.

Et Ce tableau est traduit au schéma synoptique de la figure III.15 qui implémente l'algorithme proposé. Les comparateurs calculent les valeurs absolues des différences des tensions ($v_a - v_b, v_b - v_c, v_c - v_a$) et leur signe de résultat (un flag = 1 si le résultat est positif et flag = 0 si le résultat est négatif), et selon le tableau III.1, la condition logique de sélection de secteur est simplifiée, ce qui minimisera l'utilisation des ressources de FPGA.

Ces différences sont également utilisées comme des entrées de deux multiplexeurs (4: 1) pour sélectionner pour chaque condition de secteur les temps d'enclenchement appropriés (T_x et T_y) qui simplifient le calcul des temps de commutation seulement à quelques opérations par rapport aux autres algorithmes SVPWM, proposés dans la littérature, qui utilisent des calculs trigonométriques complexes.

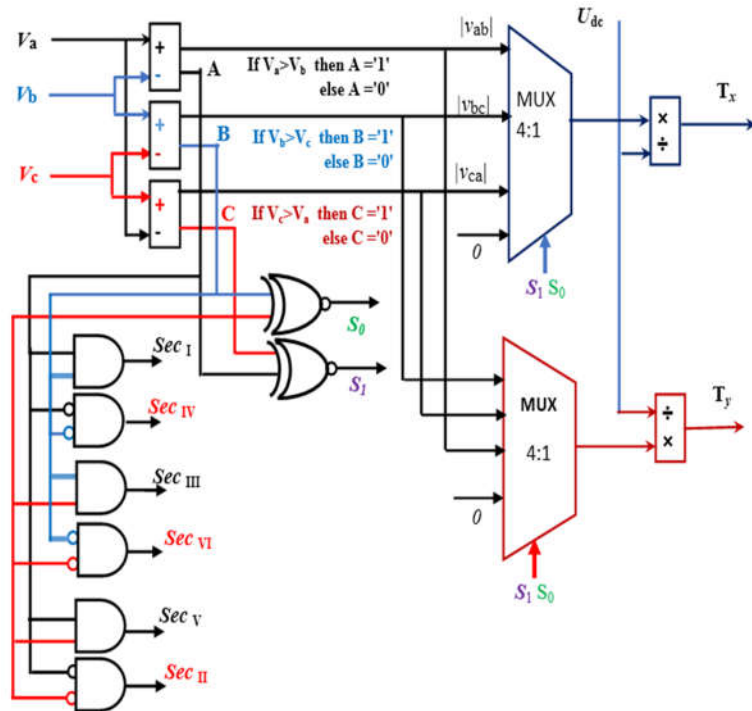


Figure III.15 Schéma synoptique de sélection de secteur actif et le calcul de T_x et T_y .

Pour commander les interrupteurs de l'onduleur, les impulsions SVPWM S_a , S_b et S_c sont générées, en comparant un signal de porteuse triangulaire avec les temps de commutation T_l , T_h et T_z calculés à l'étape précédente, comme représenté sur la figure III.16.

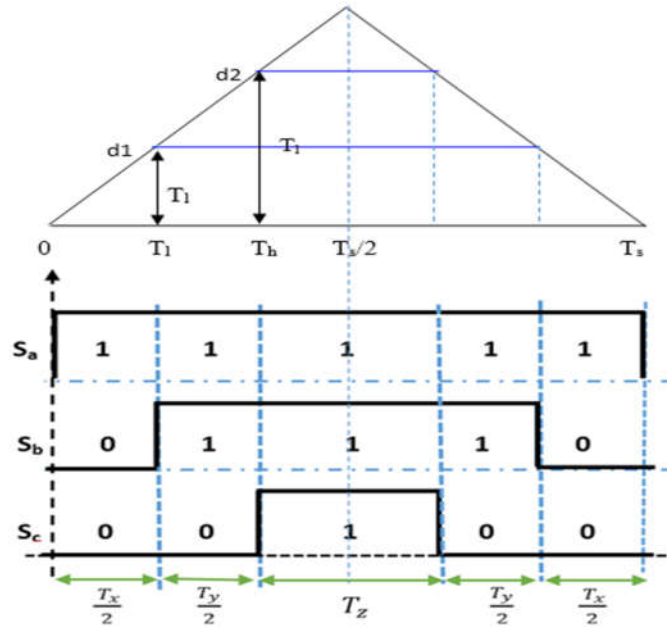


Figure III.16 génération des signaux de commande

Les T_l et T_h sont des seuils de déclenchement requises pour générer d'impulsions PWM, $T_l = T_x / 2$ et $T_h = (T_x + T_y) / 2$, et sont données comme suit [70]:

$$\begin{cases} T_l = (v_a - v_b) \frac{T_s}{2U_{dc}} \\ T_h = (v_a - v_c) \frac{T_s}{2U_{dc}} \\ T_z = T_s - 2T_h \end{cases} \quad (\text{III.6})$$

Un schéma synoptique général RTL de la technique SVPWM proposée et optimisée est représenté sur la figure III.17.

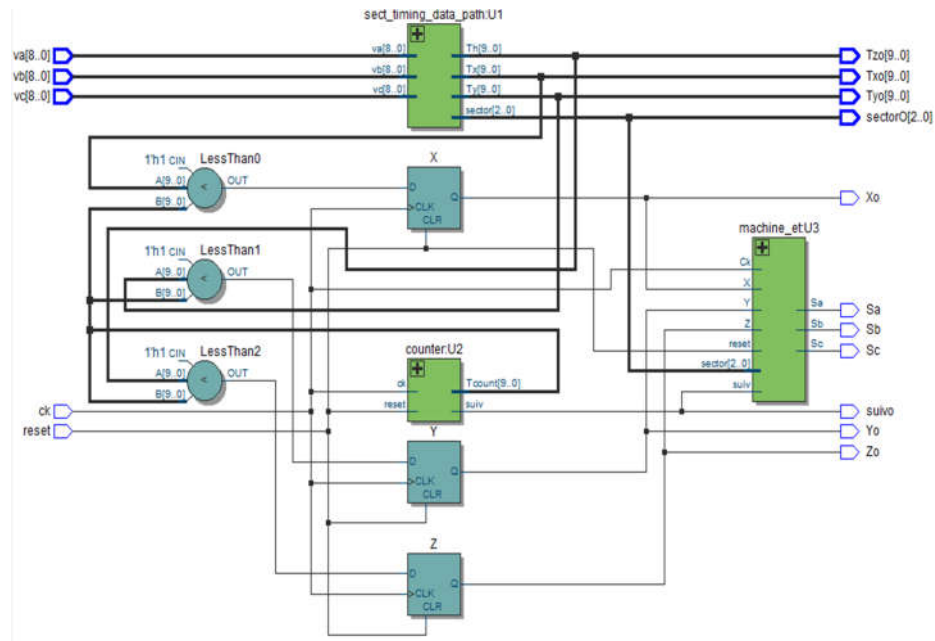


Figure.III.17 Schéma RTL de la SVPWM optimisée.

L'entité SVPWM est constituée essentiellement d'un sous-module *sect-timing_data_path* pour calculer T_x , T_y , pour identifier le secteur actif, et pour générer les signaux de commande adéquats, une machine d'état *machine_et* qui est chargée de générer les impulsions de commande SVPWM.

Le rapport de compilation de la figure III.18 indique les ressources utilisées pour implanter physiquement sur FPGA, le SVPWM.

Flow Summary	
Flow Status	Successful - Sun Jan 15 16:18:55 2017
Quartus Prime Version	15.1.0 Build 185 10/21/2015 SJ Lite Edition
Revision Name	modif_SVPWM
Top-level Entity Name	mod_SVPWM
Family	Cyclone IV E
Device	EP4CE22E22C7
Timing Models	Final
Total logic elements	903
Total combinational functions	903
Dedicated logic registers	18
Total registers	18
Total pins	69
Total virtual pins	0
Total memory bits	0
Embedded Multiplier 9-bit elements	0
Total PLLs	0

Figure.III.18 Rapport de compilation de SVPWM, généré après synthèse logique et synthèse physique, par Quartus II,

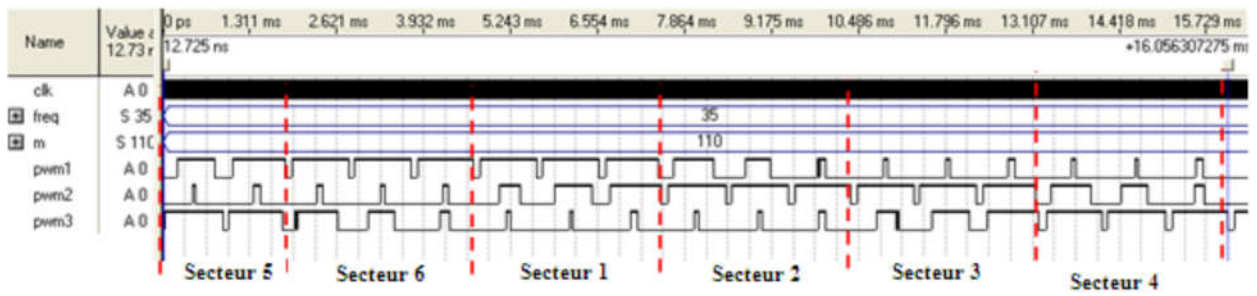


Figure.III.19 Résultat de simulation de SVPWM sur Quartus II.

Pour vérifier la fonctionnalité de l'algorithme proposé implantant le SVPWM, examinons les résultats de simulation illustrés sur la figure III.19. Il est très claire que les signaux SVPWM sont parfaitement générés par notre algorithme, et notamment l'ordre des six secteurs et bien respecté, (se référer à la figure II.23 du chapitre II à titre de comparaison).

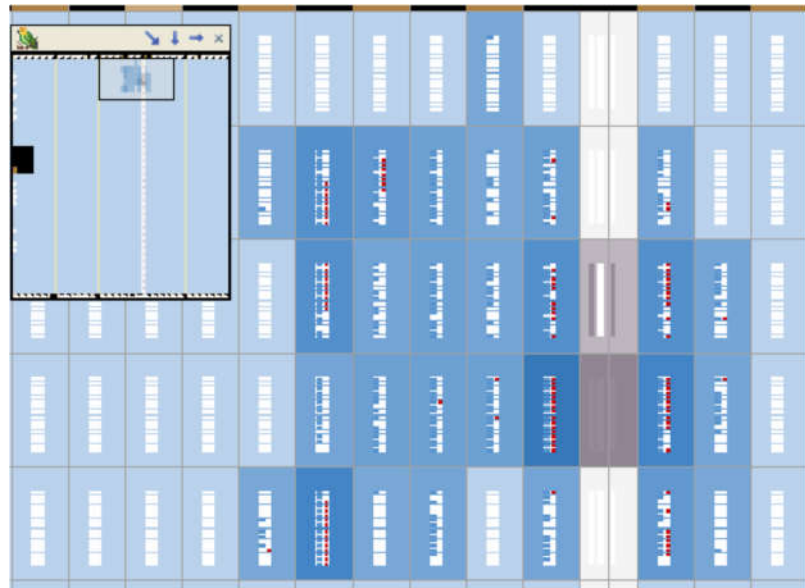


Figure III.20 Occupation physiques, sur FPGA, des différent Blocs Logiques implantant le SVPWM.

La figure III.20 indique la disposition des 903 blocs logiques LB, implantant les différents modules de l'entité SVPWM, sur cyclone II de ALTERA.

III.6 Architecture de la commande IRFOC

Comme il est présenté sur la figure III.21, l'algorithme de commande IRFOC peut subdiviser en six modules :

- Un block pour calculer la vitesse angulaire et la position
- Deux blocks pour implanter la transformation des cordonnés.
- Un block IRFOC de base
- Un block pour l'acquisition de données.
- Un block pour générer les signaux PWM de commande de l'onduleur (déjà discuté)

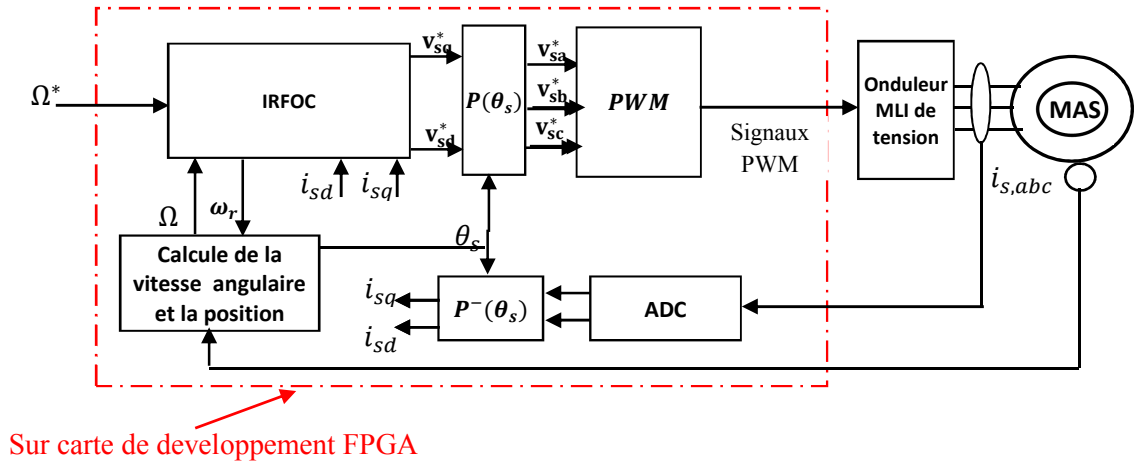


Figure III.21 Schéma synoptique de l'architecture proposée de la commande IRFOC sur FPGA.

III.6.1 Module de calcul de la vitesse angulaire et la position

La résolution de l'encodeur incrémental utilisé est 1024 points, cet encodeur a deux sortie A et B qui sont déphasées par $\pi/2$, ce qui nous permet à la fois d'augmenter la résolution à 2048 points, utilisant une porte logique XSOR (où exclusive), et pour détecter le sens de rotation, comme il est illustré par la figure III.22.

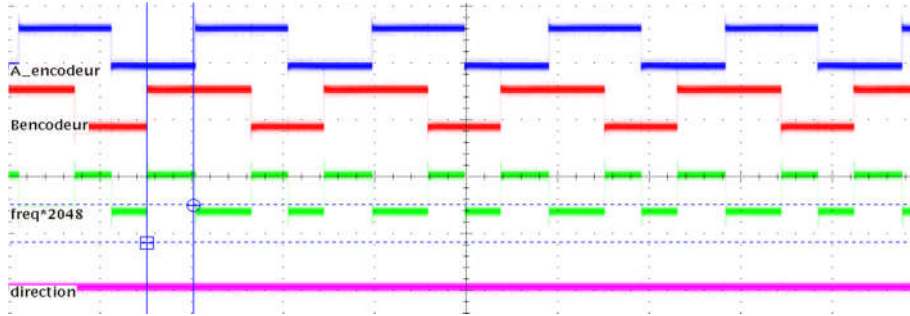


Figure III.22 Allures des signaux de l'encodeur

Concernant le sens de rotation, si le déphasage entre A et B est positif le sens de rotation est direct (direction = 0), sinon il est inversé (direction = 1).

Pour déterminer la vitesse angulaire de rotation il suffit de calculer le nombre d'impulsion (N_impl/ms) du signal de sortie de la porte XOR, chaque milliseconde (1 ms), qui correspond au temps d'échantillonnage mécanique choisis, le nombre d'impulsion calculé N_impl/ms est ensuite converti en radian par seconde, pour se faire, il est multiplié par $\frac{2\pi \cdot 1000}{2048}$ = 3.068 si le signal direction = 0, si non on le multiplie par -3.068.

L'expression de la position θ s'écrit :

$$\theta = \int \omega dt \quad (\text{III.7})$$

Pour un signal discret avec un taux d'échantillonnage T_e , la relation de récurrence la plus simple, pour une intégration numérique, est :

$$y_n = y_{n-1} + T_e x_n \quad (\text{III.8})$$

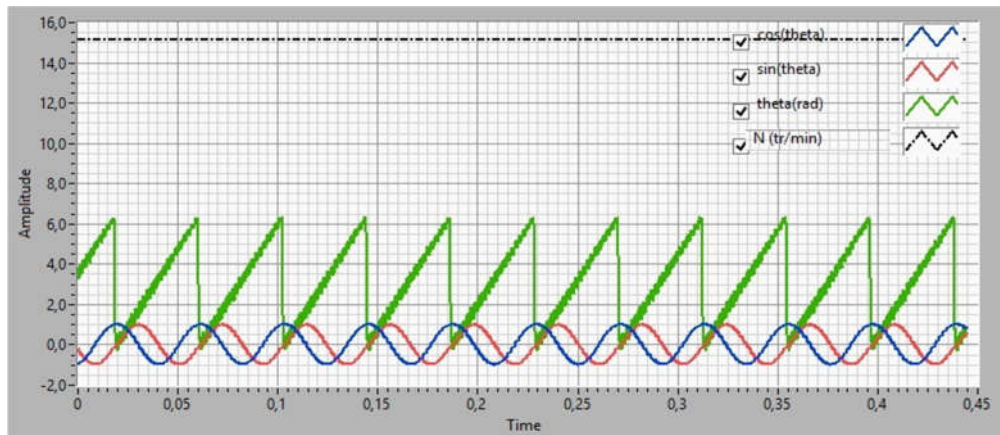
En effectuant la transformée en Z de cette équation on obtient :

$$Y(z) = Y(Z)Z^{-1} + T_e X(Z) \quad (\text{III.9})$$

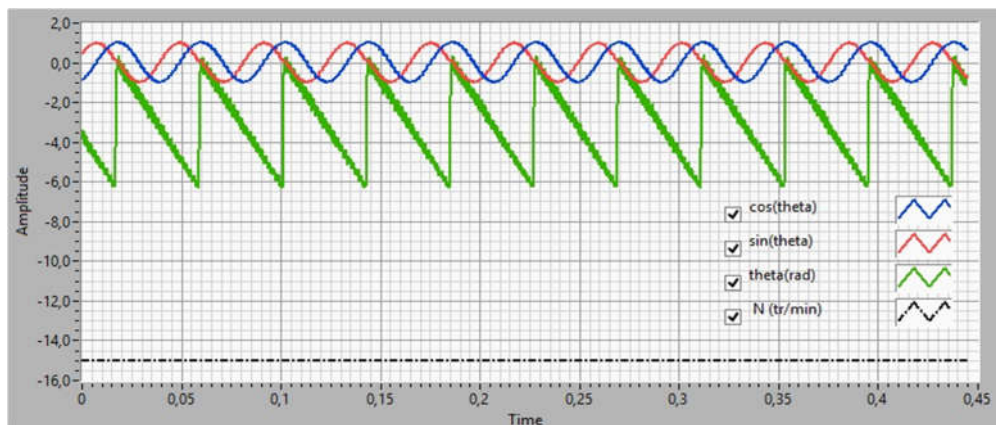
Un autre module est conçu pour contrôler la variation de l'angle θ en fonction du sens de rotation, donc θ doit être varié dans l'intervalle $[0..2\pi]$ si le sens de rotation est direct, si non θ doit être varié dans l'intervalle $[0..-2\pi]$, avec un pas de $\frac{2\pi}{2048} \text{ rad}$.

L'angle θ est utilisé pour déterminer l'adresse de la mémoire (look-up-table), contenant les fonctions sinus et cosinus (voir section III.6.2).

Les résultats expérimentaux de la figure III.23 montrent la bonne fonction du module conçu. La figure III.23.a correspond à une vitesse de 1500 tr/min (sens direct), et la figure III.23.b correspond à une vitesse -1500 tr/min (sens inverse).



(a)



(b)

Figure III.23 Résultats expérimentaux de calcul de la vitesse angulaire, la position et les fonctions cosinus et sinus.

III.6.2 Modules de transformation triphasé - biphasé

Cette transformation, qui est la combinaison de la transformation de Clark et celle du Park, nous permet de passer de trois axes liés au stator (a, b, c), vers deux axes liés au champ tournant (d, q). De ce point de vue les composantes du courant dans le système de coordonnées dq sont invariantes dans le temps, en régime permanent (valeurs continues), il est alors plus aisé d'en faire la régulation.

La figure III.24 (a) et (b) représentent ce mécanisme de transformations.

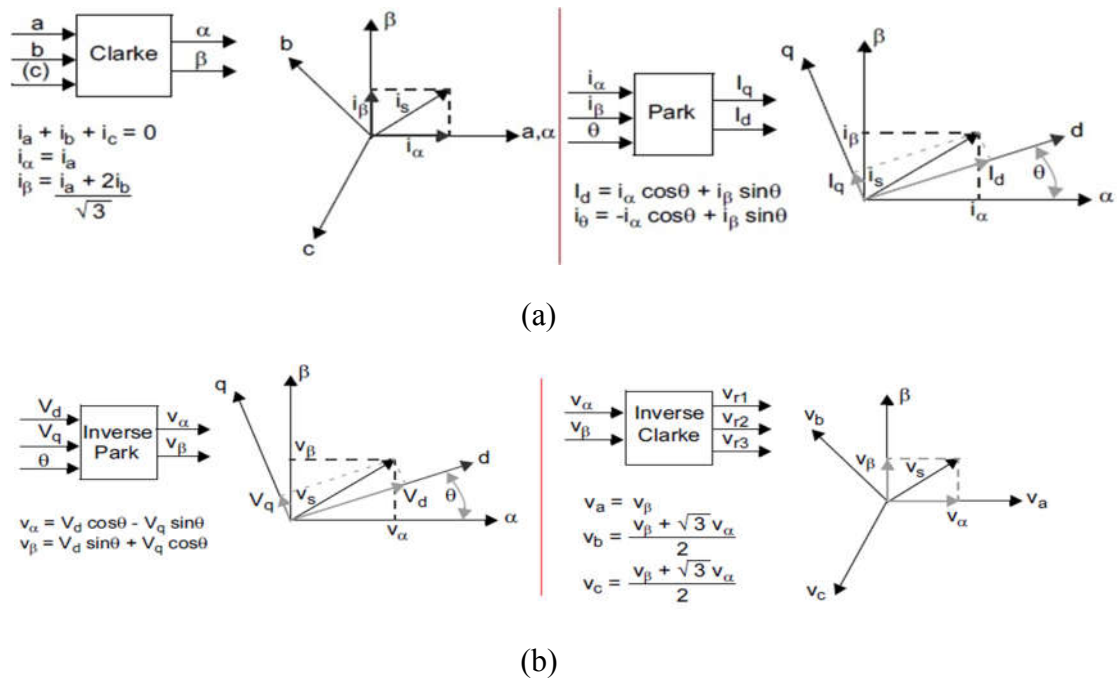
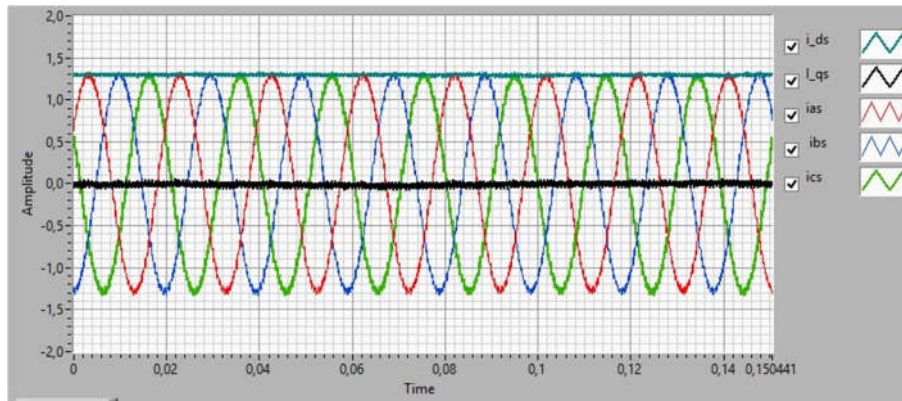


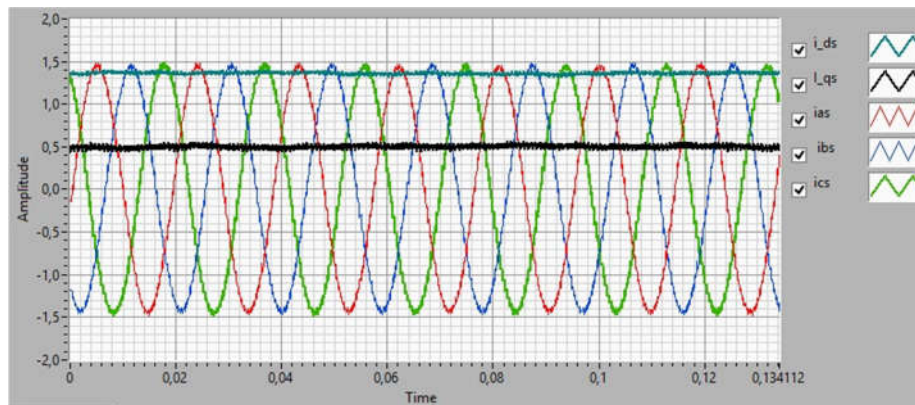
Figure III.24 Processus de transformation $abc-dq$ et $dq-abc$

Donc pour implanter ce block de transformation et son inverse, il faut d'abord concevoir les deux fonctions trigonométriques (cos, sinus), pour ce faire l'architecture proposée se repose sur un block look-up-table, qui contient n points de cosinus, 1024 pour notre cas, et ce pour reconstituer une période complète de cette fonction. Pour calculer le cosinus et le sinus d'un angle θ donné un block s'occupe à calculer l'adresse correspond à cet angle, et le résultat sera lu directement de la mémoire (look-up-table).

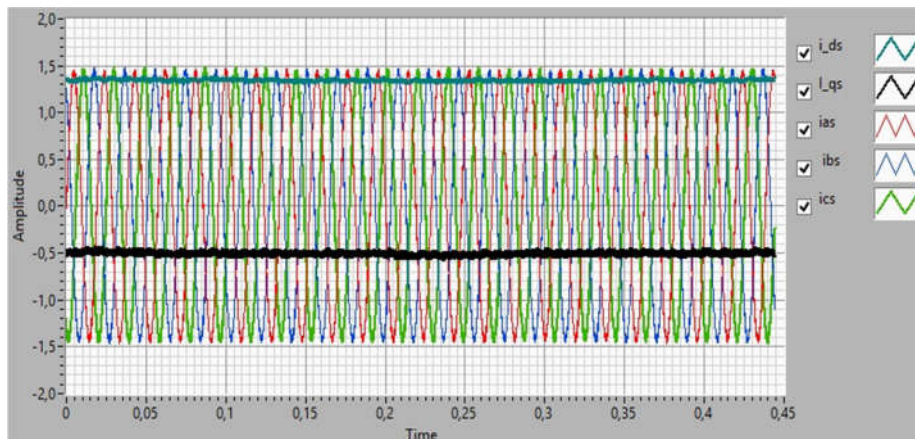
La figure III.25 représente les résultats expérimentaux qui vérifient le bon fonctionnement de ces modules de transformation.



(a)



(b)



(c)

Figure III.25 Résultats expérimentaux de la transformation abc vers dq

La figure III.25.a représente la transformation où la machine n'est pas chargée, on peut constater que la composante i_d suit l'enveloppe des trois courants i_a , i_b , i_c , tandis que la composante i_q est nulle en cas de charge vide et a une valeur positive correspond à un couple de charge si la machine tourne au sens direct (figure III.25.b), et a une valeur négative si le sens de rotation est inversé (figure III.25.c)

III.6.2 Modules IRFOC de base

Ce module est constitué principalement de trois régulateur PI dont deux pour les courants et un régulateur pour réguler la vitesse, le reste des composants de ce module n'est autre que des multiplieurs, des soustracteurs, des additionneurs et quelques fonctions logiques.

La mise en œuvre de régulateur comprend un terme ($K_c * \text{Depass}$) pour limiter le windup de l'intégrale, comme illustré à la Figure III.26.

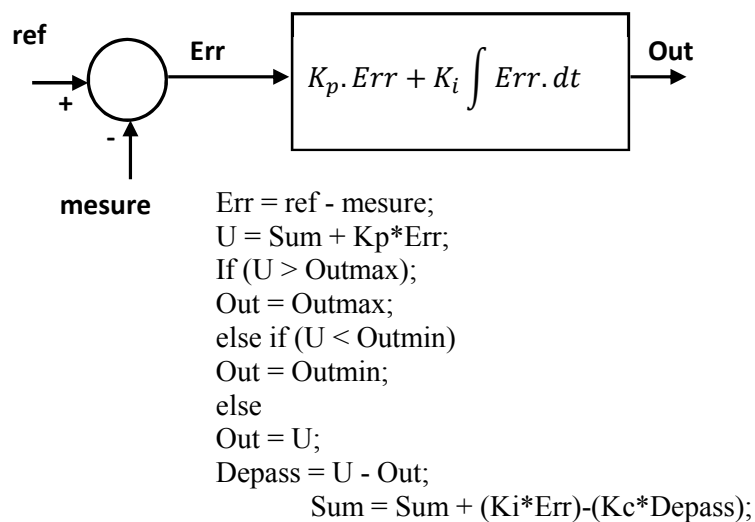


Figure III.26 Régulateur PI avec un anti windup

Flow Summary	
Flow Status	Successful - Wed Nov 09 22:39:06 2016
Quartus II 64-Bit Version	14.0.0 Build 200 06/17/2014 SJ Full Version
Revision Name	test1
Top-level Entity Name	IRFOC_closed_current
Family	Cyclone IV E
Device	EP4CE22F17C7
Timing Models	Final
Total logic elements	11,635 / 22,320 (52 %)
Total combinational functions	10,934 / 22,320 (49 %)
Dedicated logic registers	2,196 / 22,320 (10 %)
Total registers	2196
Total pins	25 / 154 (16 %)
Total virtual pins	0
Total memory bits	450,560 / 608,256 (74 %)
Embedded Multiplier 9-bit elements	110 / 132 (83 %)
Total PLLs	0 / 4 (0 %)

Figure.III.27 Rapport de compilation de la commande IRFOC.

Le rapport de compilation de la figure III.27 indique les ressources utilisées pour implanter physiquement sur FPGA, la commande vectorielle d'orientation de flux rotorique. On constate que l'intégralité de cet algorithme n'utilise que 52% des éléments logiques, ce qui montre l'efficacité de la méthodologie de conception utilisée.

III.7 Conclusion

L'objectif de ce chapitre, c'était la conception et l'implantation sur FPGA des trois technique PWM étudiées au chapitre précédent, ainsi les différents modules constituant la commande vectorielle indirect de flux IRFOC. Ce chapitre a mis l'accent sur l'apport de l'utilisation des FPGA comme cible d'implantation. Une étude porte spécialement sur les approches de développement pour satisfaire des exigences données.

Des algorithmes proposés, pour implanter les trois stratégies et l'algorithme de commande vectorielle IRFOC, et ce avec un minimum d'utilisation des ressources de FPGA sont présentés. Pour ce faire le Platform de développement d'ALTERA a été exploitée.

La simulation fonctionnelle des trois entités, et les résultats expérimentaux présentés nous ont confirmé le bon fonctionnement des algorithmes proposés, les rapports de compilation de l'outil de placement et de routage physique sur FPAG, a montré l'efficacité de notre approche de développement en terme d'utilisation de ressource de circuit FPGA.

CHPITRE IV

VALIDATIONS EXPERIMENTALES

IV.1 Introduction

Ce chapitre porte sur la présentation du variateur de vitesse d'un moteur asynchrone triphasé, ce variateur de vitesse est basé sur un onduleur de tension piloté par une commande délivrée par le circuit FPGA. Afin de tester notre dispositif deux manipulations ont été présentées, la première manipulation consiste à utiliser un filtre LC passe bas comme charge conformément à la section de simulation du deuxième chapitre, pour but de tester et valider les trois techniques PWM développées et implémenter sur cible FPGA, l'autre manipulation consiste à tester et valider l'algorithme de commande vectorielle IRFOC mis en œuvre sur cible FPGA. Des relevés des résultats expérimentaux et leur interprétation sont présentés.

IV.2 Description de dispositif expérimental

Le schéma synoptique du variateur de vitesse réalisé est donné par la figure IV.1

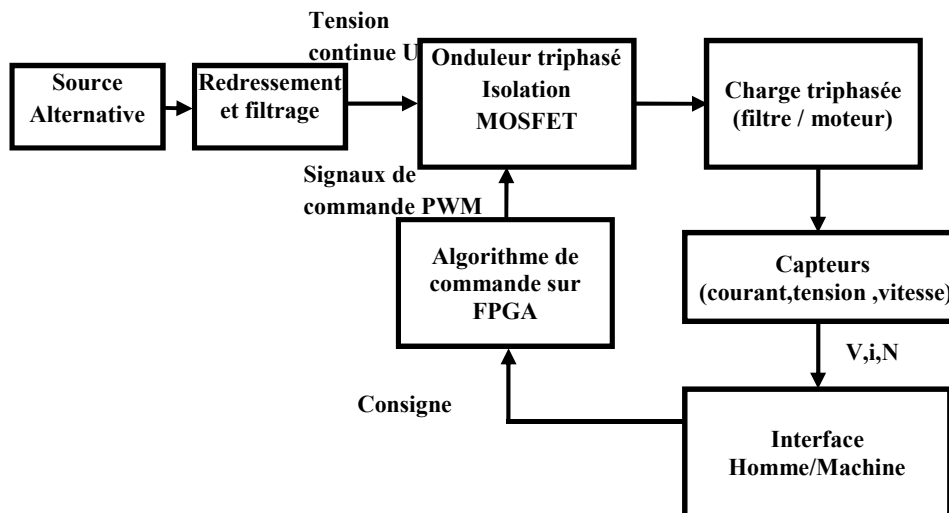


Figure IV.1 Schéma synoptique de variateur de vitesse réalisé

Ce dispositif comporte principalement quatre parties.

IV.2.1 Etage de puissance

Cet étage contient un pont redresseur (monophasé) et des condensateurs de filtrage pour avoir une tension continue à partir de réseau monophasé alternatif (220V/50HZ). Un onduleur de tension triphasé, à base des transistors de puissance MOSFET (IRFPC60), cet onduleur est commandé par le circuit FPGA par l'intermédiaire d'un étage qui contient des circuits de MOSFET drivers IR2111 (Amplification des signaux de commande issue de l'FPGA, et création des masses flottantes) et des optocoupleurs HP2200 pour isoler la partie puissance de la partie commande.

IV.2.2 Partie commande

Le support matériel utilisé pour l'implantation de l'algorithme de commande est une carte de développement (DE0-nano) basée sur le circuit FPGA cyclone II de la firme ALTERA.

IV.2.3 Partie interface homme/machine

L'interface homme machine assure la communication entre le manipulateur et le système commandé. Pour ce faire, des boutons poussoirs up/down et des switches de la carte FPGA sont utilisées pour introduire les consignes (l'indice de modulation, fréquence du fondamental, vitesse), la visualisation, des différentes grandeurs électriques et mécaniques, est assurée par la carte NI USB-6009 de National Instruments,

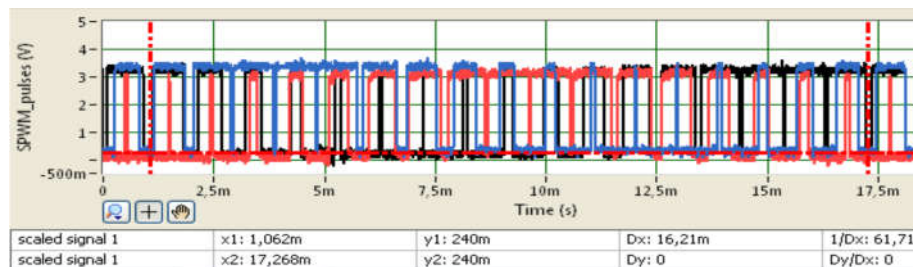
IV.2.4 Partie charge

Dans un premier temps une charge résistive R est utilisée à travers un filtre LC passe bas pour vérifier la fonctionnalité et les performances des trois techniques PWM implantées sur FPGA, ensuite un moteur asynchrone à cage 250 W est utilisé pour la deuxième partie.

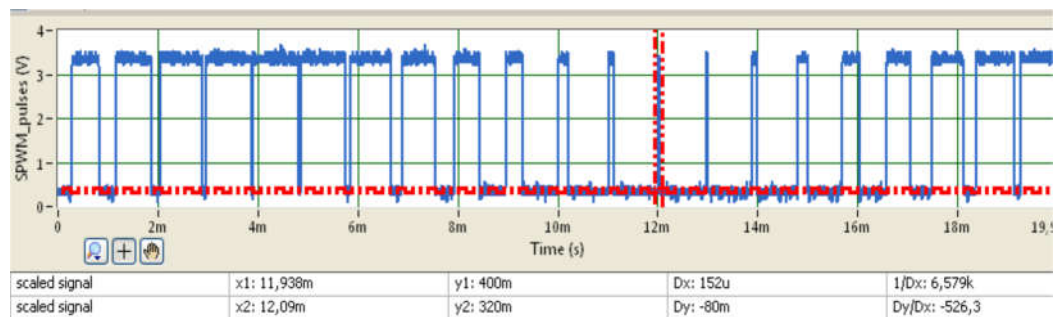
IV.3 Analyse des signaux PWM généré par FPGA

Les relevés des signaux PWM des trois techniques sont pris pour une fréquence porteuse de 1020 Hz, une fréquence fondamentale 60 Hz et un indice de modulation $m=0.93\%$, ce qui nous permet d'afficher 17 ($1020/60=17$) impulsion PWM par période ($1/60=16.2\text{ms}$), ce qui nous facilite l'analyse par la suite. Le niveau des signaux délivrés par l'FPGA est 3.5 Volt.

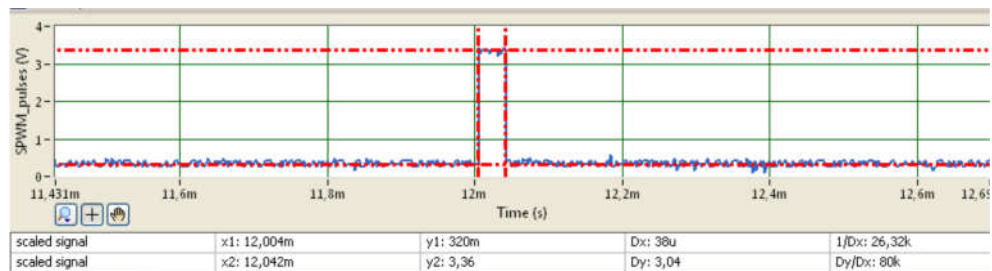
La figure IV.2.a présente les trois signaux de la technique sinus-triangle SPWM mise en œuvre sur FPGA.



(a)



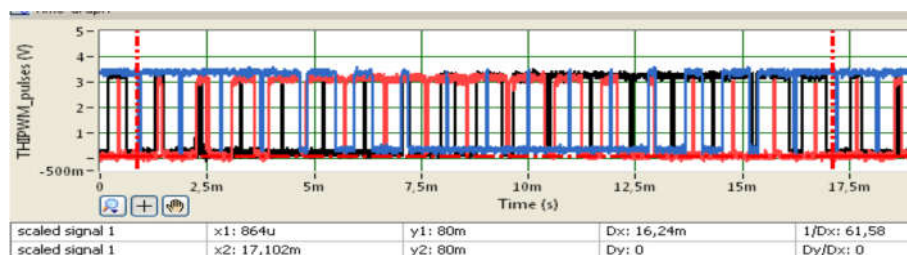
(b)



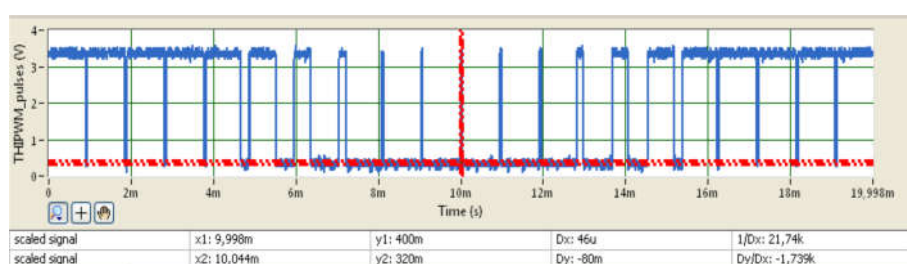
(c)

Figure IV.2 Allure expérimental des impulsions SPWM

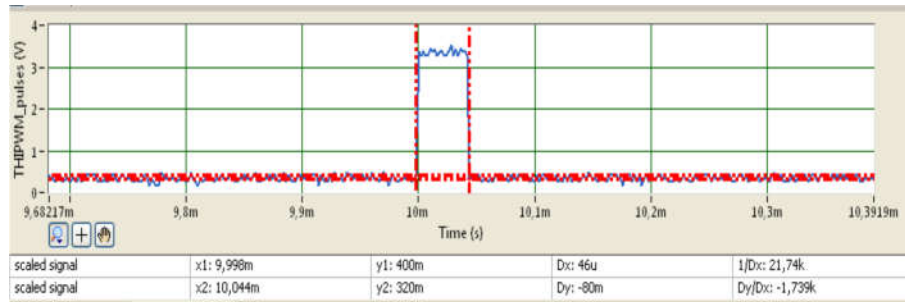
La figure IV.2.c présente un zoom de l'impulsion la plus étroite qui correspond au maximum de la référence sinus pour $m=0.93\%$, ce qui est proche de la zone de sur-modulation, cette impulsion a une largeur de $38\mu s$. Se porter à la figure IV.3 qui présente les signaux THIPWM de la technique de l'injection de l'harmonique trois, de même analogie la largeur de l'impulsion la plus étroite proche de la zone de sur-modulation (figure IV.3.c) est égale à $46\mu s$, avec la même condition, on constate qu'elle est plus large que l'impulsion précédente, de ce fait la technique THIPWM est parfaitement implémentée.



(a)



(b)

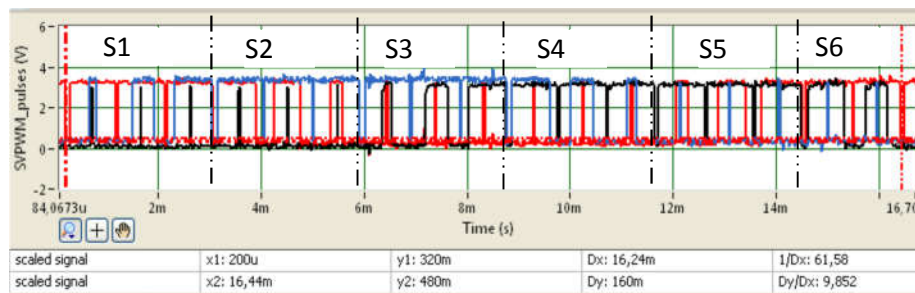


(c)

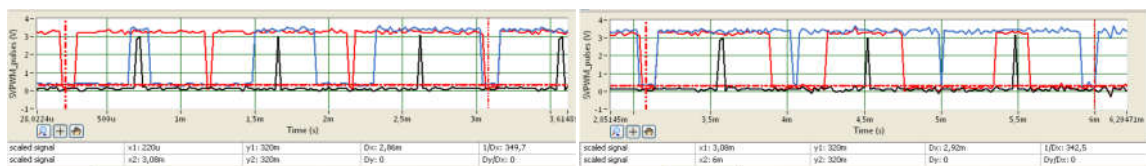
Figure IV.3 Allure expérimentale des impulsions THIPWM

Les allures des signaux PWM de la modulation vectorielle sont présentées sur la figure IV.4, puisque cette technique est caractérisée par ses impulsions qui sont bien ordonnées correspondent au six secteur, en va analyser les impulsions SVPWM pour chaque secteur.

Prenant une porteuse de 1020Hz et un fondamental de 60 Hz, cela nous donne 17 impulsions par période, ce que fait par la suite presque trois impulsions pour chaque secteur.

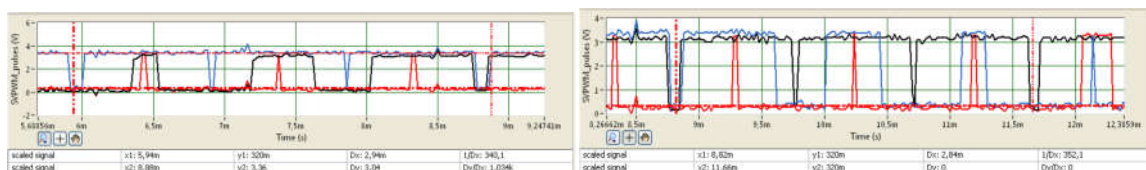


(a)



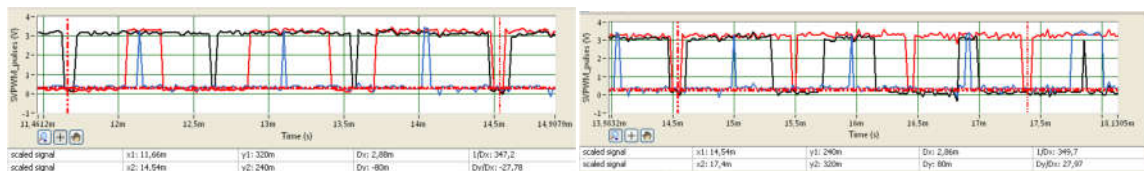
Secteur 1

Secteur 2



Secteur 3

Secteur 4



Secteur 5

Secteur 6

Figure IV.4 Allure expérimentale des impulsions SVPWM

Examinons les six secteurs constituant une période de 16.2 ms (1/60), chaque secteur dure presque 2.7 ms, pour vérifier l'ordre des secteurs on va utiliser les couleurs de chaque impulsion (Noir, Bleu, Rouge). Il est clair que l'ordre des six secteurs est réalisé et il est identique de celui obtenu par simulation (figure II.23, Chapitre II), de plus durant le déplacement d'un secteur à un autre secteur voisin on constate qu'un seul état d'impulsion se change, ce qui va minimiser les pertes de commutations. Après cette vérification préliminaire les signaux des trois techniques sont bien générés.

IV.4 Essai pratique du variateur

IV.4.1 Cas d'une charge RL triphasée équilibrée

La figure IV.5 présente la photographie du premier dispositif expérimental pour valider l'architecture des trois techniques PWM implantés sur FPGA, pour ce faire l'onduleur alimente une charge triphasée RL à travers un filtre passe-bas,

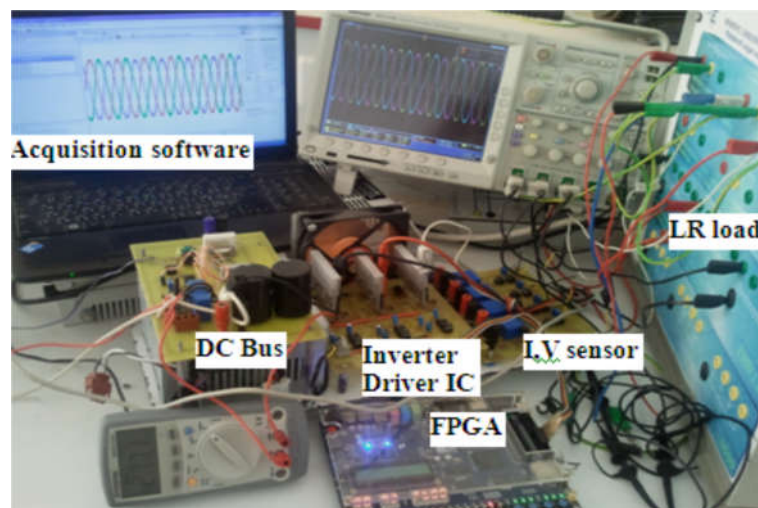


Figure IV.5 Photographie du premier dispositif expérimental

Durant cette manipulation expérimentale, la fréquence de la porteuse est fixée à 15 khz., et par mesure de sécurité la tension du bus continu U est égale seulement à 60 V. Les paramètres du filtre passe bas sont choisis pour avoir une fréquence de coupure d'environ 1000

Hz pour ce faire on prend ($R=300\ \Omega$, $C=0.74\ \mu\text{f}$). A chaque fois on donne un point du V/f comme consigne et on relève les allures des tensions simples et composées aux différents niveaux des étages. Le logiciel *Signal Express* est utilisé pour l'acquisition et l'analyse.

Dans les trois essais on prend les points suivant du profil V/F : (0.19, 5Hz), (0.19, 12.5Hz), (0.31, 20Hz), (0.78, 50Hz), (0.93, 60Hz), cela nous permet de comparer les performances des trois stratégies et vérifier leurs fonctionnements.

IV.4.1.a Commande par SPWM

Le premier algorithme à tester c'est la stratégie sinus-triangle SPWM.

- $m=0.93$, $f=60\ \text{Hz}$

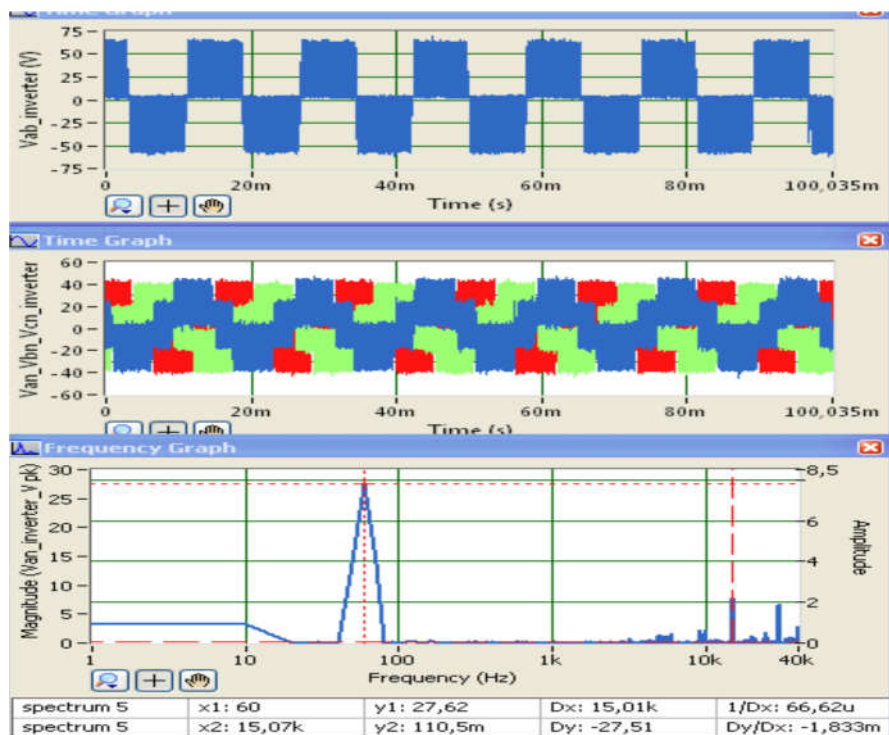


Figure IV.6 Allures de la tension composée V_{ab} , les tensions simples et le spectre d'harmonique de la tension V_{an} , de l'onduleur.

Les résultats expérimentaux des tensions de sortie de l'onduleur de la figure IV.3 sont obtenus à une fréquence $f=60\text{Hz}$ et pour un indice de modulation $m=0.93$. Le premier groupe des harmoniques est repoussé correctement à la fréquence porteuse 15 kHz, la composante fondamentale de 60 Hz a une amplitude de 27.52V, qui est inférieure à celle obtenue par simulation 30V(chapitre II), cette petite diminution est due aux pertes de commutation des interrupteurs et au chute de tension provoquée par la charge.

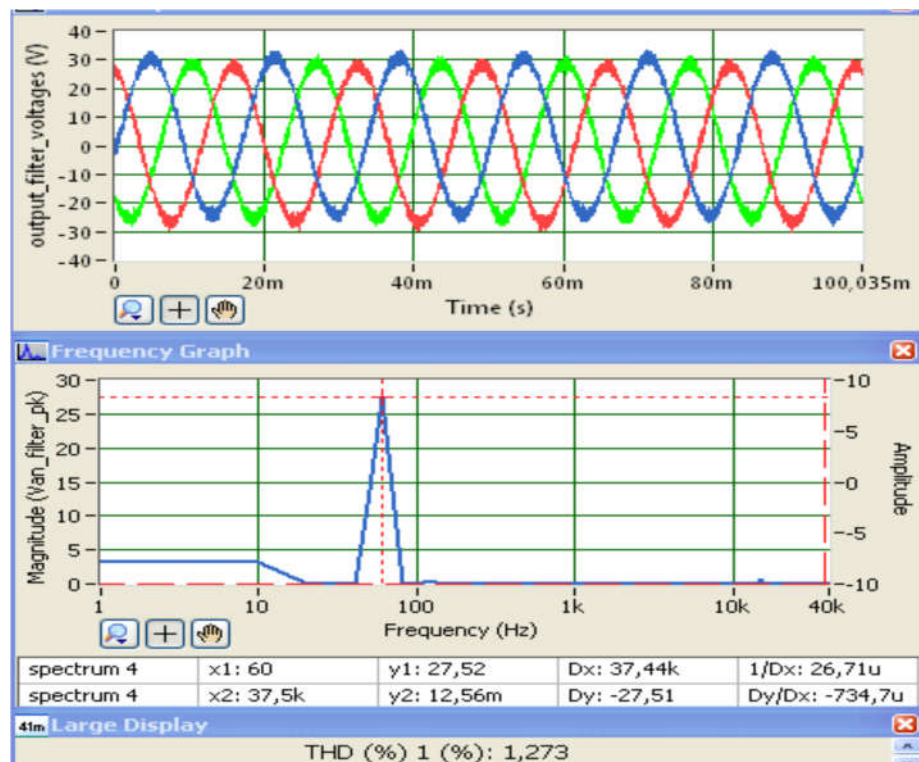


Figure IV.7 Allures de tensions simples filtrées, et leurs spectres d'harmonique.

Les tensions de sortie du filtre sont déphasées entre eux de 120° , et ont une amplitude de 27.52 V, il est légèrement atténué par le filtre.

- $m=0.78$, $f=50$ Hz

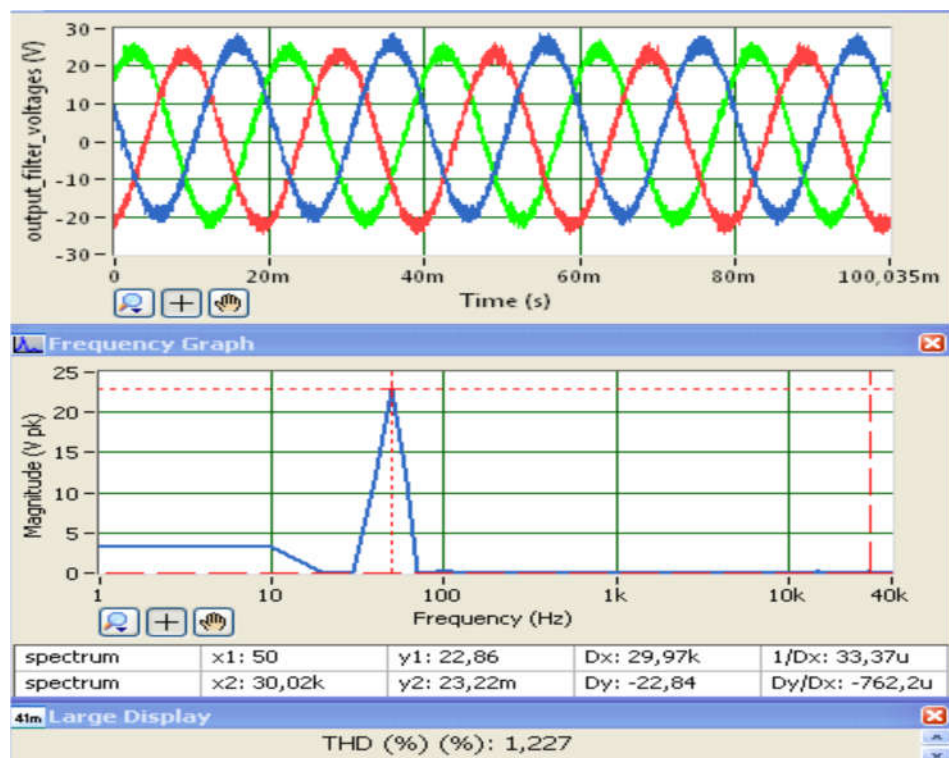


Figure IV.8 Allures de tensions simples filtrées, et leurs spectres d'harmonique.

La figure IV.8 présente les allures des tensions simples, à la sortie du filtre, pour $m=0.78$ et $f=50$ Hz. L'amplitude de la tension de sortie est 22.86V.

- $m=0.31$, $f=20$ Hz

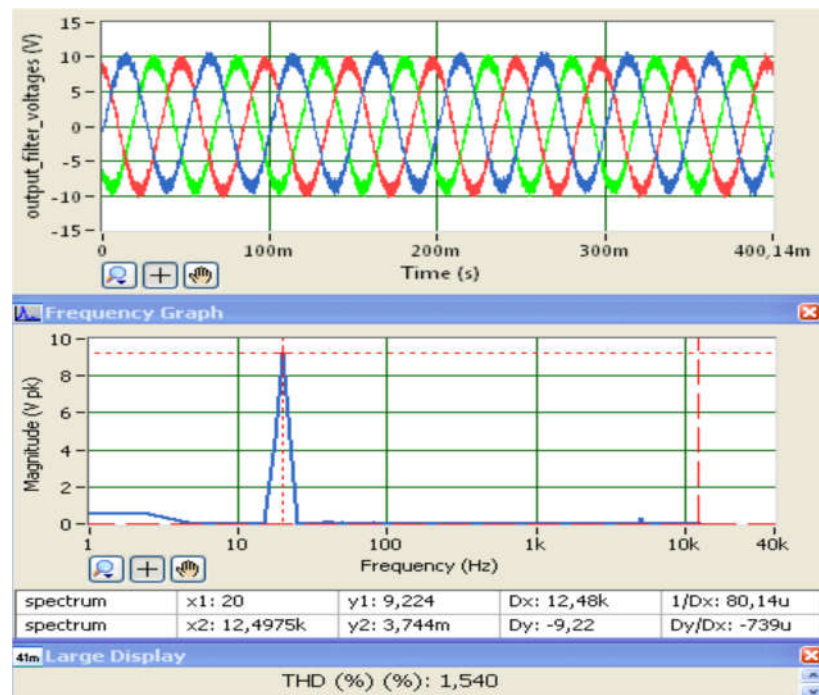


Figure IV.9 Allures de tensions simples filtrées, et leurs spectres d'harmonique.

La figure IV.9 présente les allures des tensions simples, à la sortie du filtre, pour $m=0.31$ et $f=20$ Hz, l'amplitude est 9.22V.

- $m=0.19$, $f=12.5$ Hz

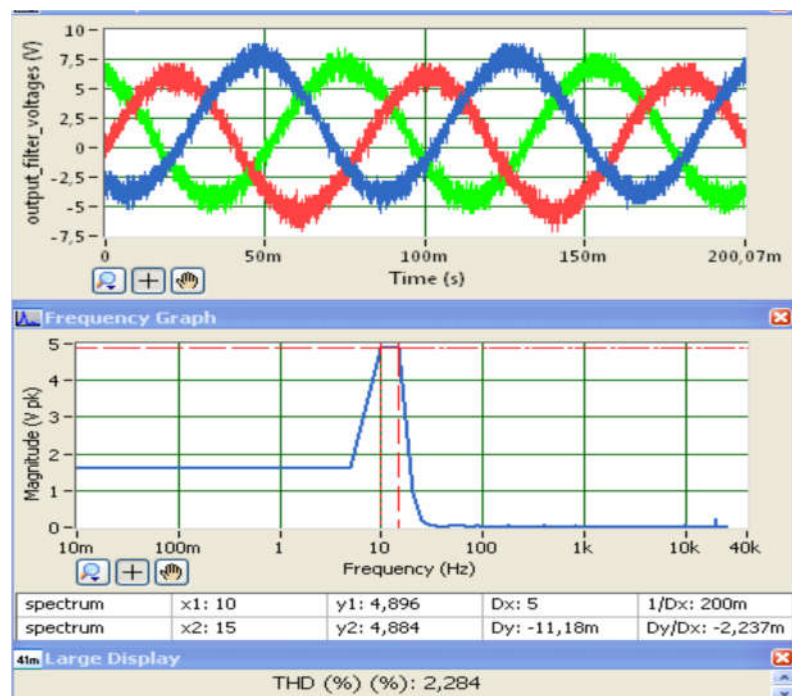


Figure IV.10 Allures de tensions simples filtrées, et leurs spectres d'harmonique.

A $m=0.19$ l'amplitude de la tension de sortie du filtre est environ de 5V.

- $m=0.19$, $f=05\text{Hz}$.

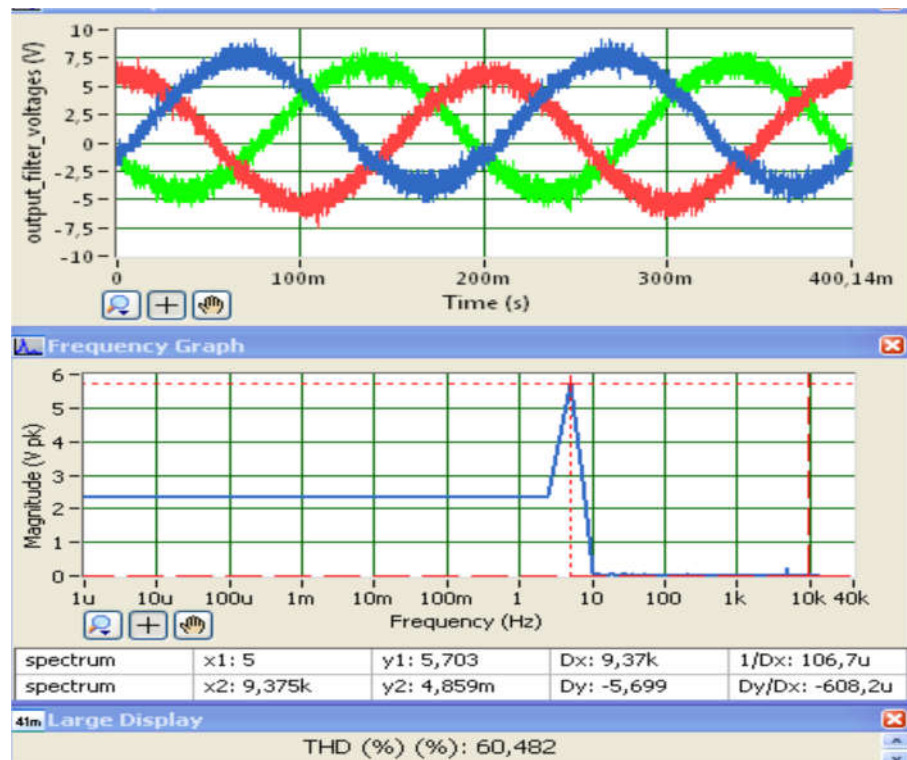


Figure IV.11 Allures de tensions simples filtrées, et leur spectre d'harmonique.

L'amplitude de la tension présentée sur la figure IV.11 reste presque la même que celle de la figure IV.10.

IV.4.1.b Commande par THIPWM

Dans ce qui suit, on présente que les allures des tensions filtrées pour $m=0.93$ et $f=60\text{Hz}$, $m=0.93$, $f=60\text{Hz}$, et ce pour montrer l'avantage d'une stratégie par rapport l'autre en terme d'utilisation de bus continu.

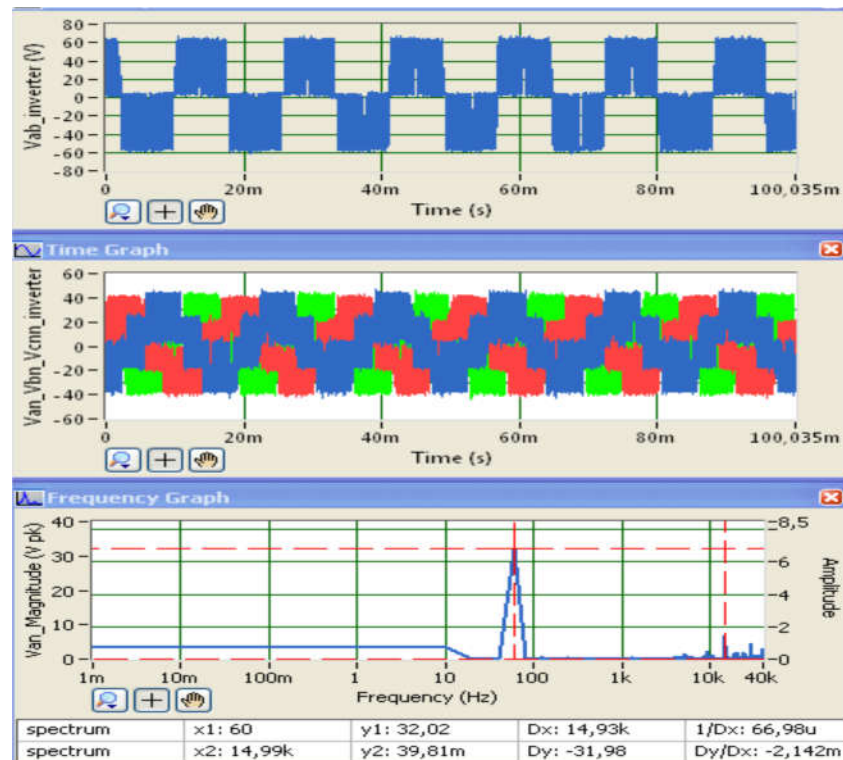


Figure IV.12 Allures de la tension composée V_{ab} , les tensions simples et le spectre d'harmonique de la sortie V_{an} , de l'onduleur.

D'après les résultats expérimentaux de la figure IV.12, le premier groupe des harmoniques est repoussé correctement à la fréquence porteuse 15 kHz, la composante fondamentale de 60 Hz a une amplitude de 32.03V, qui est inférieure à celle obtenu par simulation 34.32V.

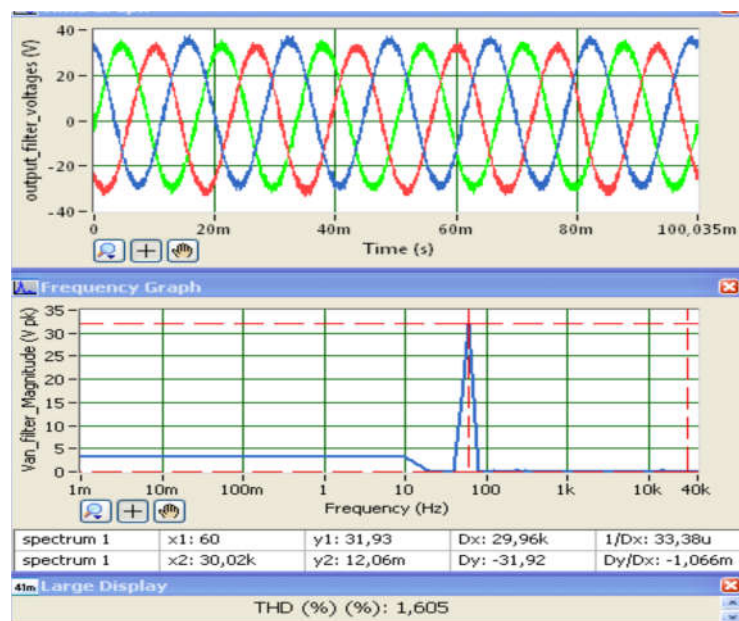


Figure IV.13 Allures de tensions simples filtrées, et leurs spectres d'harmonique.

Les résultats expérimentaux de la figure IV.13 montrent l'allure des trois tensions simples filtrées, qui sont déphasées correctement entre eux de 120° , et ont une amplitude de 31.93 V, ce qui signifie que la tension de sortie de l'onduleur est légèrement atténuée par le filtre. Ces résultats sont obtenus également à une fréquence $f=60$ Hz et indice de modulation $m=0.93\%$, par la commande THIPWM. Il est clair qu'avec la stratégie THIPWM la tension de sortie est supérieure à celle obtenue par la stratégie SPWM.

IV.4.1.c Commande par SVPWM

On présente dans ce paragraphe les résultats expérimentaux pour $m=0.93$, $f=60$ Hz.

Les résultats des figures IV.14 et IV.15 montrent que par la modulation SVPWM la tension de sortie peut atteindre 32.8V, qui est inférieure à celle obtenue par simulation 34.32V, toujours, cette petite diminution est due aux pertes de commutation des interrupteurs et à l'atténuation provoquée par le filtre.

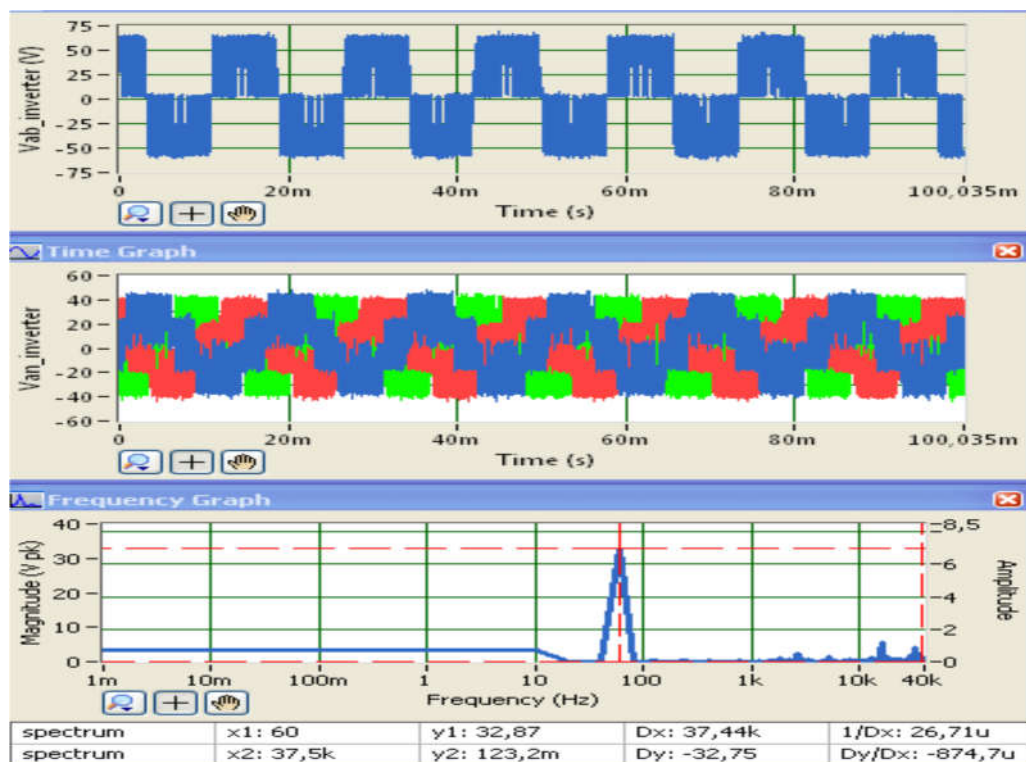


Figure IV.14 Allures de la tension composée V_{ab} , les tensions simples et le spectre d'harmonique de la sortie V_{an} , de l'onduleur.

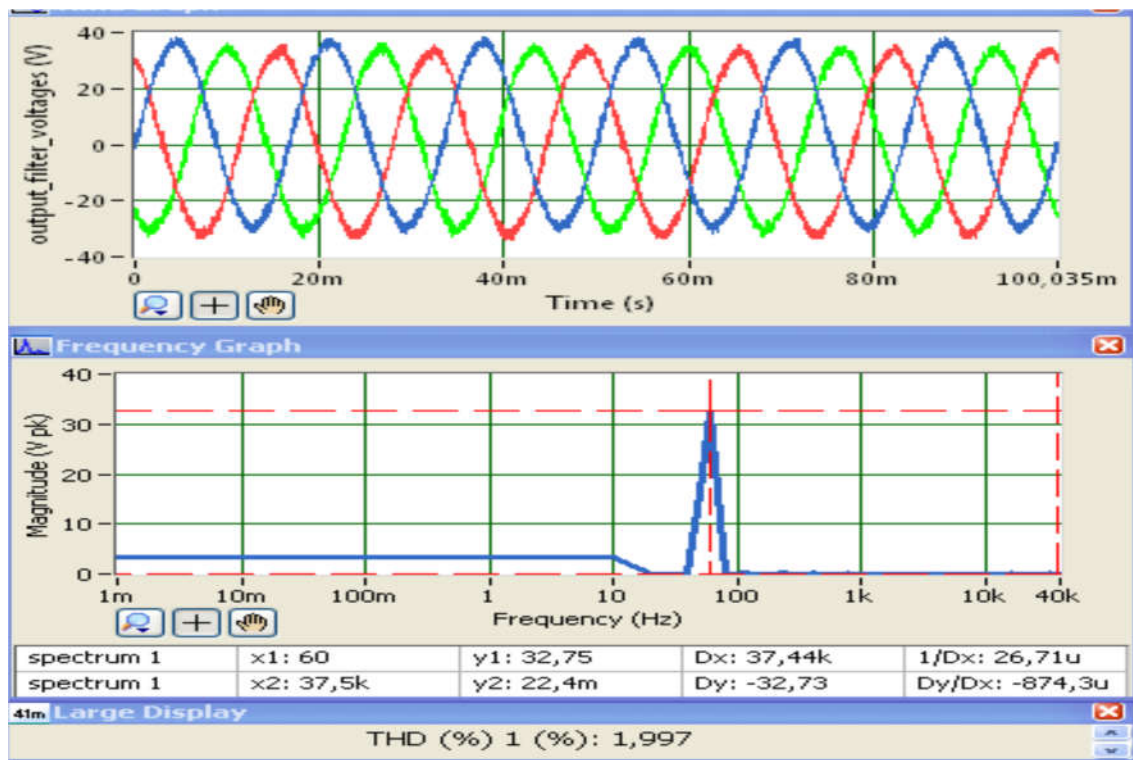


Figure IV.15 Allures de tensions simples filtrées, et leurs spectres d'harmonique.

On constate que la tension de sortie est presque égale à celle obtenue par THIPWM, et on rappelle qu'avec cette stratégie durant le déplacement d'un secteur à un autre secteur voisin, un seul état de commutateur se change, ce qui va minimiser les pertes de commutations.

IV.4.2 Validation de l'architecture de la commande vectorielle du MAS

La figure IV.16 présente la photographie du deuxième dispositif expérimental pour valider l'architecture de la commande vectorielle IRFOC implanté sur FPGA, pour ce faire l'onduleur alimente une machine à cage d'écureuil dont les caractéristiques suivantes :

$$U(\lambda/\Delta) = 380/220 \text{ V} - 0.78/1.32 \text{ A}$$

$$P = 0.25 \text{ Kw}$$

$$\cos\varphi = 0.78$$

$$\Omega_n = 1350 \text{ tr/min} - f = 50 \text{ Hz}$$

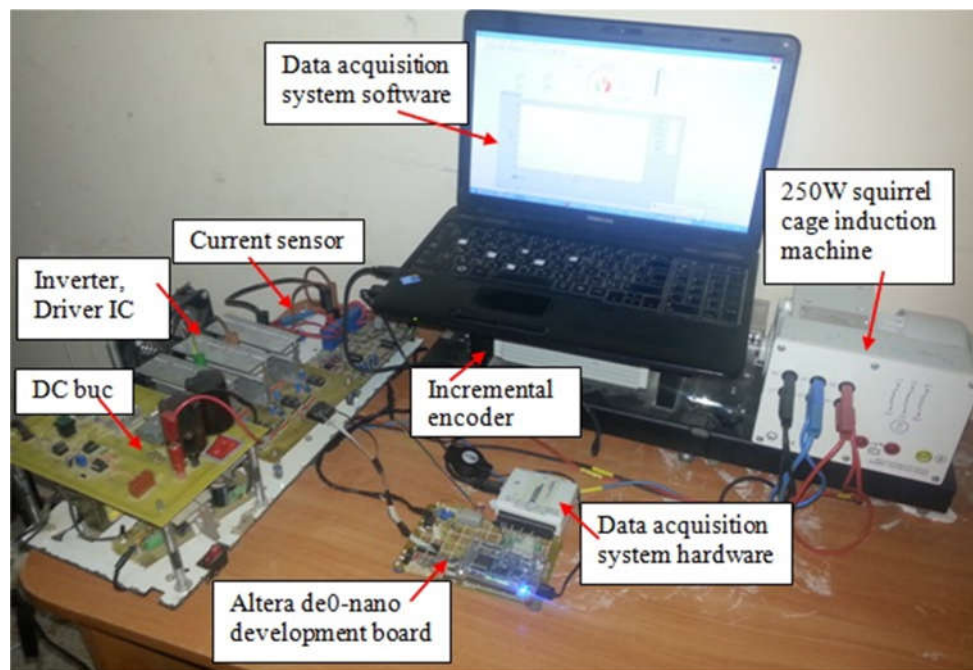


Figure IV.16 Photographie du deuxième dispositif expérimental, pour valider la commande IRFOC.

Dans cette manipulation la machine est montée en triangle, la tension continue est de 314 V. pour visualiser les différentes grandeurs électriques et mécaniques circulants dans le FPGA, des modulateurs PWM sont implantés dont leur sorties sont connectées à la carte d'acquisition à travers des filtres RC passe-bas, et ce pour reconstituer les allures analogiques les grandeurs à visualiser.

La carte de développement FPGA utilisé travaille avec une fréquence de 50 Mhz (20 ns), le taux d'échantillonnage mécanique utilisé est de 0.5 ms et le taux d'échantillonnage électrique utilisé est de 0.05ms.

Il existe trois boucles de contrôle PI, dans cette application qui sont interdépendantes. La boucle extérieure contrôle la vitesse du moteur (0.05ms). Les deux boucles internes contrôlent les courants de la machine (0.05ms) transformés, I_d et I_q . Comme mentionné au chapitre I, la boucle I_d est responsable de la commande du flux et la valeur I_q est responsable de la commande du couple du moteur. Le flux rotorique de référence est de 0.5 Wb. La fréquence de la porteuse pour le PWM est de 10 khz.

Le gain P d'un régulateur PI définit la réponse globale du système. Lors du premier réglage d'un contrôleur, les gains I doit être mis à zéro. Le gain P peut alors être augmenté jusqu'à ce que le système réagisse bien aux changements de point de consigne sans dépassement excessif ou oscillations. Après un gain P raisonnable sélectionné, le gain I peut être augmenté légèrement pour forcer l'erreur du système à zéro. Seul un faible gain est nécessaire dans la

plupart des systèmes. Notez que l'effet du gain I, s'il est suffisamment grand, peut surmonter l'action du terme P, ralentir la réponse globale du contrôle et faire osciller le système autour du point de consigne. En cas d'oscillation, la réduction du gain I et l'augmentation du gain P résolvent généralement le problème.

Cette application inclut un terme pour limiter le phénomène wind-up de l'action intégral, qui se produira si l'erreur intégrée sature le paramètre de sortie. Toute augmentation supplémentaire de l'erreur intégrée n'aura pas d'effet sur la sortie.

Après avoir ajusté les gains des régulateurs, examinons la figure IV.17, qui illustre les allures du courant en quadrature i_d de la machine et sa référence i_{d_ref} qui est proportionnelle au flux de référence, le troisième courant en rouge est le courant de phase i_{as} , cette figure consiste un démarrage à vide de 0 à 1500tr/min, il est clair ici que la commande vectorielle limite le courant de démarrage à 1.8 A au lieu de $1.32 \cdot 6A$ fois, est aussi le courant i_d suit parfaitement le courant de référence i_{d_ref} .

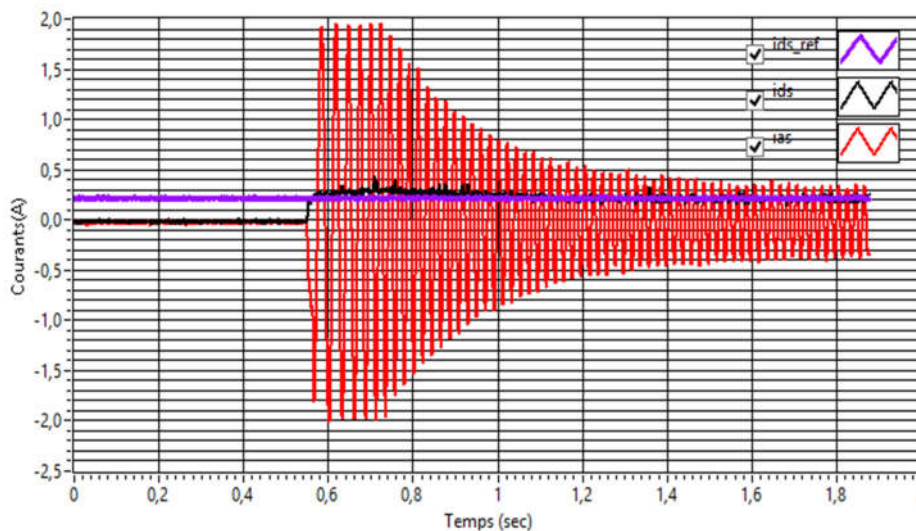


Figure IV.17 Allures de courant i_d , i_{d_ref} et le courant statorique i_{as} , durant un démarrage à vide de 0 à 1500tr/min .

Le courant i_q et sa référence i_{q_ref} qui est proportionnelle au couple de référence sortie du régulateur de vitesse sont présentés sur la figure IV.18, ceci correspond aussi à un démarrage à vide de 0 à 1500 tr/min. On remarque ici que l'algorithme de commande demande un courant i_q de 2 A proportionnelle au couple de démarrage, et au régime établi ce courant diminue à une valeur permettant à la machine de lutter contre le frottement ainsi pour entraîner le frein à poudre, autrement va converger vers le zéro.

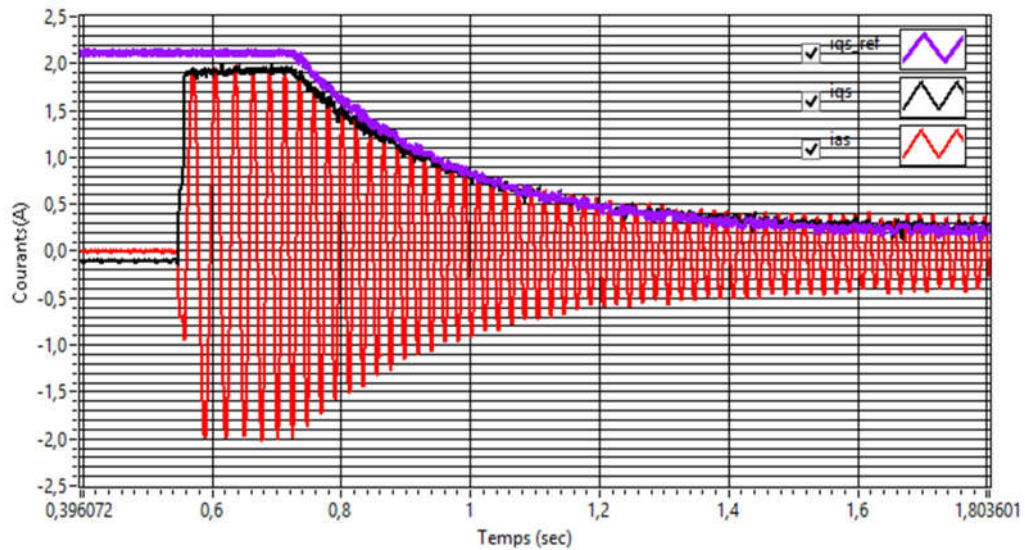
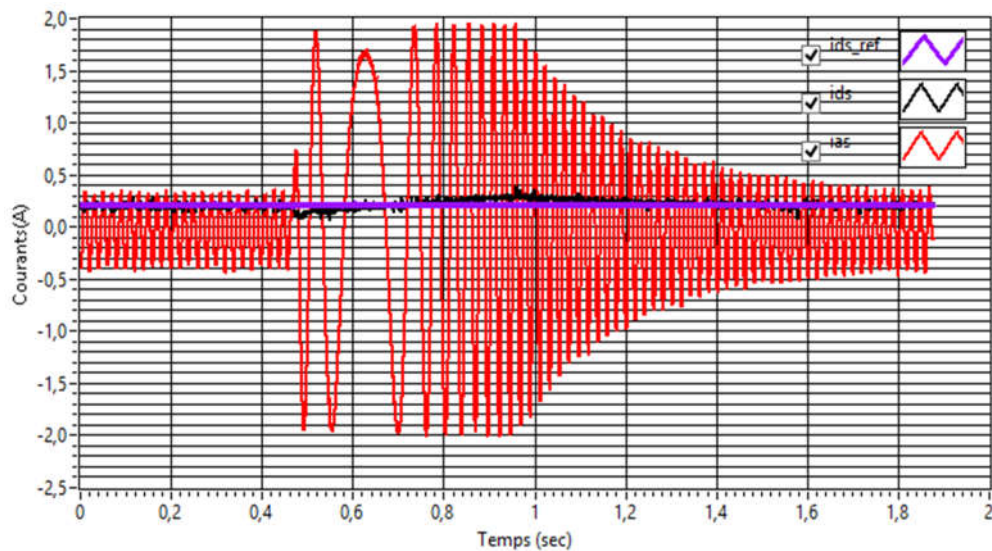
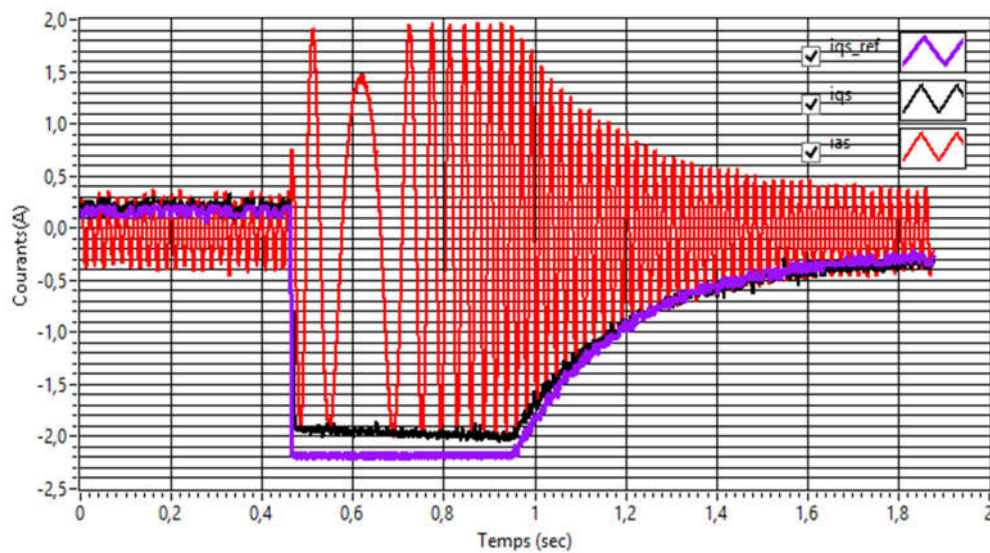


Figure IV.17 Allures de courant i_q , i_{q_ref} et le courant statorique i_{as} , durant un démarrage à vide de 0 à 1500tr/min.

La figure IV.18 (a) et (b) présentent les résultats expérimentaux pour une inversion de vitesse de 1500 tr/min à -1500 tr/min, on peut constater que les courant i_d , i_q suivent parfaitement leurs références avec un légère dépassement. A l'instant de l'inversion de vitesse l'algorithme de commande demande un couple de référence négatif qui est traduit par la valeur -2 A du courant de référence i_{d_ref} .



(a)



(b)

Figure IV.18 Allures des courants i_d , i_q et i_{as} pour une inversion de vitesse de 1500tr/min à -1500 tr/min.

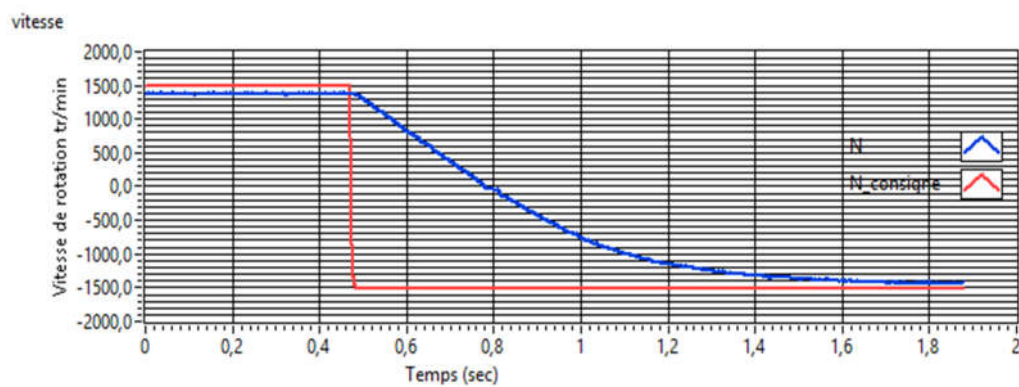
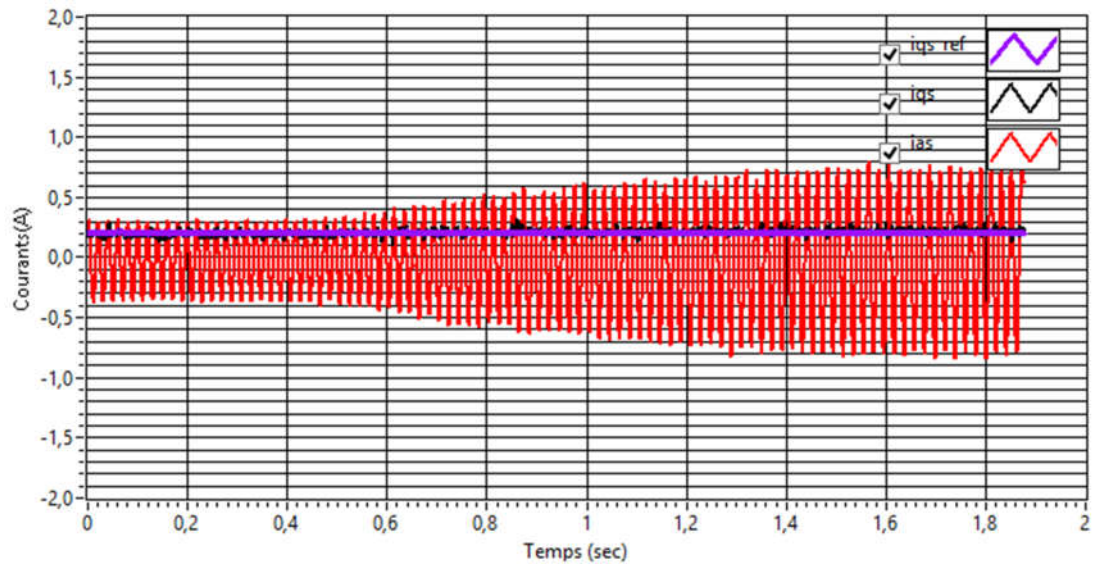


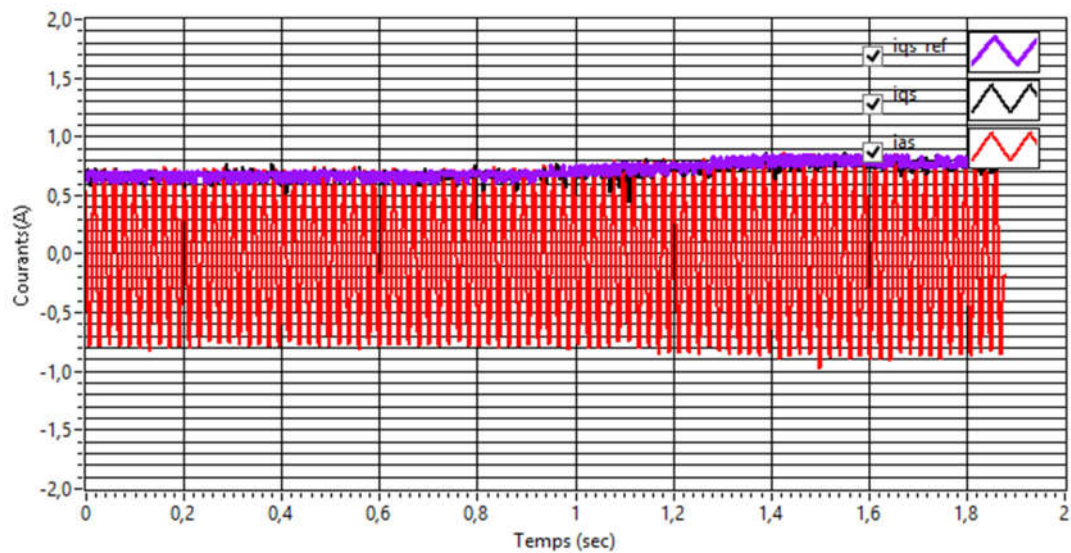
Figure IV.19 Courbes de la vitesse et la vitesse de consigne correspond à une inversion de vitesse de 1500 tr/min à -1500tr/min.

La figure IV.20 illustre les courbes de courants i_d , i_q et i_{as} en appliquant un couple de charge de l'intervalle [0..0.6 ms] et en faisant augmenter ce couple à 0.6 ms.

On constate que le courant i_d reste constant et est toujours proportionnelle au flux de référence à imposer, par contre le courant i_d augmente à l'instant 0.6 ms pour suivre le couple de référence.



(a)



(b)

Figure IV.20 : a) Allure de courants i_d , i_a ; b) Allure de courant i_q , i_a .

Pendant une application d'un couple de charge.

IV.5 Conclusion

Dans ce chapitre, l'accent a été mis sur la validation expérimentale des trois stratégies de commande de l'onduleur, relatifs aux algorithmes développés au chapitre III, et ainsi l'algorithme de commande vectorielle d'orientation de flux rotorique indirect IRFOC à base de la carte de développement de FPGA.

En premier lieu un banc d'essai est réalisé, il contient essentiellement un onduleur de tension triphasé, à base des interrupteurs MOSFET de puissance, plus un étage driver et optocoupleur.

L'analyse des signaux PWM des trois stratégies, implémentés physiquement sur FPAG, nous a confirmé le bon fonctionnement des algorithmes proposés et conçus.

D'après les essais expérimentaux, le variateur de vitesse (partie puissance, partie commande à base FPGA) est capable de générer à partir d'une tension bus continu, des tensions MLI réglables dont l'amplitude et la fréquence sont réglable suivant un profil V/f constant, la deuxième application nous confirmé la validité de l'architecture de l'algorithme de commande vectorielle conçu.

CONCLUSION GENERALE

L'objectif de ce travail porte sur la conception et la réalisation d'un variateur de vitesse à base de FPGA et plus particulièrement son application à la commande d'une machine asynchrone à cage d'écureuil. Il s'intéresse principalement à l'implantation des algorithmes de différentes stratégies PWM et ainsi l'architecture de l'algorithme de commande vectorielle dite la commande indirecte du flux rotorique et ce sur cible matériel FPGA.

L'étude des travaux de recherche réalisés relative à l'implémentation numérique sur FPGA des algorithmes de commande rapprochée et à boucle fermée des moteurs, montre que l'objectif visé par les chercheurs est la mise en œuvre des algorithmes performants en termes de fonctionnalité, en termes de temps d'exécution et en termes de ressources utilisées des circuits cibles FPGA.

Nous avons jugé utile d'aborder ce sujet par la modélisation du moteur asynchrone en vue de sa commande afin de spécifier les éléments de base constituant un variateur de vitesse. Nous avons présenté la commande vectorielle indirecte du flux rotorique à travers le choix adéquat d'une référence liée au champ tournant ce qui a permis la régulation de la vitesse et des courants et par la suite la commande indirecte du flux et du couple électromagnétique par i_{ds} et i_{qs} successivement d'une façon séparée, ce qui conduit la commande du moteur asynchrone semblable à celle du moteur à courant continu. Les résultats de simulation de la commande vectorielle ont montré des performances satisfaisantes de l'algorithme proposé ainsi l'efficacité des méthodes utilisées pour la synthèse des régulateurs PI.

La commande vectorielle élaborée nécessite une commande rapprochée de l'onduleur triphasé pour obtenir une alimentation à fréquence et à valeur efficace variables à partir d'une tension de bus continu dans le but de varier la vitesse du moteur asynchrone. Nous avons présenté une étude comparative par simulation des techniques PWM envisagées à savoir : pleine onde, SPWM, THIPWM et SVPWM, ce qui a abouti à des bonnes performances de la modulation vectorielle SVPWM concernant l'utilisation de bus continu et minimisation des pertes de commutation grâce à l'ordre adéquat des commutations des interrupteurs constituant l'onduleur imposé par cette technique. Un défi de conception soulevé face à la complexité de cette technique en termes de mise en œuvre.

Nous avons présenté le principe des circuits logiques programmables notamment les FPGA et les contraintes liées à la phase de développement des algorithmes ainsi que son implantation afin de répondre aux exigences de la conception architecturale en terme de : vitesse de calcul, espace occupé et ressource utilisée.

En utilisant une approche méthodique et moins intuitive basée sur la modularité, la réutilisabilité et la portabilité, nous avons conçu tous les blocks implémentant la commande vectorielle sur FPGA, de plus, deux *IP core* le premier est relatif à la détermination de la vitesse angulaire et la position à partir des signaux de l'encodeur incrémental, le second est relatif à l'algorithme proposé dans le cadre de la technique vectorielle basée principalement sur le calcul des temps de commutation et l'identification des secteurs dans la référence *abc* fixe sans faire recours au calcul trigonométrique généralement utilisé. En effet, une optimisation d'éléments logiques de FPGA utilisés pour implémenter toutes les architectures conçues, par conséquent une efficacité de la méthodologie de conception et d'optimisation utilisées.

Malgré la nature multidisciplinaire de ce travail, nous avons réussi à élaborer et réaliser un banc d'essai du variateur de vitesse afin de valider expérimentalement les architectures conçues.

Les objectifs initialement visés ont été suffisamment atteints. Toutefois, le travail effectué dans la présente thèse n'offre pas une solution idéale vu les contraintes liées à la non linéarité du modèle du moteur asynchrone et aux variations paramétriques.

Les perspectives qu'elles seront intéressantes à dégager comme continuité de ce travail de recherche sont comme suit :

- Exploiter les circuits FPGA pour introduire des algorithmes de commande plus performants, tel que (DTC, FOC,...),
- Implanter des estimateurs pour éviter l'utilisation des capteurs,
- Remplacer les régulateur PI classiques par d'autres techniques telles que : la logique floue, la commande adaptative,...

ANNEXES

ANNEXE A : présentation des FPGA

A.1 Principe des FPGA

Nous abordons maintenant une nouvelle famille de circuits logiques programmables les FPGA pour (*Field Programmable Gate Array*) ou bien réseau logique programmable sur site on trouve deux grandes familles technologiques pour les FPGA :

- 1) FPGA de type RAM appelés LCA par XILINX et FLEX par ALTERA
- 2) FPGA à anti-fusible proposé par Texas Instruments.

On s'intéresse ici aux FPGA de type RAM.

A.1.1 FPGA Type RAM

L'idée de base de ce type d'FPGA, appelé LCA par XILINX, et FLEX par ALTERA, est revient de faite, que l'approche classique des PLD (PAL, GAL, EPLD) conduit, à un gaspillage relativement important de ressource, selon XILINX et ALTERA.

En effet, la solution idéale, en termes d'utilisation de ressources, est celle proposé par les réseaux de *portes programmables* par masque.

La figure A.1 montre l'organisation générale d'un FPGA de type RAM, qui ressemble à celle des réseaux de portes programmable, la puce est ceinturée par des blocs d'entrée/sortie programmable, les macro-cellules des circuits EPLD sont remplacés par des blocs logique configurables CLB (*Configurable Logic Bloc*), pour XILINX, et de blocs de réseau logique LAB(*Logic Array Bloc*), pour ALTERA, ce LAB regroupe 8 éléments logiques *LE*(voir plus loin) . Il existe dans tout FPGA des matrices des lignes d'interconnexion qui courent horizontalement et verticalement entres les divers blocs logiques. Les connexions sur ces lignes sont assurés par des transistors MOS dont l'état est contrôle par des cellules de mémoire vive RAM, la zone de mémoire RAM se trouve sous le réseau logique (puce à deux couche) cette mémoire est chargé par le fichier bit de configuration de FPGA. Puisque la RAM perd son contenu lors de toute coupure de l'alimentation et par la suite la configuration de l'FPGA, donc pour remédier à cela deux solution sont envisageables :

- L'utilisation d'une petite pile qui maintenant l'FPGA toujours alimenté.
- L'utilisation d'une mémoire de type PROM qui lors de chaque mine sons tension se recopie dans la RAM le fichier bit et le configure immédiatement.

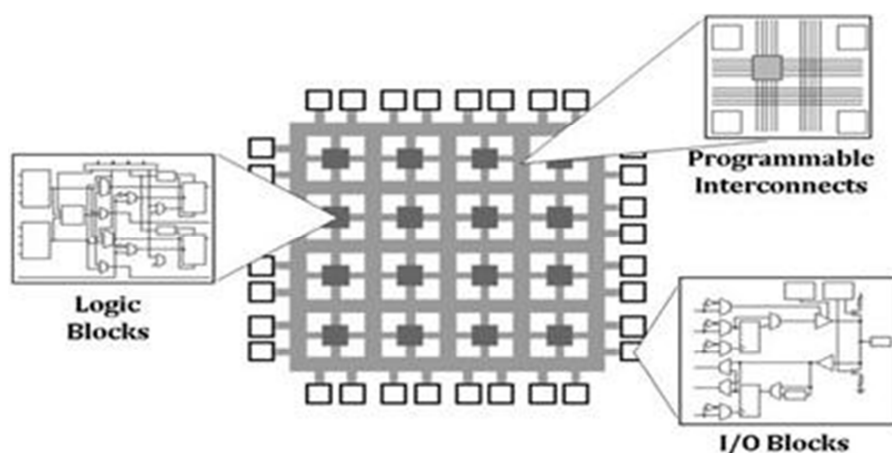


Figure A.1 Structure d'une FPGA

A.1.1.1 Les FPGA LCA de Xilinx

Les FPGAs de type RAM, appelées LCA par la firme Américaine XILINX, ont été commercialisé pour la première fois en 1984. [67], l'architecture LCA de XILINX est basée sur les blocs logiques configurables CLB, qui sont reliés entre eux horizontalement et verticalement par une matrice de lignes d'interconnexions. Les interconnexions sont assurées par des transistors MOS dont l'état est contrôlé par de cellule de mémoire de configuration, qui contient le fichier relatif à l'algorithme à implanter.

Chaque bloc est composé d'un bloc de logique combinatoire composé de deux générateurs de fonctions à quatre entrées et d'un bloc de mémorisation synchronisation composé de deux bascules D. Quatre autres entrées permettent d'effectuer les connexions internes entre les différents éléments du CLB. La figure A.2, montre le schéma d'un CLB.

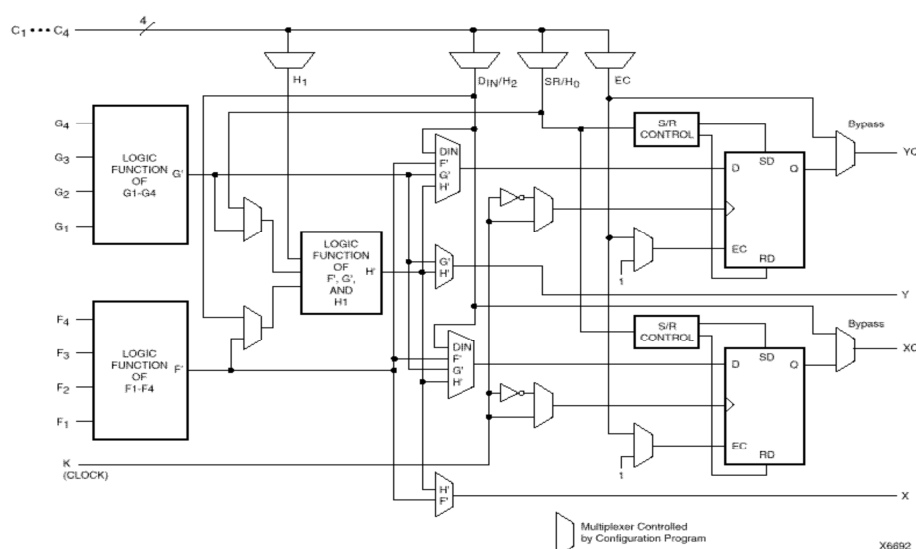


Figure A.2 Structure détaillée d'un CLB

Voyons d'abord le bloc logique combinatoire qui possède deux générateurs de fonctions F' et G' à quatre entrées indépendantes (F1...F4, G1...G4), lesquelles offrent aux concepteurs une flexibilité de développement importante car la majorité des fonctions aléatoires à concevoir n'excède pas quatre variables. Les deux fonctions sont générées à partir d'une table de vérité câblée inscrite dans une zone mémoire, rendant ainsi les délais de propagation pour chaque générateur de fonction indépendants de celle à réaliser. Une troisième fonction H' est réalisée à partir des sorties F' et G' et d'une troisième variable d'entrée H1 sortant d'un bloc composé de quatre signaux de contrôle H1, Din, S/R, Ec. Les signaux des générateurs de fonction peuvent sortir du CLB, soit par la sortie X, pour les fonctions F' et G', soit Y pour les fonctions G' et H'. Ainsi un CLB peut être utilisé pour réaliser:

Deux fonctions indépendantes à quatre entrées indépendantes, plus une troisième fonction de trois variables indépendantes

- ou toute fonction à cinq variables
- ou toute fonction à quatre variables et une autre avec quelques fonctions à six variables
- ou certaines fonctions jusqu'à neuf variables.

L'intégration de fonctions à nombreuses variables diminue le nombre de CLB nécessaires, les délais de propagation des signaux et par conséquent augmente la densité et la vitesse du circuit. Les sorties de ces blocs logiques peuvent être appliquées à des bascules au nombre de deux ou directement à la sortie du CLB (sorties X et Y). Chaque bascule présente deux modes de fonctionnement : un mode 'flip-flop' avec comme donnée à mémoriser, soit l'une des fonctions F', G', H' soit l'entrée directe DIN et un mode latch . La donnée peut être mémorisée sur un front montant ou descendant de l'horloge (CLK). Les sorties de ces deux bascules correspondent aux sorties du CLB XQ et YQ. Un mode dit de " verrouillage " exploite une entrée S/R qui peut être programmée soit en mode SET, mise à 1 de la bascule, soit en Reset, mise à zéro de la bascule. Ces deux entrées coexistent avec une autre entrée laquelle n'est pas représentée sur la figure, appelée le global Set/Reset. Cette entrée initialise le circuit FPGA à chaque mise sous tension, à chaque configuration, en commandant toutes les bascules au même instant soit à '1', soit à '0'. Elle agit également lors d'un niveau actif sur le fil RESET lequel peut être connecté à n'importe quelle entrée du circuit FPGA.

Un mode optionnel des CLB est la configuration en mémoire RAM de 16x2bits ou 32x1bit ou 16x1bit (en mode DUAL port). Les entrées F1 à F4 et G1 à G4 deviennent des lignes d'adresses sélectionnant une cellule mémoire particulière. La fonctionnalité des signaux de contrôle est modifiée dans cette configuration, les lignes H1, DIN et S/R deviennent

respectivement les deux données D0, D1 (RAM 16x2bits) d'entrée et le signal de validation d'écriture WE. Le contenu de la cellule mémoire (D0 et D1) est accessible aux sorties des générateurs de fonctions F' et G'. Ces données peuvent sortir du CLB à travers ses sorties X et Y ou alors en passant par les deux bascules.

Xilinx fabrique une large gamme de FPGA et de CPLD pour diverses applications. Les plus onéreux sont les FPGA de la famille des Virtex (Virtex II/pro, Virtex 4 et virtex 5). Les Virtex II Pro Virtex 4 et Virtex 5 sont très performants grâce à la présence d'un PowerPC 405 on-chip, c'est-à-dire directement inclut au sein du FPGA. Ils peuvent dès lors contenir des systèmes d'exploitation embarqués comme Linux et travailler avec la logique implémentée dans le FPGA.

Les CPLD sont meilleur marché (Coolrunner I/II) mais sont bien plus limités. Citons encore les FPGA de la famille Spartan qui se trouvent à mi-chemin en termes de complexité. Xilinx vend également des spécifications d'architectures ("IP Cores"). Cela peut aller de fonctions très simples comme des compteurs jusqu'à des systèmes complets comme des microcontrôleurs. Xilinx est également à l'origine du processeur softcore Microblaze.

A.1.1.2 Les FPGA FLEX de ALTERA

Comme XILINX, la société ALTERA a introduit son architecture FLEX pour les FPGA de type RAM. Une RAM utilisée pour stocker la configuration des interconnexions établies, mais elle perd sa contenu dès qu'elle n'est plus alimenté, cependant, cette configuration peut se faire sous forme série par recopie du contenu d'une EPROM, qui a pour nom EPC 1213 ou EPC 1064 chez ALTERA.

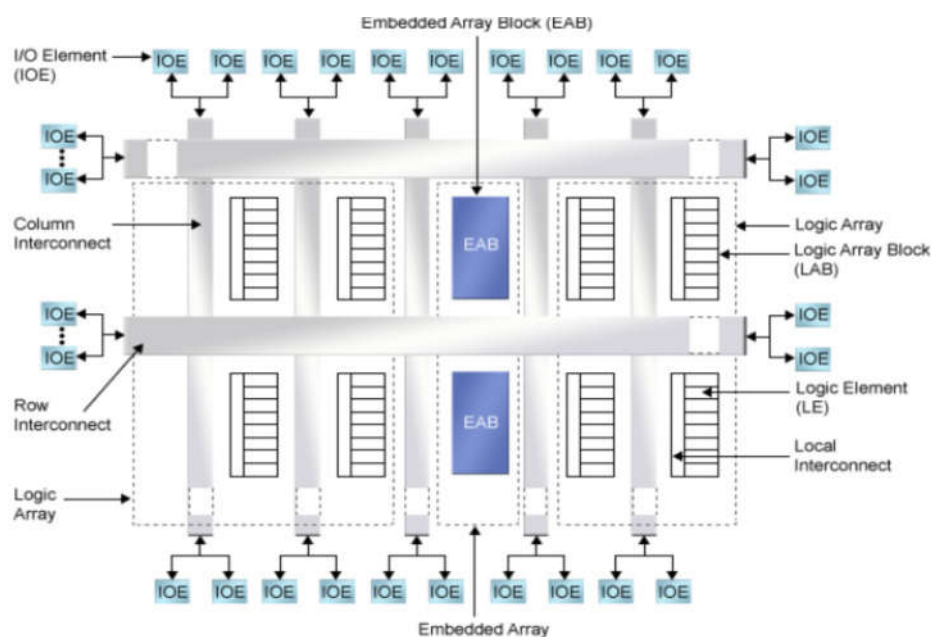


Figure A.3 Structure interne des circuits FLEX

L'élément de base des circuits FPGA de ALTERA (FLEX) est le LE pour Logic Element, ou bien LC pour (*logic cel*). Un LAB, pour *Logic Array Bloc*, est formé de plusieurs LE selon la famille de FPGA. Ces LAB sont placés au sein d'un quadrillage réalisé par les lignes d'interconnexions horizontales et verticales qui aboutissent chacun sur les IOE pour *Input Output Element*, figure A.3. De même analogie les macro-cellules des CPLD sont remplacé par les LE.

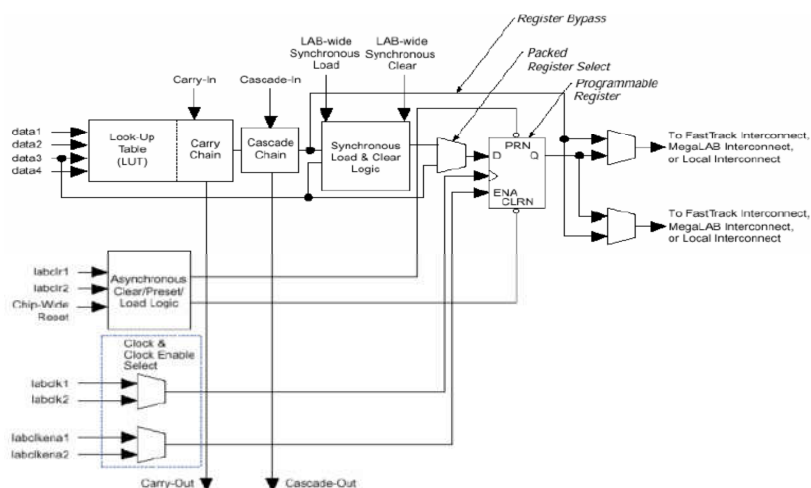


Figure A.4 Structure interne d'un LE

La structure interne d'un LE est illustrée par la figure A.4.

On donne dans ce qui suit la chronologie de développement des produits FPGA de ALTERA :

1984 Début d'Altera qui vend des EPLD

1988 Lancement des CPLD MAX (Multiple Array matrix) qui sont des fétus de FPGA

1992 1er FPGA Altera : le FLEX 8000 (15 000 portes) (Flexible Logic Element matrix) technologie 0.5 µm

1995 Lancement de la famille FLEX 10K (250 000 portes)

1997 Famille FLEX 6K bas coûts (24 000 portes)

1999 Famille APEX 20K (1 500 000 portes)

2000 Famille APEX 20K C utilisant la technologie cuivre

2000 Famille APEX 20K E avec plus de ressources mémoires technologie 0.18 µm

2001 Circuit couplant une matrice FPGA APEX 20K 1000 et un cœur de processeur ARM 9

2001 Famille APEX II (dont le but est de concurrencer le Virtex de Xilinx) (3 000 000 de portes) technologie 0.15 µm

Février 2002 : Lancement du STRATIX concurrent direct du Virtex II Xilinx, technologie cuivre 0.13 μm

Septembre 2002 : Lancement du Cyclone un petit FPGA (architecture STRATIX) pour application grand public bas-coûts.

ANNEXE B : Présentation des cartes de développement

Dans le cadre de cette thèse deux carte de développement sont utilisées, la carte DE2 et la carte DE0-Nano.

B.1 Présentation de la carte de développement DE2

Le schéma synoptique de la carte DE2, de développement et de prototypage, utilisée pour implanter les stratégies PWM de commande de l'onduleur, est illustré sur la figure B.1.

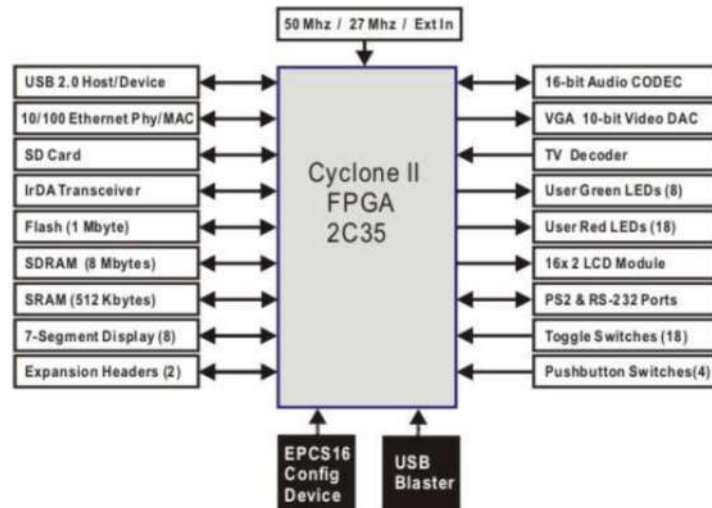


Figure B.1 Schéma synoptique de la carte DE2 [71]

Cette carte est construite autour d'un circuit FPGA de ALTERA Cyclone II 2C35 F (35000 LEs), et comporte essentiellement [72]:

- Une mémoire EPROM de configuration série - EPCS16
- USB Blaster (sur la carte) pour la programmation et le contrôle de l'utilisateur; le mode JTAG et le mode actif série active sont supportés.
- SRAM de 512Ko
- SDRAM de 8Mo.
- 4 boutons-poussoirs
- 18 interrupteurs à bascule utilisés comme entrées par l'utilisateur
- Entrées d'horloge : oscillateur de 50 MHz et 27 MHz oscillateur, plus d'une Entrée d'horloge externe SMA.
- Deux slots d'extension de 40 broches chacun
- 18 LEDs rouge, 9 LEDs vers
- Des afficheurs sept segment, et un afficheur LCD.

B.2 Présentation de la carte de développement DE0_Nano

La carte DE0-Nano, qui travaille avec une horloge de 50Mhz, présente une plate-forme de développement FPGA de taille compacte, adaptée à une large gamme de projets de conception portables tels que les robots et les projets mobiles.

Le DE0-Nano est idéal pour l'utilisation des processeurs soft intégrés. Comme illustré sur la figure B.2, il comprend une puissante FPGA Cyclone IV d'Altera (avec 22 320 éléments logiques), 32 Mo de SDRAM, 2 Kb EEPROM et de mémoire de configuration de 64 Mo. Pour l'utilisation des capteurs réels, le DE0-Nano comprend un convertisseur analogique-numérique A / N de 8 canaux et un dispositif accéléromètre à 3 axes de 13 bits. La carte DE0-Nano inclut un Blaster USB intégré pour la programmation FPGA, et la carte peut être alimentée soit à partir du port USB, soit par une source d'alimentation externe. La carte comprend des slots d'extension qui peuvent être utilisées pour relier autres dispositifs, tels que des moteurs et des actionneurs. Les entrées et sorties incluent 2 boutons-poussoirs, 8 voyants d'utilisateur et un ensemble de 4 commutateurs.

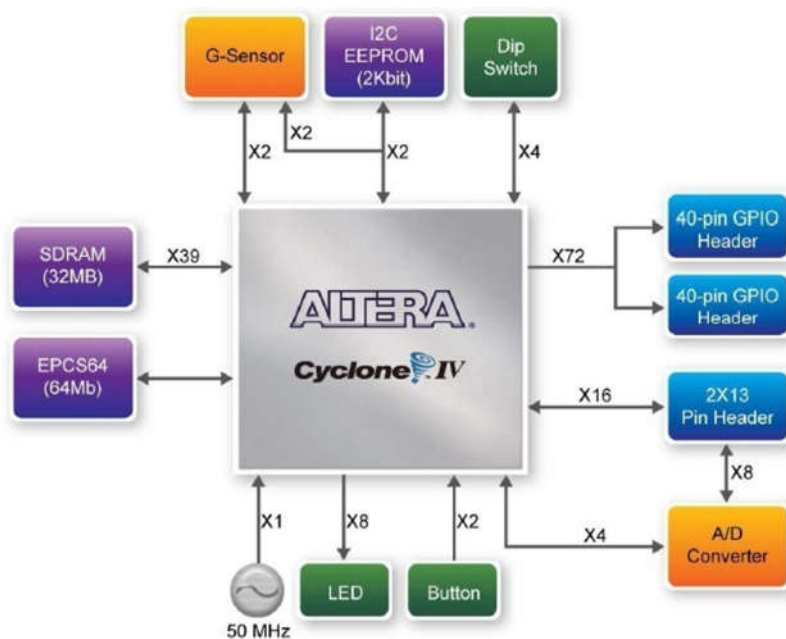


Figure B.2 Schéma synoptique de la carte DE0_nano [73]

B.3 Architecture de la famille Cyclone II

Pour avoir une idée sur l'architecture des FPGA de ALTERA basée sur les éléments logiques comme block logique de base, nous avons étudié la famille Cyclone II.

La famille Cyclone II, de FPGA d'Altera à faible coût est basée sur un processus de technologie SRAM de 90 nm et une alimentation de 1,2 V, avec une densité de plus de 68K éléments logiques (LE) et jusqu'à 1,1 Mbits de RAM embarquée. Avec des modules supplémentaires comme les multiplieurs intégrés 18×18 permettant de réaliser des applications

de haute performance DSP, boucles (PLL) à verrouillage de phase pour la gestion de l'horloge de système, et interface de mémoire externe, à haute vitesse, pour les dispositifs SRAM et DRAM, les circuits Cyclone II sont des solutions efficace, en terme des coûts pour les applications à volume élevé.

La famille Cyclone II comprend plusieurs dispositifs, de même architecture, dont la gamme de densité varie de 4608 à 68 416 LE. Le tableau B.1 regroupe les caractéristiques des différents dispositifs de la famille Cyclone II disponibles.

Tableau B.1 caractéristiques de la famille Cyclone II.

<i>Table 1–1. Cyclone II FPGA Family Features</i>						
Feature	EP2C5	EP2C8	EP2C20	EP2C35	EP2C50	EP2C70
LEs	4,608	8,256	18,752	33,216	50,528	68,416
M4K RAM blocks (4 Kbits plus 512 parity bits)	26	36	52	105	129	250
Total RAM bits	119,808	165,888	239,616	483,840	594,432	1,152,000
Embedded multipliers (1)	13	18	26	35	86	150
PLLs	2	2	4	4	4	4
Maximum user I/O pins	158	182	315	475	450	622

La carte de prototypage DE2 utilisée dans le cadre de cette thèse, est dotée de dispositif EP2C35 de la famille Cyclone II, qui contient 33216 LEs. Et la carte DE0_nano est dotée de dispositif EP4CE22F17C6 de la famille IV E de 22 320 éléments logiques.

Le Cyclone II est basé sur une architecture à deux dimensions, ligne et colonne, pour implanter une logique personnalisée. Les colonnes et les lignes d'interconnexion, à vitesses variables, assurent les interconnexions du signal entre les blocs logiques (LABs), les blocs de mémoire embarqués, et les multiplieurs embarqués.

Le réseau logique est constitué des LABs, avec 16 éléments logiques (LE) dans chaque LAB. Un LE est une petite unité permet l'implantation des fonctions logiques conçues par l'utilisateur. Les LABs sont regroupés en lignes et en colonnes dans l'ensemble du dispositif. Comme illustre la figure B.3

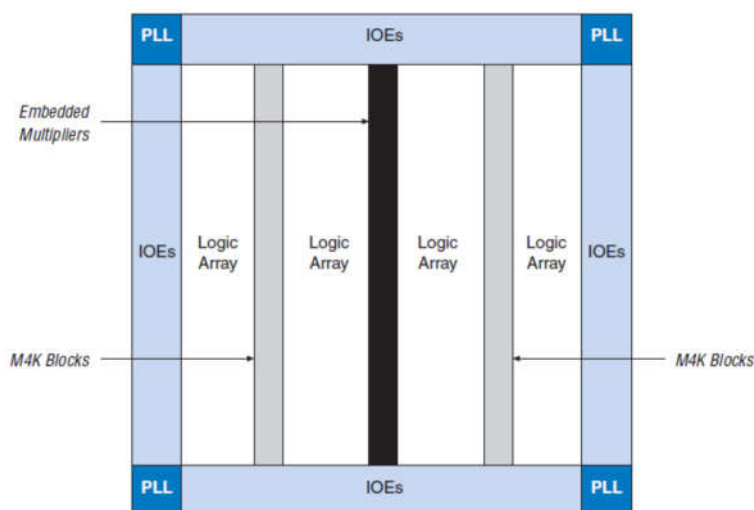


Figure B.3 schéma bloc de Cyclone II

Les circuits Cyclone II contiennent un réseau d'horloge globale et jusqu'à quatre blocs boucles de verrouillage de phase (PLL). Le réseau d'horloge globale se compose de 16 lignes globales de l'horloge qui pilote toutes les ressources au sein de l'FPGA, tels que les éléments d'entrée / sortie (IOEs), LEs, les multiplieurs embarqués, et les blocs de mémoire embarquée....

Les M4K blocs de mémoire sont des vrais mémoires, à double port, de 4K bits de. Ces blocs sont disposés en colonnes sur le dispositif entre certaines LABs. Les circuits Cyclone II offrent entre 119 à 1 152 Kbits de mémoire embarquée.

Chaque bloc multiplieur intégré peut implanter jusqu'à deux, soit multiplicateurs 9×9 bits, ou un multiplieur 18×18 bits travaillent jusqu'à 250 MHz. Les multiplieurs embarqués sont disposés en colonnes à travers le dispositif.

Chaque broche d'entrée / sortie I/O de circuits Cyclone II est alimentée par un bloc IOE situés aux extrémités de lignes et de colonnes de LAB autour de la périphérie de l'appareil. Ces broches I/O supportent différentes normes asymétriques et différentielles d'entrée/sortie, tels que la norme PCI 32-bit, PCI-X, et la norme d'entrée / sortie LVDS à un débit maximum de données de 805 mégabits par seconde (Mbps) pour les entrées et 640 Mbps pour les sorties. Chaque bloc IOE contient un tampon d'entrée/sortie bidirectionnel et trois registres pour les entrées, les sorties et les signaux d'activation.

Le tableau B.2 regroupe les ressources de la famille Cyclone II

Table 2-1. Cyclone II Device Resources

Device	LAB Columns	LAB Rows	LEs	PLLs	M4K Memory Blocks	Embedded Multiplier Blocks
EP2C5	24	13	4,608	2	26	13
EP2C8	30	18	8,256	2	36	18
EP2C20	46	26	18,752	4	52	26
EP2C35	60	35	33,216	4	105	35
EP2C50	74	43	50,528	4	129	86
EP2C70	86	50	68,416	4	250	150

B.3.1 Element Logique LE

Comme on a évoqué auparavant, un bloc LE, est la plus petite unité logique dans l'architecture FPGA de ALTERA, elle offre une fonctionnalité avancées avec une utilisation efficace des blocs logique.

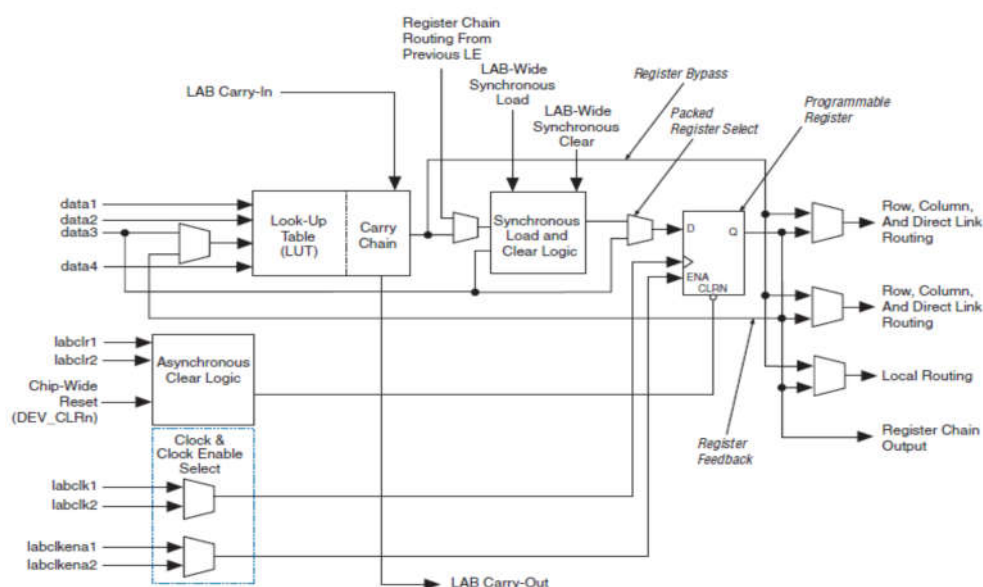


Figure B.3 organisation interne de LE de Cyclone II

Généralement un LE contient un bloc à 4 entrées, appelé LUT, Look Up Table, permettant de réaliser de n'importe quelle fonction de 4 entrées, 1 registre de sortie configurable en mode D, T, JK ou SR. Les deux éléments : *Carry Chain* pour chaînage de retenue et *Cascade Chain* pour mise en cascade des LE. Ces deux liaisons ne passent pas par le système d'interconnexions ordinaire, et sont prévues pour cascader le LE lorsque des chronogrammes critiques doivent être respectés : compteurs rapides, additionneur pour le chaînage des retenues, fonction de nombreuses entrées parallèles simultanées pour la mise en cascade.

Ce LE, *Logic Element*, peut être configuré de deux principaux modes :

- Mode normal : ce mode est utilisé pour implanter les fonctions logiques combinatoires.

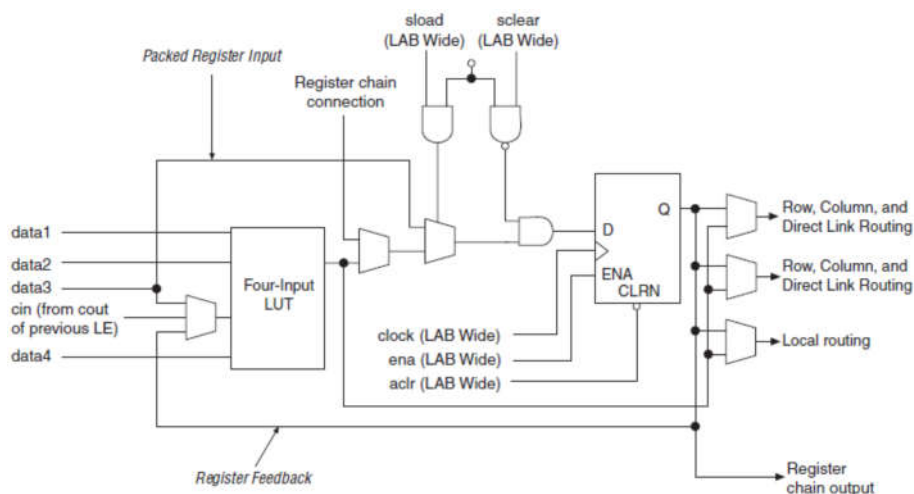


Figure B.4 LE configurée en mode normal

Le mode normal est adapté pour implanter les fonctions logiques combinatoires. Dans ce mode, quatre entrées de données, parvient d'une interconnexion local d'un LAB, devient des entrées d'une LUT à quatre entrées (voir la figure B.4). Le compilateur sélectionne automatiquement le retenu ou le signal data3 comme l'une des entrées de la LUT.

- Mode arithmétique : ce mode est préféré pour implanter les additionneurs, les compteurs, et les comparateurs.

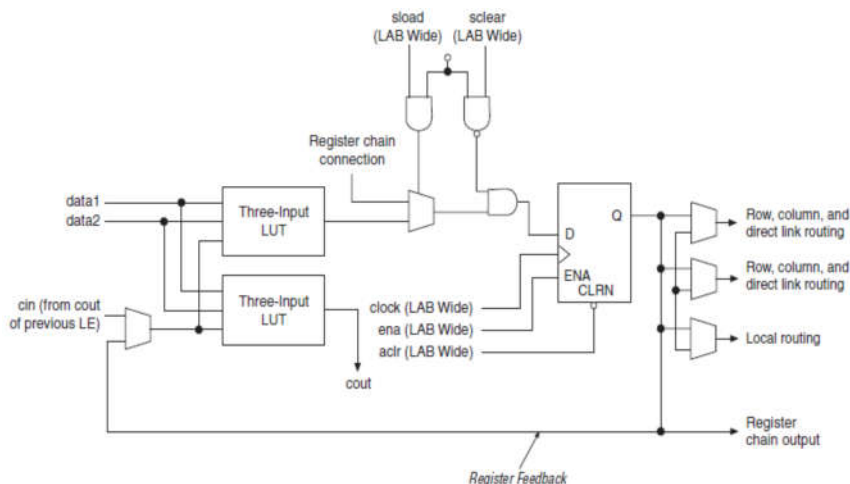


Figure B.5 LE configurée en mode arithmétique

B.3.2 Bloc de réseau Logique LAB

Chaque LAB est constitué de :

- 16 LEs
- Signaux de contrôle de LAB
- Chaînage de retenu (LE carry chains)
- Chaînage de registre (Register chains)
- Interconnexion locale

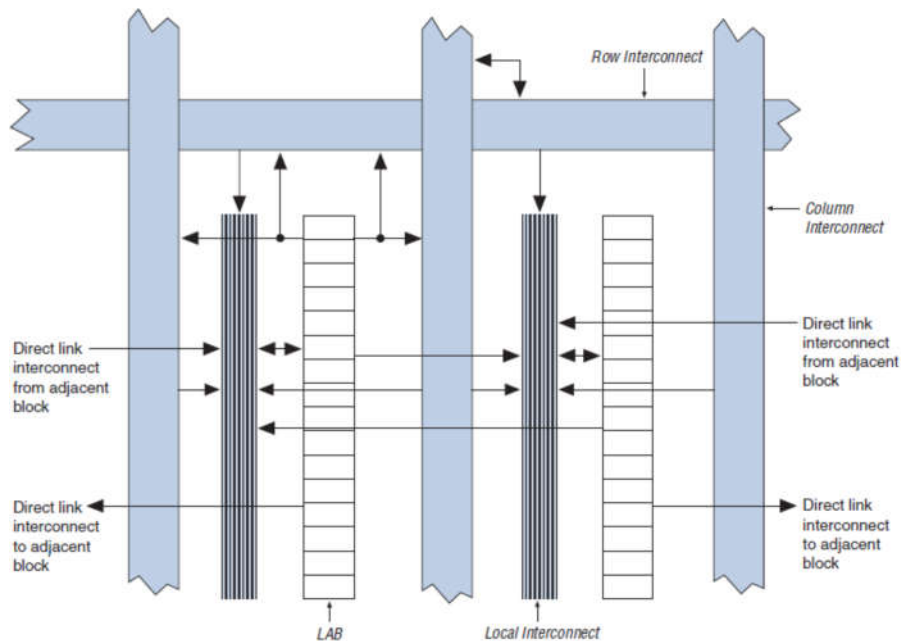


Figure B.6 structure d'un LAB de Cyclone II.

L'interconnexion locale transmet les signaux entre les LEs dans le même LAB. Les connexions de chaînage de registre transmettent la sortie d'un registre de LE à la le registre adjacent de LE dans un LAB. La figure B.5 présente un LAB de Cyclone II.

BIBLIOGRAPHIE

- 1.A.Belkheiri, M.Belkheiri, S.Aoughellane and A.Rabhi. FPGA “*implementation of configurable three-phase SPWM module*” . 2nd international Conference on communications, Computing and Control Application(CCCA). IEEE Conference publications, DEC 2012, pp. 1-5.
- 2.R.K.Pongiannan and N.Yadaiah. Newport Beach, “*FPGA Based Three Phase Sinusoidal PWM VVVF Controller*”. CA : IEEE ICEES , " international Conference on Electrical Energy Systems), 2011. 978-1-4244-9732-4 .
- 3.M.Barnes. “*Practical Variable Speed Drives and Power Electronics*”. Oxford : Newnes An imprint of Elsevier, 2003. ISBN 07506 58088.
- 4.K.hyosung, Seung-Ki. “*A Novel Filter Design for Output LC Filters of PWM Inverters*”. Journal of Power Electronics. january 2011, Vol. 11, 1,pp 74-81.
- 5.C. N. Ho, H. S. H. Chung, K. T. K. Au.” *Design and Implementation of a fast dynamic control Scheme for capacitor Suported dynamic Voltage Restorers*”.1, pp.237-251, usa : IEEE Transaction on Power Electronics, jan. 2008, Vol. 23.
- 6.M. Bongiorno, J.Svensson and L. Angquist. “*control of static synchronous series compensator for SSR mitigrartion*”. 2 pp.735-743, USA : IEEE Transaction on power Electronics, Mar 2008, Vol. 23.
- 7.L. Asiminoaei, P.Rodriguez and F.Blaaderg “*Application of discontinuous PWM Modualtion in active power filters*” . 4, pp.1692-1706, USA : IEEE Transactions on Power Electronics, jul 2008, Vol. 23.
- 8.Wenhua, S. Qiang and L. “*control of a cascade STTCOM with star configuration under unbalanced conditions*”. 1, pp.45-58, USA : IEEE Transactions on Power Electronics, Jan.2009, Vol. 24.
- 9.George, M. K. Mishra. “*design and analysis of user-defined constant switching frequency currentcontrol based four leg DSTATCOM*”. V. 09.pp2148-2158, USA : IEEE Transactions on Power Electronics, Sep.2009, Vol. 24.
- 10.E. Najafi, A. Halim Mohamed, and A. S. Samosir.” *Design and implementation of a Dynamic Evolution Controller for Single -phase Inverters with Larg Load Changes*” . 10, pp.995-1003, s.l. : Taylor&francis, Electric power Component and Systems2014, Vol. 42. 1532-5008.
- 11.D. G. Holmes, Thomas A. Lipo.” *Pulse Width Modulation For Power Converters*”. canada : IEEE Express and JOHN WILEY & SONC, INC, Publication, 2003. 0-471-20814-0.
- 12.K.V. Kumar, P.A. Michael, J.P. John and S.S. Kumar. “ *Simulation and comparison of SPWM and SVPWM control for Three Phase inverter* ”. 7, pp. 61-74, s.l. : Asian researche publishing Network, 2010, Vol. 5. ISSN 1819 - 6608.
- 13.J. Y. Lee, and Y. Y. Sun. “ *A new SPWM Inverter with Minimum Filter Requirement* ” . 05, pp.815-826, s.l. : International journal of Electronics, 1988, Vol. 64.

- 14.H. Quan, Z. Gang, C. Jie, Z. Wu, and Z. Liu. " *Study of A novel Over-modulation Technique Based on Space-Vector PWM* ". 1: IEEE Computer Distributed Control and Intelligent Environmental Monitoring, 2011, Vols. pp.295-298.
- 15.A. W. Leedy, and R. M. Nelms. " *Harmonics Analysis of Space Vector PWM Inverter using the methode of Multiple Pulses* ". pp.1182-1187, s.l. : IEEE Transactions on industrial Electronics, July 2006, Vol. 4.
- 16.Wang, K. Zhou and D. " *Relationship between Space-vector Modulation and Three-Phase Carrier-Based PWM: A comprehensive Analysis* ". 1, pp.186-196, s.l. : IEEE Transactions on Industrial Electronics, February 2002, Vol. 49.
- 17.Mount, S. R. Bowes and M. J. " *Microprocessor Control of PWM inverters* ". 06, pp.293-305, s.l. : in Proc IEEE Electronic Power application, 1981, Vol. 128.
- 18.WILDI, Théodore. " ELECTROTECHNIQUE ". Canada : De Boeck & Larcier , 2001. ISBN 2-7637-7593-4.
- 19.Jean, Bonal and Séguier, Guy. " *Entraînements électriques à vitesse variable* ", Volume 2. Paris : Lavoisier TEC & DOC, 1998. ISBN : 2-7430-0-0185-2.
- 20.André Genon, Willy Legros. " *Machines électriques* ". Paris : Hermès Science publication, 2000. ISBN 2-7462-0132-1.
- 21.Carlos, C. " *Modélisation Contrôle Vectoriel et DTC, commande des moteurs asynchrone 1* ". s.l. : Hermes Science Europe, 2000.
- 22.Barros, J-C de. " *Application de la logique Floue à la commande Optimale du moteur Asynchrone* ". Thèse de doctort, Université AIX-MARSEILLE III, France : s.n., 2003.
- 23.MUTREL, Luc. " *Le moteur asynchrone, Régime statique et dynamique* ". Paris : Ellipses, 1999.
- 24.JACOB, Dominique. " *moteurs à courant alternatif* ". Paris : Ellipses, 2005. ISBN 2-7298-2493-6.
- 25.jean, Bonal. " *Entraînements électriques à vitesse variable* ", Volume1. Paris : Lavoisier TEC & DOC, 1997. ISBN 2-7430-0138-0.
- 26.Marty, Max, Daniel, Dixneuf and Delphine, Garcia Gilabert. " *Principes d'électrotechnique* ". Paris : Dunod, 2005. ISBN 2 10 048550 4.
- 27.Francis, Milsant. " *Machines synchrones et asynchrones, Commande électronique* ". Paris : ellipses, 1991. ISBN 2-7298-411-0.
- 28.Jean.-Pierre, Caron and Jean.-Pierre, Hautier. " *Modélisation et commande de la machine asynchrone* ". Paris : TECHNIP, 1995. ISBN 2-7108-0683-5.
- 29.Souad, Chaouch. " *Commande vectorielle robuste d'une machine à induction sans capteur de vitesse* ". Batna : These de doctorat en science en électrotechnique l'université de Batna, 2005.

- 30.G, Guy and C, Guy. “ Actionneurs electriques, principes modèles commande”. s.l. : Eyrolles, 2000.
- 31.Chatelin, J. Machines électriques ,série "Traité d'électricité", Volume X. s.l. : Presses Polytechniques Romandes, 1983-1989.
- 32.Jean, Paul Luis. “ Modélisation des machines électriques ”. Paris : Lavoisier, 2004.
- 33.C.Carlos. “ Optimisation, discrétisation et observateurs, commande des moteurs asynchrones2 ” . s.l. : Hermes Science Europe, 2000.
- 34.M.Hamani, S.Kaboli, M.R.Zolghadri. “ *Direct Torque Control of Induction Motors using Multi Level Converters* ”. Proceeding of the 11th ICEE conf. 2003, Vols. Vol Power,pp.437-444.
- 35.J.P.Caron and J.P.Hautier. “ Modélisation et commande de la machine asynchrone ”. s.l. : Technip, 1995.
- 36.Pinard, M. “ Commande électronique des Moteurs électriques ”. Paris : Dunod, 2004. ISBN 978-2-10-051115-0.
- 37.Ong, Chee-Mun. ”Dynamic Smulation of electric Machinery ”. s.l. : Prentice Hall, 1998.
- 38.Davide, Agulia. ” Idententification des Paramètres du Moteur à Induction Triphasé vue de sa Commande Vectorielle ”. Canada : Mémoire, Maître Sciences, université Laval Québec,, 2004.
- 39.luis, Jean-Paul. “ Modélisation de machines électriques en vu de leur commande, concepts généraux ” . Paris : Hermes science, 2004. 2-7462-0916-0.
- 40.Séguier, Guy. “ L'électronique de puissance ” . Paris : Dunod, 1985. 2-04-016447-2.
- 41.L.Baghli. “ Contribusion à la commande de la machine asynchrone,utilisation de la logique floue, des réseaux de neurones et des algorithmes génétiques ” . Thèse de Doctorat, Université Henri Poincaré. : s.n., 1999.
- 42.FORNEL, Bernard DE. “ Machines asynchrones - Commande par contrôle scalaire ” . Paris : Techniques de l'ingénieur, 2006.
- 43.Blaschke, F. “ *The Principle of Field Oiented as Applied to the New Tan Vector Closed-Loop Control System for Rotating Machine* ”. 04, pp.217-220, s.l. : Siemens Review, 1972, Vol. 39.
- 44.Leonhard, W. Lausanne .” *Control of Machines with the Help of Microelectronics* ”.: Third IFAC Symposium on Control in Power Electronics and Electrical Drives,pp. 35-58, 1994.
- 45.JOHN CHIASSE. “ MODELING AND CONTROL OF ELECTRIC MACHINES HIGH-PERFORMANCE ”. IEEE Press series on power engineering,2005.
- 46.H.Salehfae. “ DSP-Based implementation of vector control of induction motor drives ”. s.l. : Taylor & Francis group, LLC, 2005.

47. Wang, K. Zhou and D. " *Relationship Between Space-Vector Modulation and Three-phase Carrier-Based PWM* ". A Comprehensive Analysis. s.l. : IEEE Transaction on Industrial Electronics, 2002. Vol. 49.
48. F. Labrique, G. Seguier, R. Bausiere. " Les convertisseurs de l'électronique de puissance". Volume 4: La conversion continu-alternatif. Paris : TEC&DOC Lavoisier, 1995. ISBN 2-85206-317-4.
49. A. Belkheiri, S. Aoughellanete, M. Belkheiri. " *Reconfigurable three-phase SPWM implementation on DE2 FPGA* ". 2a. pp 144, Warszawa, Polish : Przegląd Elektrotechniczny (Electrical Review), 2013, Vol. 2013. ISSN 0033-2097.
50. J. Bonal, G. Seguier. " Variable speed electric drives Vol 2, reminders on power and control electronics, electronic variable speed drives ". Paris : Lavoisier, 2000.
51. G. Grellet and G. Clerc. " Actionneurs électriques ". s.l. : Eyrolles, 1997.
52. Belhadi, J. " Commande Directe en couple d'une Machine Asynchrone Structures d'observation Application aux systèmes multimachines-multiconvertisseurs". Toulouse : Thèse de Doctorat, 2001.
53. Hissel, A. M. Arker. " Contrôle Direct du Couple Electromagnétique de Machine Asynchrones de Grande Puissance ". toulouse : Thèse de Doctorat ENSEEIHT , 1999.
54. J. Laroche. " Electronique de puissance- Convertisseurs ". Paris : Dunod, 2005. 2100072528.
55. Chapuis, Y. A. "Contrôle Direct du Couple d'une Machine Asynchrone par L'orientation de son Flux Statorique " . s.l. : Thèse de doctorat INPG, génie électrique, 2003.
56. H. Quan, Z. Gang, C. Jie, Z. Wu, and Z. Liu. " *Study of A Novel Over-modulation Technique Based on Space-Vector PWM* ". s.l. : IEEE Computer Distributed Control and Intelligent Environmental Monitoring(CDCIEM), 2011.
57. J. A. Houldsworth, and D. A. Grant. " *The Use of Harmonic Distorsion to Increse the Output Voltage of a Three-Phase PWM Inverter* ". IEEE Transaction on Industry Application. 1984, Vols. IA-20, 05, pp. 1124-1228.
58. S. Stadtfeld, J. Holtz and. Tokyo " *A predictive controller for the stator current vector of ac machines fed from a switched voltage source* ". Rec. IPEC conf, 1983, Vols. PP. 1665 - 1675.
59. H. W. Van der Broeck, H. Skudelny, and G. Stanke. " *Analysis and realization of a pulse width modulator based on voltage space vectors* ". 01, pp. 142-150, s.l. : IEEE Trans. on Industry Applications., Jan/Feb, 1988, Vol. 24.
60. O. Ogasawara, H. Akagi, and A. Nabae. " *A novel PWM scheme of voltage source inverters based on space vector theory* ". pp. 1197-1202., Aachen, : Conf. Rec. European Power Electronics Con! (EPE),, 1989.
61. G. Holmes Thomas, A. Lipo Madison. " *Pulse Width Modulation For Power Converters Principles and Practice* ". USA : IEEE PRESS, 2003. 0-471-20814-0.

62. Dittrich, N. P. Quang and J. A. “ Vector Control of Three-Phase AC Machines ”. Berlin : Springer, 2002. ISBN. 978-3-540-79028-0.
63. Bachir MOKHTARI. “ DTC INTELLIGENTE APPLIQUEE A LA COMMANDE DE LA MACHINE ASYNCHRONE ”. Batna: These de doctorat en science en électrotechnique l'université de Batna, 2014.
64. John A, Houldsworth, Duncan.A, Grant, “*The use of harmonic distortion to increase the output voltage of a three-phase PWM inverter*”. 5 pp 1124-1128, s 1. IEEE transaction on industry applications, 1984 Vols. 1A-20.
65. V.H. Prasad ; D. Borojevic ; R. Zhang. “ *Analysis and Comparison of Space Vector Modulation Schemes for Three-Leg and Four Leg Voltage Source Inverter* “. s.l. : IEEE Applied Power Electronics Conference and Exposition, 1997, Vols. 2, pp.864-871.
66. K. Bose, Bimal. “ Power Electronics and Variable Frequency Drives ”. s.l. : IEEE PRESS, 1997. 0-7803-1084-5.
67. J. Pierre, G. Jean Entoine, G.D. Sutter. “ Synthesis of Arithmetic Circuits, FPGA, ASIC, and Embedded Systems “. s.l. : John Wiley & Sons, 2006.
68. DESCHAMPS, JEAN-PIERRE. “ SYNTHESIS OF ARITHMETIC CIRCUITS FPGA, ASIC, and Embedded Systems ” . s.l. : John Wiley & Sons, 2006. 13 978-0471-68783-2.
69. Tavernier, C. “ Circuits logiques Programmables “. Paris : Dunod, 1996. 2 10 002882 0.
70. Ahmed Belkheiri¹, Said Aoughellane and Mohammed Belkheiri. “ *FPGA Implementation of a Space Vector Pulse Width Modulation Technique for a Two-Level Inverter* ” . Elektrotehniški vestnik , 85(3) June, 2018, pp.1-7, ISSN 0013-5852.
71. Kilts, S. “ Advanced FPGA Design Architecture, Implementation, and Optimization ”. New jersey : John Wiley & Sons, 2007. 978-0470-05437-6.
72. DE2 Development and Education Board User Manual. s.l. : ALTERA.
73. DE0_nano Development and Education Board User Manual. s.l. : ALTERA.
74. Michel, Pinard. “ Commande électronique des Moteurs électriques ”. Paris : Dunod, 2007. ISBN 978-2-10-051115-0.
75. Yu, W. F. Zhang and Y. H. “ *Comparison of Three SVPWM Strategies* ”. 3, pp.283-287, s.l. : Journal of Electronic Science and Technology of china, September 2007, Vol. 5.