

République Algérienne Démocratique et Populaire  
Ministère de l'Enseignement Supérieur et de la Recherche Scientifique

**Université de Batna -2-**

**Faculté de Technologie**

**Département d'Électronique**



## **THÈSE**

**Présentée pour l'obtention du diplôme de**

**DOCTORAT en SCIENCES**

**Spécialité: Électronique**

**Option: Micro-Electronique**

**Par**

**MESSAADI Lotfi**

**Thème**

---

# **Modélisation et Optimisation de l'Effet de l'Auto- Echauffement des Composants Electroniques de Puissance**

---

Soutenue le : 25/10/2017

Devant le jury:

AOUAGHLANT Said	M.C.A.	Université Batna -2-	Président
DIBI Zohir	Prof.	Université Batna -2-	Rapporteur
BELAL Azzeddine	Prof.	Université Constantine -1-	Examineur
TELIA Azzeddine	Prof.	Université Constantine -1-	Examineur

## Remerciements

Mes remerciements vont tout d'abord à dieu, le tout puissant pour m'avoir donné la santé, la volonté et la patience pour réaliser ces travaux.

Je tiens tout particulièrement à exprimer ma reconnaissance et ma profonde gratitude au professeur **Dibi Zohir**, directeur de cette thèse, je lui exprime tous mes remerciements pour son soutien inconditionnel, ses précieux conseils et ses qualités humaines, son encadrement. Merci de votre confiance, qui m'a offert la possibilité de réaliser ce travail et qui m'a permis d'élargir mon spectre de connaissances scientifiques.

J'adresse ma profonde reconnaissance à Mr. **AOUGHLENT Said**, Maître de conférences à l'université de Batna « 2 », pour l'honneur qu'il m'a fait en présidant le jury.

Je tiens également à présenter ma profonde gratitude à Monsieur **BELLAL Azzedine**, professeur à l'université de Constantine « 1 », Monsieur le Professeur **TELIA Azzedine**, de l'université de Constantine « 1 » d'avoir fait partie du jury en qualité d'examineurs et pour m'avoir honoré par leurs présence au jury.

Merci à mes enseignants et à mes collègues de l'université de Batna qui m'ont accompagné dans mon parcours.

je tiens à remercier ma famille et particulièrement ma femme qui m'a toujours soutenu.

Finalement, mes remerciements vont aussi à l'ensemble de mes camarades et mes amis pour leurs soutiens et leurs encouragements tout au long de mon cursus.



Dédicaces

À :

*Mes Chers Parents, Ma mère et Mon père*

*Mes frères et sœurs*

*Mon épouse : Badra*

*Mon fils : Raed*

## **Avant-propos**

Les travaux de recherche présentés dans cette thèse ont été réalisés au Laboratoire d'Automatique Avancée et d'Analyse des Systèmes (LAAAS), sous la direction du monsieur DIBI Zohir, professeur au département d'électronique, vice recteur chargé de la pédagogie, université de Batna.

Les résultats de ces travaux ont donné lieu à plusieurs publications scientifiques dans des revues et des conférences nationales et internationales spécialisées. Nous les citons dans ce qui Suite.

### **Listes des Publications et Communications**

1. Messaadi .L and Dibi .Z "Macro-Modeling of MOSFET Transistors", SEN2012, Séminaire National Sur les Energies Renouvelable Département Génie Des Procédées, Université Des Sciences et Technologie Houari Boumediène (USTHB), Bab-Ezzouar, Algérie, 25-27 Mars 2012.
2. Messaadi .L and Dibi .Z "Modeling and Simulation with Spice of Power VDMOSFET Transistor", International Journal of Science and Engineering Investigations, vol. 1, issue 6, July 2012.
3. Messaadi .L and Dibi .Z "Macro-Modeling of Power MOSFET Incorporating Self-Heating Effect" 2nd International Days on Renewable Energies and Sustainable Development, Département D'électronique, Université Ammar Telidji, Laghouat, 3 and 4 June, 2012.
4. Messaadi .L and Dibi .Z "Macro-Modeling with Spice of SiC Schottky Diode" Journal of Electron Devices, Vol. 15, 2012, pp. 1209-1213.
5. Messaadi .L and Dibi .Z " PSpice Simulation Based Study of Photovoltaic Cells/Modules and their Experimental Verification" 7th International Conference on Electrical Engineering (CEE'2012) , Electrical Engineering Department, University of Batna, October, 8-10, 2012.

6. *Messaadi .L and Dibi .Z "Macro-Modélisation du Transistor VDMOS" 10<sup>ème</sup> Congr<sup>ée</sup> Nationale de Physique et ses Applications (CNAP'2012), D<sup>é</sup>partement du physique, Universit<sup>é</sup> Abd-Elhamid Ibn-Badisse, Mostaganem 20-22 Novembre 2012.*
7. *Messaadi .L and Dibi .Z " Macro-Modeling with Spice of SiC Schottky Diode " 2nd International Conference on Power Electronics and Electrical Drivers (ICPEED'2012), University of USTO, Faculty of Electrical Engineering, Oran, December 11-12,2012.*
8. *Messaadi .L and Dibi .Z "A New Spice Macromodel of 4H-SiC Vertical Double Implanted MOSFET (DIMOS)", Science and Academic Publisher, Microelectronics and Solid State Electronics, 1(5): 111-117, 2012.*
9. *Messaadi .L and Dibi .Z "The Electro-Thermal Sub-Circuit Model for Power MOSFETs" in IEEE, 24th International Conference on Microelectronics (ICM), Algeria, December 25-26, 2012.*
10. *Messaadi .L and Dibi .Z "Macro-Modélisation du Transistor MOSFET: Modélisation Analytique du transistor VDMOSFET et Application au Convertisseur Buck" ISBN-10: 3838186893, ISBN-13: 978-3838186894, Éditions Universitaires Européennes (1 D<sup>é</sup>cembre 2012).*
11. *Messaadi .L and Dibi .Z "Modeling and Simulation with Spice of the New Power SiC JFET", International Journal of u-and e-Service, Science and Technology Vol.7, No.5 (2014), pp.79-86 (Indexed in Scopus)*
12. *Messaadi .L and Dibi .Z "Conception et Evaluation des Pertes dans un Convertisseur DC/DC Utilis<sup>é</sup> pour la Poursuite du point à Puissance Maximale dans un Panneau Photovoltaïque"8th International Conference on Electrical Engineering (CEE'2014), Electrical Engineering Department, University of Batna, October, 16-17, 2014.*
13. *Messaadi .L and Dibi .Z "A Spice Behavioral Model of Tunnel Diode: Simulation and Application", International Journal of Control and Automation , Vol. 9, No. 4 (2016), pp. 39-50*

14. *Messaadi .L and Dibi .Z "Pspice Implementation of a New Esaki Tunnel Diode Macro-Model" International Journal of Smart Home Vol. 10, No. 4 (2016), pp. 153-166*
15. *Messaadi .L and Dibi .Z "Modeling of the New Transient Behavioral Spice Model of IGBTs Including Temperature Effect", International Journal of Hybrid Information Technology Vol.9, No.1 (2016), pp. 141-152.*
16. *Messaadi .L and Dibi .Z "Modeling and Simulation of Power MOSFET Using Orcad-PSpice", International Journal of u- and e- Service, Science and Technology Vol.9, N°.9(2016), pp.37- 44 (Indexed in Scopus).*
17. *Messaadi. L and Dibi. Z "Modélisation et Simulation du Transistor MOSFET en Carbure de Silicium Sous Pspice" 9th International Conference on Electrical Engineering (CEE'2016), Electrical Engineering Department, University of Batna, October, 2- 4, 2016.*
18. *Messaadi .L, Dibi .Z " Modélisation et Simulation Spice des Composants de Puissance", ISBN-10: 3847389793, ISBN-13: 978-3847389798, Éditions Universitaires Européennes (Juillet 2016).*

## Résumé

Les dispositifs en carbure de silicium (SiC) sont bien adaptés pour fonctionner dans des environnements à haute température, haute puissance, haute tension et forte radiation. Le carbure de silicium (SiC) est un matériau semi-conducteur à large bande d'énergie interdite. Ce matériau possède des caractéristiques en température et une tenue aux champs électriques bien supérieures à celles du silicium. Ces caractéristiques permettent des améliorations significatives dans une grande variété d'applications et de systèmes de puissance.

Dans cette thèse on présente des études analytiques comparatives des modèles des composants à semi-conducteurs en SiC, ainsi que les principales caractéristiques statiques, dynamiques, et thermiques des composants comme SiC-JFET, SiC diode Schottky et le SiC-MOSFET, de puissance commercialisés par différents constructeurs en raison d'élaborer un plan de choix guidant les concepteurs des circuits d'électronique de puissance à sélectionner le composant le plus adapté à leur cahier de charges selon leurs objectifs et selon les performances de leurs convertisseurs de puissance.

Pour exploiter les avantages de cette nouvelle technologie, il est nécessaire d'avoir des modèles précis, fiables, et plus simples des composants de puissance, et doivent être facilement intégré et adapté avec les simulateurs utilisés. En effet, pour réduire la complexité du modèle, seuls les phénomènes physiques les plus importants doivent être pris en compte dans le processus de construction du modèle. Le plus important est l'auto-échauffement produisant une augmentation significative de la température de jonction interne, contribuant par conséquent à la réduction des performances du composant. Dans le souci de contribuer à la modélisation des composants à semi-conducteur de puissance, et d'aider les concepteurs des circuits et les ingénieurs à avoir les modèles des dispositifs voulus on leur propose, des modèles électrothermiques comportementaux souples, basés sur les modèles de SPICE, et les sources de tension et de courant commandées (Ei, Gi) de la bibliothèque ABM (Analog Behavioral Modeling). Les paramètres de ce modèle sont obtenus à partir des courbes caractéristiques fournies par le fabricant à travers le datasheet du composant. En plus de la souplesse, ces modèles proposés sont facilement intégrables dans les différents logiciels de simulation de type Spice.

La technique proposée nous a permis de modéliser avec excellence la diode Schottky et le transistor MOSFET ainsi que le transistor JFET en SiC sous SPICE, ces modèles proposés ont été validés par la comparaison avec les différentes caractéristiques des composants à Semi-conducteurs du constructeur CREE (diode et transistor). Cette comparaison montre une bonne concordance entre les mesures et la simulation.

**Mots clés :** Composants de puissance, Carbure de silicium, Modélisation et Simulation, Analog Behavioral Modeling, Auto-échauffement, Convertisseur DC/DC, Convertisseur Boost, Orcad-Pspice.

## Abstract

The silicon carbide devices (SiC) are well adapted to operate in high temperature environments, high power, high voltage and high radiation. Silicon carbide (SiC) is a semiconductor material having a large band gap energy. This material has characteristics in temperature and a resistance to electric fields much higher than those of silicon. These features allow significant improvements in a wide variety of applications and power systems.

In this thesis we present comparative analytical studies of models of semiconductor components in SiC, and the static, dynamic, and thermal characteristics of the components such as SiC-JFET, SiC Shottky diode and the SiC-MOSFET, power marketed to different manufacturers due to develop a plan choices guiding the designers of power electronics circuits to select the most suitable to their component of specifications according to their objectives and in the performance of their power converters.

To use the advantages of this new technology, it is necessary to have accurate models, reliable and simple power components, and be easily integrated and adapted with simulators. Indeed for reducing model complexity, only the most important physical phenomena must be taken into account in the model construction process. The most important is the self-heating producing a significant temperature increase of internal junction, thereby contributing to the reduction in component performance. In order to contribute to the modeling components to semiconductor power and help designers of circuits and engineers to have models of wanted features they are offered, flexible behavioral electrothermal models, models based on SPICE, and voltage sources and current controlled (E, G) of the library ABM (Analog Behavioral Modeling). The parameters of this model are obtained from the characteristic curves supplied by the manufacturer in the component datasheet. In addition to flexibility, the proposed models are easily integrated into various types of simulation software ORCAD-PSpice.

The proposed technical has allowed us to model with excellence the Shottky diode, the MOSFET and the JFET transistor on SiC in SPICE, these proposed models were validated by comparison with the various features of Semi-conductor components of CREE manufacturer (diode and the MOSFET). This comparison shows good agreement between measurements and simulation.

**Keywords.** Power components, silicon carbide, Modeling and Simulation, Analog Behavioral Modeling, Self-heating, DC/DC Converters, Boost converter, Orcad-Pspice.

## المخلص

تتناسب التجهيزات المصنوعة من كربيد السيليكون (SiC) بشكل جيد للعمل في بيئات مرتفعة الحرارة، الطاقة العالية، الضغط العالي والبيئات عالية الإشعاع. كربيد السيليكون عبارة عن نوع من أشباه الموصلات تتميز بوجود فجوة طاقة واسعة. هذه المادة لها خصائص جيدة للعمل في درجة حرارة ومقاومتها للمجالات الكهربائية أعلى بكثير من تلك المصنوعة من السيليكون (Si). هذه الميزات تسمح بتجهيزات كبيرة في مجموعة واسعة من التطبيقات وأنظمة الطاقة.

في هذا البحث تم تقديم دراسات تحليلية مقارنة لنماذج من مكونات مصنوعة من كربيد السيليكون، بالإضافة إلى الخصائص الساكنة والديناميكية، والخصائص الحرارية الرئيسية للمكونات مثل: SiC JFET، الصمام الثنائي (SiC Schottky) و SiC MOSFET المسوقة لأكثر الشركات من أجل وضع خطة الخيارات وتوجيه مصممي الدوائر الإلكترونية والكهربائية لتحديد أنسب العناصر والتي فيها من المواصفات وفقاً لأهدافها وأداء المحولات وقوتهم.

ولاستغلال مزايا هذه التكنولوجيا الجديدة، من الضروري أن يكون هناك نماذج بسيطة ودقيقة وموثوق بها لهذه المركبات، ويمكن دمجها بسهولة وتكييفها مع المحاكاة ومن أجل الحد من تعقيد النموذج، يجب أن تؤخذ بعين الاعتبار فقط الظواهر الفيزيائية الأكثر أهمية في عملية بناء النموذج. ومن بين هذه الظواهر التسخين الذاتي الذي تنتج عنه زيادة كبيرة في درجة حرارة المركب، مما يؤدي إلى الحد من أداءه و من أجل المساهمة في نمذجة جيدة للمركبات الإلكترونية ومساعدة مصممي الدوائر والمهندسين للحصول على النماذج المطلوبة. عرضنا عليهم نماذج مرنة تستند إلى البرنامج المعروف Spice، ونماذج أخرى تعتمد على (G, E) من مكتبة ABM الموجودة في Spice. ويتم الحصول على المعلومات لهذا النموذج من المنحنيات المميزة المقدمة من قبل الشركة المصنعة في ورقة البيانات (Datasheet). كما تتميز هذه النماذج بالمرونة وسهولة الدمج في أنواع مختلفة من برمجيات المحاكاة خاصة (Spice).

وقد سمحت لنا هذه التقنية بنمذجة كل من الصمام الثنائي Shottky و MOSFET و JFET المصنوعة من كربيد السيليكون بامتياز. ومن أجل التحقق من صحة هذه النماذج المقترحة قمنا بمقارنتها مع قياسات الشركة العالمية المصنعة للمركبات CREE (الصمام الثنائي والترانزستور). وقد أشارت هذه المقارنة إلى اتفاق جيد بين القياسات والمحاكاة.

**كلمات دلالية:** مركبات عالية الطاقة، كربيد السيليكون، النمذجة و المحاكاة، ABM، التسخين الذاتي، المحولات جهد

مستمر/ مستمر، محولات من نوع Boost، برنامج Orcad-PSpice

## Table des Matières

INTRODUCTION GENERALE.....	1
CHAPITRE I : LES COMPOSANTS DE L'ELECTRONIQUE DE PUISSANCE	
A BASE DE SI	
I.1 INTRODUCTION.....	4
I.2 LE BUT DE LA SIMULATION EN ELECTRONIQUE DE PUISSANCE.....	4
I.3 MODELISATION DES SEMI-CONDUCTEURS.....	6
I.3.1 MODELISATION COMPORTEMENTALE.....	7
I.3.2 MODELISATION STRUCTURELLE.....	8
I.4 TRANSISTOR MOSFET DE PUISSANCE.....	9
I.4.1 PHYSIQUE ET TECHNOLOGIE DU MOSFET DE PUISSANCE.....	9
I.4.2 FONCTIONNEMENT DU TRANSISTOR MOSFET.....	10
I.4.3 LE MODELE SELECTIONNE DU TRANSISTOR MOSFET DE PUISSANCE.....	11
I.4.4 EXTRACTION DES PARAMETRES DU MODELE DE MOSFET DE PUISSANCE.....	12
I.4.5 VALIDATION DU MODELE DE MOSFET.....	13
I.4.5.1 VALIDATION STATIQUE.....	13
I.4.5.2 VALIDATION DYNAMIQUE.....	14
I.4.6 CONCLUSION.....	17
I.5 DIODE P-I-N DE PUISSANCE.....	17
I.5.1 PHYSIQUE ET TECHNOLOGIE DE LA DIODE P-I-N DE PUISSANCE.....	17
I.5.2 COMPORTEMENT DES DIODES P-I-N.....	19
I.5.2.1 CARACTERISTIQUE STATIQUE.....	19
I.5.2.2 COMPORTEMENT DYNAMIQUE.....	20
I.6 LE TRANSISTOR IGBT.....	21
I.6.1 STRUCTURE PHYSIQUE ET TECHNOLOGIE DE L'IGBT.....	22
I.6.2 COMPARAISON ENTRE IGBT TYPE PT ET NPT.....	24
I.6.3 CIRCUIT EQUIVALENT ELECTRIQUE.....	25
I.6.4 PRINCIPE DE FONCTIONNEMENT.....	26
I.6.5 MODELISATION SPICE DU TRANSISTOR IGBT.....	28
I.6.6 LE MODELE DE HEFNER DU L'IGBT.....	28
I.6.7 INTEGRATION DU MODELE DANS LA BIBLIOTHEQUE DE SPICE.....	29
I.6.8 VALIDATION DU MODELE DE L'IGBT.....	30
I.6.8.1 VALIDATION DES CARACTERISTIQUES STATIQUE.....	30
I.6.8.2 VALIDATION DES CARACTERISTIQUE DYNAMIQUE.....	32
I.6.9 EFFET DE LA TEMPERATURE SUR LA ROBUSTESSE DES COMPOSANTS IGBT.....	35
I.6.9.1 L'EFFET DE LA TEMPERATURE SUR LES CARACTERISTIQUES STATIQUE.....	35

I.6.9.2	L'EFFET DE LA TEMPERATURE SUR LA TENUE EN TENSION.....	36
I.6.10	CONCLUSION.....	37

## CHAPITRE II : MODELISATION DE LA DIODE SCHOTTKY SIC

II.1	INTRODUCTION.....	38
II.2	PROPRIETE ELECTRIQUES DE SIC.....	38
II.2.1	FACTEURS DE MERITE.....	43
II.2.2	CONCLUSION.....	45
II.3	LES COMPOSANTS DE PUISSANCE EN SIC.....	45
II.3.1	PRESENTATION DE CARBURE DE SILICIUM.....	45
II.3.2	GENERALITES SUR LES DIODES DE PUISSANCE EN SIC (PIN, JBS ET SCHOTTKY).....	46
II.3.3	LE MARCHE DES DIODES EN SIC.....	46
II.3.4	LA DIODE PIN.....	47
II.3.5	LA DIODE JBS.....	49
II.3.6	DIODES SCHOTTKY DE PUISSANCE.....	50
II.3.7	CONCLUSION.....	52
II.4	DIODE ETUDIEE.....	52
II.4.1	DIODE SCHOTTKY EN SIC.....	53
II.4.2	DESCRIPTION DU COMPOSANT.....	54
II.4.2.1	JONCTION SCHOTTKY.....	55
II.4.2.2	MOBILITE DANS LE CARBURE DE SILICIUM.....	58
II.4.2.3	SENSIBILITE AU CHAMP ELECTRIQUE.....	59
II.4.2.4	SENSIBILITE AU DOPAGE.....	59
II.4.2.5	COMPORTEMENT EN TEMPERATURE.....	61
II.5	MODELISATION COMPORTEMENTALES DE LA DIODE SIC SCHOTTKY DANS LE SPICE.....	61
II.5.1	LA MACRO-MODELISATION UTILISANT PSPICE-ORCAD.....	63
II.5.2	RESULTATS DE SIMULATIONS (PSPICE).....	64
II.5.3	CARACTERISATION DYNAMIQUE DE DIODE SCHOTTKY.....	64

## CHAPITRE III : MODELISATION ET SIMULATION DU TRANSISTOR SIC JFET

III.1	INTRODUCTION.....	66
III.2	LES JFET EN CARBURE DE SILICIUM.....	66
III.2.1	CARACTERISATION ELECTRIQUE DE TRANSISTOR JFET-SIC DE SIC.....	67
III.2.2	PRINCIPE DE FONCTIONNEMENT.....	67
III.2.3	REGIMES DE FONCTIONNEMENT DU TRANSISTOR JFET.....	68
III.2.4	CARACTERISTIQUE DE TRANSFERT.....	70
III.4	MODELISATION DE TRANSISTORS JFET-SIC.....	74
III.4.1	MODELISATION DU CANAL ASYMETRIQUE DU JFET SIC.....	74

III.4.2	MODELISATION DU CANAL ASYMETRIQUE DU JFET SIC.....	76
III.4.3	MODELE ORCAD-PSPICE DU JFET-SIC .....	77
III.4.4	MODELE VHDL-AMS « MODELE DU MOUSSA [2008] ».....	79
III.4.5	EQUATIONS DU MODELE DU JFET EN STATIQUE EN ORCAD-PSPICE.....	81
III.4.6	EQUATIONS DU MODELE DU JFET EN DYNAMIQUE.....	82
III.5	CARACTERISATION ELECTRIQUE DE JFET-SIC.....	83
III.5.1	CARACTERISATION ELECTRIQUE STATIQUE.....	84
III.5.2	CARACTERISATION DYNAMIQUE EN COMMUTATION .....	86
III.5.3	CARACTERISATION ELECTRIQUE STATIQUE EN POLARISATION DIRECTE.....	87
III.5.4	CARACTERISTIQUE DE TRANSFERT EN REGIME DE SATURATION .....	88
III.5.5	L'EFFET DE LA TEMPERATURE.....	89
III.5.6	CARACTERISATION ELECTRIQUE STATIQUE EN MODE DE POLARISATION INVERSE.....	91
III.5.7	CARACTERISATION ELECTRIQUE STATIQUE EN MODE DE POLARISATION DIRECTE.....	92
III.5.8	CARACTERISATION ELECTRIQUE STATIQUE EN MODE DE POLARISATION INVERSE.....	93
III.5.9	CARACTERISATION EN COMMUTATION SUR CHARGE RL.....	94
III.5.10	VALIDATION DES CARACTERISTIQUES DYNAMIQUES EN COMMUTATION .....	95
III.6	VALIDATION DU MODELE EN ORCAD-PSPICE.....	98
III.6.1	VALIDATION DES CARACTERISTIQUES STATIQUES.....	98
III.6.2	VALIDATION DE LA CARACTERISTIQUE DE TRANSFERT EN SATURATION.....	101
III.6.3	CONCLUSION.....	102
<b>CHAPITRE IV : MODELISATION ET SIMULATION DU TRANSISTOR SIC MOSFET</b>		
IV.1	CARACTERISTIQUES I-V DES DISPOSITIFS MOSFETS SIC .....	103
IV.1.1	RAPPEL SUR LES MESURES COURANT-TENSION.....	103
IV.1.2	LES MOSFET EN CARBURE DE SILICIUM (SIC).....	105
IV.2	MODELISATION DU TRANSISTOR SIC MOSFET .....	108
IV.2.1	CARACTERISTIQUES STATIQUES .....	108
IV.2.2	EVOLUTION DES CARACTERISTIQUES $I_D-V_D$ SUR LES MOSFETS SIC.....	109
IV.2.3	EXTRACTION DE $\theta$ ET $V_{TH}$ .....	110
IV.2.4	EXTRACTION DE $K_P$ .....	111
IV.2.5	EXTRACTION DE $\Lambda$ .....	111
IV.2.6	EXTRACTION DE $K_{P_{SAT}}$ ET $K_{P_{LIN}}$ (POUR $T=135^\circ C$ ).....	111
IV.3	MODELE ELECTROTHERMIQUE DU MOSFET EN CARBURE DE SILICIUM .....	112
IV.3.1	LES EFFETS DE LA TEMPERATURE (AUTO-ECHAUFFEMENT).....	112
IV.3.2	VALIDATION DU MODELE POUR LE MOSFET SIC .....	115
IV.3.3	CONCLUSION.....	118

## CHAPITRE V : APPLICATION AUX CONVERTISSEURS DC/DC

V.1	INTRODUCTION.....	119
V.1.1	PRESENTATION DU SIMULATEUR ORCAD-PSICE.....	120
V.1.2	GENERALITES SUR LA CONCEPTION D'UN CONVERTISSEUR.....	120
V.2	MODELISATION DES CONVERTISSEURS DC /DC.....	121
V.2.2	ÉTUDE DU FONCTIONNEMENT.....	124
V.2.3	CONDUCTION CONTINUE.....	125
V.2.4	CONDUCTION DISCONTINUE.....	129
V.2.5	CONDUCTION CRITIQUE.....	130
V.3	RESULTATS DE SIMULATION DU HACHEUR BOOST PAR PSICE.....	133
V.4	COMPARAISON ENTRE LES INTERRUPTEURS DANS UN CONVERTISSEUR BOOST A 200°C.....	136
V.5	CONCLUSION.....	140
	CONCLUSION GENERALE.....	141

## Nomenclateur des Symboles Utilisés

Si	Silicium
SiC	Carbure de silicium
SiC-3C	Polytype du SiC
SiC-4H	Polytype du SiC
SiC-6H	Polytype du SiC
SiC-15R	Polytype du SiC
$C_{DS}$	Capacité drain-source (F)
$C_{GD}$	Capacité grille-drain (F)
$C_{GS}$	Capacité grille-source (F)
$D_{GD}$	Diode grille-drain
$D_{GS}$	Diode grille-source
$E_C$	Champ électrique critique (V/cm)
T	Température (K, °C)
$E_g$	Bande interdite (eV)
V1	JFET-SiC version-1
$V_B$	Tension de claquage (V).
$V_{BR}$	Tenue en tension de la diode (V).
$V_D$	Tension aux bornes de la diode (V).
$V_F$	Tension aux bornes de la diode en direct (V).
$V_I$	Tension déterminant la valeur du courant de diode en direct (V).
$V_R$	Tension aux bornes de la diode en inverse (V).
$V_{RM}$	Tension inverse maximale aux bornes de la diode (V).
$V_T$	Tension de seuil du MOSFET (V).
$W_B$	Épaisseur de la région de déplétion ( $\mu\text{m}$ ).
$X_{jn}$	Largeur de la région fortement dopée N ( $\mu\text{m}$ ).
$X_{jp}$	Largeur de la région fortement dopée P ( $\mu\text{m}$ ).
A	Surface effective de la diode ( $\text{mm}^2$ ).
$A_{GD}$	Surface équivalente du MOSFET entre la grille et le drain ( $\text{mm}^2$ ).
$\epsilon$	Constante diélectrique du milieu considéré ( $\text{F}\cdot\text{m}^{-1}$ ).

## Nomenclature des Symboles Utilisés

---

$\epsilon_r$	Constante diélectrique relative du milieu considéré.
$\epsilon_{Si}$	Constante diélectrique du silicium ( $105.7 \times 10^{-12} \text{ F.cm}^{-1}$ ).
$\epsilon_0$	Constante diélectrique du vide ( $8.854 \times 10^{-12} \text{ F.m}^{-1}$ ).
$\theta$	Paramètre empirique de modulation de mobilité dans le canal du MOSFET ( $\text{V}^{-1}$ ).
$\lambda$	Longueur d'onde de l'onde (m).
$\mu_n$	Mobilité des électrons ( $\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ ).
$\mu_p$	Mobilité des trous ( $\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ ).
$R_D$	Résistance d'accès au drain du MOSFET ( $\Omega$ ).
$R_{DS}$	Résistance équivalente du MOSFET entre le drain et la source ( $\Omega$ ).
$R_{DSON}$	Résistance du MOSFET entre drain et source en statique directe ( $\Omega$ ).
$R_G$	Résistance d'accès à la grille du MOSFET ( $\Omega$ ).
$R_{ON}$	Résistance spécifique ( $\Omega \cdot \text{cm}^2$ ).
$R_S$	Résistance d'accès à la source du MOSFET ( $\Omega$ ).
$I_F$	Courant de diode en direct (A).
$I_S$	Courant inverse de diode (A).
$I_{RM}$	Courant inverse maximal de diode (A).
$i(t)$	Courant de diffusion ambipolaire (A).
$J_n(x, t)$	Densité de courant des électrons ( $\text{A.cm}^{-2}$ ).
$J_p(x, t)$	Densité de courant des trous ( $\text{A.cm}^{-2}$ ).
$k$	Constante de Boltzmann ( $1.380066 \times 10^{23} \text{ J.K}^{-1}$ ).
$K_P$	Transconductance du MOSFET ( $\text{A.V}^{-2}$ ).
$L$	Valeur de l'inductance (H).
$L_a$	Longueur de diffusion ambipolaire ( $\mu\text{m}$ ).
$L_C$	Longueur du conducteur de l'inductance à air (m).
$L_D$	Inductance de maille (nH).
$L_1$	Inductance d'une unité de longueur de ligne de transmission (H).
$n$	Concentration en électrons ( $\text{cm}^{-3}$ ).
GaAs	Arséniure de gallium
BHFM	Facteur de mérite de Baliga pour les applications à haute fréquence
JFM	Facteur de mérite de Johnson
BJT	Bipolar Junction Transistor

## Nomenclature des Symboles Utilisés

---

JTE	Junction Termination Extension
BFM	Facteur de mérite de Baliga
KFM	Facteur de mérite de Keyes
MAST	Modeling Analog Systems with Templates
V2	JFET-SiC version-2
GaN	Nitride de gallium
V3	JFET-SiC version-3
GaP	Phosphure de gallium
$V_{bi}$	Tension de diffusion (V)
gd	Conductance de drain (A/V)
$V_B$	Tension de claquage (V)
gm	Transconductance de drain (A/V)
$V_{DS}$	Tension drain-source (V)
$g_o$	Conductance maximale de drain (A/V)
$V_{Dsat}$	Tension drain-source à la saturation
h	Longueur du canal vertical (cm)
$V_{GD}$	Tension grille-drain (V)
$I_{DS}$	Courant drain-source (A)
$V_{GS}$	Tension grille-source (V)
$I_{Dssat}$	Courant de saturation du drain (A)
$V_{GSmax}$	Tenue en tension de la jonction grille-source (V)
$I_{GS}$	Courant grille-source (A)
$V_P$	Tension de pincement du canal latéral (V)
$I_P$	Courant de pincement (A)
$V_{PV}$	Tension de pincement du canal vertical (V)
$I_s$	Courant de saturation de jonction PN (A)
C-V	Capacité-Tension PFC Power Factor Corrector
GTO	Gate Turn Off
R-L	Résistive et inductive
HDL	Hardware Description Language
SDB	Schottky Barrier Diode

## Nomenclature des Symboles Utilisés

---

IEMOSFET	Implantation and Epitaxial MOSFET
SiCED	Silicon Carbide Electronics Development
IGBT	Insulated Gate Bipolar transistor
SPICE	Simulation Program with Integration Circuit Emphasis for PC
I-V	Courant-Tension TI-JFET Trench Implanted JFET
JBS	Junction Barrier Schottky
VHDL-AMS	Very high speed integrated circuit
$A_{GS}$	Surface équivalente à la variation de zones de charge d'espace dans la région de commande ( $cm^2$ )
$R_{drift}$	Résistance de la région de dérive ( $\Omega$ ).
$R_g$	Résistance de grille ( $\Omega$ ).
$a$	Largeur du canal latéral (cm)
$R_{ON}$	Resistance à l'état passant ( $\Omega$ ).
$2b$	Largeur du canal vertical (cm)
$R_s$	Resistance série ( $\Omega$ ).
$R_{sub}$	Résistance du substrat ( $\Omega$ ).
$A_C$	Surface active ( $cm^2$ )
$R_{ch}$	Résistance du canal latéral ( $\Omega$ ).
$A_{DS}$	Surface équivalente à la variation de zones de charge d'espace dans la région de dérive ( $cm^2$ )
$R_{CV}$	Résistance du canal vertical ( $\Omega$ ).
AMS	Analog and Mixed Signal
JFET	Junction Field Effect Transistor
VJFET	Vertical Junction Field Effect Transistor
BPT	Bipolar Power Transistors
MOSFET	Metal-Oxide Semiconductor Field Effect Transistor
CEM	Compatibilité Electro-Magnétique
DC/DC	Convertisseur de courant continu
DCM	Discontinuous Conduction Mode
FET	Field Effect Transistor
$I_s$	Courant de sortie
MLI	Modulation de Largeur d'Impulsion

## Nomenclature des Symboles Utilisés

---

MOS	Metal Oxide Semiconductor
$V_{RM}$	Voltage Regulator Module
$V_s$	Tension de sortie
$V_e$	Tension d'entrée
AC/AC	Convertisseur de courant alternatif
CMP	Convertisseur Multicellulaire Parallèle
CI	Circuit Intégré
Boost	Convertisseur survolteur de tension
Buck	Convertisseur abaisseur de tension

# **Introduction Générale**

## Introduction Générale

Le développement de l'électronique de puissance touche tous les secteurs industriels, les transports (automobile, aéronautique, ferroviaire...), la production d'électricité (éolien, photovoltaïque...), dans de très larges gammes de puissance, ainsi que des applications plus large public (électroménager, informatique...). De nombreux secteurs d'activités stratégiques ont aujourd'hui besoin d'une électronique de puissance à haute température, c'est le cas notamment dans certaines applications de transport automobile et aéronautique [1], dans certaines applications aérospatiales, dans les applications de forage...L'ensemble de ces secteurs d'activité nécessitent une fiabilité maîtrisée avec des durées de vie d'équipement connues, les contraintes thermiques peuvent être extrêmement sévères avec des cycles de température de forte amplitude pouvant varier dans des cas extrêmes entre  $-55^{\circ}\text{C}$  et  $+200^{\circ}\text{C}$ . C'est le cas également pour des applications automobile dans le cadre des véhicules hybrides où des températures ambiantes de  $120^{\circ}\text{C}$  peuvent être atteintes entraînant les puces à des niveaux de température pouvant atteindre  $175^{\circ}\text{C}$  à  $200^{\circ}\text{C}$ . Ces applications à haute température représentent un défi majeur dans l'avenir pour l'électronique de puissance [2],

Les principales contraintes sur les composants à semi-conducteur de puissance sont liées à la fiabilité et à l'environnement extrêmement sévère de ces différents domaines d'application (cyclage en température, actif et passif). De manière générale, la température est le principal facteur d'accélération du vieillissement des composants de puissance.

L'élément actif d'un composant ou module de puissance est la puce à semi-conducteur. Actuellement, le matériau utilisé pour la fabrication de puces est le silicium malgré l'apparition des composants à base de matériaux à grand gap tels que le SiC ou le GaN. On constate également une forte volonté d'augmenter la température maximale admissible par des puces. Cette tendance forte est motivée par le développement de certaines applications plaçant les composants de puissance dans un environnement « haute température ». On peut penser aux applications automobiles hybrides avec une température ambiante pouvant atteindre  $90$  à  $120^{\circ}\text{C}$  ou plus critiques, les applications aéronautiques ( $200^{\circ}\text{C}$  au voisinage du réacteur) et pétrolières. La montée en température est également liée à l'intégration de plus en plus compacte des convertisseurs d'énergie. Dans le même temps, une montée en température des puces permet de réduire le volume des refroidisseurs d'où un gain de volume et de masse conséquent sur les convertisseurs.

Dans des conditions sévères à haute température, le silicium atteint rapidement ses limites lorsque, par exemple, la concentration intrinsèque de porteurs générés devient du même ordre de

grandeur que le dopage de la région N- assurant la tenue en tension (il devient alors difficile de différencier un semi-conducteur de type N d'un semi-conducteur de type P). A titre d'exemple, la limite pour le silicium est de l'ordre de seulement 175°C pour un composant de tension de claquage 1200V alors qu'elle est de l'ordre de 250°C pour une tension de claquage d'environ 100V. Ainsi pour les applications de puissance à haute température, les matériaux à grand gap sont extrêmement intéressants car ils repoussent les limites en températures rencontrées avec le silicium. Ces matériaux modifient également complètement les domaines d'utilisation potentiels des composants unipolaires et bipolaires. Pour le silicium, les composants unipolaires possèdent de meilleures performances que les bipolaires tant que la tension de claquage reste inférieure à environ 400V [3]. Ce chiffre ne concerne pas les composants à base de super-jonction dont nous parlerons ultérieurement. Pour les composants SiC cette limite est largement repoussée vers la haute tension. Les composants grand gap présentent, en effet, un champ critique d'avalanche considérablement plus élevé que celui du silicium (facteur 10 pour le SiC) ce qui permet de concevoir des composants SiC ayant une épaisseur de base 10 fois plus faible qu'un composant Si de même tenue en tension, avec un dopage 100 fois plus élevé. La résistance spécifique d'un composant SiC peut ainsi être environ mille fois plus faible que celle d'un composant Si de même calibre en tension. C'est la raison pour laquelle tant d'efforts sont actuellement consentis sur les matériaux grand gap tels que le SiC ou le GaN.

L'objectif principale de cette thèse est de présenter des études analytiques comparatives des modèles des composants à semi-conducteurs en SiC, ainsi que les principales caractéristiques statiques, dynamiques, et thermiques des meilleurs composants comme SiC-JFET, SiC diode Schottky et le SiC-MOSFET, de puissance commercialisés par différents constructeurs en raison d'élaborer un plan de choix guidant les concepteurs des circuits d'électronique de puissance à sélectionner le composant le plus adapté à leur cahier de charges selon leurs objectifs et selon les performances de leurs convertisseurs de puissance.

La thèse se décompose en Cinq chapitres principaux :

- Le premier chapitre est une étude bibliographique sur les composants de puissance de base et leurs technologies intégrant les principaux modes de défaillance.
- Dans le deuxième chapitre, après une présentation des technologies grand gap (Carbure de Silicium) et leurs propriétés intéressantes pour le développement de nouvelles conceptions de circuits électroniques de puissance, on se focalisera sur la technologie des diodes Schottky en carbure de silicium (SiC).

- Dans le troisième chapitre, nous allons présenter notre travail sur la modélisation et le développement d'un modèle sous Spice du transistor SiC JFET du SiCED. Ce modèle inclut une représentation asymétrique du canal latéral et les capacités de jonction de la structure et qui tient compte de la température. Une validation du modèle en statique et en dynamique sera également présentée.
- Le quatrième chapitre présente une caractérisation d'un modèle Spice du transistor SiC MOSFET. Ce modèle tient compte de la température. Une validation du modèle en statique et en dynamique sera également présentée.
- Finalement, une étude du convertisseur DC/DC de type « Boost » a été élaborée. Les simulations électriques des différents composants latéraux (résistances, diodes, transistors) valident la conception, le dimensionnement et le procédé de fabrication de ces structures élémentaires, mais aussi de la majorité des fonctions analogiques.

# **Chapitre I : Les Composants de L'électronique de Puissance à Base de Si**

## **I.1. Introduction**

En électronique de puissance, les fonctions sont principalement liées aux opérations de contrôle et de conversion de l'énergie électrique. Ainsi, les composants semi-conducteurs de puissance sont principalement destinés à des fonctions d'interrupteur dans la mise en œuvre des convertisseurs d'énergie (redresseur, hacheur, onduleur, et.)[4]. Toutefois, des fonctions spécifiques de protection des équipements électriques mettent également en jeu des semi-conducteurs de puissance. Les premiers composants de puissance (diodes, transistors bipolaires, thyristors) permettant de contrôler des tensions et des courants élevés furent commercialisés à la fin des années 1950 et depuis, les composants semi-conducteurs se sont progressivement substitués aux solutions électromécaniques pour la réalisation des convertisseurs d'énergie [5].

L'étude des composants de puissance à semi-conducteur est une discipline à part entière [6]. Notre but, dans ce chapitre, n'est pas de traiter des détails de physique des semi-conducteurs ni de leur technologie de fabrication. Nous nous en tiendrons au minimum nécessaire pour présenter de façon simple des éléments de physique des semi-conducteurs [7]. Cela nous servira pour expliquer les principales caractéristiques statiques et dynamiques étudiées dans ce travail, pour la diode de puissance P-i-N, le transistor MOSFET de puissance et l'IGBT.

Dans les textes suivants, nous présenterons, pour chaque composant étudié, les éléments de physique et de technologie essentiels, les caractéristiques statiques puis les comportements dynamiques, et les modèles que nous adoptons dans notre thèse.

## **I.2. Le but de la simulation en électronique de puissance**

Avec le développement de l'informatique, il est devenu possible avant même de réaliser un prototype, de prévoir le fonctionnement d'un composant ou d'un convertisseur grâce aux logiciels de simulation [8]. Ces outils permettent donc, connaissant la topologie et les caractéristiques du système de puissance étudié, de fournir les différents chronogrammes de fonctionnement du système en appliquant des méthodes numériques de résolution des équations de Kirchhoff associées aux lois physiques de chaque composant [9]. La simulation est devenue bien plus qu'un besoin mais bien une nécessité tant au niveau de l'ingénierie que de la recherche, puisqu'elle permet finalement de faire fonctionner, à l'aide d'un simple ordinateur, un système électronique sans qu'il soit nécessaire d'investir de fortes sommes d'argent et beaucoup de temps dans une réalisation expérimentale.

Le but de la simulation est de permettre la simulation de systèmes avec le plus d'exactitude possible afin de se rapprocher le plus possible des résultats obtenus de façon expérimentale [10]. Nous définissons le niveau de représentativité d'un modèle comme l'aptitude que possèdent les équations constitutives du modèle pour recréer l'ensemble des phénomènes physiques qui régissent le composant que l'on modélise. En effet, plus un composant sera décrit, ou plus exactement, modélisé de manière à ce que ses équations soient plus proches de la réalité physique, plus les résultats obtenus en simulation seront à l'égal des mesures expérimentales. Par exemple, les trois composants de base de l'électronique que sont la résistance, la bobine et le condensateur sont modélisés par une unique loi physique qui à elle seule donne une bonne représentativité physique (sans les différentes pertes) pour une extrême simplicité de modélisation. Les problèmes commencent quand il s'agit de modéliser des composants complexes comme les diodes ou les transistors. Ces éléments sont définis par des équations physiques complexes qu'il serait difficile de résoudre par un simulateur sans faire plusieurs simplifications [11]. Ces simplifications se traduisent par la construction de différents modèles de niveaux de représentativité à l'image de ces simplifications. Ainsi, nous pouvons considérer un modèle de diode basique composé d'un simple élément qui ne laisse passer le courant que dans un sens. Une amélioration serait d'ajouter une source de tension qui modélise la chute de tension à l'état passant ainsi qu'une résistance qui modélise les pertes en conduction ...etc.

### **I.3. L'effet de l'auto-échauffement sur les composants de puissance**

Le phénomène d'auto-échauffement est caractérisé par le fait que la production de chaleur est plus rapide que sa dissipation. Il en résulte alors une montée de température du système, une forte élévation de la température peut endommager le composant électronique, voire le détruire.

Le comportement thermique et le fonctionnement électrique d'un composant ou d'un système électronique sont liés, cela est dû d'une part aux propriétés électriques des semi-conducteurs qui sont affectées par la variation de la température et d'autre part à la température de la jonction qui varie en fonction de la puissance dissipée et de l'environnement de refroidissement. Ainsi, afin d'augmenter la fiabilité des systèmes électroniques et de bien optimiser leur conception thermique (boîtiers, conditions de fonctionnement, emplacement des composants sur les circuits imprimés...), il faut avoir une bonne estimation du comportement électrothermique des circuits et des composants. Les étapes nécessaires à la réalisation du couplage électrothermique des composants électroniques sont exposées dans [12] : La première étape consiste à créer un modèle électrique du

composant électronique (MOS, IGBT, Diode...). La deuxième étape consiste à définir tous les paramètres du modèle électrique qui sont affectés par la température (Mobilité, concentration des porteurs, durée de vie ...). La dernière étape consiste à développer le modèle thermique de toute la structure que constitue le composant, son boîtier est son refroidissement puis à établir une communication entre ces deux modèles.

La modélisation et la simulation de l'auto-échauffement requiert la résolution d'un problème électrique et d'un problème thermique couplé. Dans le cas des semi-conducteurs, le modèle électrique doit représenter le comportement électrique du dispositif avec des propriétés physiques et dépendant de la température. Le modèle thermique assure l'estimation de l'évolution et de la répartition de la température dans le dispositif en fonction des sources internes de chaleurs et des échanges avec l'extérieur. De nombreuses études qui visent à mettre en œuvre un couplage entre le comportement électrique de composants de puissance et l'impact thermique de toute la structure ont été développées.

#### **I.4. Modélisation des semi-conducteurs**

L'ensemble des modèles de composants semi-conducteurs peut se diviser en deux groupes : un groupe de méthodes qui emploient des modèles numériques [12], et un groupe de modèles analytiques. Dans le cas des modèles numériques, il s'agit souvent de logiciels à éléments finis (MEDICI, ISE-DESSIS) qui résolvent les équations de la physique des semi-conducteurs, telles que l'équation de diffusion, les équations de transport, etc. Ces équations ont des paramètres qui sont entièrement déterminés par les dopages et les dimensions physiques de la puce de silicium, ou de carbure de silicium. L'inconvénient de ces modèles est qu'ils sont difficilement implantables sous forme de circuit équivalent, sauf dans le cas des composants unipolaires. Les modèles analytiques peuvent être soit comportementaux (VHDL-AMS, MAST) et dans ce cas ils utilisent des équations décrivant le comportement électrique du dispositif, soit structuraux (Spice) qui consistent généralement à représenter le dispositif par des composants tels que résistances, capacités, et sources commandées. Les valeurs de ces composants sont choisies de façon à ce que le comportement du composant semi-conducteur modélisé corresponde le mieux possible au comportement mesuré. L'inconvénient des modèles structuraux réside surtout dans le fait que l'identification des paramètres du modèle se fait pour un point de fonctionnement, et que souvent ces paramètres ne sont valables que pour ce point de fonctionnement [13].

Notre but est de simuler l'ensemble du circuit de mesure au moyen du simulateur électrique Orcad-PSpice [13]. Ce logiciel de simulation électrique permet d'utiliser la simulation de composants par éléments finis avec des modèles structuraux de type Spice [14].

Il est préférable d'identifier les paramètres transitoires à partir de mesures en commutation plutôt que des mesures capacitatives pour les composants de puissance. Les appareils standard de mesure de capacité fonctionnent en général au-dessous de 40V, car destinés plus particulièrement à la microélectronique. C'est une limitation pour la plupart des dispositifs à semi-conducteur de puissance. De plus, les tensions grille-source pour les mesures de  $C=f(V)$  sont limitées au dessous du seuil afin de ne pas rendre brusquement passant le composant polarisé sous quelques dizaines de volt. Or toutes les commutations se passent au-dessus de  $V_T$ . Enfin, les méthodes actuelles de mesure employées exploitent des courants faibles pour la mesure de capacité. De telles méthodes posent un problème de bruits de mesures, qui rend les mesures très difficiles et de reproductibilité, qui dépend de la connectique et du câblage. Il en résulte que la méthode temporelle est plus facile à mettre en œuvre et plus précise que la méthode classique pour les composants haute tension [14].

Les méthodes de modélisation numérique de composants semi-conducteurs résolvent les équations des semi-conducteurs. Le fonctionnement des composants semi-conducteurs est gouverné par les équations ci-dessous. Nous limitons l'étude de la diode au cas unidimensionnel.

### **I.4.1. Modélisation comportementale**

Dans la hiérarchie des approches de modélisation, la modélisation comportementale correspond au niveau le plus élevé (macroscopique) de description [15]. En effet, le comportement d'une structure est vu dans sa globalité sur un domaine de validité figé sans tenir compte des mécanismes physiques mis en jeu. La modélisation comportementale se définit donc comme un « cliché de fonctionnement » du dispositif concerné. Le modèle qui découle de cette définition est donc représenté comme une « boîte noire » possédant des bornes d'entrée et de sortie liées par un jeu de paramètres ajustables. La procédure de description comportementale adoptée permet d'assurer deux principaux objectifs. Le premier est l'utilisation de paramètres uniquement électriques afin d'être en accord avec l'approche des concepteurs du système global. Ces paramètres sont facilement modifiables et leur impact sur la fonctionnalité de la structure est rapidement observable. Le second objectif résulte d'un compromis optimisant la rapidité de simulation d'un circuit avec les modèles de composants.

Les modèles sont basés sur la formulation mathématique du comportement électrique

---

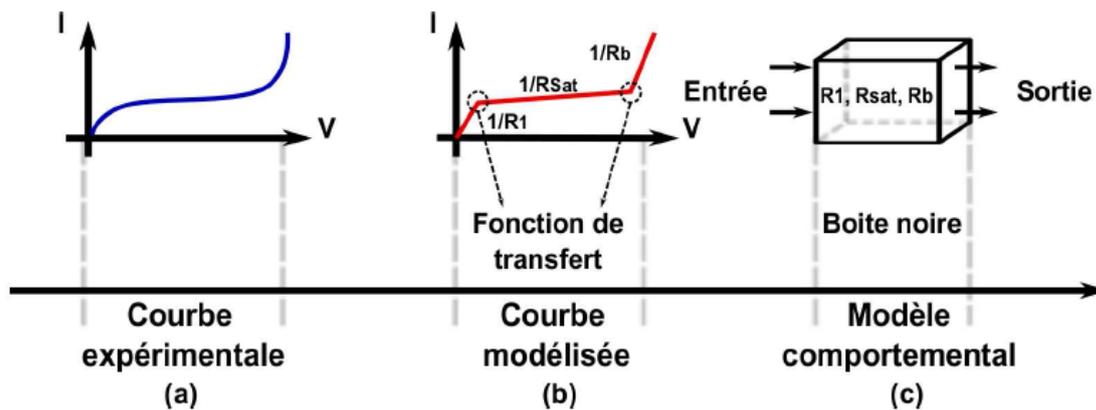


Figure I.1 : Principe de la modélisation comportementale.

et sur l'extraction expérimentale des paramètres électriques vus au travers des bornes d'entrée et de sortie de la cellule. La caractéristique électrique est découpée en une succession de courbes définies par des équations simples comme des droites, des paraboles ou encore des hyperboles. Le modèle comportemental est alors une représentation par blocs de la caractéristique électrique reliés entre eux par des fonctions de transfert spécifiques comme le montre la figure I.1. Ces fonctions de transfert permettent de diminuer les problèmes de convergence liés aux nombreux changements d'équations dans la description du modèle. En effet, elles fournissent au simulateur une fonction globale qui est bijective et présente une dérivée continue. L'écart entre deux points de calcul consécutifs est ainsi minimisé.

A chacune de ces équations mathématiques sont donc associés des paramètres dont les valeurs sont obtenues à partir de procédures d'extractions effectuées sur des dispositifs tests. Il est donc fondamental lors de la phase de modélisation d'inclure la prise en compte de la procédure d'extraction associée afin d'utiliser des paramètres facilement accessibles.

#### I.4.2. Modélisation structurelle

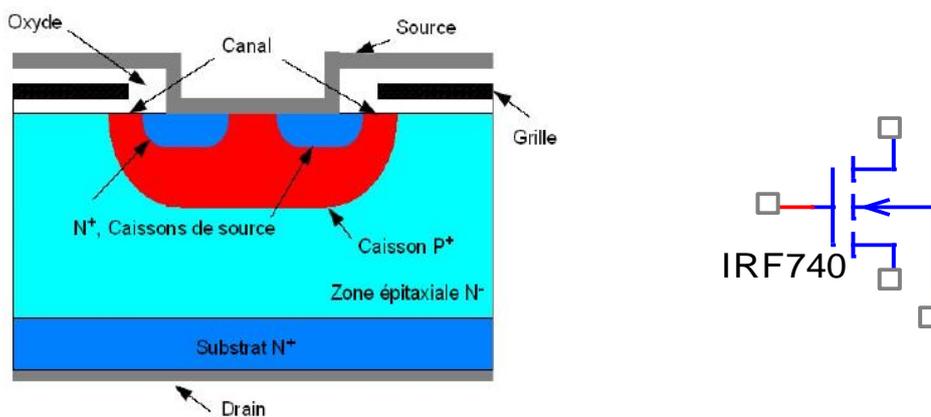
La modélisation structurelle consiste à décrire le composant ou le circuit par sa structure, c'est à dire par les éléments qui le décrivent (capacité, résistance, diode, ...etc.). Le modèle structurel s'aligne ainsi sur la bibliothèque du fondeur ou du fabricant de circuit intégré. Il prend en compte les paramètres technologiques utilisés en fabrication. La modélisation structurelle utilise les sous circuits du simulateur et demande un temps d'analyse trop important lors de la simulation des systèmes complexes. L'inconvénient vient de la taille des circuits. Certains circuits analogiques (amplificateur opérationnel) contiennent plusieurs centaines de transistors et autres composants ; ceci augmente considérablement le nombre de nœuds, et par la suite la taille de la matrice à traiter par le simulateur d'où le temps de calcul est grand.

## I.5. Transistor MOSFET de puissance

Le transistor MOSFET (Metal-Oxide-Silicon Field-Effect-Transistor) [16] présente la particularité d'être un interrupteur de puissance commandé qui fonctionne en mode unipolaire, c'est-à-dire que le courant n'est dû qu'au déplacement d'un seul type de porteurs de charges. Il en résulte une très grande rapidité de commutation due à l'absence de charge stockée. En revanche, la chute de tension est relativement élevée à l'état passant. C'est du à l'absence de la zone de plasma dans la zone N<sup>-</sup>.

### I.5.1. Physique et technologie du MOSFET de puissance

Un MOSFET de puissance est formé d'un grand nombre de cellules élémentaires mises en parallèle. Sa structure verticale permet au courant de traverser la puce de silicium perpendiculairement et assure une assez grande tenue en tension. La figure I.2-a) représente une vue en coupe de deux cellules voisines, et la figure 1.2-b) montre le symbole usuel du MOSFET de puissance avec les notations classiques.



**Figure I.2** Structure et symbole du MOSFET

Le contact métallique sur lequel est brasée la puce de silicium constitue le contact de drain D. La zone en contact avec le drain est une zone de type N<sup>+</sup> qui est le substrat. La partie N<sup>-</sup> faiblement dopée sert à assurer la tenue en tension à l'état bloqué. La partie N<sup>+</sup> évite que l'épaisseur totale ne conduise à une résistance excessive. Des îlots de type P sont diffusés depuis surface supérieure de la puce. Dans ces îlots ont été diffusés des îlots de type N<sup>+</sup>. Du côté de source, une première couche d'oxyde isole la métallisation de grille G de la surface de la puce entre les îlots N<sup>+</sup> et le substrat.

Une deuxième couche d'oxyde isole la métallisation de grille de la métallisation de source S qui relie entre elles les diverses cellules élémentaires.

En l'absence de polarisation positive de la grille, le transistor est bloqué. Si une tension  $V_{DS}$  positive est appliquée aux bornes du drain et de la source, le courant de drain  $I_D$  est idéalement nul. En fait, il existe un très faible courant de fuite correspondant à la jonction  $PN^+N^+$  polarisée en inverse.

### **I.5.2. Fonctionnement du transistor MOSFET**

Pour faire passer le courant du côté drain au côté source du MOSFET de puissance, il est essentiel de former un chemin conducteur qui s'étend entre la région source  $N^+$  et la région drift. Ceci peut être établi par l'application d'une polarisation positive à la grille supérieure à la tension de seuil du dispositif [17].

Lorsque la tension  $V_{GS}$  est inférieure à la tension de seuil  $V_T$ , le transistor est bloqué. Le courant  $I_D$  est pratiquement nul, du moins tant que  $V_{DS}$  n'atteint pas la tension d'avalanche  $V_{BR}$  de la jonction  $PN^+N^+$  qui supporte cette tension.

Lorsque la tension  $V_{GS}$  dépasse la tension de seuil, l'apparition d'un canal rend le transistor conducteur. A partir de  $V_{DS} = 0$ , le courant  $I_D$  croît d'abord proportionnellement à  $V_{DS}$ , ce qui correspond à une résistance  $R_{DS(on)}$  entre drain et source presque constante.

Lorsque  $V_{DS}$  est positive, si l'on polarise positivement la grille, on peut rendre le transistor conducteur. Le champ électrique résultant qui apparaît dans la couche d'oxyde attire vers la surface du silicium les électrons minoritaires de la zone P et repousse les trous majoritaires. Lorsque la tension devient supérieure à une valeur appelée seuil  $V_T$  (Threshold voltage) de l'ordre de quelques volts, les électrons deviennent localement assez nombreux pour assurer la conduction sous l'oxyde de grille. C'est le canal de type N entre les îlots  $N^+$  et la zone  $N^-$ . Les électrons peuvent se déplacer dans ce canal et donner naissance au courant direct de drain. Lorsque la tension  $V_{DS}$  atteint une valeur appelée tension de pincement  $V_P$  (pinching voltage), le canal est interrompu par la zone de charge de la jonction  $PN^-$ : le courant  $I_D$  devient presque indépendant de  $V_{DS}$  car les électrons passent en vitesse limite. Cela correspond au régime de saturation du MOSFET.

Pour bloquer ce composant, il suffit de ramener la tension  $V_{GS}$  au-dessous de la tension de seuil pour éliminer les canaux.

### I.5.3. Le modèle sélectionné du transistor MOSFET de puissance

Le modèle SPICE [18] (niveau 1 à 3) du transistor MOSFET est largement utilisé dans la littérature pour représenter un transistor MOSFET de puissance. Cependant ce modèle n'est pas satisfaisant pour prédire le comportement transitoire de ce transistor avec précision. Dans ce contexte, [19] a développé un modèle disponible pour SPICE, notamment lors de son recouvrement. Ce modèle a été amélioré par H.Hellali [20] en tenant compte de deux transconductances  $K_{plin}$  et  $K_{psat}$  pour mieux représenter convenablement le courant dans le canal.  $K_{plin}$  et  $K_{psat}$  correspondent respectivement à la région linéaire et de saturation des caractéristiques statiques de la diode. Ces deux paramètres sont inspirés des modèles empiriques introduits par A.Hefner [21]. La figure I.3 montre le schéma électrique équivalent du modèle de MOS sélectionné.

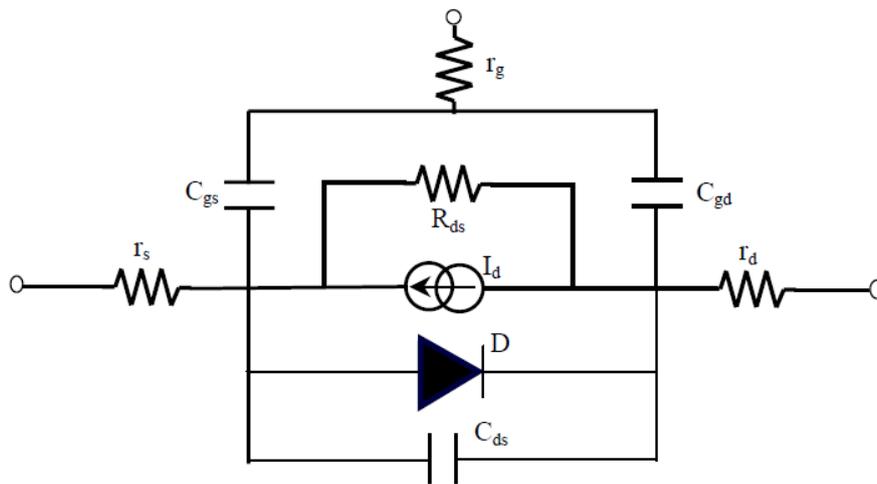


Fig. I.3 : Schéma électrique équivalent du transistor MOS sélectionné

En supposant un courant de canal parabolique par rapport à  $V_{DS}$  en régime linéaire et par rapport à  $V_{GS}$  en régime de saturation, et en tenant compte de la continuité de la dérivée, nécessairement :

$$I_{DS} = 0 \quad \text{si} \quad V_{GS} < V_{th} \quad (\text{I.1})$$

$$I_{DS} = K_{plin} (V_{GS} - V_{th}) V_{DS} - \frac{K_{plin} V_{DS}^2}{2K_{psat}} \quad \text{si} \quad V_{DS} \leq (V_{GS} - V_{th}) \frac{K_{psat}}{K_{plin}} \quad (\text{I.2})$$

$$I_{DS} = \frac{K_{psat}}{2} (V_{GS} - V_{th})^2 \quad \text{si} \quad V_{ds} > (V_{GS} - V_{th}) \frac{K_{psat}}{K_{plin}} \quad (\text{I.3})$$

Les significations physiques des paramètres du modèle IRF740 sont présentées dans le tableau I.1

Paramètres	Signification physique
$K_{\text{plin}}$	Transconductance de la région linéaire de la caractéristique statique du MOSFET
$K_{\text{psat}}$	Transconductance de la région de saturation de la caractéristique statique du MOSFET
Theta	Facteur de correction permettant de prendre en compte l'influence du champ d'oxyde sur la mobilité dans le canal
$\theta$	Facteur de correction permettant de prendre en compte le champ transversal dans le canal.
$V_{\text{TH}}$	Tension de seuil
$N_{\text{D}}$	Concentration de la base
$A_{\text{GD}}$	Surface équivalente de l'espace grille-drain
$R_{\text{d}}$	Résistance de drain
$R_{\text{s}}$	Résistance de source
$R_{\text{g}}$	Résistance de grille
$R_{\text{DS}}$	Résistance de drain-source
$I_{\text{DC}}$	Courant de saturation de la jonction de l'émetteur
$C_{\text{GS}}$	Capacité grille-source
$C_{\text{GD}}$	Capacité grille-drain
$C_{\text{DS}}$	Capacité drain-source
MJ	Coefficient SPICE
FC	Coefficient SPICE
PB	Coefficient SPICE
$T_{\text{j}}$	Température de jonction

Tableau I.1 paramètres du modèle du transistor de puissance (IRF740)

#### I.5.4. Extraction des paramètres du modèle de MOSFET de puissance

Un modèle du transistor MOSFET de puissance n'est utile que si ses paramètres sont ajustés de manière à ce que ce modèle représente fidèlement les caractéristiques du composant physique. Les techniques classiques utilisées pour l'identification des paramètres électriques du transistor MOS de puissance reposent sur la mesure des caractéristiques statiques courant-tension  $I(V)$  et dynamiques capacité-tension  $C(V)$  [22]. Un certain nombre d'outils d'extraction sont proposés dans le commerce comme IC-CAP [23], c'est un programme d'extraction de paramètres automatisé et il est souvent utilisé en micro-électronique. La méthode d'extraction proposée utilise des signaux temporels au lieu de mesures délicates de la capacité utilisée dans les méthodes classiques [24]. Dans la phase d'identification des paramètres, deux types de caractéristiques électriques sont

exploitées : des caractéristiques statiques d'une part et des caractéristiques en commutation sur charge RL, à l'ouverture et à la fermeture du transistor, d'autres part [25].

La procédure d'indentification proposée comprend deux étapes principales :

- L'extraction des paramètres initiaux : ceci est basée sur des fichiers techniques de fabricant (*Datasheets*), des équations du modèle analytique, des caractéristiques statiques mesurées et des approches de simplification.
- Perfectionnement des paramètres par une approche d'optimisation pour minimiser l'écart entre la simulation et l'expérimentation.

Les paramètres du modèle du MOSFET de puissance, résumés dans le tableau I.1, sont divisés en deux groupes principaux :

- Le premier groupe adresse les caractéristiques statiques ( $V_T$ ,  $\theta$ ,  $k_{psat}$ ,  $k_{plin}$ ,  $R_{dson}$  et  $I_{sat}$ ).
- Le deuxième groupe adresse les caractéristiques dynamiques ( $C_{gs}$ ,  $C_{ds0}$ ,  $M_j$ ,  $P_b$ ,  $C_{oxd}$ ,  $N_B$  et  $A_{gd}$ ).

## 1.5.5. Validation du modèle de MOSFET

### 1.5.5.1. Validation statique

Les caractéristiques donnent le courant de drain  $I_D$  en fonction de la tension drain-source  $V_{DS}$ , pour diverses valeurs de la tension grille-source  $V_{GS}$ . La figure I.4 montre une allure de caractéristiques statiques que nous avons obtenues par le logiciel Orcad-Pspice pour le composant MOSFET (IRF740).

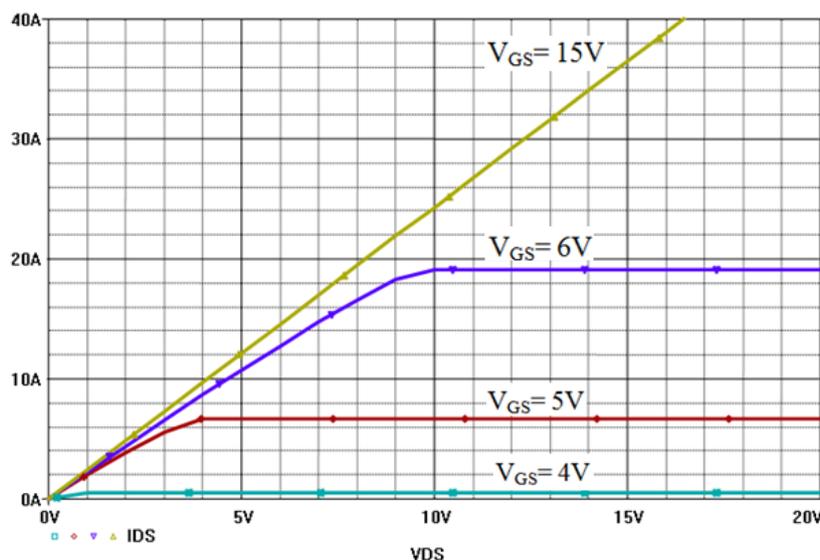


Figure I.4. Caractéristiques statiques pour le composant du MOSFET (IRF740)

A l'aide de la figure I.4, la caractéristique de transfert, on peut extraire la valeur  $V_T$ , la tension de seuil. Cette caractéristique donne les variations du courant de drain  $I_D$  en fonction de la tension grille-source  $V_{GS}$  lorsque le MOSFET est en régime de saturation. La tension  $V_{GS}$  doit rester inférieure à une valeur limite, sinon il y a risque de calquage de la couche d'oxyde grille.

Puisque les caractéristiques de transfert n'ont de signification que pour la région de saturation, nous avons fixé la tension d'alimentation  $V_{DS}$  à 20V.

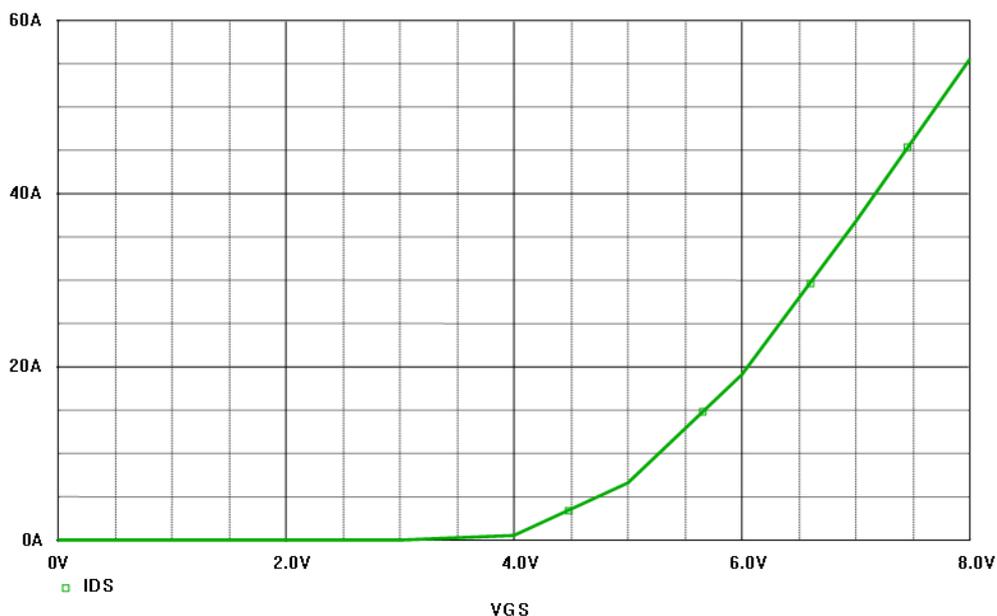


Figure I.5. Caractéristique de transfert pour le MOSFET (IRF-740) ( $V_{DS}=25V$ )

### 1.5.5.2. Validation dynamiques

Le MOSFET est intrinsèquement plus rapide que les composants bipolaires, car il n'a pas de charge stockée. Ce sont les capacités structurelles qui limitent la rapidité des commutations. Ces capacités peuvent être modélisées comme le montre la figure I.5. On remarque qu'il y a trois principales capacités dans un transistor MOSFET: la capacité grille-source  $C_{GS}$ , la capacité grille-drain  $C_{GD}$  et la capacité drain-source  $C_{DS}$ . Parmi ces capacités,  $C_{GS}$  est la plus importante à cause de la couche d'oxyde isolant la grille de la métallisation de source et du substrat. La capacité  $C_{GD}$  correspond à la zone de déplétion qui apparaît dans la zone P sous la métallisation de grille. La capacité  $C_{DS}$  correspond à la capacité de la jonction  $P^+N^-$  aux bornes de laquelle se retrouve pratiquement toute la tension  $V_{DS}$  à l'état bloqué.

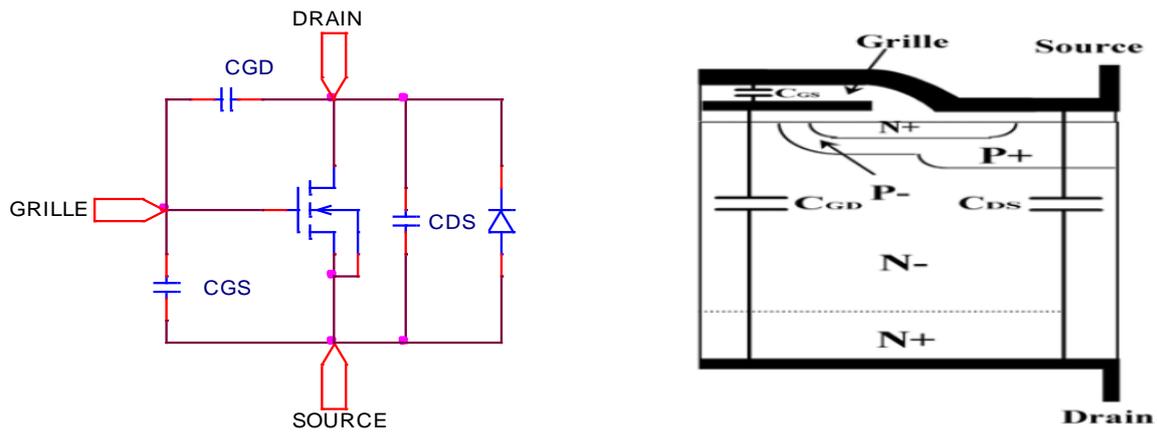


Figure I.6. Trois capacités parasites dans le transistor MOSFET

En pratique, on mesure les capacités  $C_{iss}$ ,  $C_{oss}$  et  $C_{rss}$  pour calculer ces trois capacités :

- la capacité d'entrée  $C_{iss}$  mesurée entre grille et source, avec court-circuit entre D et S. Donc,

$$C_{iss} = C_{GS} + C_{GD}$$

- la capacité de sortie  $C_{oss}$  mesurée entre drain et source, avec court-circuit entre G et S. Donc,

$$C_{oss} = C_{DS} + C_{GD}$$

- la capacité de transfert inverse  $C_{rss}$  mesurée entre drain et grille, avec court-circuit entre G et S. Donc,

$$C_{rss} = C_{GD}$$

On peut obtenir directement :

$$C_{GS} = C_{iss} - C_{rss}$$

$$C_{DS} = C_{oss} - C_{rss}$$

Nous allons étudier le cas usuel où un MOSFET est placé, avec une diode, dans une cellule de commutation (figure I.6), alimenté sous la tension  $E$  et fournissant un courant  $I$ . La commande de grille est appliquée par des impulsions rectangulaires de tension à travers une résistance  $R_g$  et l'inductance  $L_g$ ,  $L_d$  représentent l'inductance parasite globale dans le montage [26].

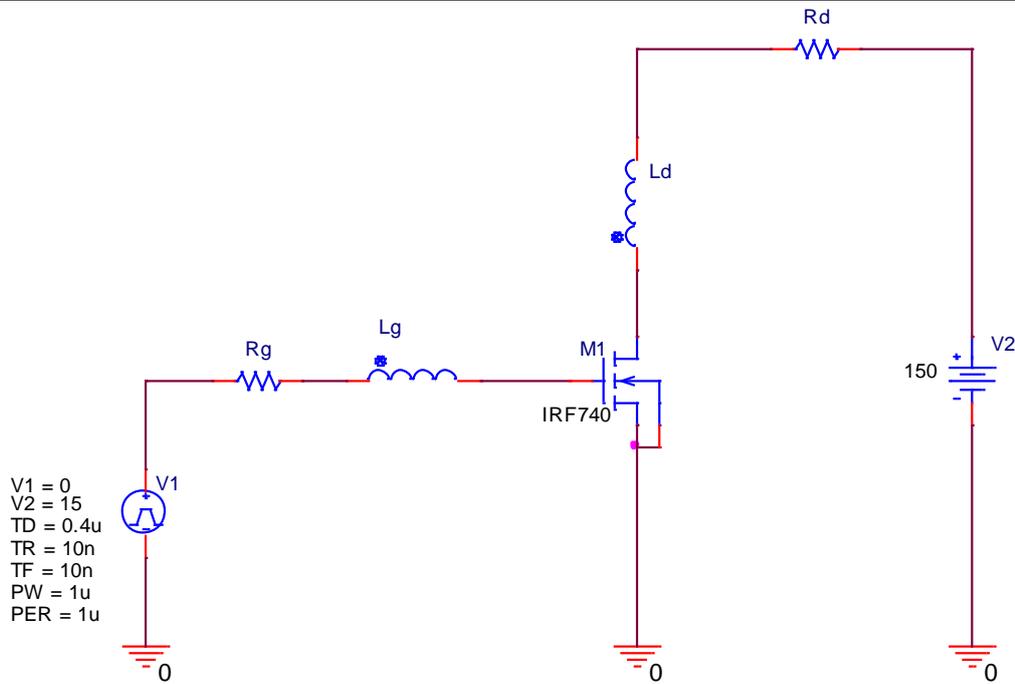
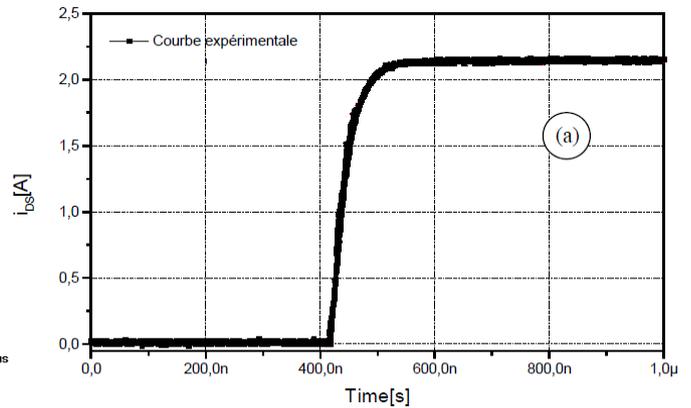
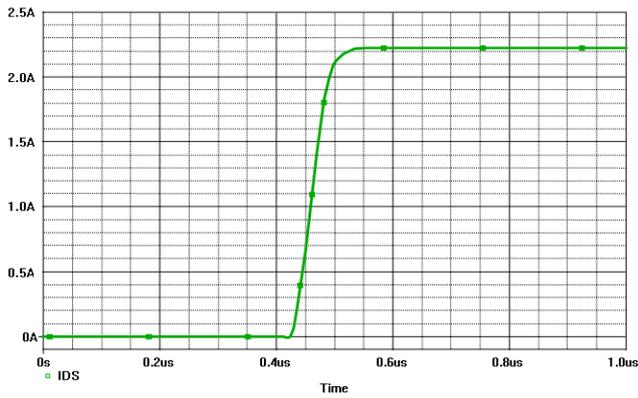
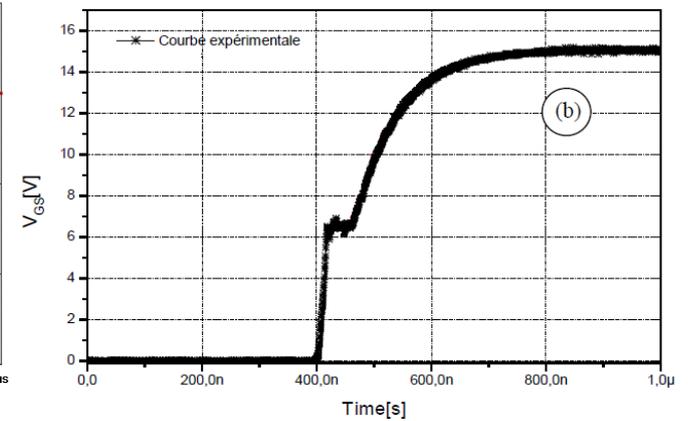
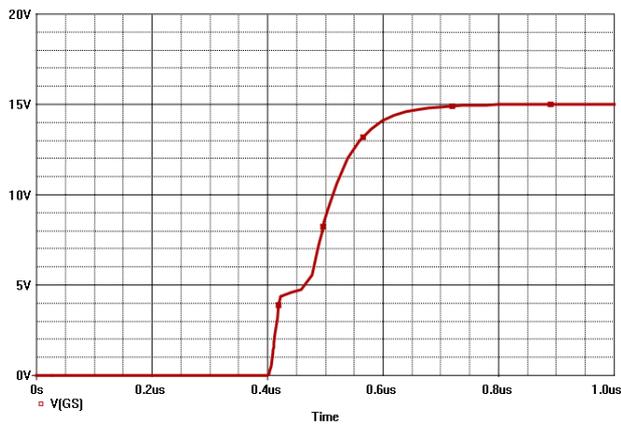


Fig. 1.6 : Circuit de test développé pour la commutation du composant MOSFET et implémenté sur Pspice



a)



b)

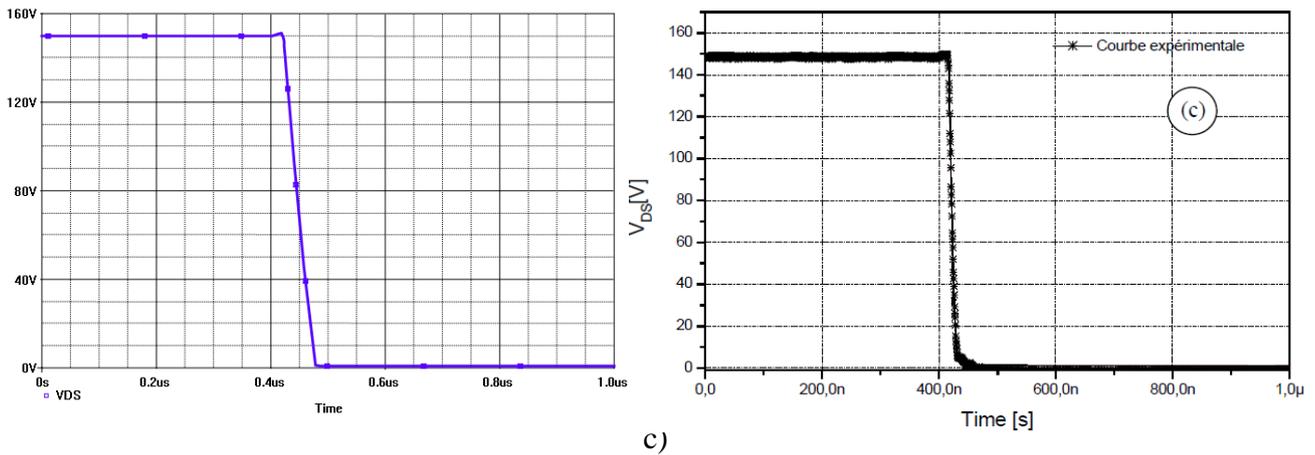


Figure I.7 : Les formes d'ondes expérimentales et simulées du courant passant dans le composant  $I_{DS}$  (a), de la chute de tension entre drain et source  $V_{DS}$  (b), de la différence de potentiel entre grille et source (c) lors de la fermeture du MOSFET IRF740 ( $R_g=10\Omega$ ,  $V_R=150V$  et  $I_F=2,2A$ ) [15].

### I.5.6. Conclusion

Nous avons rappelé le comportement statique et dynamique du MOSFET de puissance dans une cellule de commutation. Cela nous a permis de définir les paramètres transitoires du MOS pour représenter la phase de commutation. Le modèle du MOS utilisé a été précisé.

## I.6. Diode P-i-N de puissance

La diode PiN est un interrupteur non commandable [27], la fonction de la diode est non seulement indispensable mais omniprésente dans les systèmes électroniques de puissance. Le comportement des composants PiN aura donc une influence importante sur le fonctionnement d'un système. D'autre part, la structure de la diode PiN est la base de tous les autres composants de puissance.

### I.6.1. Physique et technologie de la diode P-i-N de puissance

Les diodes de puissance ont une structure PN ou  $PN^+N^+$  (encore appelée P-i-N) suivant qu'il s'agit de composants destinés à supporter à l'état bloqué une tension inverse de faible ou de forte valeur. La structure des diodes de puissance P-i-N est généralement réalisée avec une couche  $P^+$  très dopée par diffusion d'atomes accepteurs dans une couche épitaxiée de type  $N^-$  très peu dopée. Cette couche est appelée zone centrale ou historiquement base intrinsèque. L'épitaxie  $N^-$  est réalisée sur un substrat épais très dopé de type  $N^+$ . Le contact relié à la zone  $P^+$  constitue l'anode A, celui relié à la zone  $N^+$  la cathode K. (figure I.8)

La figure (I.8.b) indique le symbole utilisé pour représenter la diode et les conventions de signe adoptées pour le courant  $i_A$  et la tension  $V_{AK}$

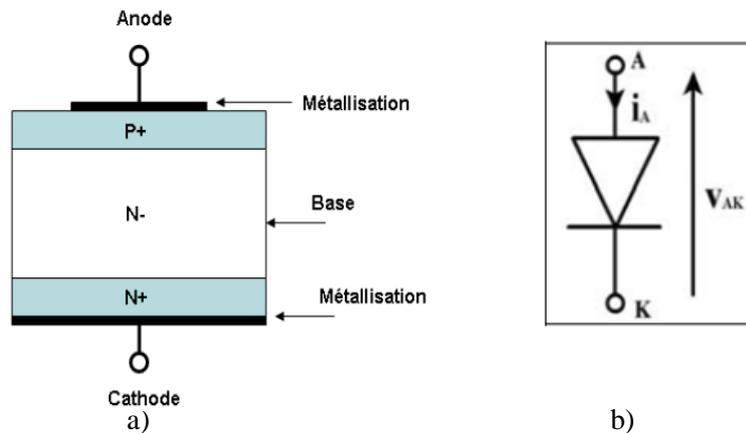


Figure I.8 Structure schématisée d'une diode PiN

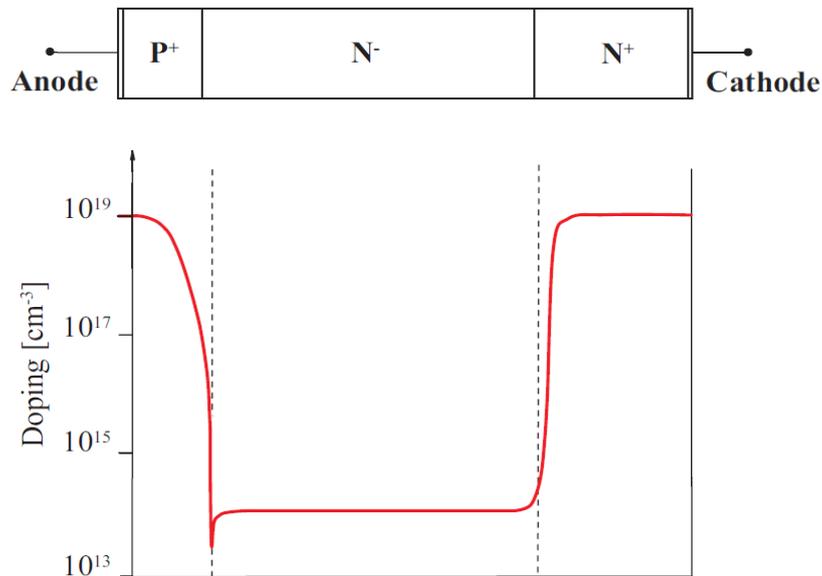


Figure I.9 : Profil de dopage typique d'une diode PiN

La figure I.9 montre l'allure générale monodimensionnelle du profil de dopage de la diode de puissance P-i-N. Il existe plusieurs procédés de fabrication : technologie "double diffusée" et technologie "épitaxiale" par exemple. Les différentes technologies se différencient essentiellement par le profil de la "fin de la zone faiblement dopée" qui a un rôle déterminant sur la fin du comportement transitoire de la diode P-i-N.

La tenue en tension (tension de claquage),  $V_{BR}$ , est liée à la concentration  $N_D$  et à la largeur  $W$  de la zone centrale. La figure I.9 montre l'évolution de la tension de claquage en fonction de la

concentration de dopants et de l'épaisseur de la zone centrale pour une diode PiN en silicium. Ce graphique nous permet de fixer quelques valeurs initiales dans les modèles de la diode de puissance pour la procédure d'extraction, car les diodes bien optimisées se situent dans la zone de coude de la courbe  $W(N_D)$ .

## I.6.2. Comportement des diodes P-i-N

D'après les caractéristiques statiques de la diode P-i-N présenté dans la figure I.10.a, on peut distinguer deux modes :

- Un mode "passant" pour une tension totale  $V_{AK}$  supérieure à la tension de seuil ( $V_{seuil}$ ) de la diode.
- Un mode "bloqué" pour une tension totale  $V_{AK}$  inférieure à la tension de seuil de la diode. Dans ce dernier cas, c'est la jonction  $P^+/N^-$  qui est polarisée en inverse. C'est l'extension de la zone de charge d'espace dans la région de base qui va déterminer au premier ordre la tenue en tension.

### I.6.2.1. Caractéristique statique

#### a) Etat passant (Polarisation directe)

La caractéristique statique d'une diode à jonction est donnée à la figure I.10. Si l'on s'en tient à une présentation purement externe, le quadrant (1) correspond à la zone de polarisation directe de la diode et donc, à un état équivalent à l'interrupteur fermé. Quand le circuit dans lequel la diode est insérée tend à faire circuler le courant dans le sens anode (A)/cathode(K), ou sens passant, la diode est conductrice: la chute de tension  $V_F$  aux bornes d'une diode polarisée en direct est une fonction croissante du courant. On note que la caractéristique statique simplifiée suit une loi exponentielle dans ce quadrant. Le modèle standard donne :

$$I_A = I_S \left[ \exp\left(\frac{V_{AK}}{U_T}\right) - 1 \right]$$

avec  $I_S$  courant de saturation,  $U_T$  potentiel thermodynamique.

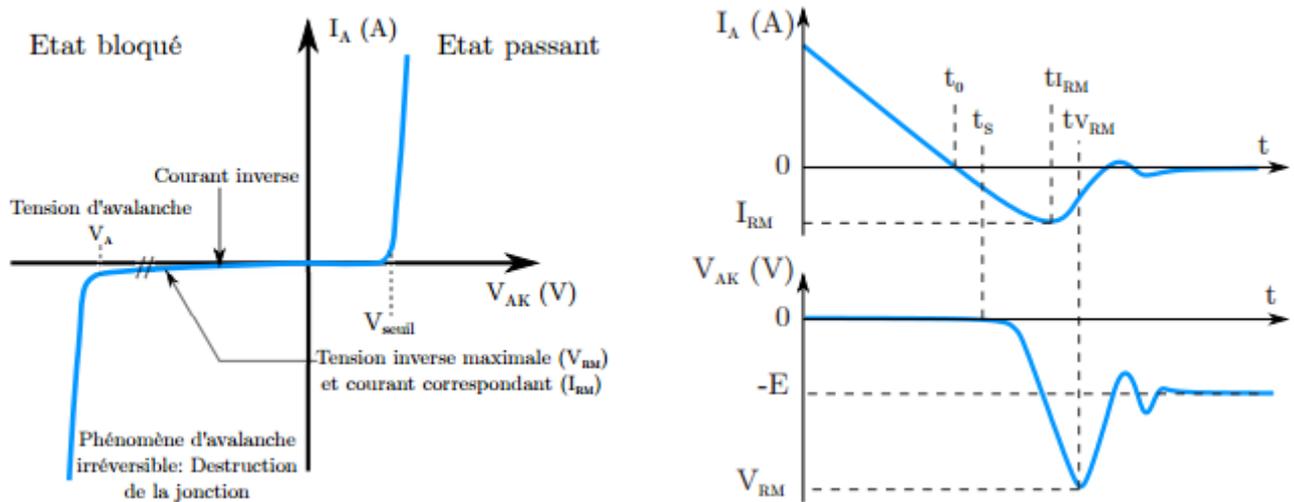


Figure I.10 a) Caractéristique statique idéalisée de la diode (b) Recouvrement inverse de la diode P-i-N [30]

### b) Etat bloqué (Polarisation inverse)

Le comportement en polarisation inverse (état ouvert) est décrit par la caractéristique du quadrant (3). Quand le circuit dans lequel est placée la diode applique aux bornes de celle-ci une tension négative tendant à y faire passer un courant négatif, la diode est bloquée. La diode est traversée par un courant inverse  $I_R$  qui augmente fortement avec la température et qui varie avec la racine carrée de l'amplitude de la tension inverse appliquée.

### 1.6.2.2. Comportements dynamiques

En pratique, les composants de puissance ne travaillent que dans deux états extrêmes : l'état bloqué et l'état passant. Malheureusement, l'interrupteur idéal n'existe pas et les commutations dans les circuits pratiques sont toujours complexes et imparfaites. La phase transitoire comporte quatre états: commutation à la fermeture, état passant, commutation à l'ouverture et état bloqué.

#### Commutation à la fermeture

L'étude de la mise en conduction d'une diode P-i-N de puissance se fait avec une cellule de commutation interrupteur-diode (figure I.11) dans laquelle l'interrupteur T est un composant MOS IRF740.

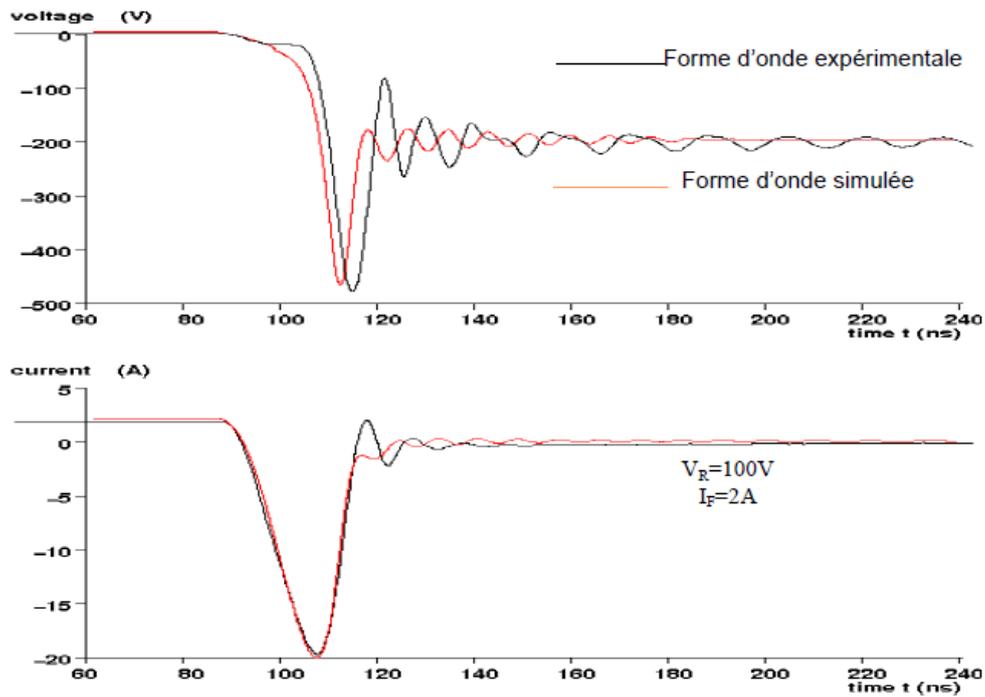


Figure I.11 Ondes de tension et de courant dans une commutation à l'ouverture [17]

Tableau I.2 : Principaux paramètres transitoires caractérisant la phase de la commutation à l'ouverture de la diode PiN [31].

Symbole	Unité	Signification
$I_{RM}$	A	Courant inverse maximal
$V_{RM}$	V	Tension inverse maximale
$t_{RR}$	S	Temps de recouvrement inverse
$I_F$	A	Courant direct à l'état passant
$V_R$	V	Tension inverse appliquée

## I.7. Le transistor IGBT

Le transistor bipolaire et le MOSFET ont des caractéristiques complémentaires. Le premier présente de faibles pertes de conduction, spécialement pour des tenues en tension de claquage importantes, mais présente des temps de commutation élevés, spécialement à l'ouverture. Le MOSFET peut être commuté beaucoup plus rapidement, mais les pertes de conduction de ce dernier sont plus importantes, surtout pour des composants prévus pour supporter des tensions de claquage élevées. Ces observations ont conduit à la réalisation d'une combinaison entre ces deux types de composants pour aboutir à l'IGBT.

L'IGBT de part ses caractéristiques est un composant avantageux pour les applications utilisant la commutation. Sa suprématie dans le domaine de la moyenne puissance n'est plus contestée et il est de plus en plus utilisé dans les applications à fortes puissance faisant concurrence au GTO (Gate Turn Off). Enfin en faible puissance les IGBTs vont également se développer pour concurrencer les MOSFETs dans certains domaines. La figure I.12 représente l'enveloppe des applications de l'IGBT, en fréquence et en puissance, et ses éventuelles évolutions, et compare ses performances à ceux des autres dispositifs [32].

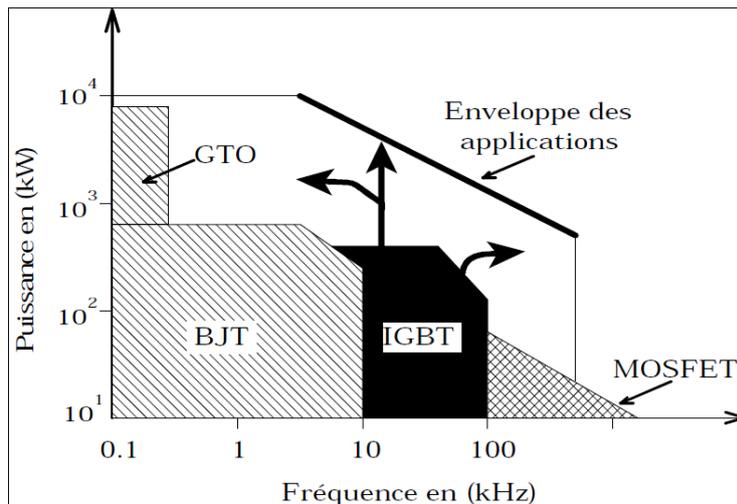


Figure I.12. Domaine d'application de l'IGBT et des autres dispositifs de commutation concurrents [33].

### I.7.1. Structure Physique et technologie de l'IGBT

L'IGBT est formé d'un grand nombre de cellules élémentaires mises en parallèle. La figure I.13 présente la coupe de deux cellules voisines. Sur cette figure, on retrouve :

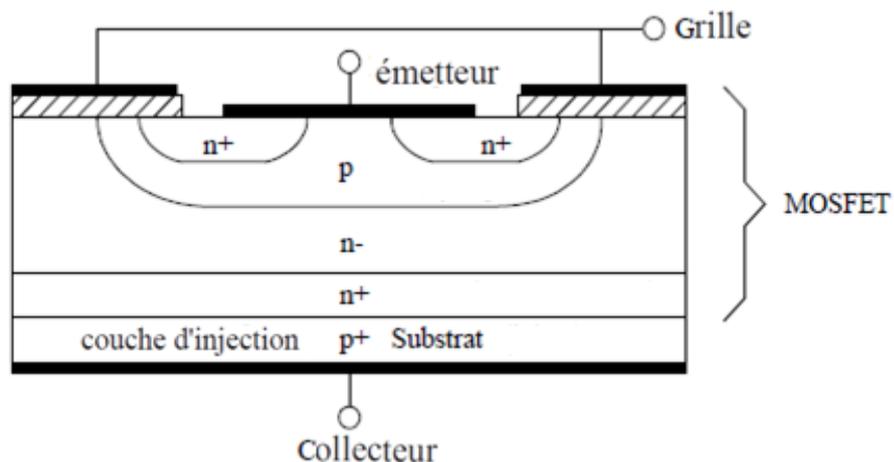


Figure I.13 Structure de l'IGBT

- Une structure de transistor VDMOS (Vertical Drain Metal Oxyde Semi-conductor)
- Une structure quadri-couche P-N-P-N.

Pour éviter des confusions de terminologie, nous appelons les électrodes de l'IGBT:

- Grille pour l'électrode de commande
- Anode au lieu de collecteur
- Source au lieu d'émetteur

Car les électrodes souvent appelées collecteur et émetteur apparaissent respectivement sur les schémas équivalents comme émetteur et collecteur

Généralement, on distingue deux types d'IGBT, selon leurs technologies de fabrication :

- la structure homogène (Non Punch Through, NPT) (Figure I.14 a)
- la structure épitaxiale ( Punch Through, PT) (Figure I.14 b))

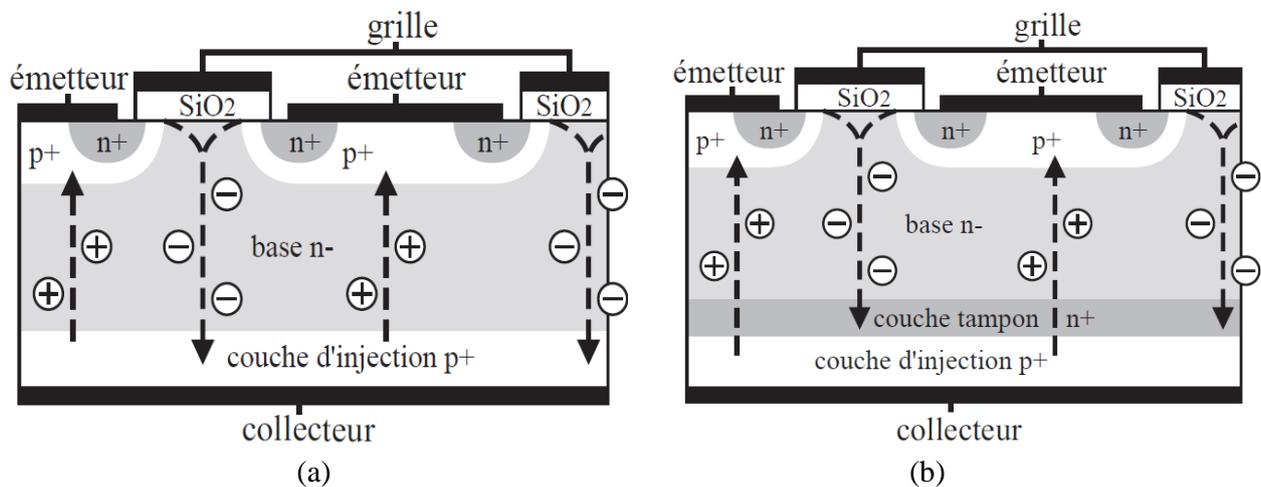


Figure I.14. Principales technologies utilisées pour la réalisation du composant IGBT [34]

Les IGBT de type PT possèdent une couche N+ (buffer) de faible épaisseur entre les zones P+ du côté de collecteur et N-. Cette couche permet de réduire l'épaisseur de la zone N- pour une valeur donnée de la tension de claquage de la jonction J1 et sert de centre de recombinaison pour les électrons de la zone N- à la fin de la phase de blocage. Ce type de structure est la plus utilisée en pratique, surtout dans la gamme de tension inférieure à 1200V. Les caractéristiques résultent d'un compromis entre la durée d'élimination du courant de queue et la chute de tension directe à l'état passant. Les IGBT de type NPT, où la zone N- n'est pas complètement envahie par la zone de déplétion à l'état bloqué, ne comportent pas de couche N+. En revanche, la jonction J2 est réalisée de façon à réduire l'injection de trous de P dans N-. La technologie homogène est utilisée dans la gamme de tension supérieure à 1200V.

### I.7.2. Comparaison entre IGBT type PT et NPT.

Dans l'état actuel de la technique, les IGBT de type PT sont utilisés pour des tensions  $BV_{CES}$  supérieures à 1000V. Les deux types se prêtent à leur mise en parallèle car ils possèdent les deux, un coefficient en température positif en conduction.

Les IGBT de type PT ont un comportement au blocage, fortement dépendant de la température (Figure I.14-I.15) et présente un courant de queue nettement supérieure au type NPT. Une comparaison montre qu'un IGBT de type NPT dissipe 3 à 5 fois moins d'énergie qu'un IGBT de type PT lors de la commutation à l'ouverture [35].

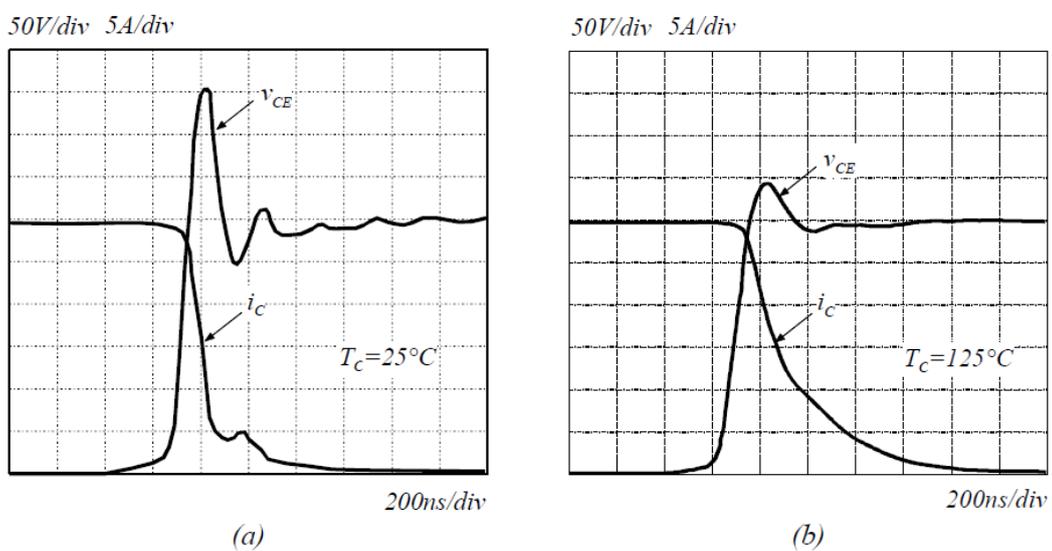


Figure I.15. Commutation à l'ouverture d'un IGBT type PT [36]

On voit sur la Figure I.15 que la commutation est non seulement plus rapide que pour un IGBT de type PT mais aussi assez peu dépendante de la température.

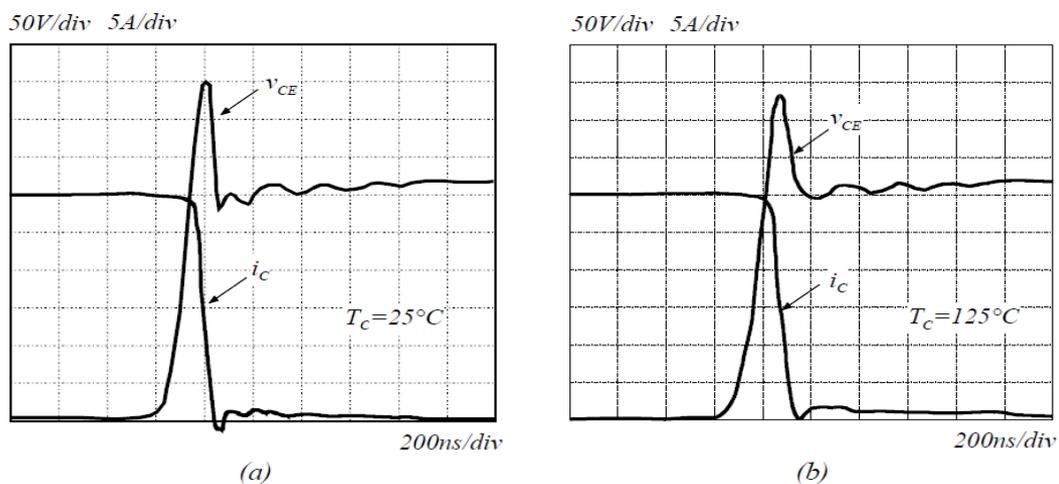


Figure I.16. Commutation à l'ouverture IGBT type NPT [36]

### I.7.3. Circuit équivalent électrique

Un circuit électrique modélisant l'ensemble des phénomènes mis en jeu ou susceptibles de l'être est indiqué sur la figure I.17

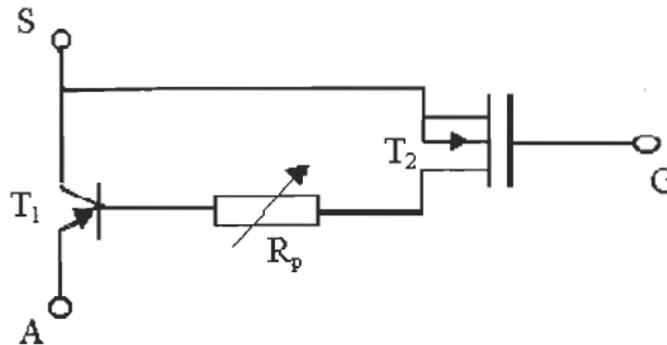


Figure I.17. Circuit équivalent de l'IGBT [37]

La majorité des auteurs, fabricants ou utilisateurs de l'IGBT [23 ,27-29] ont adopté ce modèle qu'il faut considérer avec prudence. En effet, nous voulons faire remarquer deux choses:

- ⊖ Premièrement, si la présence d'un transistor MOS à l'entrée de l'IGBT permet de faciliter sa commande, elle exclut toute possibilité de contrôle du bipolaire de la sortie. Le blocage se ferait avec "base en l'air " le prix de cette facilité de commande paraît alors très élevé.
- ⊖ Deuxièmement, les caractéristiques du transistor MOS de l'entrée ne sont pas totalement identiques à celle d'un VDMOS classique, et le transistor bipolaire de la sortie, de par la largeur de sa base, est d'une "mauvaise qualité" : son gain en courant est très faible (le gain en courant en base commune est inférieur à 0.3) [38-41].

La figure I.18 montre le schéma de principe simplifié (figure I.18-a) et le symbole d'un IGBT (figure I.18-b).

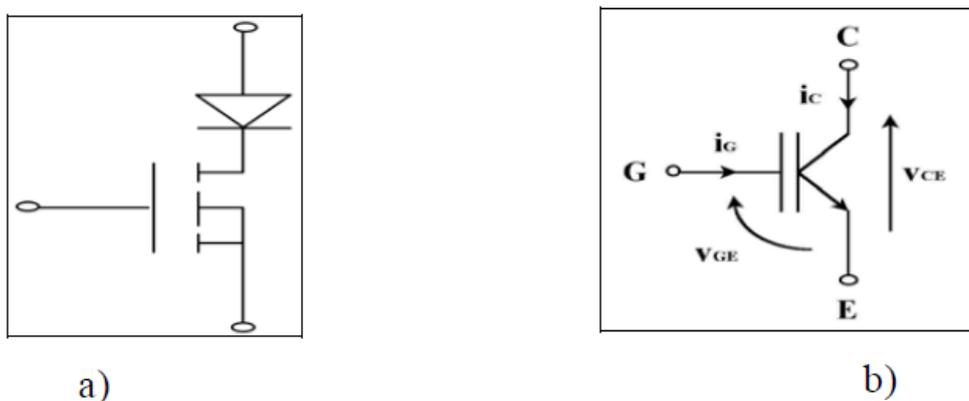


Figure I.18. Schéma équivalent simplifié du composant IGBT et son symbole

### I.7.4. Principe de fonctionnement

En fonctionnement normal, la cathode d'un IGBT à canal n (Fig. I.19) est reliée à la masse et une tension positive est appliquée sur la grille pour créer une couche d'inversion dans le puits P sous l'électrode de la grille formant ainsi un canal type n. Pour une tension d'anode suffisamment grande, des électrons sont injectés depuis la source n<sup>++</sup> vers la région N<sup>-</sup> à travers le canal créé, et des trous sont injectés dans la région N<sup>-</sup> depuis le substrat P<sup>+</sup> (anode).

Comme le montre la figure I.19, le courant de la base (électrons) et celui du collecteur (trous) sont de même direction le long de la base (couche épitaxiée N<sup>-</sup>).

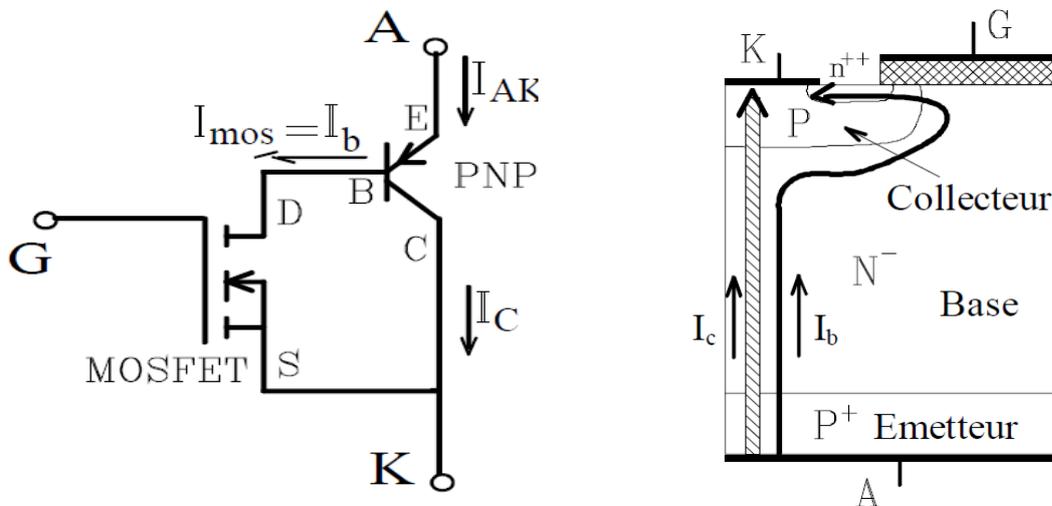


Figure I.19. Circuit équivalent montrant le sens des différents courants dans l'IGBT [38].

Le courant d'électrons, transitant par le canal, est le courant drain-source du MOSFET ( $I_{MOS}$ ) est également le courant de base du transistor PNP ( $I_b$ ) (Fig. I.19). Le courant de trous constitue le courant du collecteur du transistor PNP ( $I_c$ ).

Le courant total de l'IGBT ( $I_{AK}$ ) est la somme des courants de trous et d'électrons.

$$I_{AK} = I_{MOS} + I_c = I_b + I_c$$

L'équation peut se réécrire en introduisant le gain en courant,  $\beta = I_c / I_b$ , du transistor bipolaire PNP:

$$I_{AK} = (1 + \beta)I_b = (1 + \beta)I_{MOS}$$

Le courant  $I_{MOS}$  peut être explicité en utilisant comme première approximation l'équation simplifiée gouvernant le fonctionnement du MOSFET en régime de conduction ohmique:

$$I_{MOS} = \mu \frac{Z}{L} C_{OX} (V_{GS} - V_{TH} - \frac{V_{DS}}{2}) \quad (I-4)$$

avec :  $V_{DS} = V_{AK} - V_{EB}$

Z : largeur du canal;

L : longueur du canal;

$C_{OX}$  : capacité d'oxyde sous grille normée à la surface de grille;

$V_{th}$  : tension de seuil.

$\mu$  : mobilité effective dans la région de saturation.

Ce modèle peut être amélioré en tenant compte de plusieurs phénomènes importants tels que:

- Réduction de la transconductance dans la région linéaire.
- Réduction de la mobilité due au champ transversal électrique pour les hautes tensions de grille.
- Avalanche pour des fortes tensions au drain.

Ces effets sont modélisés respectivement par:

- Le paramètre empirique  $K_{PLIN}$ .
- Un paramètre empirique  $\theta$  qui représente la réduction de la transconductance.
- Un facteur de multiplication M.

Ainsi, les équations (I.3) et (I.4) sont réécrites comme:

$$I_{MOS} = K_{plin} [(V_{gs} - V_{th})V_{DS} - \frac{K_{plin} V_{DS}^2}{2K_{psat}}] \frac{1}{1 + \theta(V_{gs} - V_{th})} \quad si \quad V_{DS} \leq (V_{gs} - V_{th}) \frac{K_{plin}}{K_{psat}} \quad (I-5)$$

$$I_{MOS} = K_{psat} \frac{(V_{GS} - V_{th})^2}{2} \frac{M}{(1 + \theta(V_{gs} - V_{th}))} \quad si \quad V_{ds} > (V_{gs} - V_{th}) \frac{K_{psat}}{K_{plin}} \quad (I-6)$$

Dans le cas d'une structure homogène, le facteur de multiplication M est donné par la forme simplifiée suivante [29] :

$$M = \left[ 1 - \left( \frac{V_{ds}}{V_{br}} \right)^4 \right]^{-1} \quad (I-7)$$

$V_{BR}$  est la tension du claquage de la jonction base-collecteur dans le silicium pour la structure homogène. Cette tension est donnée par la relation approximative par :

$$V_{br} = 5.34. 10^{13} K_v N_D^{-0.75} \quad (I-8)$$

Où  $K_v$  est un facteur de correction qui dépend de la tension de claquage et du type de dopage.

### **I.7.5. Modélisation Spice du transistor IGBT**

Le cas de la modélisation du transistor IGBT est beaucoup plus difficile car il s'y passe beaucoup de phénomènes que l'on peut difficilement mettre sous forme d'équations simples avec peu de paramètres. Comme le cas de la diode, le modèle le plus simple qu'il est possible de créer est celui d'un simple interrupteur commandé en tension avec éventuellement une résistance qui modélise les pertes en conduction. Notons que ce niveau de représentativité est commun avec tous les autres transistors qui fonctionnent en commutation. Cela revient à dire que tout transistor fonctionnant en commutation peut au moins être décrit par un simple interrupteur avec éventuellement résistance en conduction et capacités parasites. Cette modélisation très simpliste est d'ailleurs communément admise comme modélisation standard du composant IGBT dans la plupart des simulateurs.

D'un point de vue pratique, un modèle IGBT, comme tout modèle de composant d'ailleurs, doit pouvoir représenter et reproduire au mieux (suivant ses limites de représentativité) les caractéristiques constructrices du composant réel dont il est issu. Il a été établi une classification des modèles IGBT [79], et il en ressort beaucoup de modèles qui varient selon la complexité, le niveau de représentativité et l'aptitude à pouvoir être simulés rapidement. Certains modèles ne prennent pas en compte les phénomènes non linéaires (en particulier les capacités non linéaires), d'autres sont trop complexes à utiliser; en particulier, le modèle peut nécessiter des données qui ne sont pas fournies dans les notices constructeur. Enfin, la quasi-totalité des modèles doivent être paramétrés à partir de données constructrices, mais aussi à partir de mesures expérimentales sur l'IGBT réel.

### **I.7.6. Le modèle de Hefner du l'IGBT**

Le modèle de Hefner [82] est l'un des tous premiers modèles IGBT à décrire complètement le comportement du composant IGBT à la fois en régime transitoire et en régime dynamique. Il est intégralement basé sur la physique du solide et des semi-conducteurs pour mettre en équation le composant. De ce fait, ce modèle reproduit très efficacement les caractéristiques physiques de

l'IGBT, mais au prix d'une connaissance relativement fine des constantes physiques du composant. Le modèle de Hefner (Figure I.20) est généralement utilisé dans les simulateurs commerciaux (par exemple Saber et PSPICE) [39]

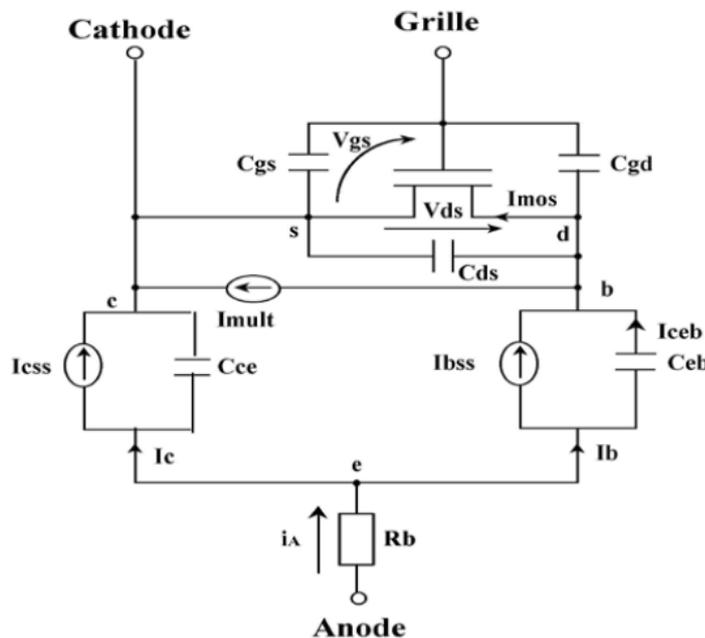


Figure I.20. Circuit représentatif des équations du modèle électrique de l'IGBT

### I.7.7. Intégration du modèle dans la bibliothèque de SPICE

Le modèle de Hefner a été intégré dans le logiciel Pspice version 16.5. Si la plupart des équations du modèle ont été insérées dans le simulateur sans modification, quelques unes par contre, compte tenu de leur complexité, ont été simplifiées en utilisant des expressions empiriques. Par exemple l'expression donnant la tension  $V_{EB}$  aux bornes de la jonction base-émetteur du PNP a été remplacée par  $V_{EB}=0.6V$  (diode idéale). Cette approximation implique que le courant  $I_{AK}$  reste nul tant que la tension  $V_{AK}$  est inférieure à  $0.6V$  [40].

Afin de pouvoir coïncider la caractéristique simulée avec celle mesurée il est nécessaire d'ajuster les paramètres composant le modèle. La difficulté est d'autant plus importante que l'ensemble du réseau de caractéristiques  $I_{AK}=f(V_{AK})$  ( $V_{GS}=cte$ ) pour différentes tensions de grille doit être simulé. Ajuster l'ensemble du réseau est très difficile.

Afin de corriger les limitations présentées par le modèle de Hefner, nous proposons une autre approche qui consiste à définir l'IGBT par un sub-circuit en utilisant comme base son schéma électrique équivalent et en y ajoutant d'autres éléments pour tenir compte des différents phénomènes gouvernant le fonctionnement de l'IGBT.

Le sub-circuit modélisant l'IGBT sous Spice est donné figure I.21, il est bâti autour du circuit équivalent de l'IGBT (en gras) c'est à dire un MOSFET M1 commandant le bipolaire Q1.

Autour de ce circuit vient s'ajouter un ensemble d'éléments du logiciel SPICE qui permettront de traduire le comportement électrique de l'IGBT.

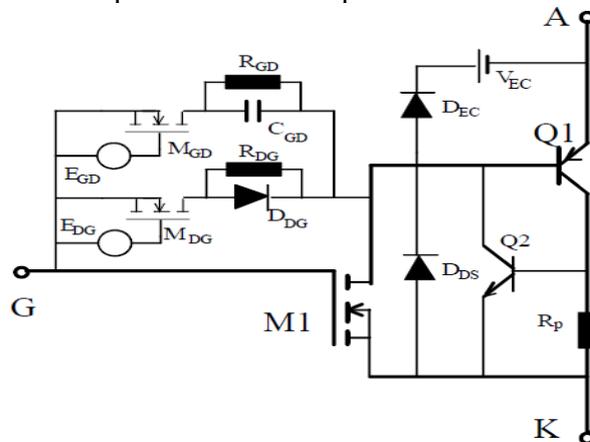


Figure I.21. Sub-circuit utilisé pour modéliser l'IGBT [41]

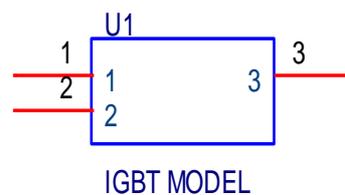


Figure I.22. Le modèle de l'IGBT insérer à la bibliothèque de Orcad- PSpice

\*#1: COLLECTOR #2:GATE #3: EMITTER

La figure I.22 représente le composant ajouté à la bibliothèque du simulateur PSpice après implémentation par un sub-circuit écrit en langage Spice.

## I.7.8. Validation du modèle de l'IGBT

Le modèle de l'IGBT est évalué en utilisant plusieurs tests pour examiner son comportement dans les conditions statiques et dynamiques dans lesquelles le dispositif est prévu pour fonctionner. Les évaluations sont exécutées pour les composants IGBT, avec les paramètres donnés dans l'équation.

### I.7.8.1. Validation des caractéristiques statique

La modélisation statique des modules IGBT consiste à donner le réseau de courbes liant  $I_C$ ,  $V_{GE}$ ,  $V_{CE}$  à différentes valeurs de  $V_{CE}$ .

La figure I.23 montre les caractéristiques courant-tension  $I_{AK}=f(V_{AK}, V_{GK})$  obtenu pour l'IGBT. On peut constater, que le courant dans l'IGBT reste pratiquement nul tant que la tension  $V_{AK}$  est inférieure à  $V_{bi}$ , le transistor est bloqué et la caractéristique  $I_C(V_{CE})$  est pratiquement confondue avec l'axe des tensions. En effet, d'après les équations (I.2) et (I.3) le courant  $I_{AK}$  n'apparaît que si  $V_{DS} > 0$ , ce qui correspond (équation I.4) à des tensions  $V_{AK} > V_{EB}$ .

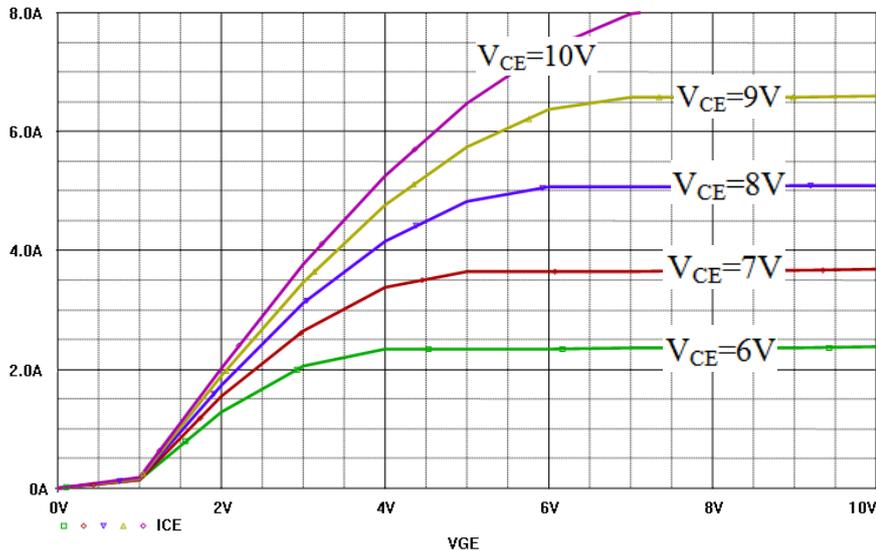


Figure I.23. Réseau de caractéristiques  $I_{CE}$ - $V_{CE}$  simulées pour le modèle de l'IGBT.

La figure I.24 représente quand à elle la caractéristique du courant drain-source ( $I_{CE}$ ) en fonction de la tension grille-émetteur avec  $V_{CE}$  constante.

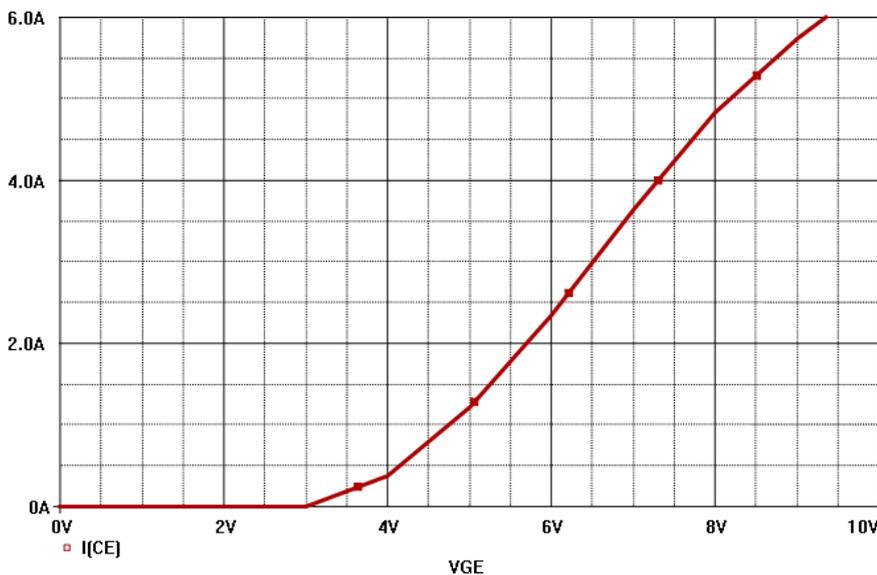


Figure I.24. Les caractéristiques de transfert typiques de l'IGBT.

### I.7.8.2. Validation des caractéristiques dynamiques

Plusieurs aspects du comportement dynamique d'un IGBT sont similaires à ce que l'on obtient avec un transistor MOSFET. La particularité essentielle de l'IGBT se situe à l'ouverture.

Le temps de descente représente le défaut principal de l'IGBT. C'est de ce paramètre qu'il sera question ici. Le circuit de mesure qui est utilisé également pour la simulation est donné figure I.25. Les formes d'onde de la tension  $V_{AK}$  et du courant  $I_{AK}$  mesurées et simulées sont données respectivement figure I.27-a et figure I.27-b. Excepté les fluctuations enregistrées sur les caractéristiques mesurées dues au bruit généré par le circuit de mesure, les résultats obtenus par simulation sont en très bon accord avec les mesures [43].

L'objectif est la mise en place de détermination du domaine de validité en commutation pour comparer l'expérience avec la simulation de manière plus précise. C'est pour cela que nous utilisons les paramètres transitoires, qui peuvent caractériser les courbes électriques pendant la commutation. Le circuit de commutation sur charge  $R_L$  est utilisée pour les évaluations (IGBT : SGP30N60,  $R_L = 29\Omega$ ,  $L_L = 3\mu\text{H}$ ,  $V_{CE} = 200\text{V}$ ,  $R_g = 10\Omega$ ). Les courbes de commutation, simulés et ceux relevées expérimentalement, à la fermeture et à l'ouverture sont données aux figures I.25 et I.26, respectivement.

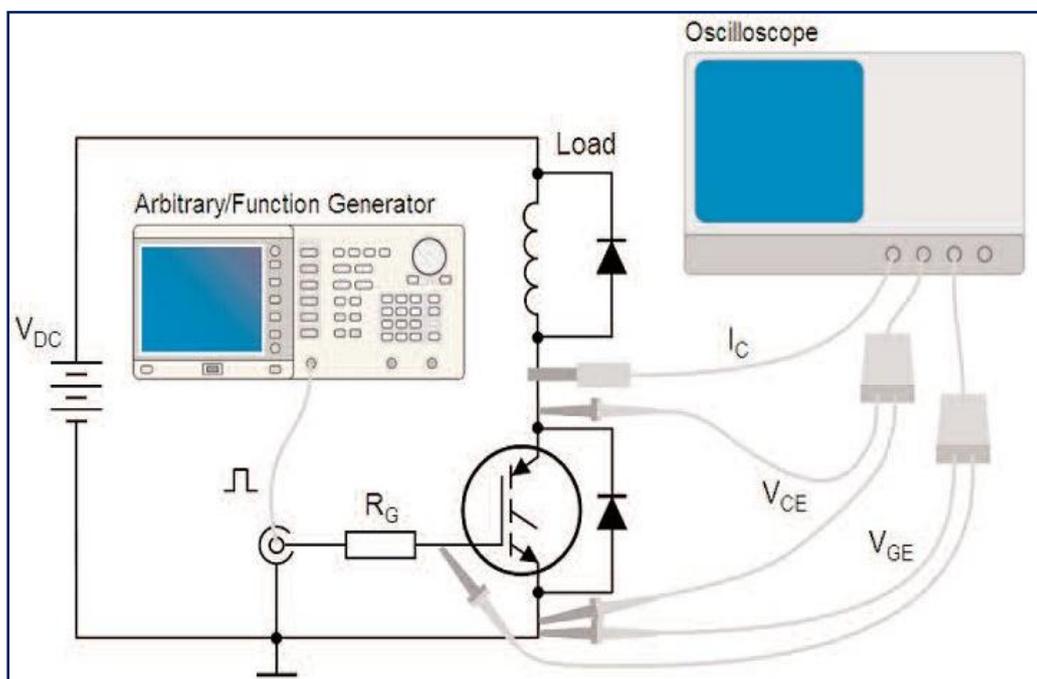


Figure I.25. Circuit de test au laboratoire pour la commutation du composant IGBT

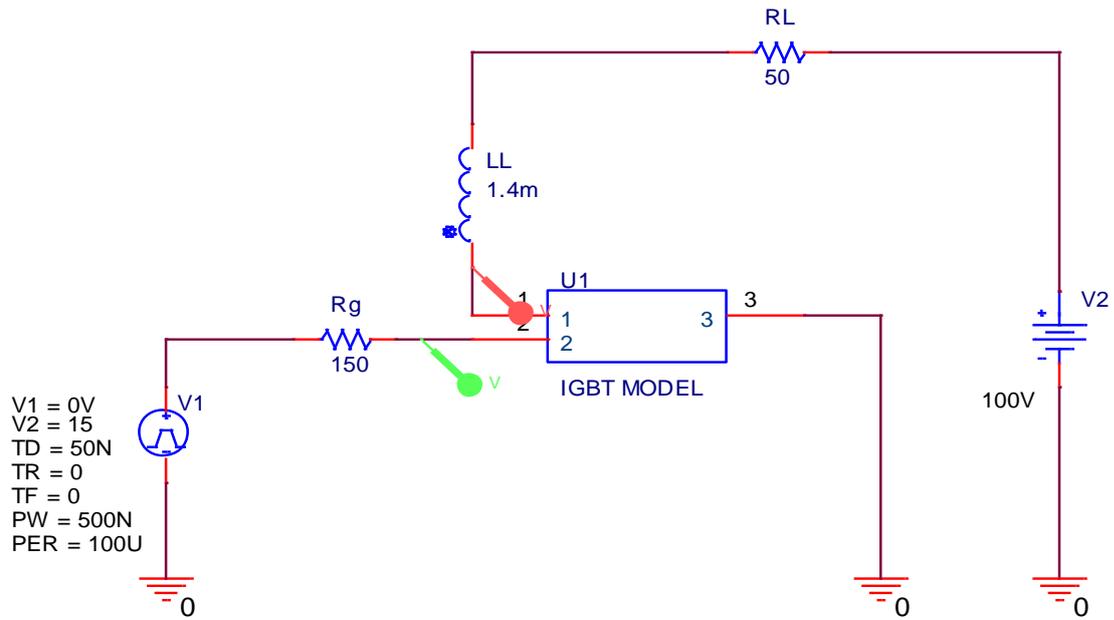
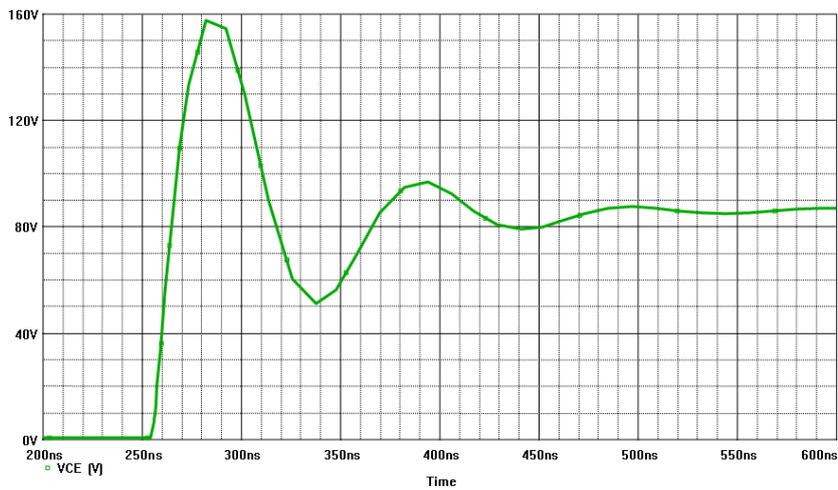
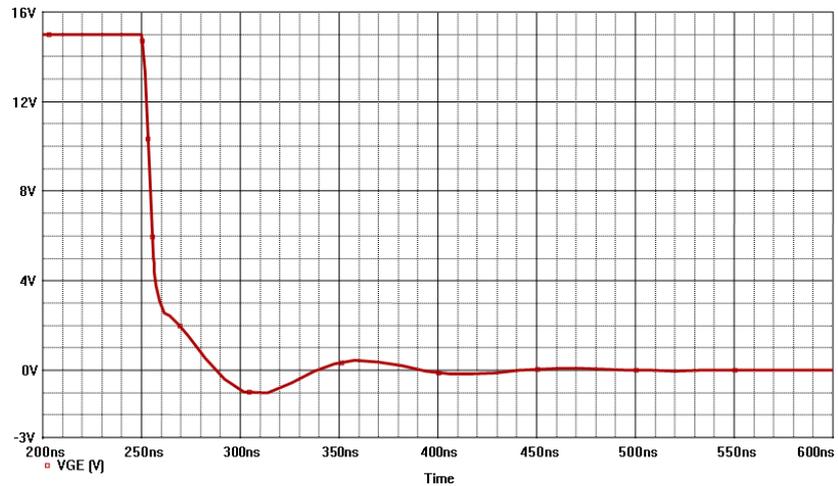


Figure I.26. Circuit de test développé pour la commutation du composant IGBT sur Pspice



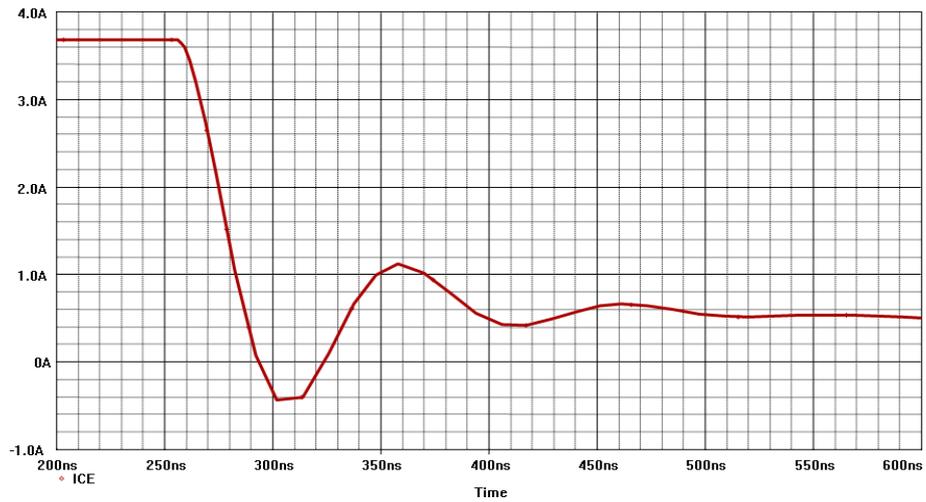
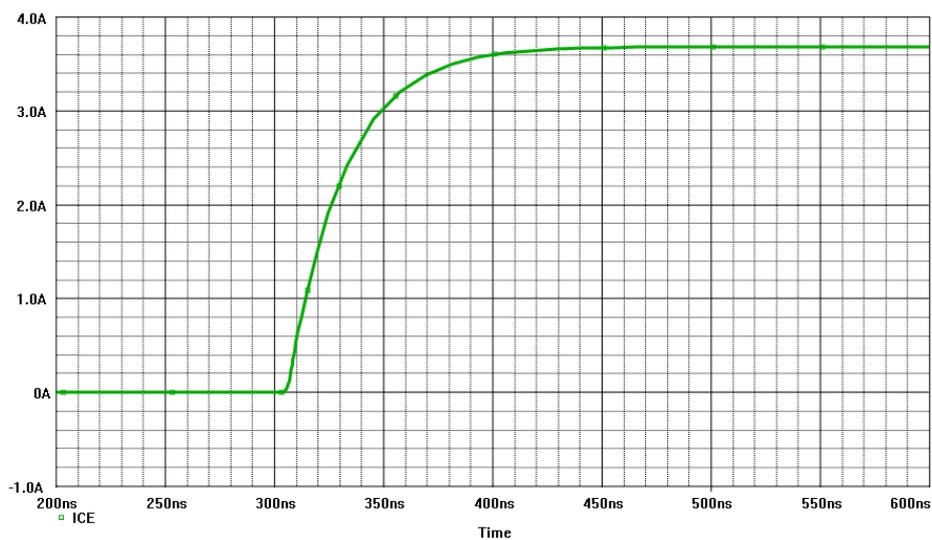
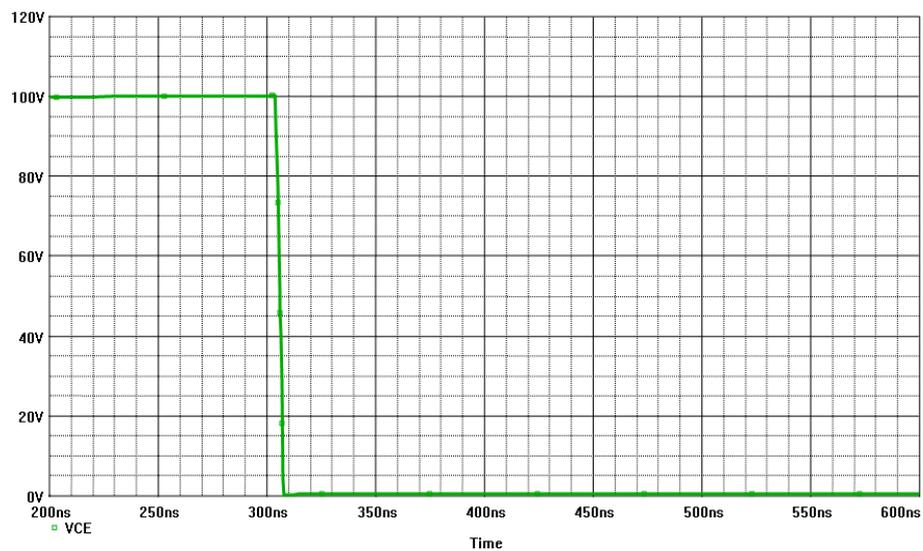


Figure I.27-a: Formes d'onde en fermeture de la tension  $V_{AK}$ , du courant  $I_{AK}$  et de la tension grille émetteur simulées pour le modèle Spice de l'IGBT



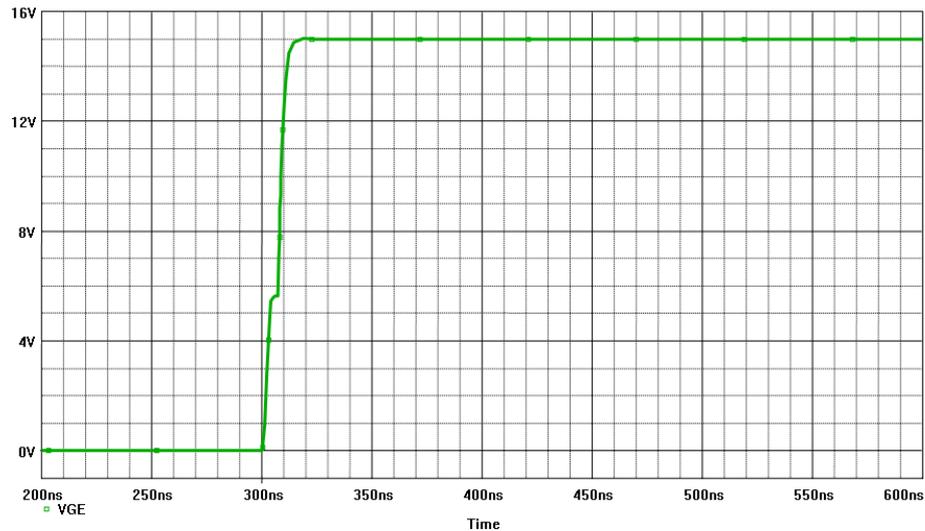


Figure I.27-b: Formes d'onde en fermeture de la tension  $V_{AK}$ , du courant  $I_{AK}$  et de la tension grille émetteur simulées pour le modèle Spice de l'IGBT

## I.7.9. Effet de la température sur la robustesse des composants IGBT

### I.7.9.1. L'effet de la température sur les caractéristiques statique

L'une des plus importantes caractéristiques de l'IGBT est sa caractéristique de conduction en directe dans des conditions de haute température. Il est nécessaire de prendre en compte cette caractéristique, en particulier lorsque les composants sont intégrés dans des applications pour lesquelles les contraintes thermiques peuvent être sévères. Il est intéressant d'étudier l'effet de la température sur certaines caractéristiques électriques.

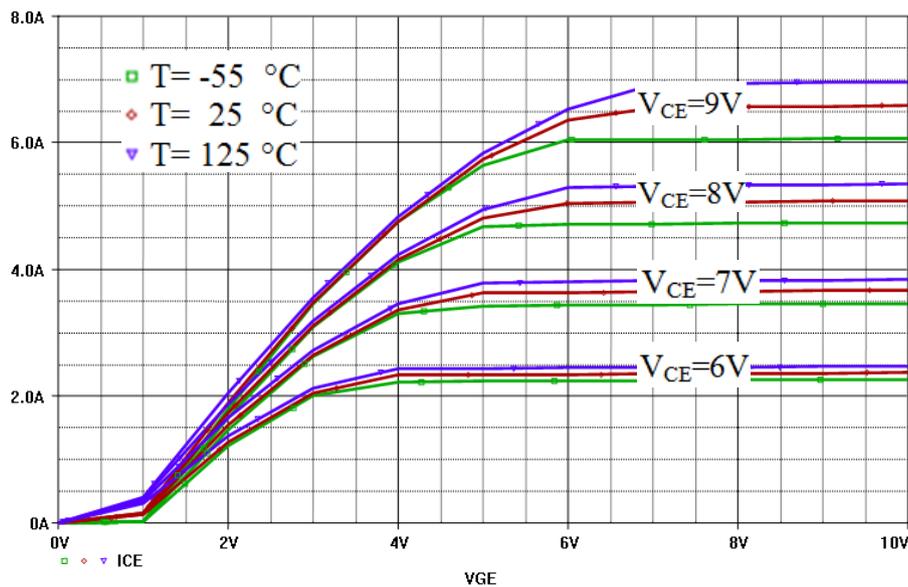


Figure I.28. Les caractéristiques statiques simulées de l'IGBT à des Températures  $T=-55^{\circ}\text{C}$ ,  $25^{\circ}\text{C}$  et  $125^{\circ}\text{C}$ .

L'évolution de la caractéristique de conduction en fonction de la température est présentée à la figure I.28. Cette caractéristique I-V peut être décomposée en deux segments : un accroissement du courant tel que celui constaté pour une diode, suivi par une portion linéaire dénotant d'un comportement résistif.

On peut observer que pour de faibles niveaux de courants, la chute de tension est réduite lorsque la température augmente. Ce comportement est typique d'une diode P-i-N, où l'injection à travers la diode P-N devient plus importante avec l'élévation de la température.

En même temps, la résistance relative au second segment augmente avec la température. Il est important de noter que la diminution de la chute de tension au niveau de la diode compense l'élévation de la résistance du canal. Ceci conduit à une augmentation relativement faible de la chute de tension de l'IGBT avec l'augmentation de la température

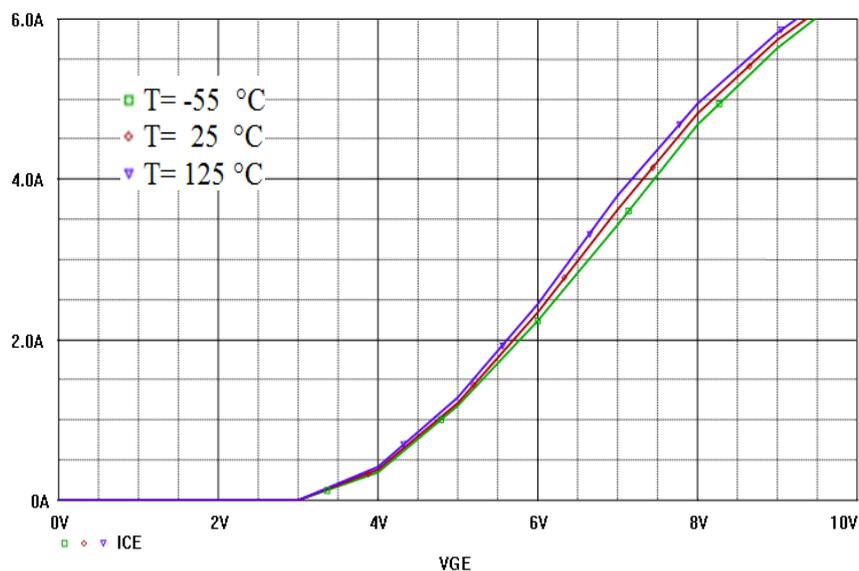


Figure I.29. Les caractéristiques de transfert de l'IGBT à des températures  $T=-55^{\circ}\text{C}$ ,  $T=25^{\circ}\text{C}$  et  $T=125^{\circ}\text{C}$

La figure I.29 montre les caractéristiques de transfert simulées du modèle Spice de l'IGBT à des températures  $T= -55^{\circ}\text{C}$   $T=25^{\circ}\text{C}$  et  $T=125^{\circ}\text{C}$ . Puisque les caractéristiques de transfert n'ont de signification que pour la région de saturation, nous avons fixé la tension d'alimentation à  $V_{CE}= 5\text{V}$ .

### I.7.9.2. L'effet de la température sur la tenue en tension

Il s'agit de la mesure de la tenue en tension (breakdown voltage). Lors du dimensionnement il faut tenir compte, avec une marge de sécurité, de la tension correspondant à la valeur minimale de fonctionnement. Cette tension se mesure en appliquant une tension nulle entre Grille et Émetteur

$V_{GE}=0$ , et en observant l'accroissement du courant de collecteur  $I_C$ . La tension  $V_{BR(CES)}$  correspond à un courant de Collecteur de  $250\mu A$  [42].

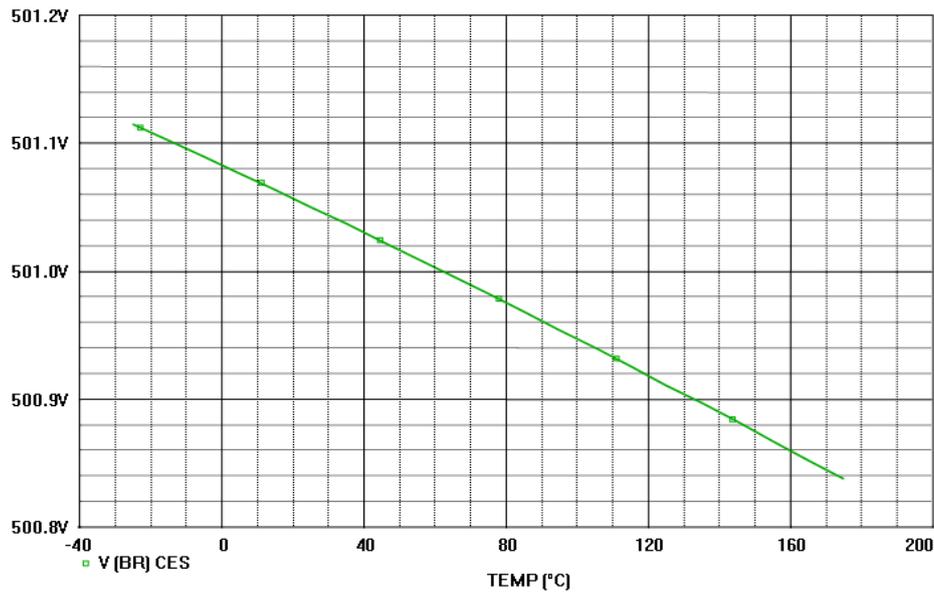


Figure 1.30. La caractéristique tenue de tension en fonction de Température de jonction de l'IGBT

### 1.7.10. Conclusion

Le modèle proposé dans ce chapitre est valable uniquement dans le domaine de fonctionnement de l'IGBT, et il ne peut pas prévoir une éventuelle destruction du composant suite à une surtension ou à un courant élevé. Or cette prévention fait partie des principales tâches demandées aux simulateurs de circuit. En plus l'implantation du modèle de Hefner suppose soit l'accès au code du simulateur soit la disposition d'une version de SPICE offrant une ouverture qui permet d'intégrer des modèles propres à l'utilisateur. Ceci représente donc une limitation supplémentaire.

# Chapitre II : Modélisation de la Diode Schottky en SiC

## II.1 Introduction

Le silicium, du fait de ses caractéristiques et de son abondance, est le semi-conducteur le plus utilisé. Les composants de puissance ont bénéficié du développement technologique et des propriétés du silicium. Mais il faut concevoir des dispositifs permettant de travailler dans des conditions de plus en plus difficiles : augmentation de la température de fonctionnement, diminution de la taille des composants et augmentation des courants et tensions [44]. Les composants électroniques basés sur le silicium peuvent cependant présenter des limites fonctionnelles. Depuis peu, l'électronique de puissance utilise certains semi-conducteurs à large bande interdite dans le cadre d'utilisations à haute température et une plus grande puissance. Le carbure de silicium (SiC) a été découvert « accidentellement » par Berzelius en 1824 [45]. Grâce à ses bonnes propriétés physiques telles qu'une importante largeur de bande d'énergie interdite, une grande mobilité, et une bonne conductivité thermique, le SiC est un matériau typique à large bande qui est appelé semi-conducteur de troisième génération après le silicium (Si) et l'arséniure de gallium (GaAs) [46].

Dans la première partie de ce chapitre, les propriétés physiques et les technologies de fabrication de SiC vont être présentées. Ensuite, la deuxième partie expose la diode Schottky en SiC et la technologie de la protection périphérique. De plus, les travaux sur la diode SiC-4H et le transistor MOSFET SiC seront abordés car ce travail de thèse porte sur la conception d'une diode et d'un transistor MOSFET en SiC.

## II.2 Propriétés électriques de SiC

Le carbure de silicium appartient à la classe des matériaux généralement désignés sous le nom de semi-conducteurs à grand Gap. Ceci signifie que l'espace d'énergie, dit interdit (ou Gap) entre la bande de valence et la bande de conduction est plus grand que pour le silicium. Il implique par exemple, qu'il est moins probable que les électrons thermiquement excités franchissent le Gap.

Parmi les nombreux polytypes de SiC, le 4H-SiC est le plus attrayant dû à la mobilité de porteurs plus élevée [47]. Certaines des propriétés électriques des polytypes SiC comparées à quelques autres semi-conducteurs sont énumérées dans le tableau II.1. Le silicium (Si) et l'arsenic de gallium (GaAs) sont des semi-conducteurs traditionnels. Le nitrure de gallium (GaN) et le diamant (C) sont comme le SiC également considérés comme futurs matériaux semi-conducteurs de puissance [48]. La concentration en porteurs intrinsèque  $n_i$  est déterminée par l'énergie de la bande

interdite  $E_G$  ainsi que la densité effective de la bande de conduction  $N_C$  et de valence  $N_V$ . La concentration en porteur intrinsèque est définie comme :

$$n_i(T) = \sqrt{N_C N_V} \exp\left(\frac{-E_G}{2kT}\right) \quad (\text{II-1})$$

La concentration intrinsèque augmente avec la température, lorsqu'elle dépasse le dopage de la région faiblement dopée le composant ne peut plus fonctionner. La très petite concentration intrinsèque du SiC lui confère un faible courant de fuite même à température élevée.

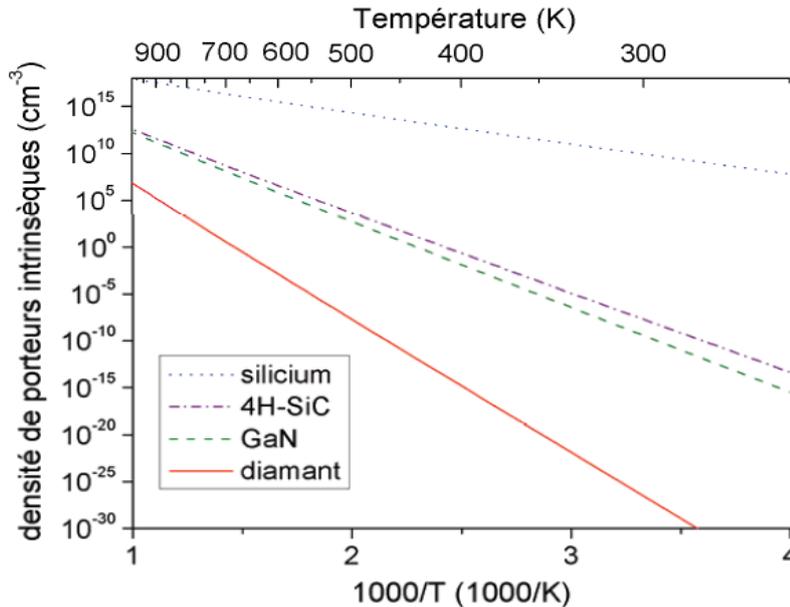


Figure 2.1. Variation de la densité de porteurs intrinsèques de différents matériaux en fonction de la température [47]

La Figure 2.1 présente la variation de la densité de porteurs intrinsèques en fonction de la température pour les quatre semi-conducteurs considérés. La température maximum d'utilisation présentée dans le Tableau II-1 est la température pour laquelle la concentration de porteurs intrinsèques calculée vaut  $10^{13} \text{ cm}^{-3}$ .

Les très bonnes mobilités des électrons et des trous dans le carbure de silicium permettent le passage de fortes densités de courant. Sa haute conductivité thermique facilite la dissipation thermique, paramètre important étant donné l'augmentation actuelle des densités de puissance. Enfin, la large bande interdite garantit une immunité plus grande aux radiations, laquelle peut être utile dans le cadre d'applications spatiales ou nucléaires, par exemple. Parmi les semi-conducteurs à large bande interdite envisagés, le SiC. La combinaison de ces propriétés fait du SiC un candidat idéal pour la fabrication de composants d'électronique de puissance [50]. Le champ de rupture (critique) des matériaux étant lié à leur énergie de bande interdite [51], les semi-conducteurs grands

gaps offrent des propriétés de tenue en tension exceptionnelles. De plus, une bande interdite large induit une faible densité de porteurs intrinsèques, ce qui rend possible une utilisation des composants à plus haute température sans dénaturer les propriétés semi-conductrices du matériau.

Le SiC a un champ électrique critique  $E_C$  environ dix fois plus grand que celui du silicium, la tension de claquage pour une diode plane NPT de largeur infinie est donnée par:

$$V_B = \frac{E_C W_B}{2} = \frac{q N_D}{2\epsilon} W_B^2 \quad (\text{II-2})$$

Pour la même tension de claquage, l'épaisseur de la région de désertion  $W_B$  sera environ 10 fois plus mince que pour le silicium, et le dopage  $N_D$  sera environ 100 fois plus élevé. Il en résulte une diminution importante de la résistance spécifique (Equation II-1). Il faut cependant prendre en compte la mobilité des électrons et la constante diélectrique inférieure dans le SiC, l'avantage en terme de résistance spécifique correspond à un rapport situé entre 300 et 800 en faveur du SiC [49].

$$R_{ON} = \frac{W_B}{q u_n N_D} = \frac{4V_B^2}{\epsilon \mu_n E_C^3} \quad (\text{II.3})$$

La montée en fréquence est favorisée par une vitesse de saturation deux fois plus élevée des porteurs dans le SiC, ce qui augmente la rapidité de commutation. La constante diélectrique plus faible diminue la capacité de jonction et donc réduit les pertes en commutation.

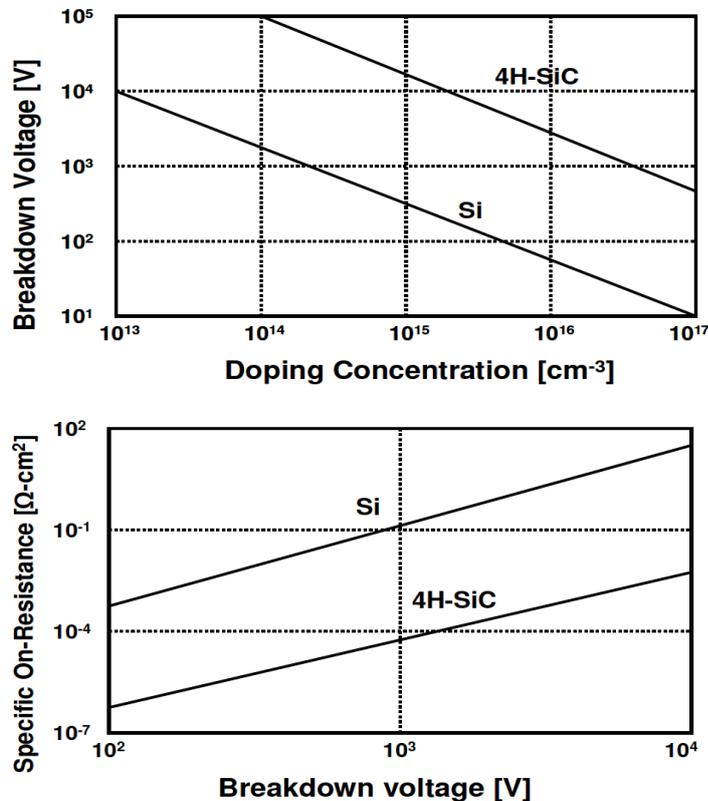


Figure II.2. Limite de la résistance spécifique à l'état passant en fonction de la tension de claquage [50].

La figure II-2 montre clairement la supériorité du SiC par rapport au silicium. On peut noter également que pour un composant unipolaire avec des pertes à l'état passant convenable, la limite du Si est environ 1 kV, le SiC permet de réaliser un composant dépassant 10 kV.

Propriétés	Si	GaAs	3C-SiC	4H-SiC	6H-SiC	GaN	C
Bande interdite (eV)	1,12	1,42	2,3	3,26	2,96	3,4	5,45
Champ critique (MV/cm)	0,3	0,4	2	3,5	2,4	3,3	5,6
Vitesse saturation (x10 <sup>7</sup> cm/s)	1	2	2,5	2	2	2,5	2,7
Mobilité (cm <sup>2</sup> /V.s)							
Electron	1200	6500	750	1000	370	1000	1900
Trou	420	320	40	115	90	30	1600
Concentration intrinsèque (cm <sup>-3</sup> )	1,5x10 <sup>10</sup>	2,1x10 <sup>6</sup>	6,9	8,2x10 <sup>-9</sup>	2,3x10 <sup>-6</sup>	1,6x10 <sup>-10</sup>	1,6x10 <sup>-27</sup>
Constante diélectrique relative	11,9	12,8	9,6	10	9,7	8,9	5,5
Conductivité thermique (W/cm.K)	1,5	0,5	4,9	4,9	4,9	1,3	20
Température maximum d'utilisation T <sub>max</sub> (°C)	140	-	-	760	-	800	1350

Tableau II.1 : Comparaison des propriétés électriques des matériaux semi-conducteurs de puissance (Si et GaAs) et les matériaux semi-conducteurs à grand gap (SiC, GaN et diamant) [51].

La conductivité thermique élevée du SiC permet une évacuation plus aisée de la chaleur, donc en principe autorise des densités de puissance plus élevées par rapport au silicium et au GaAs [52]. Après avoir comparé les caractéristiques électriques des matériaux semi-conducteurs de puissance, nous allons énumérer les avantages et les points faibles des composants SiC face aux composants silicium.

### **Avantages**

- ⊖ Les composants de puissance en SiC ont des tensions de claquage maximales plus élevées en raison de leur champ électrique critique plus important. Par exemple les diodes Schottky silicium commercialisées ont typiquement une tenue en tension inférieure à 300V, alors que les diodes Schottky SiC commercialisées possèdent actuellement un calibre en tension de 1200V.
- ⊖ Le SiC a une forte stabilité chimique et physique car son énergie de liaison est très élevée (5 eV).
- ⊖ Pour les composants unipolaires de calibre en tension identique, les composants de puissances en SiC ont une résistance spécifique plus faible, car la zone de tenue en tension est plus mince et plus dopée. Ainsi les pertes en conduction sont plus faibles.
- ⊖ Les composants bipolaires en SiC ont un courant de recouvrement moins important, réduisant ainsi les pertes en commutation.
- ⊖ Avec la réduction des pertes en commutation un composant bipolaire SiC peut fonctionner à plus hautes fréquences (jusqu'à 20MHz) que les composants en silicium.
- ⊖ Le SiC a une conductivité thermique plus élevée et donc profite d'un meilleur refroidissement.
- ⊖ Le SiC peut être utilisé à haute température. Les composants SiC fonctionnent jusqu'à 600°C, tandis que ceux en silicium peuvent fonctionner à une température de jonction inférieure à 150°C.

### **Inconvénients**

- ⊖ La tension de diffusion de l'ordre de 3V rend moins intéressante l'utilisation du SiC dans la gamme des composants bipolaires (diodes PiN et thyristors) de moyenne tension ( $U < 1000V$ ).
- ⊖ Le prix des composants SiC est élevé à cause de la difficulté d'élaboration du cristal et du rendement de fabrication faible due aux nombreux défauts : le prix d'une diode Schottky SiC 600V 4A est de 7\$, alors que celui d'une diode PiN silicium du même calibre est inférieur à 1\$.
- ⊖ La disponibilité des composants est limitée car encore peu sont commercialisés.

- ⊖ Les boîtiers de composants hautes température n'ont pas encore été développés, donc les composants SiC encapsulés ne peuvent pas être utilisés à haute température.

Beaucoup d'inconvénients sont normaux en considérant que la technologie du SiC n'est pas encore totalement mature. Le SiC rend possible l'électronique de puissance, pour les applications hautes tensions et hautes températures. D'autre part les faibles pertes en conduction des diodes Schottky SiC améliorent le rendement, ce qui est déjà intéressant dans le domaine de la basse tension (<1200V) à haut rendement [53].

Les caractéristiques citées précédemment permettent des améliorations significatives dans une grande variété d'applications et de systèmes. Un premier avantage est la réduction des composants en série pour avoir les mêmes performances dans des applications à haute tension. Le deuxième avantage réside dans la réduction des systèmes de refroidissement due à la capacité du SiC à fonctionner à haute température.

La figure II.3, présente quelques propriétés électriques sous forme graphique du SiC par rapport au Si.

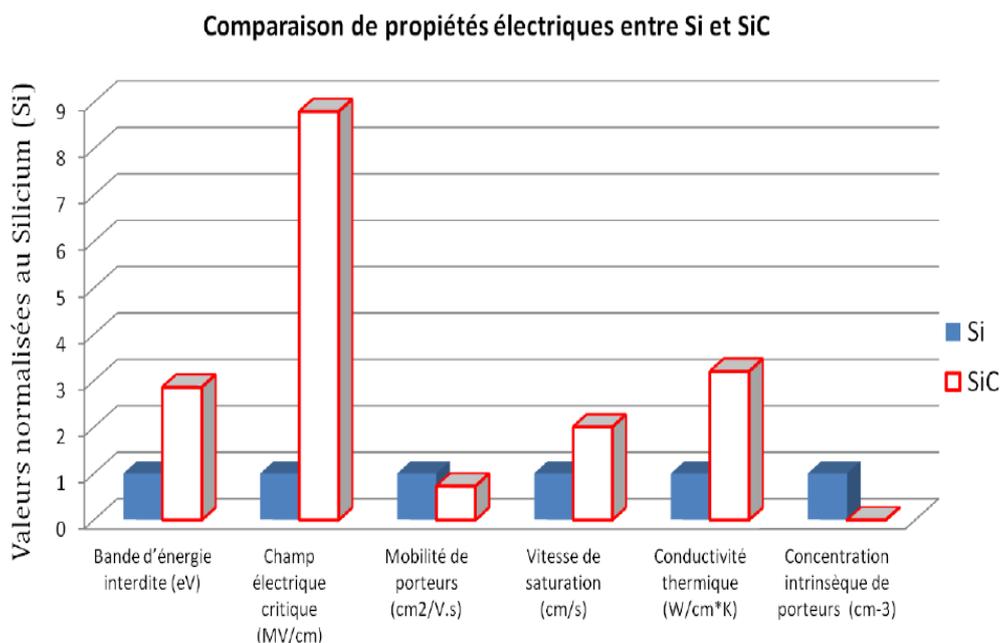


Figure II.3. Propriétés électriques de SiC comparées au Si, les valeurs sont normalisées par rapport au Si [54]

### II.2.1 Facteurs de mérite

Afin de faciliter le choix du composant RF en fonction de l'utilisation envisagée, nous avons à notre disposition différents facteurs de mérites [55] regroupant l'ensemble des technologies du marché pour les applications micro-ondes de puissance. Les trois facteurs de mérite les plus

représentatives [56] sont les facteurs de mérite Johnson (notée *Johnson Factor of Merit*), Baglia (notée *Baglia's Factor of Merit*) et de Keys qui ont pour définitions :

$$JFM = \frac{E_C V_{sat}}{2\pi} \quad (II-4)$$

$$BFM = \varepsilon_r \mu_n E_C^3 \quad (II-5)$$

$$KFM = \lambda \sqrt{\frac{c v_{sat}}{4\pi \varepsilon_r}} \quad (II-6)$$

avec  $\varepsilon_r$  qui est la constante diélectrique relative du matériau, dans la littérature les facteurs de Johnson, Keys et de Balglia sont généralement normalisées par rapport au Silicium:

$$JFMratio = \frac{JFM}{JFM_{silicium}} \quad (II-7)$$

$$BFMratio = \frac{BFM}{BFM_{silicium}} \quad (II-8)$$

$$KFMratio = \frac{KFM}{KFM_{silicium}} \quad (II-9)$$

Matériau	JFM	KFM	BFM	JFMratio	BFMratio
Si	1	1	1	1	1
SiC-3C	65	1.6	33.4	-	-
SiC-4H	180	4.61	130	20	584.8
SiC-6H	260	4.68	110	-	-
GaAs	7.1	0.45	15.6	1.3	15.8
GaN	760	1.6	650	22	676.8
C	2540	32.1	4110	-	-

Tableau II.2 Facteurs de mérite de JFM, KFM et BFM pour plusieurs semi-conducteurs en comparaison avec le silicium [57].

Dans le domaine des basses fréquences, la supériorité des composants unipolaires en SiC par rapport au Si provient de la réduction de l'épaisseur de la région de dérive qui supporte la tension. Ceci conduit à une réduction significative de la résistance à l'état passant  $R_{ON}$ . En haute fréquence cette supériorité est due à l'effet de la réduction de la surface active du composant, qui conduit à une capacité plus faible. Le Tableau II-3 permet de faire ressortir que si l'on considère le JFM ratio, qui prend en compte la puissance et la fréquence, ou le BFM ratio, qui privilégie la puissance, les

matériaux grand gap (et tout particulièrement le matériau GaN) paraissent les meilleurs pour des applications de puissance RF.

Les principaux avantages à travailler avec les composants en SiC sont résumés dans le tableau II.3.

Caractéristique du matériau	Caractéristique du composant	Aspects du système intégrant ces composants
Haut champ critique	Haute tension pour les composants unipolaire	↑ Haute tension ↓ Pertes
Haute mobilité d'électrons	Faible résistance spécifique	↑ Fréquence de commutation
Faible concentration de porteurs intrinsèque	Fonctionnement à haute température	↓ Surface du dispositif ↑ puissance
Haute conductivité thermique	Faible densité de pertes	↓ Système de refroidissement

Tableau II.3 : Résumé des caractéristiques du matériau SiC et du dispositif employant le SiC [57]

### II.2.2 Conclusion

Les formidables progrès réalisés ces dernières décennies en électronique de puissance ont été rendus possibles par les progrès des procédés technologiques de traitement du silicium. Aujourd'hui, les limites imposées par les propriétés intrinsèques du silicium au développement de l'électronique de puissance ouvrent la voie au développement de nouvelles technologies, notamment basées sur l'utilisation des matériaux à large bande interdite. Parmi ces derniers, le carbure de silicium présente les propriétés les plus prometteuses ; il constitue donc un candidat idéal pour la réalisation de composants de puissance permettant de repousser les compromis actuels. Dans le paragraphe suivant, nous allons passer en revue l'état de l'art des composants SiC.

## II.3 Les composants de puissance en SiC

### II.3.1. Présentation de Carbure de Silicium

Le carbure de silicium possède des qualités indéniables pour les applications de puissance. Ainsi, de nombreux chercheurs ont travaillé sur la réalisation de démonstrateurs tels que les diodes (Schottky ou bipolaire), les JFETs, MOSFET et thyristors [58]. La mise au point de certains composants a pu mettre en valeur de manière significative, les meilleures performances du SiC par rapport au Si pour les très hautes tensions. Les travaux de certains groupes ont mené à la commercialisation de composants de puissance en SiC qui sont disponible depuis quelques années.

La réalisation de composants de puissance en SiC impose des opérations différentes de celle des composants en Si dû à ses propriétés physicochimiques. Par exemple l'impossibilité de doper par diffusion implique la nécessité du dopage localisé par implantation ionique, ou encore des structures gravées pour atteindre les couches enterrées. La mise en place des protections périphériques nécessite très souvent une gravure du SiC pour la protection mesa. Dans le cas du SiC, la gravure chimique s'avère très difficile voir impossible et la gravure par plasma s'impose [59]. Dans cette partie, un état de l'art des différents démonstrateurs réalisés jusqu'à présent est présenté.

### II.3.2. Généralités sur les diodes de puissance en SiC (PiN, JBS et Schottky)

Les diodes sont les plus simples semi-conducteurs et sont utilisées dans presque tous les convertisseurs de puissance. Deux types de diodes sont utilisés: les diodes bipolaires (PiN) et les diodes Schottky. Pour les convertisseurs de faible tension les diodes Schottky sont préférées car elles sont plus rapides que les diodes PiN, elles ont une chute de tension à l'état passant plus faible et de plus faibles pertes en commutation [60]. Cependant pour les applications de plus forte tension (>300V), les diodes Schottky en silicium sont peu utilisées, car leurs courants de fuites se dégradent rapidement. Dans ce cas des diodes bipolaires sont préférées [61].

Les premières diodes Schottky SiC commercialisées possédaient une tenue en tension de 600V. Puis avec la maturation de la technologie SiC sont apparues les diodes Schottky 1200V, ce qui permet de remplacer les diodes PiN en silicium du même calibre en tension [62].

Il existe un troisième type de diodes de puissances SiC appelé JBS. Ces diodes ne sont pas employées dans l'industrie car elles sont encore au stade expérimental. Cette technologie combine les avantages d'une diode Schottky en direct (faible tension de seuil à l'état passant et peu de charges stockées) et d'une diode bipolaire en inverse (tenue en tension élevée et faible courant de fuite).

### II.3.3. Le marché des Diodes en SiC

Comme nous l'avons déjà évoqué précédemment, dans la gamme des interrupteurs de puissance non-commandables en SiC, seules les diodes Schottky et JBS sont commercialisées à ce jour. Infineon [45] en 2001 est le premier fabricant de semi-conducteur à mettre sur le marché une diode Schottky SiC, et elle a pour appellation commerciale « TM ». Pour concurrencer Infineon sur ce marché, d'autres fabricants ont suivi, comme Cree [45], Microsemi [45], STMicroelectronics [45] ou encore Semisouth [45]. Nous tenons à préciser que les concurrents d'Infineon sont toujours

présents aujourd'hui sur le marché de la diode Schottky SiC, avec comme nouveau venu en 2010 le fabricant japonais Rohm [45]. En ce qui concerne la diode JBS (ou MPS) SiC, a priori seule Infineon a commercialisé ce type de dispositif. Nous rappelons que la diode JBS SiC d'Infineon, d'appellation commerciale « diode Schottky de seconde génération » est arrivée sur le marché en 2006. Puis en 2009, une évolution de cette diode JBS SiC d'Infineon a été introduite sur le marché, elle a pour appellation commerciale « diode Schottky de troisième génération » [63].

### II.3.4. La diode PiN

Une diode PiN est fabriquée par l'association d'une région semi-conductrice de type P (ions accepteurs) et d'une région semi-conductrice de type N (ions donneurs). Pour les composants de forte tenue en tension, la région de type N est divisée en une région fortement dopée  $N^+$  et une région faiblement dopée  $N^-$  tel qu'il est représenté sur la figure II.4. La région  $N^-$  est appelée (base) ou « région centrale ».

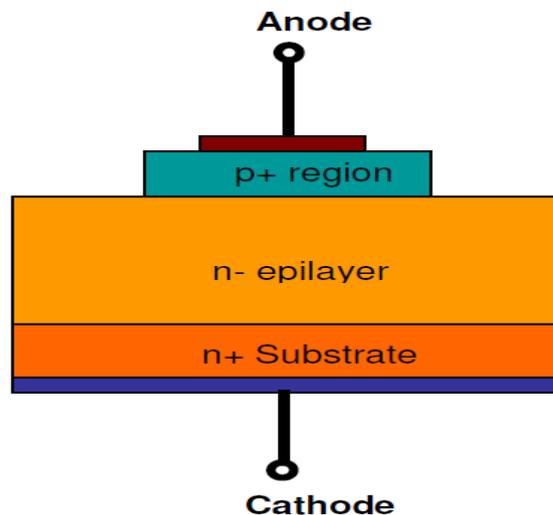


Figure II.4. Structure d'une diode bipolaire de puissance.

Lorsque la diode est polarisée en direct, les ions de la région fortement dopée  $N^+$  vont fournir des électrons et celle de type  $P^+$  des trous. A la jonction de la région  $P^+$  et  $N^-$  les électrons vont se recombiner avec les trous qui se sont déplacés de  $P^+$  par diffusion. La forte diffusion supprime la neutralité électrique de chacune des régions. Appauvrie en trous, la partie de région  $P^+$  située juste au dessus de la jonction se charge négativement par la présence des ions accepteurs fixes, tandis que la région  $N^-$  située immédiatement en dessous de la jonction se dégage en électrons libres et se charge positivement. Le phénomène de diffusion entraîne donc l'apparition d'une ZCE. Le champ électrique interne créé par les atomes ionisés s'oppose à l'extension du phénomène de diffusion : il

a tendance à repousser vers la région  $P^+$  des trous en provenance de la région  $N^-$ , et inversement pour les électrons libres. Il résulte du mouvement des porteurs majoritaires un courant de diffusion, somme des courants des électrons libres et des trous. Tous les trous diffusant dans la région  $N^-$  ne pouvant pas s'y recombinaient instantanément, il y a au voisinage de la ZCE dans la région  $N^-$  un excédent de charges positives qu'on appelle charge de diffusion, ou charge stockée. Cette charge résulte directement de l'injection du courant de diffusion des trous à travers la jonction. Ce phénomène est identique pour les électrons dans la région  $P^+$ . Il y a donc simultanément une charge stockée dans la région  $P^+$  et une charge stockée dans la région  $N^-$ . L'existence de ces charges stockées a une importance considérable en régime transitoire, et explique notamment qu'une diode ne puisse pas passer instantanément de l'état conducteur à l'état bloqué. Il faut un certain temps pour que disparaisse la charge stockée totale : le temps pendant lequel la jonction PN peut conduire en inverse.

Quand une tension inverse est appliquée, les trous de la région  $P^+$  et les électrons de la région  $N^+$  vont s'écarter de la jonction pour empêcher l'écoulement du courant. Dans l'état d'équilibre, le courant de fuite a principalement (à température pas trop élevée) pour origine la génération thermique.

La ZCE s'agrandit avec l'augmentation de la tension appliquée, faisant ainsi croître le champ électrique maximal. Quand la ZCE devient supérieure à l'épaisseur de la base il y a pincement de la zone centrale. Lorsque le champ électrique devient suffisamment important, les porteurs accélèrent dans la ZCE et acquièrent de l'énergie pour ioniser les atomes du réseau et ainsi créer des paires électron-trou, qui accélérées à leur tour peuvent provoquer l'ionisation d'autres atomes. Ce phénomène est appelé la génération par ionisation. Le claquage par avalanche survient lorsque le phénomène de multiplication s'emballe, le courant de fuite tend théoriquement vers l'infini. La tension de claquage est déterminée pour une valeur de courant de fuite donnée.

La tension de claquage dépend de l'épaisseur de la base, ainsi que de la valeur de son dopage. Il est nécessaire d'effectuer un compromis entre la tenue en tension et une faible chute de tension à l'état passant. Dans la pratique la profondeur de la base et son dopage sont situés dans la région de coude (Figure II.4).

En raison de leur nature bipolaire, les pertes en conduction d'une diode PiN diminuent quand la température augmente. Il n'existe pas encore de diode bipolaire SiC commercialisée. Les composants actuels sont des prototypes de laboratoire. Une diode bipolaire réalisée à un calibre en courant de 50A, avec une tension de claquage de 10kV [62]. La tenue en tension la plus importante d'une diode PiN SiC réalisée est de 19kV [63].

### II.3.5. La diode JBS

La diode JBS aussi appelé MPS consiste à implanter des zones dopées P<sup>+</sup> dans une diode Schottky (Figure II.4). Une section transversale d'une diode JBS fonctionnant en polarisation directe et inverse est montrée sur la figure II.5.

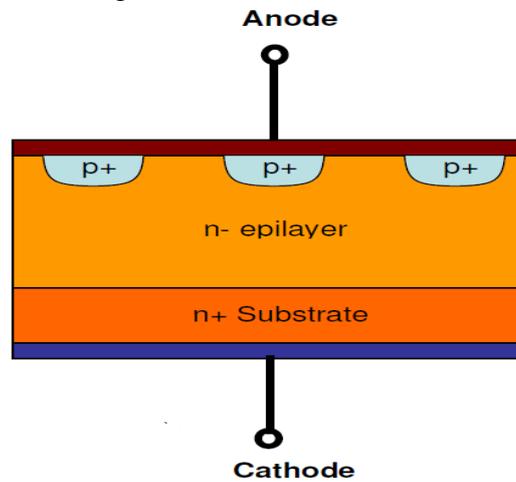


Figure II.5. Structure d'une diode JBS de puissance.

La zone hachurée de la figure II.6 (a) représente le courant traversant la diode JBS à l'état passant, tandis que les pointillés de la figure II.6 (b) délimitent les zones de désertion de la diode à l'état bloqué.

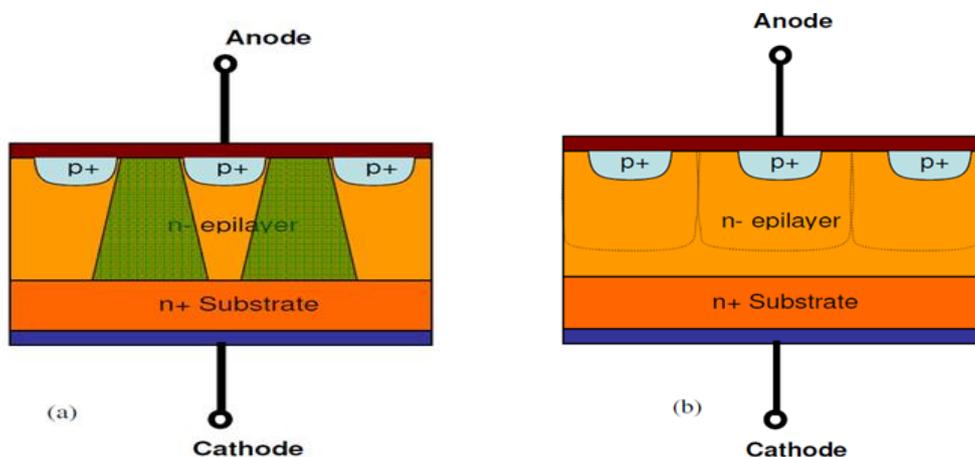


Figure 2.6. Courant à l'état passant (a) et zone de déplétion à l'état bloqué (b) d'une diode JBS.

Pour une tension directe inférieure à 3V seulement les régions Schottky de la diode JBS SiC conduisent. La chute de tension à l'état passant du composant est déterminée par la résistance de la région N<sup>-</sup>, la hauteur de barrière du métal Schottky, et l'aire relative entre la région Schottky et les régions implantées P<sup>+</sup>. La hauteur de barrière du métal Schottky doit être assez basse pour obtenir une faible chute de tension à l'état passant. A mesure que la polarisation inverse augmente, les

régions de désertion adjacentes aux régions implantées  $P^+$  pincent le courant de fuite provenant des contacts Schottky du composant. Le courant de fuite dans les régions Schottky se produit en raison de l'abaissement de la barrière Schottky à la jonction métal- $N^-$ . La présence des régions implantées  $P^+$  réduit le champ électrique à la jonction métal- $N^-$ .

La diode JBS est soumise à un compromis entre la valeur de la tension à l'état passant et le courant de fuite. Les paramètres de conception qui affectent ce compromis sont :

- l'aire relative de la région implantée  $P^+$ ,
- la géométrie et la disposition (en bordure ou réparties le long de la région Schottky) des régions implantées  $P^+$ .

Une importante aire implantée  $P^+$  a comme conséquence l'augmentation de  $V_F$  en raison d'une plus petite aire conductrice, mais réduit le courant de fuite due à un pincement plus efficace de la région Schottky. Un bon compromis correspond à une surface de région Schottky représentant la moitié de la surface totale implantée  $P^+$  [64].

La courbe caractéristique en inverse de la diode JBS est beaucoup plus semblable aux diodes PiN qu'aux diodes Schottky. La diode JBS montre une grande rapidité de commutation au blocage et un faible recouvrement résultant de la capacité de jonction des régions de déplétion [65].

Les diodes JBS possèdent un coefficient de température positif, ce qui fait croître les pertes en conduction avec l'augmentation de température, alors que les pertes en commutation diminuent. Actuellement il n'existe pas de diodes JBS SiC commercialisées. Les prototypes les plus performants réalisés ont un calibre de 1500V-4A [65] et 1200V-15A [66].

### II.3.6. Diodes Schottky de puissance

Les diodes Schottky sont utilisées beaucoup plus dans les applications de puissance car elles possèdent une faible tension de seuil à l'état passant et ne génèrent pas de pertes en commutation. Les pertes de puissance sont donc plus faibles pour ce composant que pour les diodes PN classiques [67]. Les pertes thermiques sont alors réduites et les dissipateurs thermiques à installer sont donc plus petits. Les diodes Schottky sont également très présentes dans les applications radiofréquences grâce à leur grande vitesse de commutation et à leur aptitude à fonctionner à haute fréquence. La réalisation de ces diodes avec du SiC permet de dépasser les performances des diodes en silicium et ainsi, d'offrir de meilleures performances aux circuits qu'elles intègrent. Prenons, par exemple, le convertisseur PFC (ou « Power Factor Correction » en anglais) utilisé dans le but de corriger le

courant déformé délivré par le secteur, surtout à forte puissance. L'utilisation de diodes Schottky 600V en SiC dans ce type de circuit permet d'accroître le rendement de 2% par rapport au rendement fourni par un circuit composé d'une diode redresseuse ultra rapide en silicium [68]. En plus d'un meilleur rendement, la taille du circuit et en particulier des composants passifs (capacités et inductances) est considérablement réduite. La figure II.6 montre la comparaison d'un PFC fabriqué avec des diodes Schottky en silicium et un PFC constitué de diodes Schottky en SiC. On constate également que la fréquence de commutation est 2,5 fois plus élevée avec les diodes SiC puisque l'on passe d'une fréquence de commutation de 80kHz avec le silicium à 200kHz avec le SiC. Le SiC contribue ainsi fortement à l'intégration de puissance.

Plusieurs études ont été réalisées pour évaluer les performances des diodes Schottky-SiC par rapport aux diodes PN-Si. Chang, [69]. Dans son étude, a réalisé une comparaison des performances d'une diode Schottky-SiC 1200V avec une diode PiN-Si 1200V. En mode de conduction directe et pour une densité de courant de 150 A/cm<sup>2</sup>, les chutes de tension mesurées à la température ambiante étaient de 1.74V et de 2.48V pour la diode Schottky-SiC et la diode PiN-Si respectivement. A la température de 150°C et pour la même densité de courant, la chute de tension directe de la diode Schottky-SiC augmente pour atteindre la valeur de 2.15 V, en revanche la chute de tension de la diode PiN-Si diminue à une valeur de 1.73V. Le comportement dynamique des deux diodes a été évalué dans un bras d'onduleur dont les interrupteurs utilisés étaient des IGBT-Si. Les caractéristiques de recouvrement inverse des deux diodes ont été mesurées pour un di/dt de 2000 (A/cm<sup>2</sup>)/μs et pour une tension inverse de 300V. Le courant de recouvrement inverse mesuré de la diode Schottky-SiC était beaucoup plus faible que celui de la diode PiN-Si. Avec l'augmentation de la température, le courant de recouvrement inverse de la diode Schottky-SiC n'a pas présenté une variation significative contrairement à la diode PiN-Si, qui a présenté une dégradation de ses caractéristiques en commutation en fonction de la température. A 150°C la charge stockée mesurée pour la diode Schottky-SiC était 20 à 30 fois inférieure que celle mesurée de la diode PiN Si [70]. Par conséquent, Chang [70] a montré que le remplacement des diodes PiN-Si par des diodes Schottky-SiC dans une cellule de commutation avec des IGBT, conduit à une réduction des pertes totales de 30%. Il a également montré que ce remplacement contribue à diminuer les contraintes de l'IGBT par les surcourants et les surtensions produites lors de la commutation. La majorité de ces réductions est due à la grande vitesse de commutation des diodes Schottky par rapport aux diodes PN. Cette vitesse est due au fait que la diode Schottky-SiC est un composant unipolaire, son courant est transporté par un seul type de porteurs qui sont majoritaires. Par conséquent, elle ne possède pas de charge stockée à évacuer lors de la commutation [71].

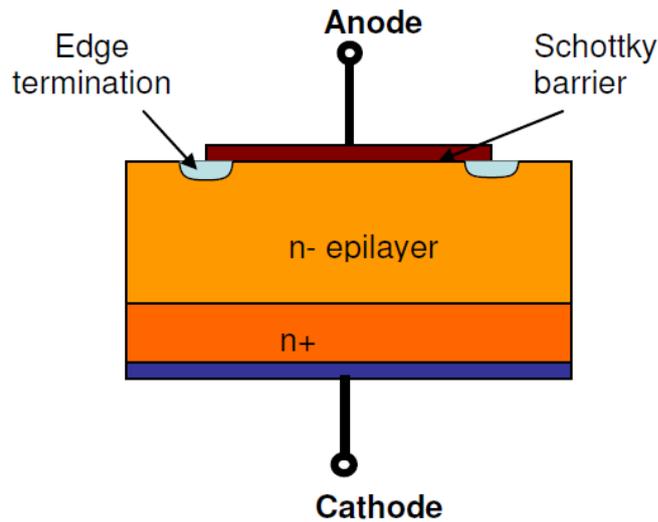


Figure II.7. Structure simplifiée de la diode Schottky.

### II.3.7. Conclusion

Le choix d'un type de diode dépend de nombreux paramètres du composant tel que la tenue en tension, la densité de courant à l'état passant, la densité de courant inverse acceptable, la température de fonctionnement et la fréquence de commutation. Dans chacun de ces domaines les diodes de puissance en SiC sont plus performantes que les diodes en silicium. Leur calibre en tension nettement supérieur permet de simplifier les circuits en limitant la mise en série de composants. La grande stabilité en température et la bonne conductivité thermique permet de réduire la taille du système de refroidissement, ainsi que fonctionner dans un environnement à haute température. La faible résistance à l'état passant et la réduction des pertes en commutation améliore le rendement du système. Enfin la densité de courant élevée et la possibilité de fonctionner à haute fréquence permettent de réduire les dimensions des composants semi-conducteurs ainsi que les capacités et les inductances du convertisseur.

## II.4 Diode étudiée

Dans ce chapitre nous nous intéressons à la caractérisation électrique d'une diode Schottky en SiC. Cette diode possède une tenue en tension théorique de 5kV dans un milieu isolant de type SF6, et un calibre en courant de 230 mA sous 5V. Elle est bondée sur des plots en bordure du support afin de faciliter son utilisation dans un circuit de caractérisation [72].

### II.4.1. Diode Schottky en SiC

L'utilisation de diode Schottky de puissance en SiC en remplacement des diodes bipolaires en silicium permettrait d'obtenir de bien meilleures tenues en tension, densités de courant et vitesses de commutation. La diode Schottky est un composant unipolaire pour lequel le phénomène de recouvrement de charges lors de la commutation n'apparaît pas. Les diodes Schottky en SiC allient donc vitesse de commutation, tenue en tension et haut rendement. Pour comparaison, les composants Schottky en silicium ont des tensions de claquage inférieures à 100V, alors que celles-ci sont supérieures à 200V et inférieures à 10kV avec la technologie SiC. La figure II.18 présente les tensions de claquage de diodes Schottky planes 6H et 4H calculées, simulées et celles reportées dans la littérature en fonction du dopage de la zone n. De plus, le SiC permet d'obtenir des tensions seuils et des résistances à l'état passant très faibles par rapport au silicium [73]. Les premiers composants Schottky de puissance en SiC-4H ont été réalisés par Itoh et Al [74]. Depuis, de nombreuses valeurs de hauteur de potentiel ont été reportées dans la littérature [75]. Il apparaît que pour le SiC-4H de type n la hauteur de barrière dépend de façon linéaire du travail de sortie du métal (figure II.19).

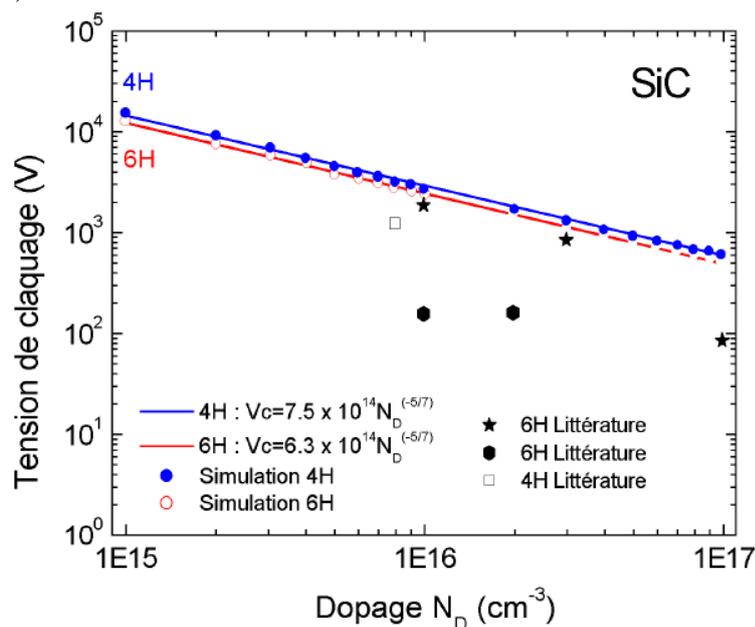


Figure II.18. Comparaison des tensions de claquage obtenues par résolution analytique, simulation et données expérimentales pour des diodes Schottky plane en 4H et 6H [76]

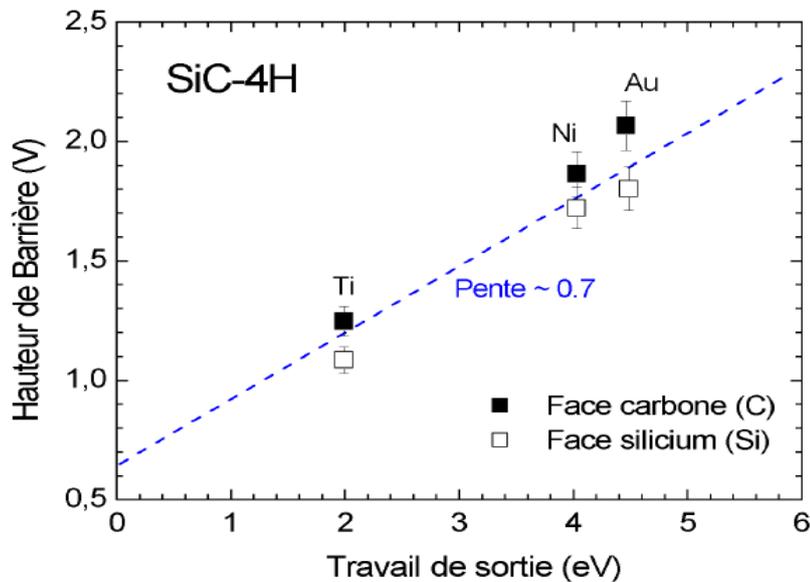


Figure II.19. Illustration de diodes Schottky 4H [76]

## II.4.2. Physique du semi-conducteur de la diode Schottky SiC

### II.4.2.1. Description du composant

Dans la panoplie des composants utilisés dans l'électronique et particulièrement l'électronique de puissance, la diode Schottky constitue sans doute le plus simple composant semi-conducteur que l'on puisse faire: dans le principe ce composant ne requiert qu'un « bloc » de semi-conducteur homogène, dopé N ou P, et un contact métallique un peu spécial sur l'une de ses deux faces, dit contact Schottky [77].

Ce contact est constitué d'un dépôt métallique à la surface du semi-conducteur, et sert par la même occasion à réaliser les amenées de courant du composant. Plusieurs comportements électriques sont possibles lorsque l'on réalise une telle interface. En particulier deux types de contacts métal-semi-conducteur sont fréquemment utilisés en électronique : les contacts dits ohmiques et les contacts Schottky ou redresseurs. Un contact Schottky ne diffère d'un contact ohmique que par le décalage qui existe entre le travail de sortie du métal ( $\Phi_{\text{métal}}$ ) et le travail de sortie du semi-conducteur ( $\Phi_{\text{sc}}$ ), délibérément différents. De ce décalage naît l'effet redresseur, mis en œuvre dans les diodes Schottky. Les propriétés intrinsèques du semi-conducteur et du métal fixent la hauteur de la barrière de Schottky, responsable de la chute de tension de jonction à l'état passant du redresseur [78].

Un autre aspect des diodes à base de jonction Schottky est qu'elles ne font appel qu'aux porteurs majoritaires du semi-conducteur choisi. Ceci a pour conséquence une absence de

modulation des zones de conduction, donc une conduction exclusivement de -type ohmique, qui se traduit entre autre par une absence de recouvrement du composant à la commutation.

La propriété de conduction par porteurs majoritaires donne toute son importance à la mobilité de ces porteurs, qui doit être la plus forte possible pour diminuer la résistance série  $R_{ON}$  du composant lors de la conduction. C'est pourquoi les diodes Schottky sont la plupart du temps réalisées sur matériau N, car la mobilité des électrons est souvent supérieure à celle des trous, et le dopage N est plus facile à réaliser [79]. C'est le cas en particulier sur SiC-4H: l'azote présent lors de la synthèse du matériau est responsable d'un dopage de type N, les porteurs majoritaires sont dans ce cas des électrons. Ce sont donc les électrons qui sont responsables des courants dans la diode, à l'exclusion des trous négligeables dans les phénomènes de conduction. Les diodes prototypes réalisées, sur matériau N. On constate la présence de plusieurs -zones supplémentaires, en plus de la jonction Schottky proprement dite. En particulier, la fonction redresseur exige une périphérie du composant étudiée, afin de pouvoir supporter une tension inverse, ainsi qu'une zone de semi-conducteur sous la jonction destinée à étaler le champ lors de la polarisation inverse, afin d'optimiser le compromis tenue en tension / état passant.

### II.4.2.2 Jonction Schottky

La jonction Schottky est une barrière créée par l'association d'un métal et d'un semi-conducteur. D'un point de vue théorique, l'effet redresseur d'une telle jonction s'explique par le diagramme des bandes des deux constituants, métal et semi-conducteur [80]. Suivant le signe de la différence entre le travail de sortie du métal et la distance du niveau de Fermi du semi-conducteur au niveau du vide (travail de sortie du semi-conducteur), l'association peut être soit redresseuse ( $\Phi_{\text{métal}} > \Phi_{\text{SC}}$ ), soit en régime de bandes plates ( $\Phi_{\text{métal}} = \Phi_{\text{SC}}$  il n'y a alors pas de modification locale du diagramme des bandes), soit ohmique ( $\Phi_{\text{métal}} < \Phi_{\text{SC}}$ ). Dans le cas qui nous intéresse ici, le diagramme des bandes du métal et du semi-conducteur de type N présente une caractéristique redresseuse, et est présentée figure II.20 Pour réaliser une diode Schottky sur matériau N [81], le métal choisi doit donc avoir une affinité électronique plus forte que le travail de sortie du semi-conducteur. Sur SiC-4H faiblement dopé N, l'affinité électronique vaut  $\chi_{\text{SiC}} = 4.2\text{eV}$ , il s'agit donc de trouver un métal ayant une affinité supérieure ( $\Phi_{\text{métal}} > \Phi_{\text{SC}}$ ), les candidats potentiels étant des métaux de transition permettant si possible de réaliser des jonctions relativement stables en température.

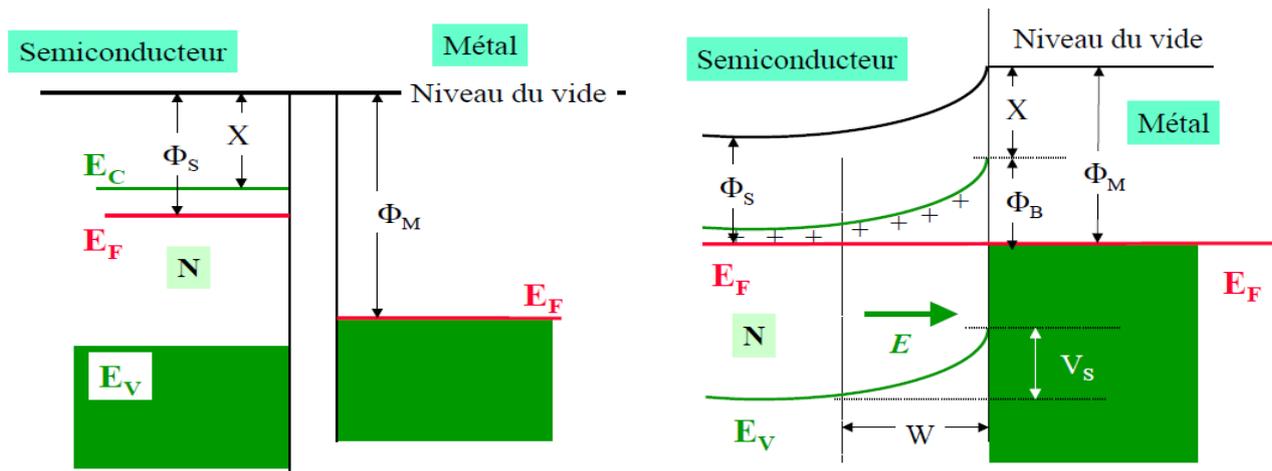


Figure II.20. Diagramme des bandes du métal et du semi-conducteur séparés (à gauche) et en contact (à droite) dans le cas d'une jonction métal- semi-conducteur redresseuse à l'équilibre [83].

Le Palladium Pd (5,12eV), le Platine Pt (5,65eV), ou le Nickel Ni (5,15eV) peuvent ainsi être déposés en phase vapeur à la surface du SiC constituant la future jonction (D'après [84]). La hauteur de barrière de la jonction Schottky obtenue est directement fonction du travail de sortie du métal. Afin d'expliquer le fonctionnement de la jonction Schottky, on fait l'hypothèse que la relation  $E_B = e.(\Phi_{\text{Métal}} - X_{\text{sc}})$  est vérifiée et donne la hauteur de barrière. En pratique, les états d'interface qui seront abordés dans la suite jouent un rôle prépondérant dans la hauteur de barrière. A l'équilibre thermodynamique, et dans le cas où  $\Phi_{\text{Métal}} > \Phi_{\text{SC}}$ , il apparaît donc à la mise en contact virtuelle du métal et du semi-conducteur une barrière de potentielle de hauteur  $E_B = e.(\Phi_{\text{Métal}} - X_{\text{sc}})$  à l'interface. C'est la barrière de Schottky. Les travaux de sortie des deux matériaux étant différents et les niveaux de Fermi étant horizontaux et alignés dans le métal et le semi-conducteur (fig. II.20), on observe un déplacement des électrons du semi-conducteur vers le métal de façon à rétablir l'équilibre localement dans la jonction. Il apparaît alors une zone de charge d'espace (ZCE) qui correspond dans le semi-conducteur à un défaut d'électrons, et qui a son pendant dans le métal sous la forme d'une accumulation d'électrons. L'extension de ces zones de charge d'espace dépend de la densité d'état de part et d'autre de la jonction. Elle est négligeable dans le métal (à cause de la très grande densité d'état  $\approx 10^{22} \text{cm}^{-3}$ ) mais importante dans le semi-conducteur, d'autant plus qu'il est faiblement dopé [85].

A cause de la déplétion locale due à la ZCE, on a une déformation des bandes vers le haut dans le cas du dopage N, déformation qui s'étend tout le long de la ZCE. Il y a simultanément apparition d'un champ (dû au gradient de charges) et donc d'une tension  $V_D$ , dite de diffusion, qui équilibre la diffusion métal semi-conducteur des porteurs. Cette ZCE peut devenir nulle en régime

de bandes plates, c'est à dire pour  $V_D=0$ , ou  $V_{AK} = \Phi_{\text{Métal}} - X = E_B/e$ . Ce régime de bandes plates signifie qu'il n'y a pas d'échange d'électrons entre le métal et le semi-conducteur.

**a) Cas de la polarisation directe ( $V_{AK} > 0$ )**

On polarise la jonction en direct, c'est à dire en appliquant une tension  $V_{AK}$  positive ( $V_{\text{Métal}} > V_{\text{semiconducteur}}$ ), conformément à la fig. II.21.

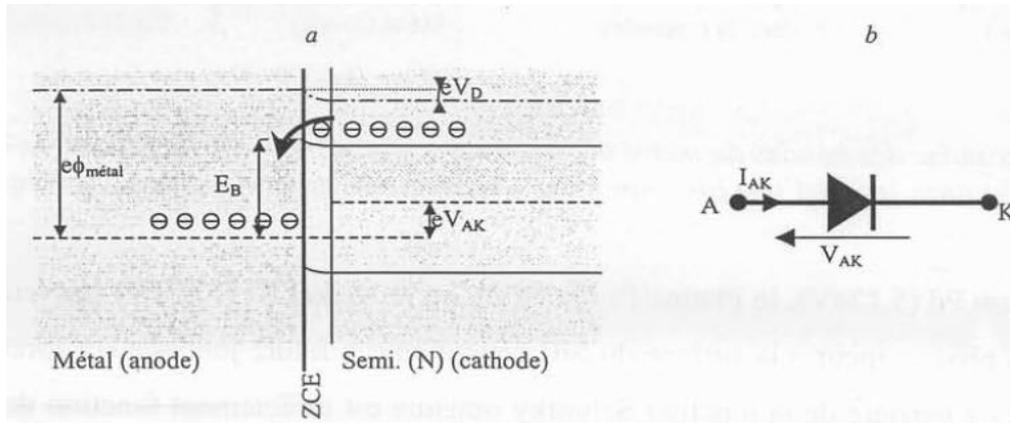


Figure II.21. Structure simplifiée de la diode Schottky polarisée en direct.

Il apparaît alors un courant  $I_{AK}$  (dans le sens métal vers semi-conducteur). Cette tension modifie le diagramme des bandes de la fig. II.21 à droite, les niveaux de Fermi du métal et du semi-conducteur ne sont alors plus alignés, mais décalés de  $e V_{AK}$ .

$$V_{AK} > 0 \rightarrow e \cdot V_D = e \cdot V_{D(V_{AK}=0)} - e \cdot V_{AK} \tag{II-10}$$

La hauteur de barrière dans le sens métal→semiconducteur n'a pas changé (elle vaut  $E_B$ ), mais la barrière semi-conducteur-métal, issue de la déformation des bandes dans le semi-conducteur, s'est abaissée de  $e \cdot V_{AK}$ , et vaut maintenant  $e \cdot (V_D - V_{AK})$ . La conséquence de ce décalage est une diminution de la largeur de la Zone de Charge d'Espce (ZCE) à l'interface métal→semi-conducteur. Le courant qui apparaît alors est dû à la diffusion des électrons du semi-conducteur vers le métal, facilitée par cet abaissement de barrière.

La croissance du courant suit une loi exponentielle (Eq II-11), démontrée par Richardson [86] dans le cas d'une cathode métallique dans le vide, le travail de sortie  $e \cdot \Phi_{\text{Métal}}$ , à la température  $T$  [87]. Ainsi une cathode métallique émet des électrons dans le vide si elle est thermiquement activée (émission thermoélectronique), le courant généré est donné par:

$$J = RT^2 \exp\left(\frac{-e\phi_{\text{Métale}}}{K.T}\right) \tag{II-11}$$

avec :

$$R = \frac{4\pi e m_e k^2}{h^3} \quad (\text{II-12})$$

avec  $R = 120 \text{ A.K}^{-2}.\text{cm}^{-2}$ . Dans le cas d'une jonction métal - semi-conducteur à l'équilibre thermodynamique et en l'absence de polarisation extérieure, les niveaux de Fermi étant alignés, on a alors à l'interface métal-semi-conducteur:

$$J_{A \rightarrow K} = J_{K \rightarrow A} = R^* T^2 \exp\left(\frac{-E_B}{KT}\right) \quad (\text{II-13})$$

avec :

$$R^* = \frac{m^*}{m_e} R \quad (\text{II-14})$$

Les courants émis s'annulent de part et d'autre de la jonction. Cette expression fait apparaître la constante de Richardson effective  $R^*$  qui prend en compte la masse effective des porteurs dans le semi-conducteur  $m^*$ . On peut exprimer ce même courant, en fonction du dopage (sous réserve que l'ionisation des dopants soit complète) et de la tension de diffusion  $V_D$ :

$$J_{AK} = J_{KA} = e \cdot N_D \sqrt{\frac{K \cdot T}{2 \cdot \pi m_e}} \exp\left(\frac{-e \cdot V_D}{KT}\right) \quad (\text{II-15})$$

### II.4.2.3 Mobilité dans le carbure de Silicium

Les diodes Schottky, comme les MOSFETs ou d'autres composants à porteurs majoritaires, ne présentent pas de modulation de la conductivité du matériau semi-conducteur par injection de porteurs, comme c'est le cas dans les composants bipolaires. La résistivité du matériau (notée  $\rho$ , en  $\Omega.m$ ), qui suffit à décrire complètement le phénomène de transport du courant, est donnée par:

$$\rho = \frac{1}{e \cdot N \cdot d \cdot \mu_n} \quad (\text{II-16})$$

Elle fait apparaître, outre le dopage du matériau (qui correspond à la densité de porteurs libres, et donc disponibles pour assurer la conduction) la mobilité de ces porteurs, notée  $\mu_n$  et exprimée en  $\text{m}^2.V^{-1}.s^{-1}$ . La mobilité est une grandeur macroscopique, caractéristique du matériau et décrivant la facilité des porteurs à se déplacer dans le cristal [88]. Elle est différente suivant le type de porteurs: les électrons ont des masses effectives plus légères que les trous dans la plupart des semi-conducteurs et ont ainsi des mobilités supérieures, et anisotropes. La mobilité dépend aussi du champ électrique, du dopage et fortement de la température. Etant un paramètre fondamental pour le choix du matériau, le dimensionnement et la technologie des composants « à porteurs majoritaires », elle a fait l'objet d'importants travaux en vue d'obtenir des modèles fins pour la

simulation. Schématiquement et pour les champs faibles, les vitesses d'un électron / d'un trou en fonction du champ électrique régnant dans le semi-conducteur s'écrivent respectivement:

$$\vec{V}_n = -\mu_n \cdot \vec{E} \quad \text{et} \quad \vec{V}_p = -\mu_p \cdot \vec{E} \quad \text{en} \quad \text{ms}^{-1} \quad (\text{II-17})$$

#### II.4.2.4 Sensibilité au champ électrique

Dans le domaine des forts champs, la vitesse de l'électron (ou du trou) atteint une limite physique dite vitesse de saturation des porteurs pour différents matériaux. Dans SiC, cette vitesse a fait l'objet de mesures ([89], [90]) et vaut environ  $2.10^7$  cm/s à 300K, et décroît avec la température.

#### II.4.2.5 Sensibilité au dopage

La densité de courant dans le semi-conducteur  $J$  en fonction du champ est donnée par la densité de porteurs de chaque type traversant une section de semi-conducteur en un temps donné, soit, en introduisant les expressions données:

$$\vec{j} = (n\mu_n + p\mu_p)e \cdot \vec{E} \quad \text{en} \quad \text{A} \cdot \text{m}^{-1} \quad (\text{II-18})$$

Dans le matériau N qui constitue les diodes Schottky, le second terme de l'eq. II-18 est négligeable. On constate que le courant est donc proportionnel au dopage N. A partir d'une certaine densité de dopants notée  $N_{\text{REF}}$ , les interactions coulombiennes entre les porteurs et les atomes fixes ionisés du cristal diminuent la mobilité et limitent l'intérêt du sur dopage dans l'amélioration de la résistivité du matériau. Plusieurs travaux tiennent compte de cette limitation dans leurs formulations.

Les diodes Schottky caractérisées sont produites à partir de substrat *Cree Research*. Les tranches de substrat sont fortement dopées (typiquement  $2.10^{18} \text{cm}^{-3}$ ) pour assurer une faible résistance série de la base du composant. Ce fort dopage conduit à une résistance série carrée de l'ordre de  $0,5 \text{mn} \cdot \text{cm}^2$ , compte tenu de la mobilité à ce dopage et cette température soit une résistivité  $\rho = 16 \text{mn} \cdot \text{cm}$  à 300K. D'autre part, le substrat est épitaxé pour créer la couche faiblement dopée destinée à tenir la tension inverse. La couche épitaxie est dopée N à  $10^{16} \text{cm}^{-3}$  et mesure 1mm d'épaisseur, soit une résistance carrée de  $0,5 \text{ m} \Omega \cdot \text{cm}^2$  et une résistivité de  $1 \Omega \cdot \text{cm}$  à 300K. Le contact en face arrière, qui doit avoir la plus faible résistance possible, est réalisé par un dépôt de Titane comme le contact Schottky, ou Nickel dans la génération 2 donnant les meilleurs résultats. Le dopage très important - du substrat élimine l'effet redresseur du couple Métal-SiC par effet tunnel, et les résistances carrées typiques sont de l'ordre de  $10^{-5} \Omega \cdot \text{cm}^2$

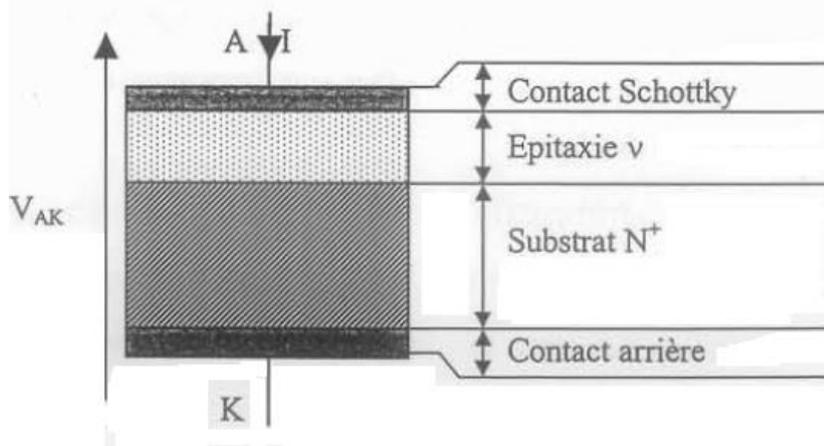


Figure II.22. Structure simplifiée de la diode Schottky polarisée en direct [68].

L'étude théorique permet de déterminer les différentes composantes de la chute de tension d'une diode Schottky polarisée en directe. En combinant les résultats précédents (eq. II.17 pour les zones ohmiques, eq. II.18 et eq. II.19 pour la jonction), on obtient respectivement pour la jonction ( $V_f$ , eq. II.20) et pour les zones ohmiques ( $V_s$ , eq. II.21):

$$J = R^*T^2 \exp\left(\frac{e \cdot V_f}{n \cdot K \cdot T}\right) \cdot \exp\left(\frac{-e \cdot \phi_B}{K \cdot T}\right) \quad (\text{II-19})$$

Soit :

$$V_f = \frac{n \cdot K \cdot T}{e} \ln\left(\frac{J}{R^*T^2}\right) + n \cdot \phi_B \quad (\text{II-20})$$

$$V_s = R_{ON} \cdot J = \left(\frac{W_V}{e N_V \mu_V} + \frac{W_S}{e \cdot N_S \cdot \mu_S} + R_C\right) J \quad (\text{II-21})$$

avec  $\phi_B$  la hauteur de barrière effective de la jonction, obtenue par mesure I-V (fig. II.23),  $n$  le facteur d'idéalité,  $v$  et  $S$  les indices respectifs des grandeurs de la zone de tenue en tension et du substrat et  $R_C$  la résistance spécifique du contact de face arrière. Soit pour une diode de surface active  $S$  parcourue par un courant  $I$  :

$$V_{AK} = V_F + V_S = \frac{n \cdot K \cdot T}{e} \ln\left(\frac{I}{S \cdot R^*T^2}\right) + n\phi_B + \left(\frac{W_V}{e N_V \mu_V} + \frac{W_S}{e \cdot N_S \cdot \mu_S} + R_C\right) \frac{I}{S} \quad (\text{II-22})$$

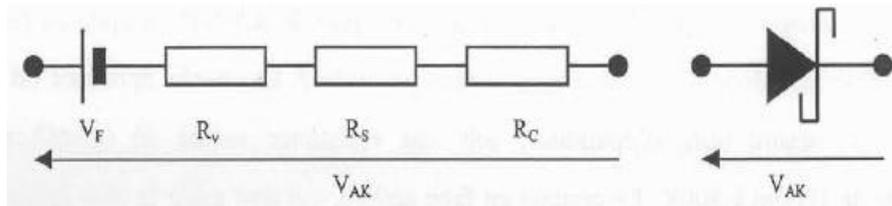


Figure II.23. Schéma équivalent d'une diode Schottky de puissance dans le sens direct.

Afin d'évaluer la validité de cette représentation, on donne les paramètres du modèle, pour deux types de diodes Schottky SiC, notés t1 et t2. Ces deux générations de prototypes présentent principalement des différences de dopages et surtout de qualité de contact arrière. Les résistances de contact (ainsi que les résistances de câblage) sont déduites par comparaison de la mesure et du modèle. On constate en effet une importante dérive de la résistance série entre les deux générations de diode. La caractéristique directe expérimentale consiste à tracer la courbe  $I(V,T)$  des diodes et fait appel à un traceur de courbe type Tektronix 371A [91], complété par un dispositif de mise en température des diodes et couvrant la plage usuelle de température, de  $25^{\circ}\text{C}$  à  $175^{\circ}\text{C}$ . On présente fig. II.23 les tests' en direct réalisés sur le traceur comparés aux courbes théoriques corrigées par la résistance de contact  $R_C$ , à  $25^{\circ}\text{C}$  et  $175^{\circ}\text{C}$ .

#### II.4.2.6 Comportement en température

Les comportements qualitatifs des deux diodes sont assez proches, on observe en particulier (à un niveau de courant différent pour les deux générations de prototype) un croisement des caractéristiques à  $25^{\circ}\text{C}$  et  $175^{\circ}\text{C}$ , correspondant à un point neutre en température. Ce phénomène est dû au coefficient de température négatif ( $-1.4\text{mV}/^{\circ}\text{C}$ , [92]) de la chute de tension de la barrière avec la température (eq. II-22) et prépondérant à faible niveau de courant, et au coefficient positif de la résistance du semi-conducteur, prépondérante à fort niveau.

### II.5 Modélisation comportementales de la diode SiC Schottky dans le Spice

La validation d'un système électronique, qu'il soit intégré sur une puce ou réalisé sous forme de cartes, est encore essentiellement basée sur des logiciels de simulation. Ceux-ci font appel à des modèles des différents éléments utilisés, qui en décrivent le comportement, c'est à dire les relations entre les signaux présents sur les points d'entrée/sortie (E/S). Ainsi, lors de la conception de circuits intégrés tels qu'un amplificateur opérationnel ou une porte logique, des modèles de composants (transistors, diodes, résistances, capacités,...) sont utilisés par un simulateur électrique, dit analogique (le programme SPICE est sans doute le plus connu) [93]. Ces modèles décrivent les

relations macroscopiques entre tensions et courants des diverses bornes, sous forme d'équations différentielles. Il s'agit donc d'une représentation mathématique de phénomènes physiques auxquels obéissent les composants. La modélisation comportementale désigne plutôt une représentation fonctionnelle de haut-niveau, par opposition à une représentation structurale, et qui est indispensable à la validation de circuits complexes [94], comportant un grand nombre d'amplificateurs ou de portes. En effet, les capacités de convergence des simulateurs analogiques sont fortement conditionnées par le nombre de transistors. Même si de nouvelles techniques de simulation plus rapides sont développées, cette limitation ne peut être résolue qu'en adoptant une approche hiérarchique multi-niveaux, consistant à décomposer le système en un ensemble de blocs fonctionnels. Le schéma de chaque bloc, ou de seulement certains d'entre eux, peut alors être remplacé par une description approchée uniquement fonctionnelle et plus abstraite. La définition de cette représentation est l'objet de la modélisation comportementale [95].

### II.5.1. Méthodologie de la macro-modélisation

Pour décrire de façon structurale, SPICE a défini un langage pour la modélisation des fonctions analogiques appelé macro-modélisation. Ce type de modélisation est utilisé comme une modélisation comportementale. Les macro-modèles sont implantables sur n'importe quel outil de simulation à base de Spice.

Nous savons tous que le réseau ou circuit électrique décrit en *Netlist* de type SPICE est analysé par le simulateur lui-même pour construire un système d'équations basées sur les lois de Kirchhoff, donc, basées sur une loi de conservation d'énergie et sur les équations des composants. La macro-modélisation consiste à remplacer une partie d'un circuit ou d'un système par un autre modèle structurel plus simple (nombre de nœuds réduit) et plus près du circuit initial. Dans un autre sens, la macro-modélisation consiste à satisfaire des spécifications externes sans regarder la topologie initiale du circuit. Le choix de l'un ou de l'autre, dépend du niveau d'abstraction. Le but essentiel de la macro-modélisation est de réduire la taille du circuit et de réduire ainsi le temps de simulation. Les macro-modèles sont construits à partir d'un nombre réduit de composants idéaux. Les composants utilisés sont des composants primitifs de SPICE [96]. Nous pouvons inclure des éléments passifs (résistance, capacité, etc.), des sources dépendantes et indépendantes, et des modèles non linéaire de bas niveau comme les diodes et les transistors bipolaires ou MOS de niveau 1 de SPICE [97] [98]. Les sources contrôlées (sources dépendantes) sont des éléments idéaux qui permettent d'exprimer des relations mathématiques entre les courants et les tensions.

### II.5.2. La Macro-Modélisation utilisant Pspice-Orcad

La macro modélisation consiste à décrire le comportement d'un circuit par l'utilisation des primitives d'un simulateur. Ces primitives sont par exemples des diodes, des éléments passifs, mais aussi des sources de tension (ou courant) contrôlées auxquelles on peut associer des équations liant les grandeurs du circuit. Les modèles obtenus par cette approche permettent de réduire considérablement les temps de simulations [99]. Les langages de la modélisation comportementale permettent de développer des modèles de systèmes électriques mixtes (analogique et numérique) mais aussi des systèmes électriques et non-électriques (mécanique, hydraulique, thermique...) par l'utilisation d'une description textuelle. Ces langages sont de plus en plus utilisés. Parmi eux, on notera le langage MAST du simulateur SABER, le langage Verilog-AMS, ainsi que le VHDL-AMS, ORCAD-PSPICE [100].

Le Modèle ABM (Analog Behavioral Modeling) de PSPICE permet de modéliser le comportement d'un composant ou d'un circuit à partir de sources commandées de type tension ou courant linéaires ou non, statiques, temporelles ou fréquentielles.

Le logiciel PSPICE ouvre une autre possibilité : l'écriture d'équations sous forme de schémas blocs (ABM) [101]. Il est notamment possible d'écrire des relations mathématiques liant la grandeur de sortie d'une source (de tension ou de courant) à des grandeurs d'entrée : par exemple, les équations du modèle statique seront représentées par une source de courant (le courant de drain) dont les grandeurs d'entrée seront les tensions  $V_{DS}$  et  $V_{GS}$ .

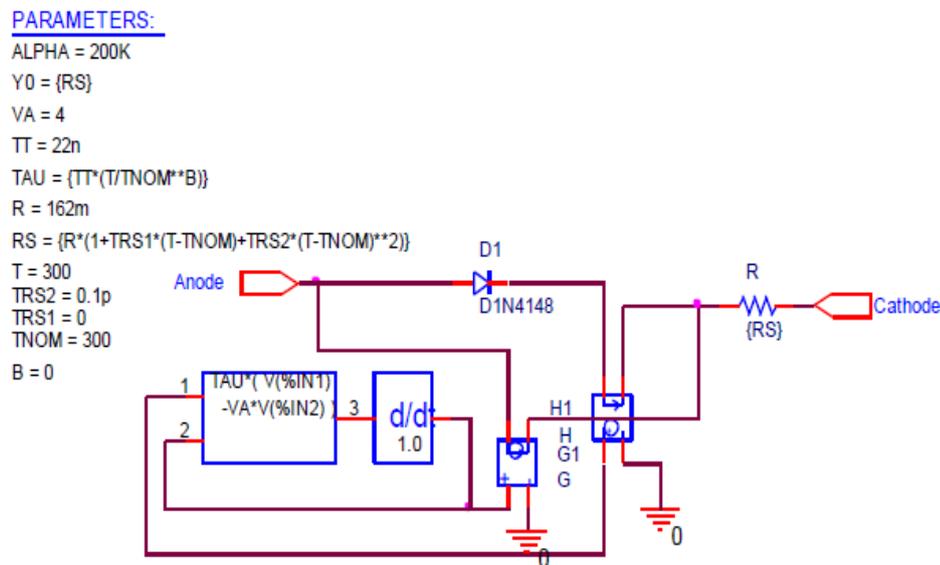


Figure II.24. Schéma simplifiée de la diode Schottky en PSpice.

### II.5.3. Résultats de simulations (PSpice)

La figure II.25. Représente le composant ajouté à la bibliothèque du simulateur PSpice après implémentation par un sub-circuit écrit en langages PSpice.



Figure II.25. La diode SiC Schottky comme composant dans la bibliothèque PSpice.

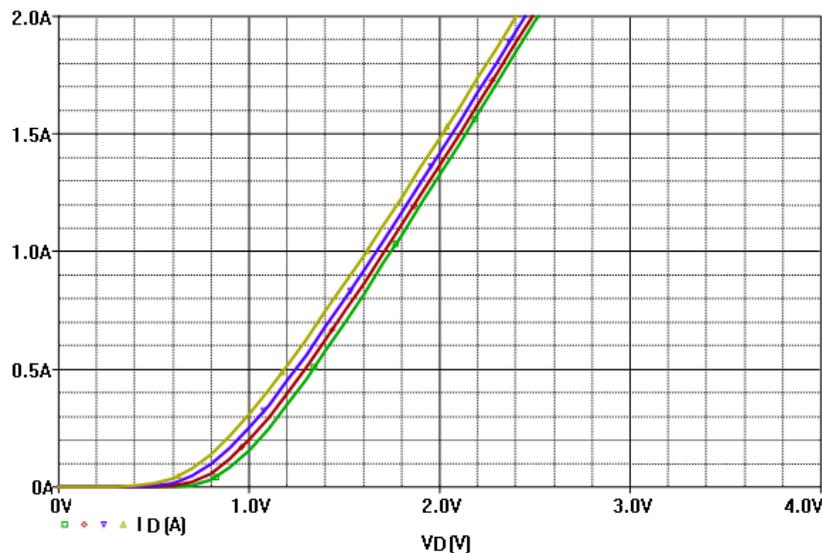


Figure II.26. Caractéristiques directes à 25°C, 75°C, 125°C et 175°C de la diode Schottky

### II.5.4. Caractérisation dynamique de la diode Schottky

Cette partie décrit le fonctionnement des diodes Schottky en commutation, c'est à dire le comportement de la diode de l'état passant à l'état bloqué, et réciproquement. La diode étant un composant non commandé, la variation des signaux permettant de passer de l'état passant à l'état bloqué ou réciproquement est assurée par le circuit extérieur. Ce circuit extérieur, que nous appellerons cellule de commutation, peut se présenter sous différentes formes: en particulier, il est associé à un interrupteur rapide que la diode Schottky SiC représentera [102]. D'autre part, la variation des signaux (courants et tensions) lors des commutations donne toute son importance aux composants parasites du circuit, d'autant plus que la bande de fréquence sur laquelle s'étend la commutation est importante (vitesse de commutation élevée).

### **II.5.5. Conclusion**

Le SiC occupe aujourd'hui une place importante dans le développement des composants de puissance. Les récents progrès et l'expérience industrielle acquise ont aboutit à la commercialisation des diodes Schottky en SiC de très bonne qualité. Ces diodes Schottky en SiC sont déjà disponibles sur le marché mais leur commercialisation reste freinée par le coût élevé des substrats.

**Chapitre III : Modélisation et  
Simulation du Transistor SiC  
JFET**

### III.1. Introduction

Il existe de nombreuses manières de modéliser un composant à semi-conducteur. La plus simple est la modélisation analytique des comportements, basée sur des hypothèses simplificatrices. Cette modélisation est considérée comme une méthode plus attrayante pour établir un modèle qui peut être utilisé dans les simulateurs de circuits. Ces modèles utilisent des équations qui dérivent les caractéristiques de composants et qui peuvent être établies à partir des lois physiques ou des observations sur le comportement du composant. Le développement de modèles de composants à semi-conducteur peut être décrit dans différents langages (VHDL-AMS, SABER, ...) [103]. La validation de ces modèles se fait avec des simulateurs commercialement disponibles comme SIMPLORER pour les langages en VHDL-AMS et SABER pour les langages MAST [104]. Nous allons présenter dans ce chapitre notre travail sur le développement d'un nouveau modèle, non empirique du JFET- SiC.

### III.2. Les JFET en Carbure de Silicium

Le transistor JFET en SiC est un interrupteur de puissance commandé permettant de commuter entre l'état passant et l'état bloqué selon la polarisation de la jonction grille-source. Ils sont d'excellents candidats pour des applications à haute température (500°C) et à haute fréquence. Sur le plan industriel, deux entreprises commercialisaient une petite quantité de JFET-SiC à des laboratoires de recherche, industriels ou universitaires: La société Infineon par l'intermédiaire de son centre de recherche SiCED et la société SemiSouth (société disparue en 2012) [105]. Il existe plusieurs types de JFET selon la forme du canal : les JFETs à canal latéral, vertical, symétrique ou asymétrique, etc. Les résistances sont de l'ordre de 10 à 25mΩ.cm<sup>2</sup> pour les différents types de JFET pour une tenue en tension de 1200V. Les temps de commutation peuvent être inférieurs à 20ns.

Les transistors JFET-SiC fabriqués par SiCED ont une conception latérale et verticale (JFET-SiC avec deux canaux). Un canal latéral contrôlé par la grille et un canal vertical pour la tenue en tension [105]. Cette structure intègre également une diode bipolaire intrinsèque entre drain et source, permettant au JFET de conduire quand on applique une tension  $V_{DS}$  négative [106].

Les transistors JFET de SiCED sont de nature "*Normally-On*". Ce composant nécessite une adaptation des systèmes de commande qui sont réalisés aujourd'hui pour des composants de puissance "*Normally-off*". Une solution développée par la société Infineon est de réaliser un composant "*Normally-off*" dans une configuration cascode [106]. Dans cette configuration le JFET

est connecté en série avec un MOSFET en Si basse tension. L'inconvénient de ce montage est la limitation de la température maximale de fonctionnement due au MOSFET-Si. Actuellement SiCED propose des composants JFET "Normally-On", ayant une tenue en tension de 1500V et un courant de 15A. Les transistors fabriqués par SemiSouth JFET-SiC ont une structure verticale pure [107]. Grâce à la structure verticale du canal, les JFET-SiC permettent une plus grande densité d'intégration, et une très faible résistance à l'état passant. Ces JFETs peuvent être connectés en parallèle pour réaliser des commutations de très forts courants, de l'ordre de centaines d'ampères [108].

SemiSouth a développé des composants "Normally-Off" et "Normally-On". Ces composants ne présentent pas de courant latéral ce qui permet un contrôle précis de la tension de pincement. Les polarisations de grille sont plus faibles afin d'attendre le blocage du JFET, cette caractéristique est un avantage quand on utilise le JFET en commutation puisque la tension appliquée afin de le bloquer doit être plus petite [109]. Les JFET SiC utilisés dans notre travail sont les JFET "Normally On" développés par SiCED, 1200V/300 mΩ avec une surface active de 2,4 \*2,4 mm<sup>2</sup>.

### III.2.1. Caractérisation électrique de transistor JFET-SiC de SiCED

Le tableau III.1 représente les différents paramètres électriques du transistor JFET SiCED/Infineon.

Symbole	Définition	unité	Valeur
$R_{DS}$	Résistance à l'état passant drain source	$\Omega$	$100m\Omega < R_{DS} < 450m\Omega$
$I_{DSSAT}$	Courant de saturation	A	$20A < I_{DSSAT} < 120A$
$V_{T0}$	Tension de seuil	V	$-35V < V_{T0} < -25V$
$I_G$	Courant de grille	A	Jusqu'à quelques mA
$V_{GS}$	Tension grille source	V	0-5V
$V_{BR}$	Tension de claquage	V	$1100 < V_{BR} < 1200$
$V_{DS}$	Tension drain source	V	0- 500V

Tableau III.1. Définition des différents paramètres électriques du JFET [110]

### III.2.2. Principe de fonctionnement

Le transistor JFET possède des avantages similaires au MOSFET, à savoir une grande impédance d'entrée et une aptitude à commuter rapidement. C'est un dispositif semi-conducteur

unipolaire qui utilise un seul type de porteur n ( $V_{GS} < 0$ ), il repose sur un contrôle du courant de drain à l'aide d'un champ électrique générée par une polarisation entre grille et source [102]. Ce type de composant à semi-conducteur est basé sur l'existence d'un canal conducteur dont la conductance peut être modulée à l'aide d'une tension appliquée à la grille.

Pour mesurer les JFET en polarisation directe, une tension  $V_{DS}$  positive est appliquée en faisant varier la tension de la grille-source négativement entre 0V et la tension de blocage  $V_{T0}$ . La figure III.1 montre les caractéristiques électriques statiques du JFET-SiC utilisé dans nos travaux de thèse à une température ambiante (25°C).

A partir de cette caractérisation les différents paramètres électriques du JFET sont déterminés (résistance à l'état passant, courant de saturation, tension de blocage et la tenue de tension) dans les différents régimes de fonctionnement [111].

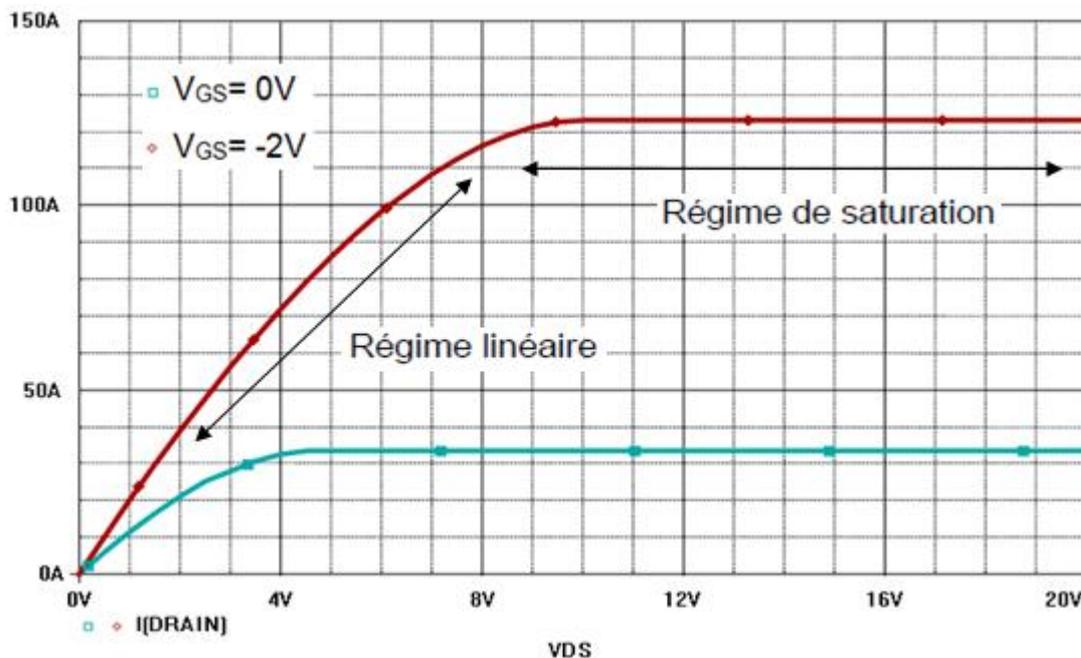


Figure III.1. Caractéristique en statique du JFET

### III.2.3. Régimes de fonctionnement du transistor JFET

A partir des caractéristiques statiques de la figure III.1, on identifie les régimes de fonctionnement du JFET : le régime linéaire ou ohmique et le régime de saturation ou régime de pincement [112].

#### a) Région linéaire ( $V_{DS} \ll V_{DSsat}$ ) :

Elle se caractérise par une évolution quasi-ohmique du courant de drain  $I_{DS}$  pour de faibles valeurs de tension  $V_{DS}$ .

Dans cette zone le canal est ouvert (figure III.2.a), le JFET se comporte comme une résistance commandée par une tension de grille  $V_{GS}$ .

On définit la résistance à l'état passant  $R_{ON}$ . Cette résistance est calculée par la relation suivante:

$$R_{ON} = \left( \frac{\Delta V_{DS}}{\Delta I_{DS}} \right)_{V_{GS}=0, V_{DS} \rightarrow 0} \quad (III-1)$$

**b) Région de saturation ( $V_{DS} \geq V_{DSsat}$ ) :**

Dans ce régime, les zones de charge d'espace se touchent (figure III.2.b), et le canal conducteur est pincé. La densité de courant  $I_D$  augmente jusqu'à ce que les porteurs atteignent leur vitesse limite : le courant de drain reste constant et le transistor est dit saturé. La valeur maximale de  $I_{DS}=I_{DSsat}$  est presque indépendante de  $V_{DS}$ .

**c) Zone d'avalanche:**

La zone d'avalanche provient d'un claquage inverse de la jonction drain-grille. Ce claquage peut détruire le dispositif si rien ne limite le courant de drain. Pour trouver la valeur de tension de drain-source qui provoque l'avalanche, le JFET doit être bloqué ( $V_{GS} =$  tension de blocage) et la tension drain-source doit être positive. Cette caractérisation permet de connaître la tension de drain-source maximale appliquée au composant avant de rentrer en avalanche. La figure III .2 présente la caractéristique du JFET SiC-1200V/100mΩ dans la zone d'avalanche. Ces caractérisations ont été réalisées au sein du laboratoire Ampère [113] sur les transistors JFET-SiC.

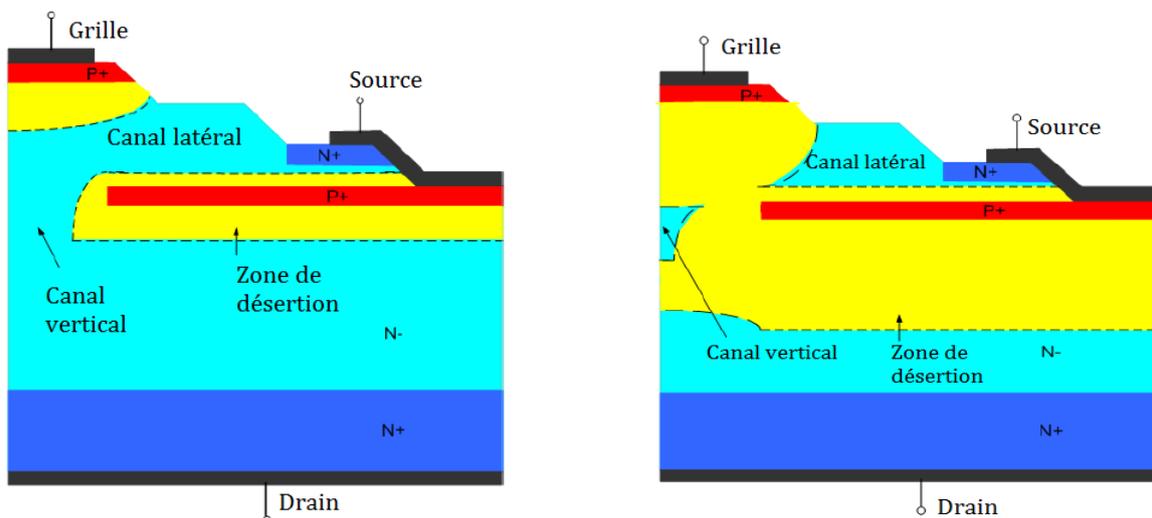


Figure III.2. Evolution de la section conductrice du JFET dans les régimes de fonctionnement : régime linéaire (a), régime saturé (b) [114]

### III.2.4. Caractéristique de transfert

La caractéristique de transfert peut s'obtenir quand le transistor JFET est en régime saturé. Dans cette caractéristique on peut observer les limites du JFET : le courant  $I_{DSSAT}$  et la valeur de  $V_{GS}$  qui annule le courant de drain (tension de seuil  $V_{T0}$ ). Les résultats présentés dans la figure III.3 et la figure III.4 sont des mesures obtenues à partir des caractérisations réalisées sur des JFET-SiC utilisés au cours de cette thèse.

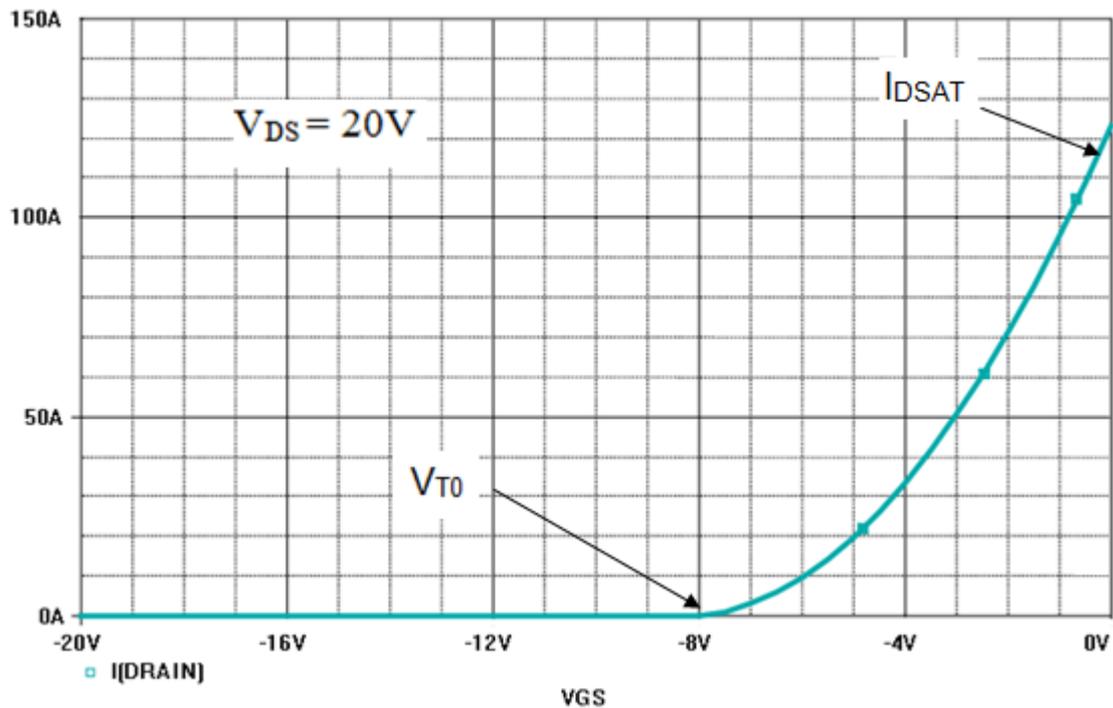


Figure III.3. Caractéristiques de transfert du JFET en régime de saturation.

On regarde aussi la variation du courant  $I_{DS}$  en fonction de la tension  $V_{GS}$  pour de faibles valeurs de  $V_{DS}$ , dans la figure III.4. Les  $V_{DS}$  sont respectivement 100mV, 200mV, 300mV. Le but de cette caractérisation est de connaître les valeurs de la tension  $V_{GS}$  à laquelle les courants de fuite deviennent plus petits afin de diminuer les pertes par courants de fuites quand le JFET opère à l'état bloqué.

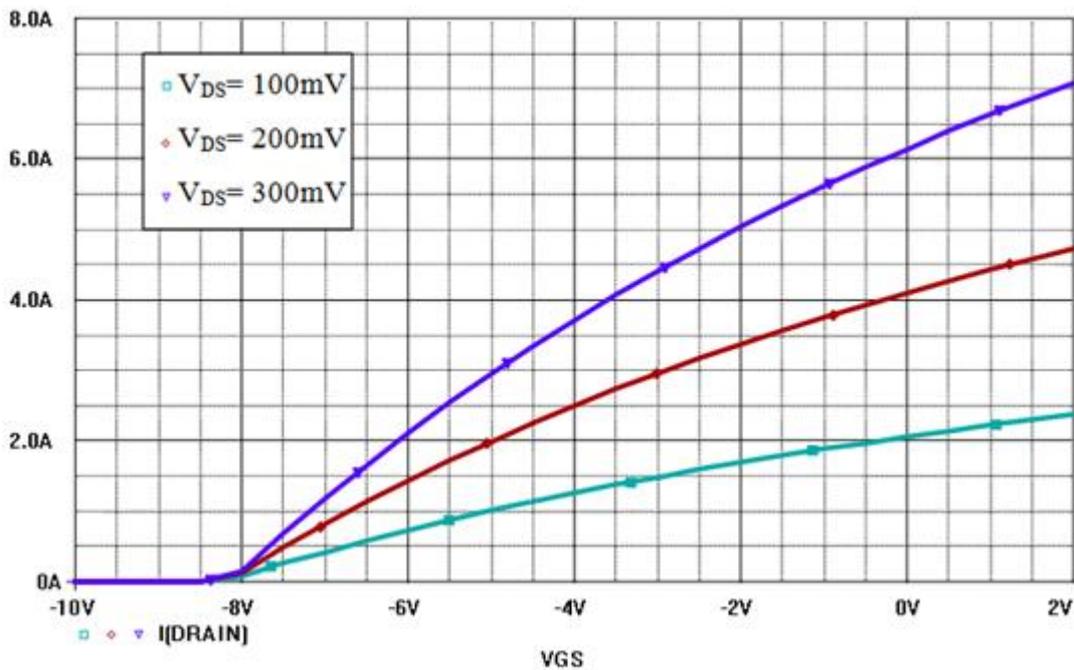


Figure III.4. Variation du courant  $I_{DS}$  en fonction de  $V_{GS}$  pour de faibles valeurs de  $V_{DS}$

### III.2.5. Modèle du JFET SiC

Le modèle développé au laboratoire AMPERE [116] est basé sur l'analyse physique du comportement du JFET, ce modèle tient compte de l'influence de la température dans le comportement du JFET en statique et en dynamique et aussi de la présence de deux canaux intrinsèques du composant. La Figure III.5 montre la structure du JFET vertical à deux canaux fabriqué par SiC qui va être commercialisé prochainement. Elle utilise deux canaux : un canal latéral pour contrôler le courant et un canal vertical pour la tenue en tension. Le canal latéral est formé entre la couche enterrée P<sub>+</sub> et le caisson P<sub>+</sub> de la grille. Ce canal est caractérisé par les paramètres technologiques  $2a$ ,  $L$ ,  $N_D$  qui représentent respectivement la largeur du canal latéral, la longueur du canal et la concentration du dopage dans le canal latéral.  $2a$  est choisi historiquement pour simplifier l'expression de la tension de pincement [117]. Le canal vertical du JFET est formé entre les deux couches enterrées P<sub>+</sub>. Ce canal est caractérisé par les paramètres technologiques  $h$ ,  $b$ ,  $N_{DD}$  qui représentent respectivement la largeur du canal vertical, la longueur du canal vertical et la concentration du dopage dans le canal vertical. La région de dérive de ce JFET est caractérisée par les paramètres  $W_b$  et  $N_{DD}$  où  $W_b$  représente l'épaisseur de la région de dérive.

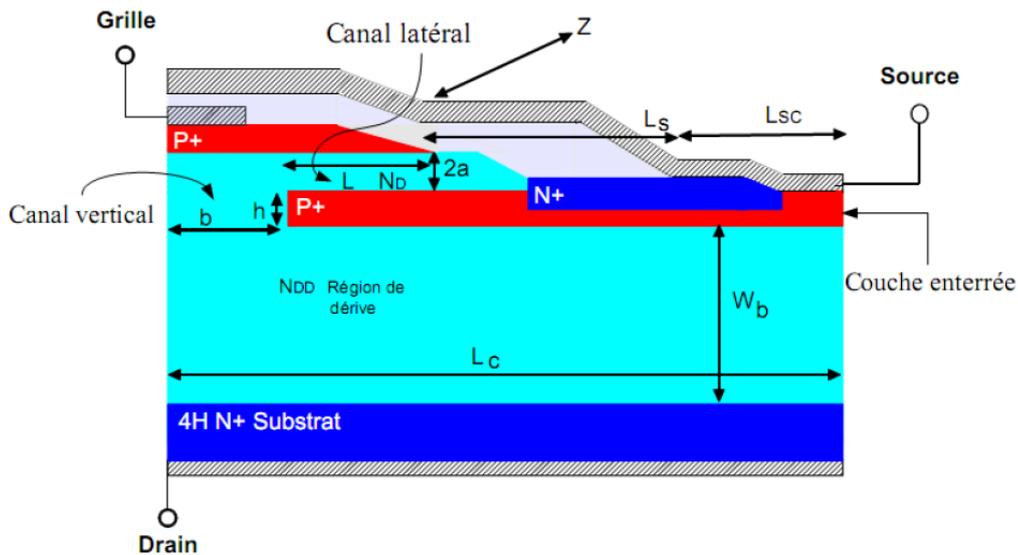


Figure III.5 : Structure d'une demi-cellule du JFET SiC/INFINEON [117]

Paramètres	Description	Valeurs	Unité
<b>L</b>	Longueur du canal latéral	3	$\mu\text{m}$
<b>2a</b>	Largeur du canal latéral	1,4	$\mu\text{m}$
<b>N<sub>D</sub></b>	Concentration du dopage du canal latéral	$2 \times 10^{22}$	$\text{cm}^{-3}$
<b>h</b>	Largeur du canal vertical	0,7	$\mu\text{m}$
<b>b</b>	Demi-largeur du canal vertical	1,5	$\mu\text{m}$
<b>N<sub>DD</sub></b>	Concentration du dopage du canal vertical et aussi du dopage de la région dérivée	$5,7 \times 10^{21}$	$\text{cm}^{-3}$
<b>W<sub>b</sub></b>	Epaisseur de la région de dérive	1,5	$\mu\text{m}$
<b>L<sub>S</sub></b>	Longueur de l'accès de la source	7,5	$\mu\text{m}$
<b>L<sub>C</sub></b>	Largeur active de la cellule	20	$\mu\text{m}$
<b>Z</b>	Profondeur du composant	0,4	cm

Tableau III.2. Description des paramètres utilisés dans le modèle du JFET SiC [118]

La structure du JFET-SiC est présentée sur la figure III.5, le modèle électrique équivalent du JFET est présenté en figure III.6. Les capacités de jonction et les diodes sont introduites dans le modèle pour l'utiliser en simulations dynamiques.

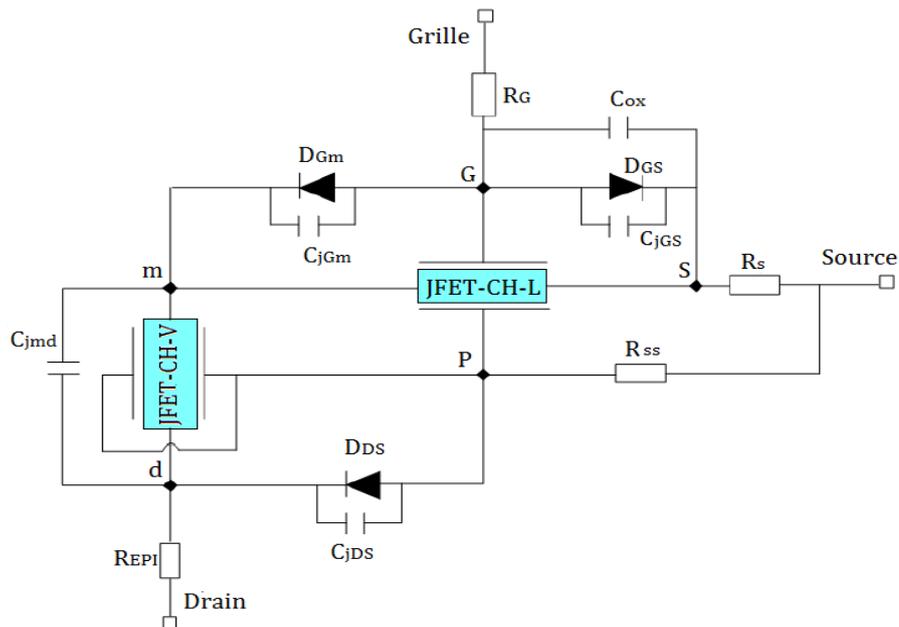


Figure III.6. Structure du modèle du JFET [118]

Le tableau résume les symboles utilisés dans le modèle avec leurs définitions :

Liste de symboles	Définition
<b>JFET_CH_L</b>	Canal latéral du JFET représenté par une résistance $R_{CH}$ sans modulation
<b>JFET_CH_V</b>	Canal vertical du JFET représenté par une résistance $R_{CV}$
<b><math>R_G</math></b>	Résistance de contact ohmique de la grille
<b><math>R_S</math></b>	Résistance des couches d'accès de source
<b><math>R_{SS}</math></b>	Résistance d'accès entre le point P et la source
<b><math>R_{EPI}</math></b>	Résistance de la couche de dérive
<b><math>C_{jGS}</math></b>	Capacité de jonction grille-source
<b><math>C_{jGm}</math></b>	Capacité de jonction grille-drain
<b><math>C_{jmd}</math></b>	Capacité de jonction grille-drain
<b><math>C_{jDS}</math></b>	Capacité de jonction drain source
<b><math>D_{GS}</math></b>	Diode grille-source
<b><math>D_{GD}</math></b>	Diode grille-drain
<b><math>D_{DS}</math></b>	Diode drain-source
<b><math>C_{ox}</math></b>	Capacité d'oxyde entre Grille-Source

Tableau III.3. Symbole utilisés dans le modèle SPICE du JFET

### III.4. Modélisation de transistors JFET-SiC

Il existe peu de publications concernant l'étude et la modélisation du JFET. Nous allons présenter dans cette partie les différents modèles réalisés sur le JFET-SiC. Nous commençons à présenter le modèle SPICE du JFET [117].

#### III.4.1. Modélisation du canal asymétrique du JFET SiC

Le modèle du JFET (figure III.7) est basé sur le modèle du canal asymétrique (figure III.7.a), il est utilisé pour le canal latéral du JFET qui est asymétrique dû aux différentes tensions de grille appliquées et aussi pour le canal vertical du JFET qui est symétrique. Le principe de la modélisation est basée sur la modification de la zone de charge d'espace due au champ électrique appliqué. Les notations utilisées pour la modélisation du canal sont présentés dans la figure III.7.b.

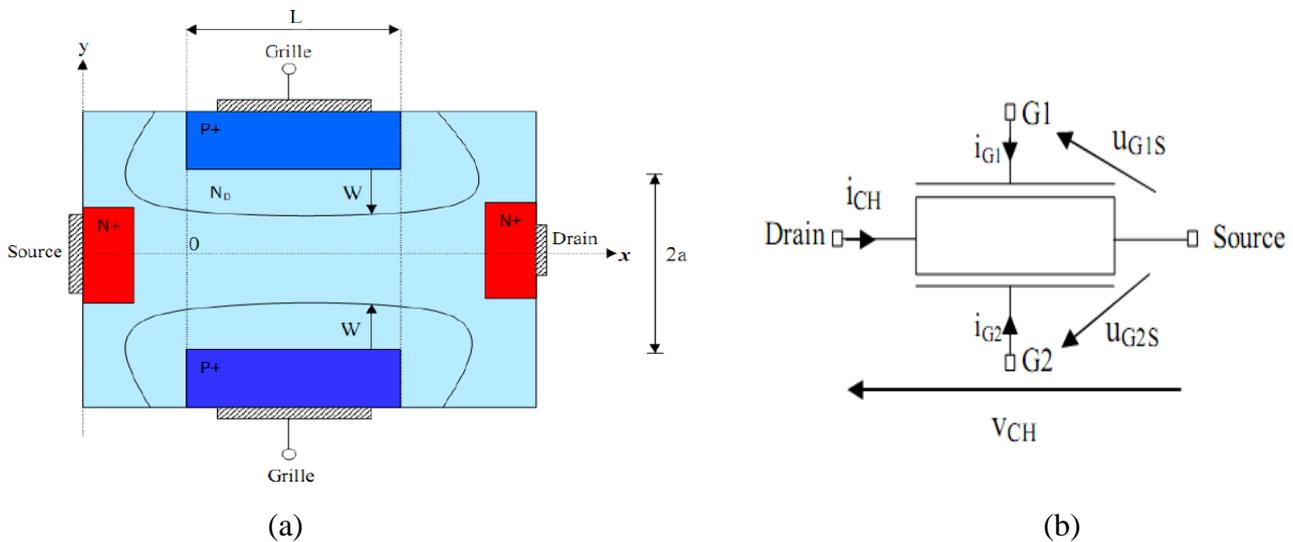


Figure III.7. Schéma de la structure asymétrique du canal (a), notations utilisées dans la modélisation (b)

Pour la modélisation du canal il est important de connaître le courant dans chaque régime de fonctionnement du JFET : zone linéaire, zone de saturation et aussi conditions de blocage du JFET. La densité de courant qui circule dans le canal représenté dans la figure III.7.a est écrite comme :

$$I_{CH} = q\mu_n N_D Z(2a - w_1(x) - w_2(x)) \frac{d\psi}{dx} \quad (III-2)$$

Où  $\psi$  représente le potentiel électrostatique

$2a$  = Largeur du canal latéral ( $\mu\text{m}$ )

$\mu_N$  = Mobilité des électrons ( $\text{cm}^2\text{V}^{-1}\text{s}^{-1}$ )

$q$  = Charge élémentaire électrostatique =  $1.602177 \times 10^{19} \text{C}$

$N_D$  = Concentration du dopage dans le canal latéral ( $\text{cm}^{-3}$ )

$Z$  = Largeur du canal transversal (cm)

$W_1$  et  $W_2$  = Largeurs des zones de charge d'espace

**a) Régime linéaire**

Dans la zone linéaire, en intégrant le courant qui passe par la surface du canal, on obtient l'expression suivante :

$$I_{CH} = \frac{V_p}{R_{CH}} \left( v + \frac{1}{3} (\gamma_1^{3/2} - (v + \gamma_1)^{3/2} + \frac{1}{3} (\gamma_2^{3/2} - (v + \gamma_2)^{3/2}) \right) \quad (III-3)$$

Où  $V_p$  est la tension de pincement.

$$V_p = \frac{q N_D a^2}{2 \xi_{SiC}} \quad (III-4)$$

Cette expression reste la même pour le canal symétrique.

La résistance du canal :

$$R_{CH} = \frac{L}{2q\mu_n N_D a Z} \quad (III.5)$$

Cette expression représente la résistance du canal non-modulée,  $R_{CH}$  a la même expression pour le canal symétrique.  $a$  est définie comme la demi-largeur du canal latéral ( $\mu\text{m}$ ) et  $\xi_{SiC}$  est la constante diélectrique du SiC (F/m). La tension  $V_{CH}$  est définie comme la tension du canal, la tension  $U_{G1S}$  et la tension  $U_{G2S}$  sont définies comme les valeurs des tensions appliquées entre la grille-source respectivement. Dans l'équation III.3, ces tensions sont normalisées par rapport à la tension de pincement.

$$v = \frac{V_{CH}}{V_p}, \quad \gamma_1 = \frac{U_{G1S}}{V_p} \quad \text{et} \quad \gamma_2 = \frac{U_{G2S}}{V_p}$$

**b) Régime de pincement:**

La Figure III.8 montre la structure du canal asymétrique du JFET pincé. Ce régime se produit quand les deux zones de charge d'espace sont en contact, donc

$$W_1(x) + W_2(x) = 2a \text{ et :}$$

$$v_{CH}^p = 1 - \frac{\gamma_1 + \gamma_2}{2} + \frac{(\gamma_1 + \gamma_2)^2}{16} \quad (III.6)$$

Où  $\gamma_1$  et  $\gamma_2$  tension grille1-source normalisée et =tension grille-source normalisée. Dans le modèle on suppose que le canal est pincé quand  $x=L$ , alors le courant est défini comme :

$$I_{CH}^p = \frac{V_p}{3R_{CH}} \left[ 3v_{CH}^p - \left( 1 + \frac{g^2}{16} + \frac{g}{2} \right)^{3/2} - \left( 1 + \frac{g^2}{16} + \frac{g}{2} \right)^{3/2} + \gamma_1^{3/2} + \gamma_2^{3/2} \right] \quad (III-7)$$

Pour le canal asymétrique,  $g = \gamma_2 - \gamma_1$ . Pour le canal symétrique,  $\gamma_2 = \gamma_1 = \gamma = \frac{V_{BI} - V_{GS}}{V_P} = 0$ , alors le courant est défini par :

$$I_{CH}^P = \frac{V_P}{3R_{CH}} (1 - 3\gamma + 2\gamma^{3/2}) \quad (III-8)$$

Où,  $V_{BI}$  = Potentiel de construction de la jonction P+N (V)

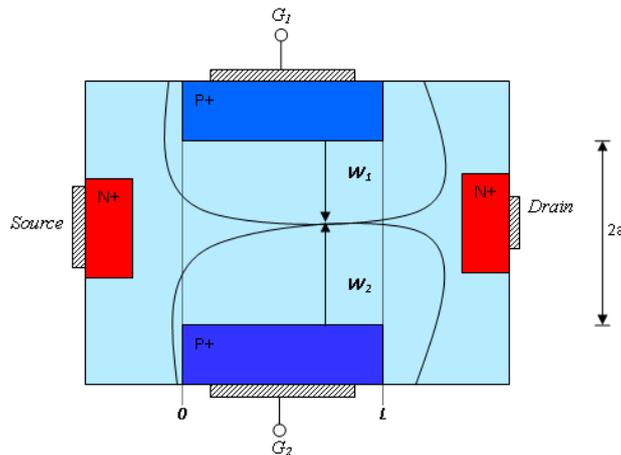


Figure III.8. Structure du canal asymétrique du JFET pincé [118]

**c) Condition de blocage :**

Pour le canal symétrique, le canal est bloqué quand  $\gamma > 1$ , ce paramètre donne la condition classique du blocage,  $V_{GS} < V_{T0} = V_{BI} - V_P$ . Pour le canal asymétrique, trouver les conditions de blocage devient plus compliqué [119].

**III.4.2. Modélisation du canal asymétrique du JFET SiC**

La Figure III.9 ci-dessous montre la structure du canal du JFET idéal et symétrique.

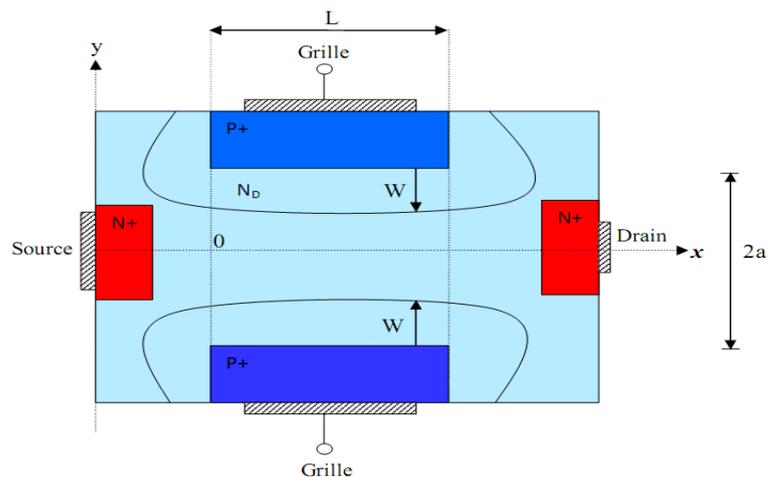


Figure III.9. Structure du canal de JFET idéal et symétrique [117]

Où,  $W(x)$  représente l'extension de la zone de charge d'espace. Notons que seule la zone entre 0 et L est symétrique par rapport à l'axe x.

On va présenter dans cette partie les différentes équations qui décrivent le modèle du canal symétrique du JFET.

Les différents paramètres électriques et technologiques du modèle du canal symétrique du JFET sont représentés sur le tableau précédent.

Nous représentons dans ces lignes les expressions du courant dans le canal symétrique du JFET en régime linéaire et en régime de pincement. La tension de pincement du canal est donnée par :

$$V_P = \frac{qN_D a^2}{2\varepsilon} \quad (\text{III-9})$$

La résistance dans le canal sans modulation est donnée par :

$$R_{CH} = \frac{L}{2q\mu_n Z a} \quad (\text{III-10})$$

Où,  $\mu_n$  représente la mobilité des électrons. La condition de pincement s'écrit :

$$V_{DS} > V_P - V_{BI} + V_{GS}$$

Le courant dans le canal de JFET en régime pincé après normalisation s'écrit :

$$I_{CH} = \frac{V_P}{3R_{CH}} (1 - 3\gamma + 2\gamma\sqrt{\gamma}) \quad (\text{III-11})$$

avec

$$\gamma = \frac{V_{BI} - V_{GS}}{V_P} \quad (\text{III-12})$$

Pour  $\gamma = 1$  ce courant s'annule. Le courant dans le canal symétrie de JFET en régime linéaire après normalisation s'écrit :

$$I_{CH} = \frac{V_P}{3R_{CH}} (3v - 2(v + \gamma)^{2/3} + 2\gamma^{3/2}) \quad (\text{III-13})$$

Avec :

$$v = \frac{V_{DS}}{V_P}$$

#### III.4.4. Modèle ORCAD-PSPICE du JFET-SiC

C'est le modèle le plus simple et le plus utilisé dans la littérature. Il est élaboré à partir du modèle quadratique du JFET de Shichman et Hodge [118]. En principe c'est un modèle prévu pour le transistor MOS, mais il représente bien la caractéristique statique du JFET et pour cela il est utilisé également en tant que modèle empirique du transistor à effet champ. La Figure III.10 représente le schéma électrique équivalent associé à ce modèle [118] [119].

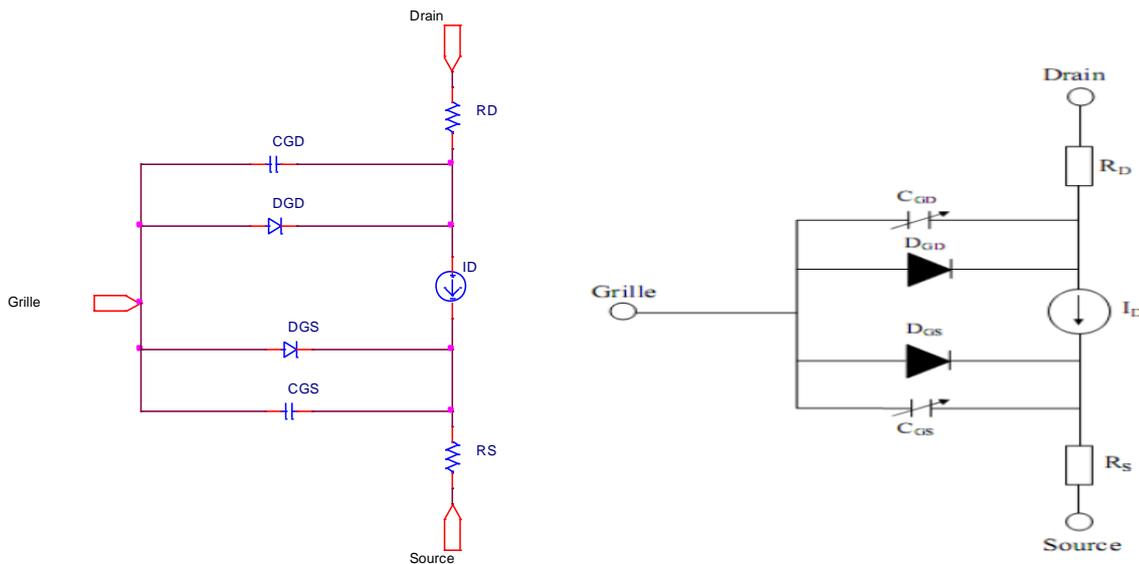


Figure III.10. Schéma électrique équivalent du modèle SPICE du JFET [119].

Ce modèle est formé d’une source de courant  $I_{DS}$ , de deux résistances de contact  $R_D$  et  $R_S$ , d’une diode  $D_{GS}$  en parallèle avec une capacité  $C_{GS}$  et d’une diode  $D_{GD}$  en parallèle avec une capacité  $C_{GD}$ . Le Tableau III.1 représente les paramètres importants extraits du modèle Orcad-PSpice du JFET.

Paramètres	Définition	Unité
$C_{GS}$	Capacité de jonction Grille-Source	F
$C_{GD}$	Capacité de jonction Grille-Drain	F
Lambda	Facteur de modulation de longueur du canal	1/V
$R_S$	Résistance ohmique de source	$\Omega$
$R_D$	Résistance ohmique de drain	$\Omega$
$V_{T0}$	Tension de seuil	V
Beta	Transductance	$A/V^2$
$I_S$	Courant de saturation	A

Tableau III.1. Paramètres extraits du modèle SPICE du JFET

Le modèle statique du JFET est divisé en deux modes de fonctionnement : mode normale et mode inverse. Le mode de fonctionnement normal est caractérisé par les relations suivantes à  $V_{DS} \geq 0$  [120] :

$$I_{DS} = \begin{cases} 0 & \text{si } V_{GS} - V_{th} > 0 & \text{pour } V_{GS} - V_{T0} > 0 \\ \beta V_{DS} [(2(V_{GS} - V_{T0}) - V_{DS}) (1 + \lambda V_{DS})] & \text{pour } V_{DS} \leq (V_{GS} - V_{th}) \frac{K_{plin}}{K_{psat}} \\ \beta (V_{GS} - V_{T0})^2 (1 + \lambda V_{DS}) & \text{pour } V_{DS} > (V_{GS} - V_{th}) \frac{K_{psat}}{K_{plin}} \end{cases}$$

### III.4.5. Modèle VHDL-AMS « Modèle de Moussa [121] »

Nous présentons ici un modèle analytique plus précis du transistor JFET-SiC développé par Mousa [121], qui représente le comportement en statique ainsi qu'en dynamique pour différentes températures. Les transistors du JFET-SiC possèdent une structure verticale qui intègre deux canaux intrinsèques. La Figure III.11 représente la structure du transistor JFET SiC (type B) utilisée pour la modélisation [122].

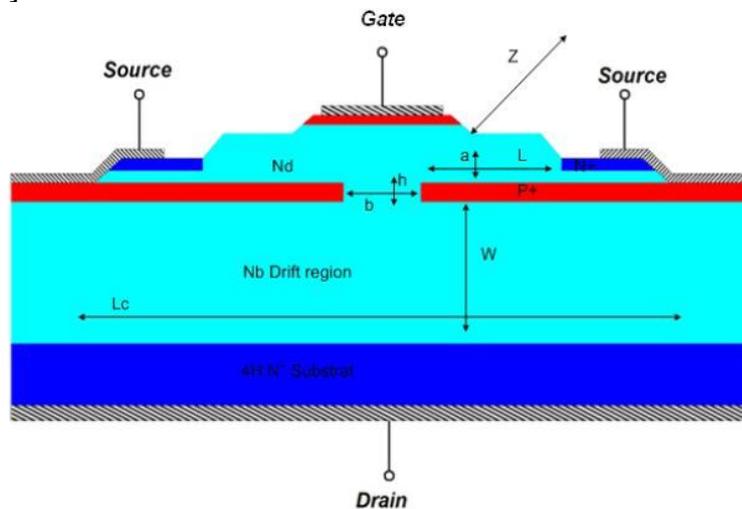


Figure III.11. Structure du transistor JFET-SiC avec ses deux canaux et les paramètres principaux utilisés pour la modélisation [121]

Comme le montre la Figure III.11, le canal latéral du transistor JFET est formé entre la couche enterrée P+ et la jonction grille. Ce canal est caractérisé par ses paramètres a, L,  $N_d$  qui représentent respectivement la largeur du canal, la longueur du canal et le niveau de dopage dans le canal. Le canal vertical est formé entre les deux couches enterrées P+. Ce canal est caractérisé par les paramètres b, h,  $N_b$  qui représentent respectivement la largeur du canal, la longueur du canal et le niveau de dopage dans le canal. Z et  $L_c$  représentent respectivement la profondeur du composant et largeur active du composant. La Figure III.12 montre la localisation des différentes zones de charge d'espace dans la structure du JFET lors de la saturation.

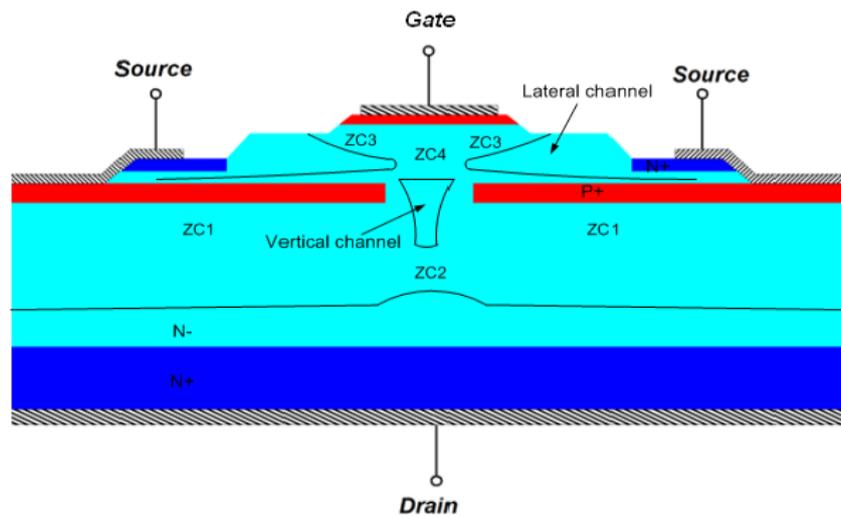


Figure III.12. Localisation des zones de charge d'espace dans la structure du JFET-SiC de SiCED avec deux canaux [121]

La Figure III.13 montre un schéma électrique équivalent du transistor JFET-SiC qui est établi à partir de l'analyse complète de son fonctionnement. Il est constitué d'un schéma résistif basé sur le comportement du JFET à l'état passant, et un schéma capacitif basé sur l'état bloqué et la localisation des zones de charge d'espace dans la structure.

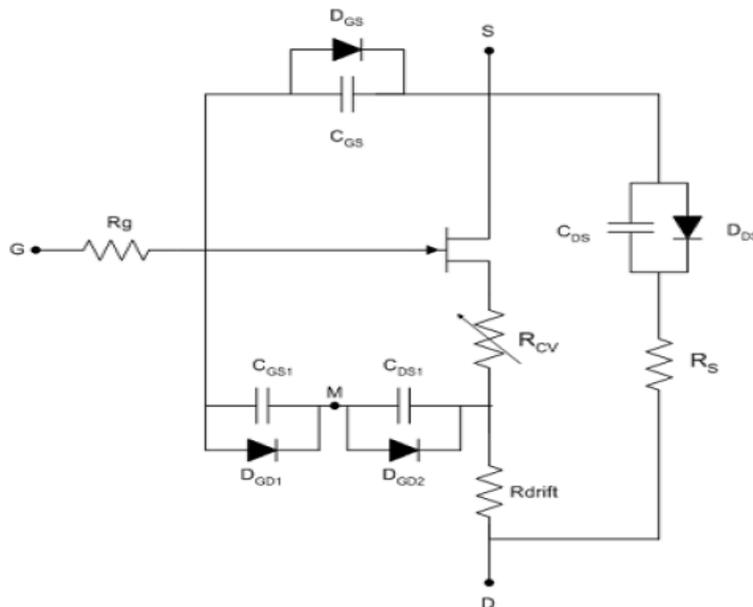


Figure III.13. Schéma électrique équivalent du transistor JFET-SiC de SiC avec ses deux canaux [121]

Le canal latéral est modélisé par le modèle standard du JFET avec quelques modifications. Des paramètres empiriques ont été ajoutés aux équations du JFET. Cette méthode est utilisée pour adapter la théorie avec l'expérience [122]. Le canal vertical est représenté par une résistance  $R_{CV}$  modulée par la tension drain. L'expression de cette résistance est donnée par [123]:

$$R_{CV} = R_{CV0} \left( 1 + \tanh \left( \frac{V_{DS}}{V_{PV}} \right) \right) \quad \text{(III-14)}$$

Où,  $R_{CV0}$  est la résistance du canal vertical en absence de polarisation et  $V_{PV}$  est la tension de pincement du canal vertical. La zone de charge d'espace  $Z_{C1}$  est représenté par une diode  $D_{DS}$  en série avec une résistance  $R_S$  et une capacité de désertion  $C_{DS}$  en parallèle avec cette diode. La zone de charge d'espace  $Z_{C3}$  est représentée par une capacité  $C_{GS}$  connectée en parallèle avec la diode  $D_{GS}$ . La zone de charge d'espace  $Z_{C4}$  est représentée par une capacité  $C_{GS1}$  en parallèle avec la diode  $D_{GD1}$ . La zone de charge d'espace  $Z_{C2}$  est représentée par une capacité  $C_{DS1}$  en parallèle avec la diode  $D_{GD2}$ . Les zones de charge d'espace  $Z_{C2}$  et  $Z_{C4}$  correspondent à deux capacités connectées en série ( $C_{DS1}$  et  $C_{GS1}$ ). Les deux capacités ( $C_{DS}$  et  $C_{DS1}$ ) possèdent le même dopage avec deux surfaces différentes, ainsi que les deux capacités ( $C_{GS}$  et  $C_{GS1}$ ).

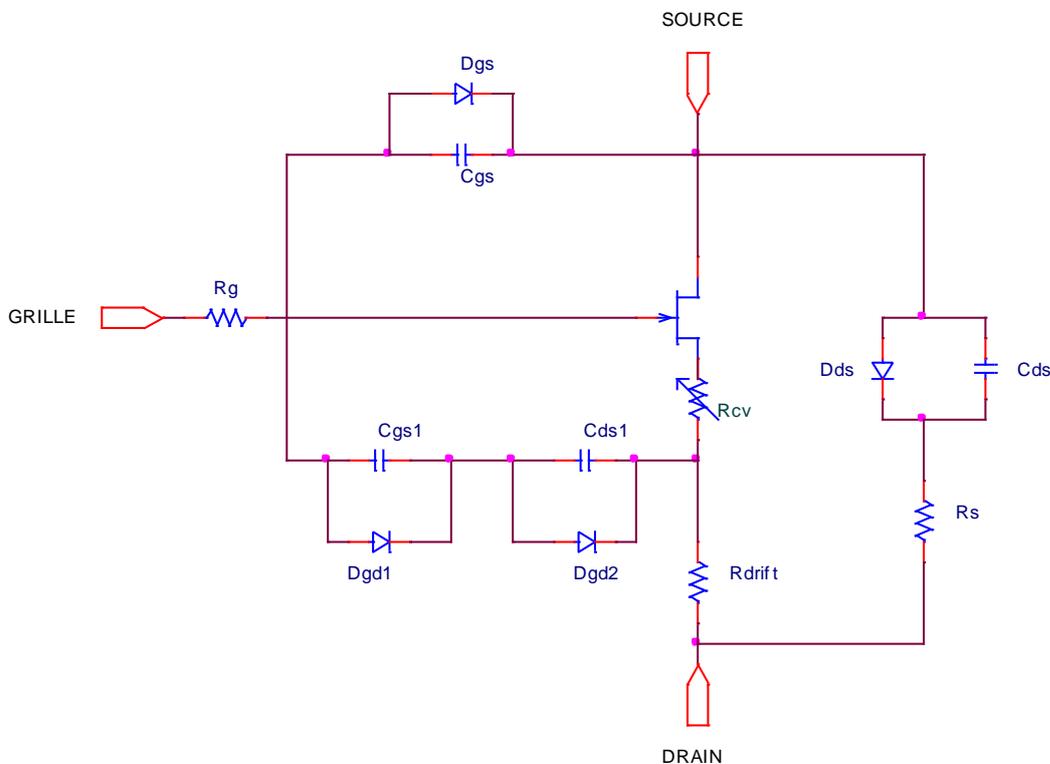


Figure III.14. Modèle du transistor JFET-SiC avec ses deux canaux en PSpice

### III.4.5. Equations du modèle du JFET en statique en Orcad-PSpice

Les caractéristiques de sortie  $I_{DS}$  ( $V_{DS}$ ,  $V_{GS}$ ) du modèle Spice du canal du JFET représenté dans la figure avec les modifications apportées sont exprimées par les relations suivantes :

- Pour  $K_3 V_{DS} < (K_2 x V_{GS} + K_1 x V_P - V_{bi})$  (zone ohmique) :

$$I_{DS} = \frac{Z\mu q N_D a}{L} (K_3 V_{DS} - \frac{2}{3\sqrt{K_1 V_P}} [(V_{bi} - K_2 V_{GS} + K_3 V_{DS})^{3/2} - (V_{bi} - K_2 V_{GS})^{3/2}]) \quad (III-15)$$

- Pour  $K_3 V_{DS} \geq (K_2 V_{GS} + K_1 V_P - V_{bi})$  (zone de saturation) :

$$I_{DS} = \frac{z\mu q N_D a K_1 V_P}{3.L} (1 - 3 \left( \frac{V_{bi} - K_2 V_{GS}}{K_1 V_P} \right) + 2 \left( \frac{V_{bi} - K_2 V_{GS}}{K_1 V_P} \right)^{3/2}) \quad (III-16)$$

- Pour  $V_{GS} + V_P - V_{bi} \leq 0$  (zone pincée) :

$$I_{DS} = 0$$

Où,  $K_1$ ,  $K_2$  et  $K_3$  sont des facteurs empiriques qui ont été ajoutés pour ajuster le courant à la saturation en fonction de la température [123]. L'apparition de ces facteurs à la fois dans les conditions définissant les différents régimes de fonctionnement et dans les équations du courant a pour but de garantir la continuité du courant. Nous pouvons remarquer que pour le modèle standard  $K_1 = K_2 = K_3 = 1$ .  $\mu$  est la mobilité des porteurs dans le canal latéral et  $V_P$  est la tension de pincement du canal latéral.

### III.4.6. Equations du modèle du JFET en dynamique

Les caractéristiques dynamiques du modèle peuvent être exprimées par le calcul des différentes capacités de désertion de la Figure III.14. Les différentes capacités de désertion sont exprimées par les relations suivantes :

$$C_{DS} = \beta_2 \left( \frac{A_{DS} \epsilon_{SiC}}{W_{ZC1}} \right) \quad (III-17)$$

$$C_{DS1} = (1 - \beta_2) \left( \frac{A_{DS} \epsilon_{SiC}}{W_{ZC2}} \right) \quad (III-18)$$

$$C_{GS} = \beta_1 \left( \frac{A_{DS} \epsilon_{SiC}}{W_{ZC3}} \right) \quad (III-19)$$

$$C_{GS1} = (1 - \beta_1) \left( \frac{A_{DS} \epsilon_{SiC}}{W_{ZC4}} \right) \quad (III-20)$$

Où,  $A_{DS}$  et  $A_{GS}$  sont des surfaces équivalentes des contributions des zones de charge d'espace dans la région de commande (canal latéral) et la région de dérive du JFET respectivement.  $\beta_1$  et  $\beta_2$  sont des facteurs de surface qui définissent les rapports de surfaces dans la région de commande et la région de dérive de la structure du JFET.  $W_{ZC1}$ ,  $W_{ZC2}$ ,  $W_{ZC3}$ ,  $W_{ZC4}$ , représentent les largeurs de désertion des différentes zones de charge d'espace. Ces différentes sont calculées avec les relations suivantes [124] :

$$W_{ZC1} = \sqrt{\frac{2\varepsilon_{SiC}(V_{bi} - V_{D_{DS}})}{qN_b}} \quad (\text{III-21})$$

$$W_{ZC2} = \sqrt{\frac{2\varepsilon_{SiC}(V_{bi} - V_{D_{GD2}})}{qN_b}} \quad (\text{III-22})$$

$$W_{ZC3} = \sqrt{\frac{2\varepsilon_{SiC}(V_{bi} - V_{D_{GS}})}{qN_D}} \quad (\text{III-23})$$

$$W_{ZC3} = \sqrt{\frac{2\varepsilon_{SiC}(V_{bi} - V_{D_{GD1}})}{qN_D}} \quad (\text{III-24})$$

Les courants statiques des différentes diodes présentées peuvent être calculés avec l'équation standard du modèle de la diode PN [125].

Le modèle a été validé en mode de fonctionnement statique et dynamique avec le simulateur Orcad PSpice. La validation du modèle montre que ce modèle permet d'avoir des résultats très précis pour simuler le comportement du JFET en mode de fonctionnement statique en termes de la résistance à l'état passant et du courant de saturation en fonction de la température et permet également de simuler le comportement du JFET en commutation avec une bonne précision à la température ambiante. Toutefois, l'extraction des nombreux paramètres qui permettent d'ajuster la simulation à l'expérience rend difficile son exploitation pratique.

### III.5. Caractérisation électrique de JFET-SiC

Dans ce paragraphe nous allons présenter la caractérisation électrique réalisée sur des transistors JFET en SiC. Nous présentons quelques résultats sur le comportement du JFET en mode de fonctionnement statique et dynamique en fonction de la température, nous présentons également quelques mesures capacitives réalisées sur ce composant.

Le tableau III.2 représente les différents paramètres électriques du transistor JFET SiCED/Infineon.

<b><u>Symbole</u></b>	<b><u>Définition</u></b>	<b><u>Unité</u></b>
$R_{DSON}$	Résistance à l'état passant	$\Omega$
$I_{DSSAT}$	Courant de saturation	A
$V_{BR}$	Tension de blocage	V
$I_G$	Courant de grille	A
$V_{DS}$	Tension Grille-Source	V
$V_{BR}$	Tenu en tension	V
$I_{DS}$	Courant Drain-Source	A

Tableau III.2. Définition des différents paramètres électriques du JFET [125]

### III.5.1. Caractérisation électrique statique

Aux Etats-Unis, une caractérisation du JFET SiC (1200V-2A) de SiC à haute température a été réalisée par Funaki [126]. Dans ce travail, les caractéristiques électriques statiques en mode de polarisation directe du JFET ont été évalué pour des températures comprises entre l'ambiante et 420 °C de JFET SiC. Pour réaliser cette caractérisation Funaki a utilisé le banc de test représenté par la Figure III.14. Le composant caractérisé présente une caractéristique de sortie ( $I_{DS}$ - $V_{DS}$ ) de type pentode. A la température ambiante la résistance à l'état passant et le courant de saturation mesurés étaient respectivement 1,3 $\Omega$  et 3,5A. Pour une température de 450°C la résistance à l'état passant augmente pour avoir une valeur de 10  $\Omega$  et le courant de saturation diminue pour atteindre une valeur de 0,7A.

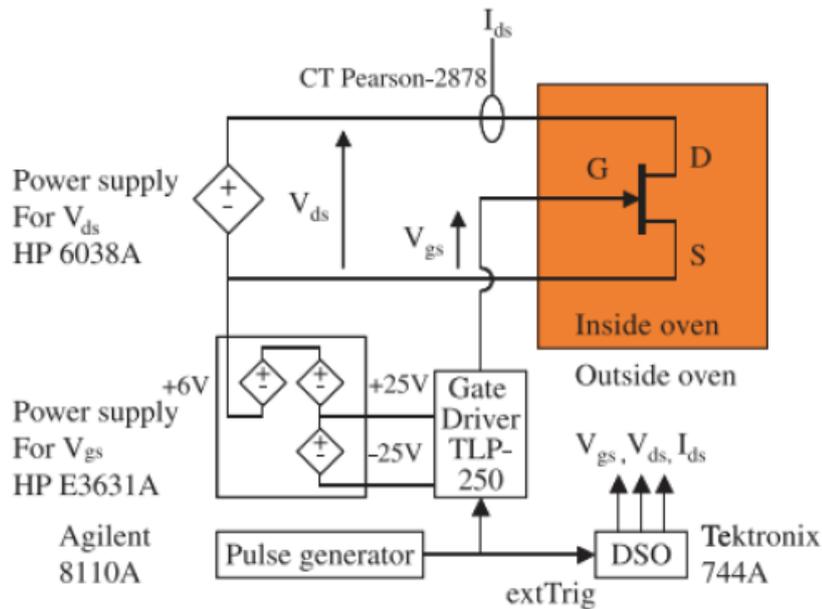


Figure III.14. Circuit de test utilisé pour la caractérisation statique directe du JFET-SiC [121]

Une diminution de la tension de seuil (valeur de  $V_{GS}$  correspond au blocage du JFET) avec l'augmentation de la température a été observée (-12V à la température ambiante et -15V à 450 °C). Ces résultats montrent que ce composant doit être utilisé avec un courant maximal de 0,7A pour des applications à 450°C. De plus l'utilisation de ce JFET à une température de 450°C implique une augmentation des pertes en conduction d'un facteur 10 par rapport à la température ambiante. Cependant ce composant offre la possibilité de fonctionner à haute température ce qui est impossible avec les composants en Si. De plus, ce JFET ne demande pas un changement de commande de grille car la tension de seuil varie de quelques volts seulement.

Au laboratoire Ampère, Mousa [121] a réalisé des caractérisations électriques en statique en mode de fonctionnement direct ( $V_{DS}$  positive) et inverse ( $V_{DS}$  négative) pour trois évolutions technologiques du JFET-SiC de SiC, version 1(1300V- 2A), version 2 (1500V- 4A), version 3 (1200V-15 A). Les mesures ont été réalisées pour des températures comprises entre 25°C et 225 °C. Les mesures ont été réalisées sur le traceur Tek371A et pour faire varier la température un four à air pulsé a été utilisé. La Figure III.15 montre respectivement la variation de la résistance à l'état passant et du courant de saturation pour les 3 versions du JFET-SiC à  $V_{GS}=0V$  en fonction de la température [121].

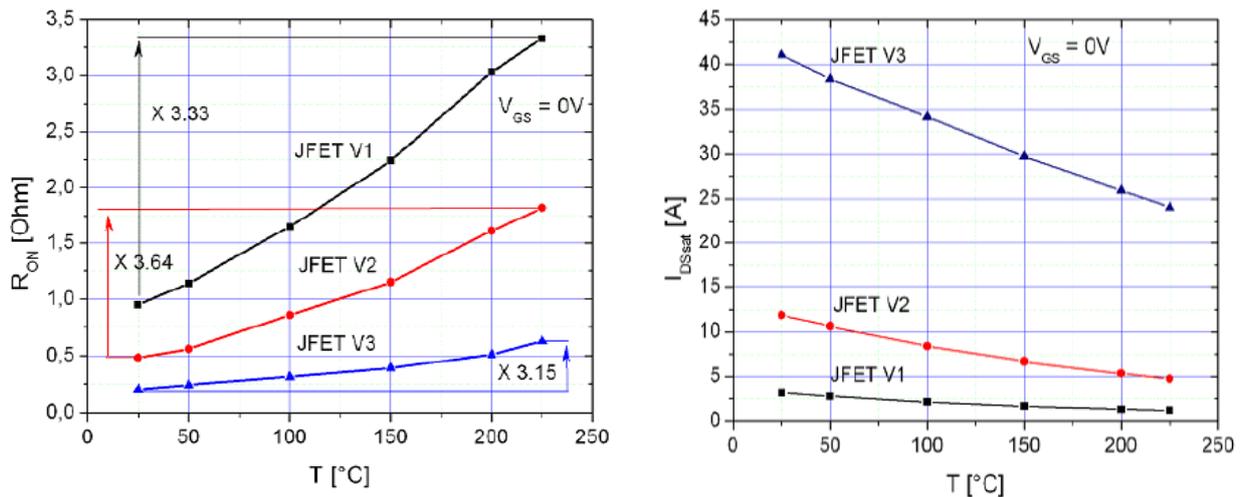


Figure III.15. Variation de la résistance à l'état passant du courant de saturation en fonction de la température pour les trois versions du JFET de SiC [121]

Les résultats montrent une augmentation de la résistance à l'état passant et une diminution du courant de saturation. Par exemple la résistance à l'état passant de la version 2 augmente de  $0,5\Omega$  à  $25^\circ\text{C}$  à une valeur de  $1,77\Omega$  à  $225^\circ\text{C}$  et que le courant de saturation varie de  $11,83\text{A}$  à la température ambiante à une valeur de  $4,73\text{A}$  à  $225^\circ\text{C}$  tandis que pour la version 3 la résistance à l'état passant varie de  $0,2\Omega$  à  $25^\circ\text{C}$  à une valeur de  $0,6\Omega$  à  $225^\circ\text{C}$  et le courant de saturation diminue de  $42\text{A}$  à  $25^\circ\text{C}$  à une valeur de  $24,05\text{A}$  à  $225^\circ\text{C}$ .

Les transistors JFET-SiC ont une structure verticale qui intègre une diode interne entre le drain et la source ce qui implique que ce JFET peut conduire dans le sens inverse si une polarisation inverse du drain est appliquée. Les mesures réalisées en mode de fonctionnement inverse (fonctionnement de la diode) de ce JFET pour des températures comprises entre  $25^\circ\text{C}$  et  $225^\circ\text{C}$  ont montré que la chute de tension directe sur la diode interne de ce JFET diminue avec l'augmentation de la température du fait de l'augmentation de la durée de vie de porteurs minoritaires avec celle-ci.

### III.5.2. Caractérisation dynamique en commutation

Le comportement dynamique du JFET en commutation sur charge inductive a été étudié par Funaki [125] dans une configuration hacheur dévolteur. La Figure III.16 montre un schéma équivalent de ce montage. Une diode Schottky de (600V- 4A) est utilisée dans ce montage. Les mesures du comportement dynamique ont été évaluées pour des températures comprises entre  $25^\circ\text{C}$  et  $400^\circ\text{C}$ . L'opération de ce convertisseur a été choisie pour une fréquence de  $100\text{kHz}$  avec un rapport de 50%, une tension d'entrée de  $100\text{V}$ , une résistance de charge de  $100\Omega$  et un courant de charge de  $0,5\text{A}$ . Les résultats obtenus montrent un fonctionnement normal de ce convertisseur à haute température et une faible diminution de la tension de sortie en fonction de la température ( $5\text{V}$  à la température  $400^\circ\text{C}$ ). Cette expérience montre également que la vitesse de commutation du

JFET ne semble pas être affectée par la température et que le  $di/dt$  mesuré du courant de drain de ce JFET ne varie pas avec l'augmentation de la température;  $-1,45 \times 10^7 \text{A/s}$  à la température ambiante et  $-1,44 \times 10^7 \text{A/s}$  à  $400^\circ\text{C}$ ) [126].

### III.5.3. Caractérisation électrique statique en polarisation directe

Pour mesurer les caractéristique JFET en polarisation directe, on applique une tension drain-source positive  $V_{DS}$  en faisant varier la tension grille source négativement pour des valeurs comprises entre  $0\text{V}$  et la tension de blocage  $V_{T0}$ . Les mesures ont été visualisées sur le traceur Tektronix 371A [125] qui permet d'effectuer la caractérisation de composants en régime pulsé et qui peut atteindre au maximum une puissance de  $3000\text{W}$  et un courant de  $400\text{A}$  avec une durée d'impulsion généralement de  $250\mu\text{s}$  avec une période de  $40\text{ms}$ . La caractérisation en mode pulsé permet d'atteindre un fort niveau de courant tout en limitant le problème d'auto-échauffement [127]

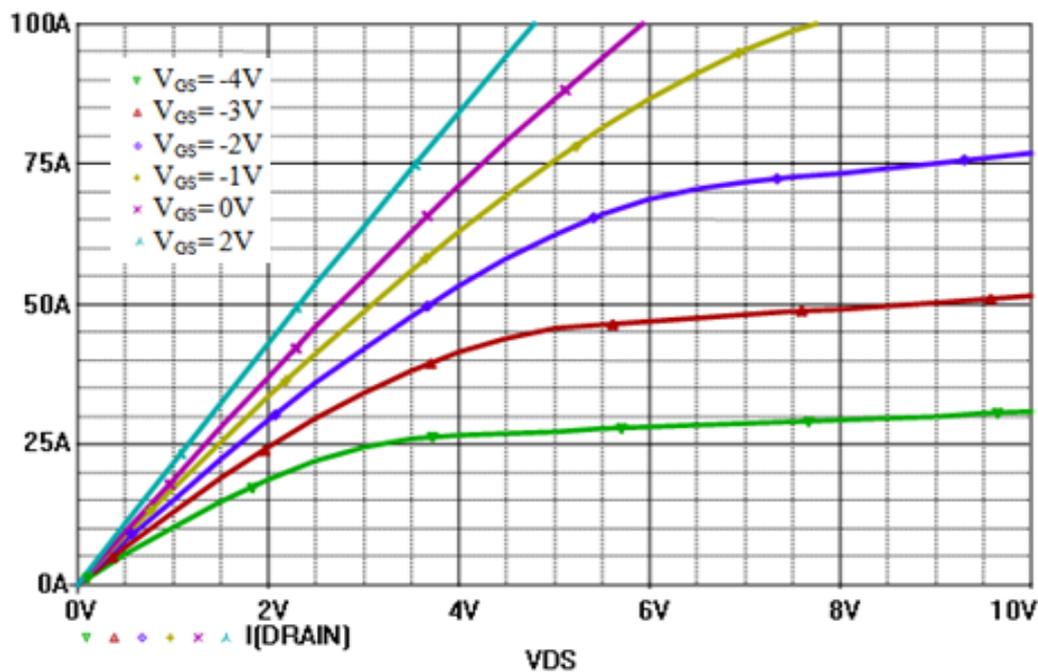


Figure III.16. Caractéristique statique du SiC JFET- en polarisation directe à la température  $25^\circ\text{C}$ .

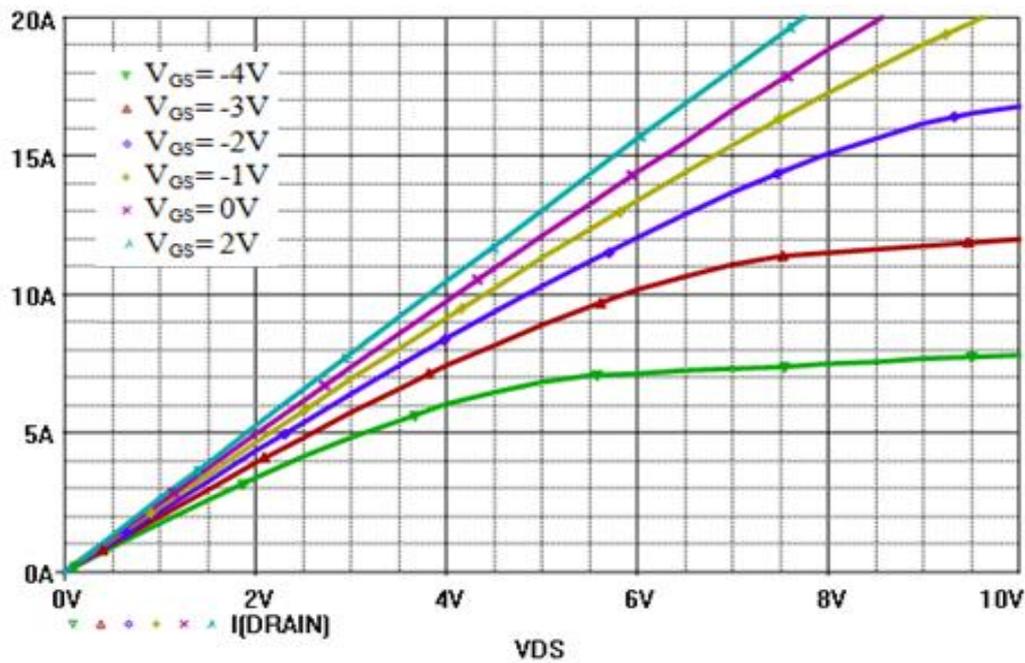


Figure III.17. Caractéristique statique du JFET-SiC en polarisation directe à la température 300°C

Ces caractéristiques électriques nous permettent de mesurer les différents paramètres électriques du JFET (résistance à l'état passant, courant de saturation, tension de blocage, ...) dans les différents régimes de fonctionnement : pincé, ohmique et saturé.

#### III.5.4. Caractéristique de transfert en régime de saturation

La caractéristique de transfert du JFET-SiC en régime de saturation est donnée par la variation du courant de saturation  $I_{DS}$  en fonction de la tension de polarisation grille-source  $V_{GS}$ . Cette caractéristique nous donne la valeur maximale du courant drain-source ( $I_{DS}$ ) pour une tension grille-source nulle et la valeur de ce courant ( $I_{DS} = 0$ ) pour une tension grille source égale à la tension du blocage  $V_{T0}$  [127]. La Figure III.18 représente les caractéristiques du transfert en saturation  $I_{DS(SAT)}-V_{GS}(V)$  du JFET SiC à la température ambiante et 300°C que nous avons obtenues à partir de la caractéristique électrique en statique direct représentés dans la figure III.16 et III.17.

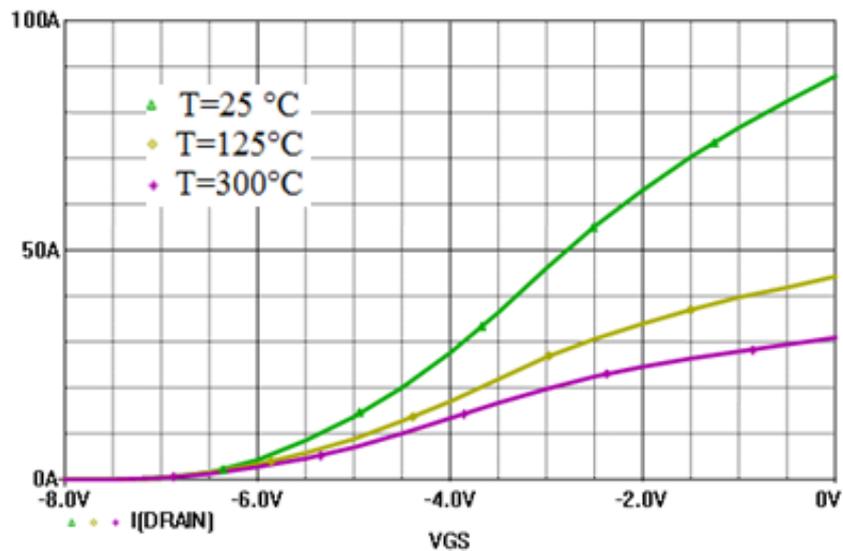


Figure III.18. Caractéristiques de transfert en saturation du SiC JFET à 25°C, 125°C et à 300°C et  $V_{DS}=5V$

D'après la Figure III.18 on peut constater que la variation du courant de saturation en fonction de la tension  $V_{GS}$  est non linéaire et que ce courant diminue avec la diminution de  $V_{GS}$  pour une température donnée. Cette diminution est due à la réduction de la largeur du canal avec l'augmentation de la polarisation négative de grille [128]. Ce courant s'annule pour des polarisations négatives de  $V_{GS}$  correspondant à la tension du blocage  $V_{T0}$ .

### III.5.5. L'effet de la température

D'après les caractéristiques électriques statiques du JFET en polarisation directe nous avons tracé l'évolution de la résistance à l'état passant  $R_{DSON}$  et le courant de saturation  $I_{DSSAT}$  en fonction de la température pour les deux lots A et C. Les figures III.19 et III.20 représentent l'évolution de la résistance à l'état passant ainsi que le courant de saturation du JFET en fonction de la température [129].

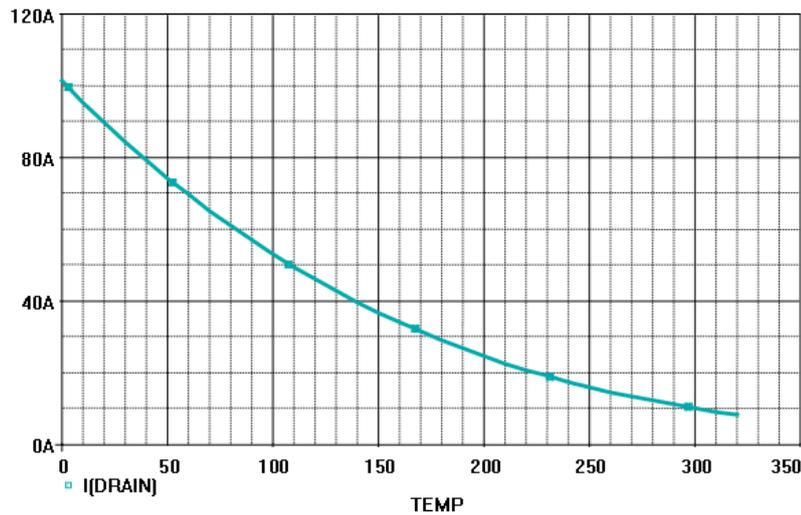


Figure III.19 Evolution du courant de saturation du JFET-SiC en fonction de la température à  $V_{GS}=0$  et  $V_{DS}=5V$

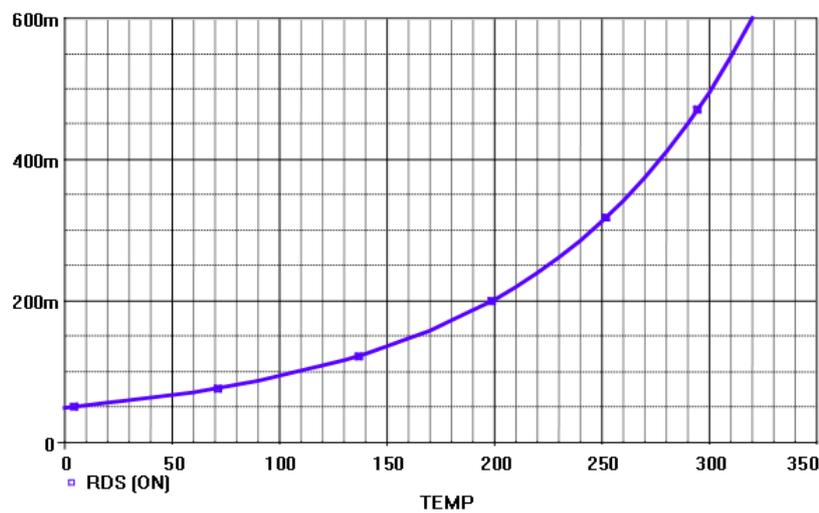


Figure III.20. Evolution de la résistance à l'état passant du JFET Si en fonction de la température à  $V_{GS}=0$  et  $V_{DS}=5V$

D'après les figures III.19 et III.20 on peut constater que l'augmentation de la température provoque une augmentation de la résistance à l'état passant et une diminution du courant de saturation. Ce phénomène est dû à la diminution de la mobilité des porteurs qui augmentent avec l'augmentation de la température. La dépendance de la mobilité en fonction de la température peut être exprimée par l'expression [130]:

$$\mu_n = \frac{947}{1 + \left(\frac{N_i}{1.94 \cdot 10^{17}}\right)^{0.61}} \left(\frac{T}{300}\right)^{-2.15} \quad (\text{III-25})$$

Où, N correspond à la concentration totale des impuretés ionisées exprimée en  $m^{-3}$  (S.I) et T représente la température de jonction en Kelvin.

### III.5.6. Caractérisation électrique statique en mode de polarisation inverse

La structure du JFET intègre une diode bipolaire intrinsèque entre drain et source connectée en parallèle avec le canal de conduction [131]. Cela permet la réalisation d'un onduleur SiC sans diode de roue libre et qui fonctionne à haute température [132]. Dans ce cas, il est avantageux de mettre en conduction le canal du JFET lorsque la diode conduit, pour réduire la chute de tension.

La Figure III-12 représente une coupe verticale d'une demi-cellule du JFET SiC qui montre la diode intrinsèque.

Les figures III.21 et III.22 suivantes montrent les caractéristiques électriques statiques du JFET SiC lot A en mode de polarisation inverse à température ambiante, 25°C, et 300°C. Les mesures ont été effectuées sur le traceur 371A [133]. D'après ces figures on peut voir que le courant circule en sens inverse même si les tensions  $V_{GS}$  sont inférieures à la tension de seuil, et cela en raison de présence de la diode interne.

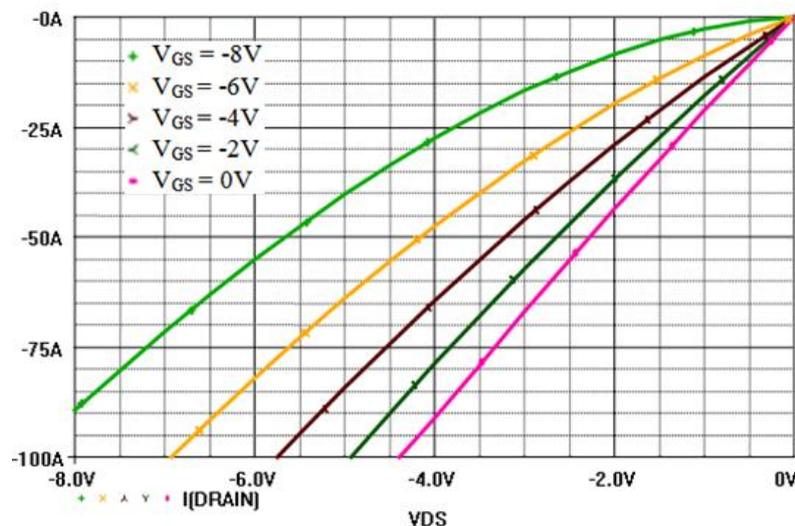


Figure III.21 Caractéristique statique en mode de polarisation inverse du JFET SiC à température ambiante 25°C

En effet, le courant commence à circuler dans la diode interne lorsque la tension de polarisation entre drain et source dépasse la tension de diffusion de la jonction PN de la diode interne  $V_{BI}$ . Cela est clairement observé sur les caractéristiques inverses à 300°C représentés dans la Figure III.22. On observant la Figure III.23, par exemple pour  $V_{GS} = -24V$ , quand  $I_{DS} < 5A$  la relation courant-tension est quasi linéaire, c'est  $R_{DS(ON)}$  que l'on observe et quand  $I_{DS} > 5A$ , la tension varie alors suivant la caractéristique d'une diode [134].

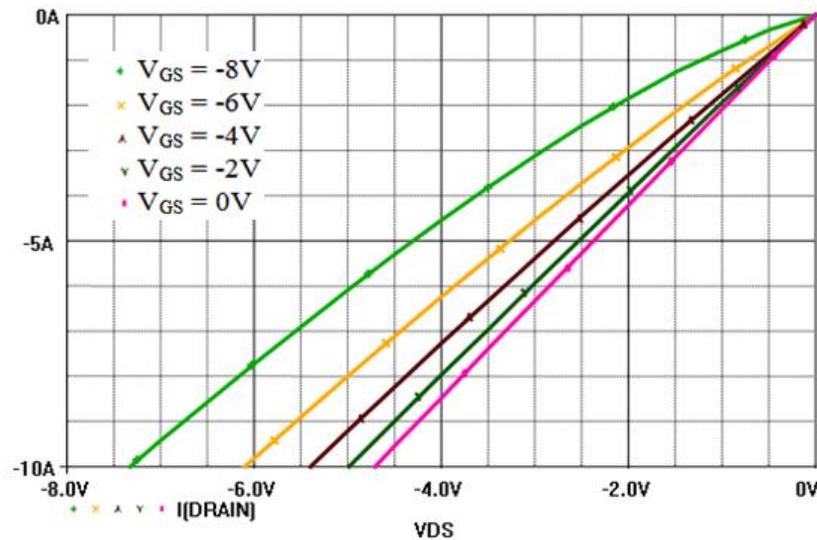


Figure III.22 Caractéristique électrique statique en mode de polarisation inverse du JFET SiC à température ambiante 300°C

On peut constater qu'avec l'augmentation de la température la conductivité du canal du JFET diminue et par conséquent le courant inverse diminue aussi [135]. Pour bloquer définitivement le canal dans les conditions de polarisation inverse il faut appliquer une tension de polarisation de la grille inférieure à la tension de pincement. En effet, en observant les caractéristiques du JFET en inverse on peut voir qu'il existe une valeur de la tension grille source qui correspond au pincement du canal du JFET et que la caractéristique électrique en inverse courant – tension  $I_{DS}$ - $V_{DS}$  du JFET n'a aucun changement au-delà de cette valeur.

### III.5.7. Caractérisation électrique statique en mode de polarisation directe

Pour caractériser la grille en mode de polarisation directe, on applique une tension positive sur sa grille. Les mesures ont été faites pour des faibles niveaux afin d'éviter la dégradation de la jonction. Une limite arbitraire a été fixée à 40mA ce qui correspond à une dissipation de 100mW pour  $V_{GS}=2.5V$ . La valeur maximale admissible pour le courant direct dans la jonction grille-source n'est pas fournie par le constructeur. Nous n'avons constaté aucun phénomène de dérive thermique avec un courant direct de 40mA et cette valeur nous suffit pour caractériser cette jonction. A 40 mA, toutes les caractéristiques se trouvent clairement au dessus de la tension de seuil de la diode. La Figure III.23 représente la variation du courant grille  $i_{GS}$  en fonction de la tension grille source  $V_{GS}$  pour des températures comprises entre 25°C et 250°C pour le JFET du JFET SiC [136].

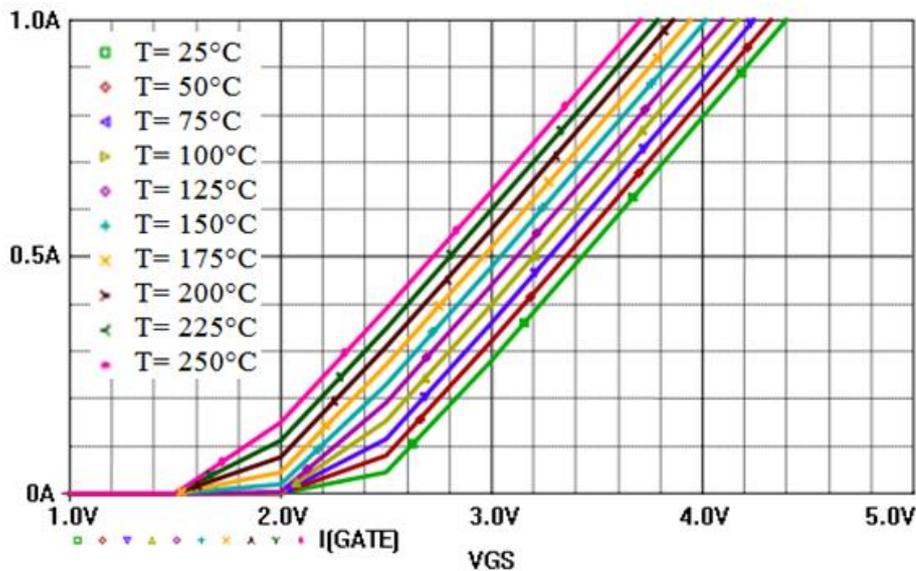


Figure III.23 Caractéristique électrique courant-tension de la grille en mode de polarisation directe du JFET SiC à différentes température et  $V_{DS} = 5V$

### III.5.8. Caractérisation électrique statique en mode de polarisation inverse

L'objectif de cette mesure est d'évaluer la tension inverse maximale de la jonction grille source ( $V_{GSMAX}$ ) et d'estimer l'évolution du courant inverse de la grille  $I_{GS}$  en fonction de la tension grille source  $V_{GS}$ . Pour effectuer cette caractéristique, on applique une tension négative sur la grille par rapport à la source [137]. Les figures III.24 montre les résultats de la caractéristique électrique de la jonction grille source mesurée en mode de polarisation inverse en échelle linéaire et en échelle logarithmique du JFET-SiC pour des températures comprises entre 25°C et 250°C.

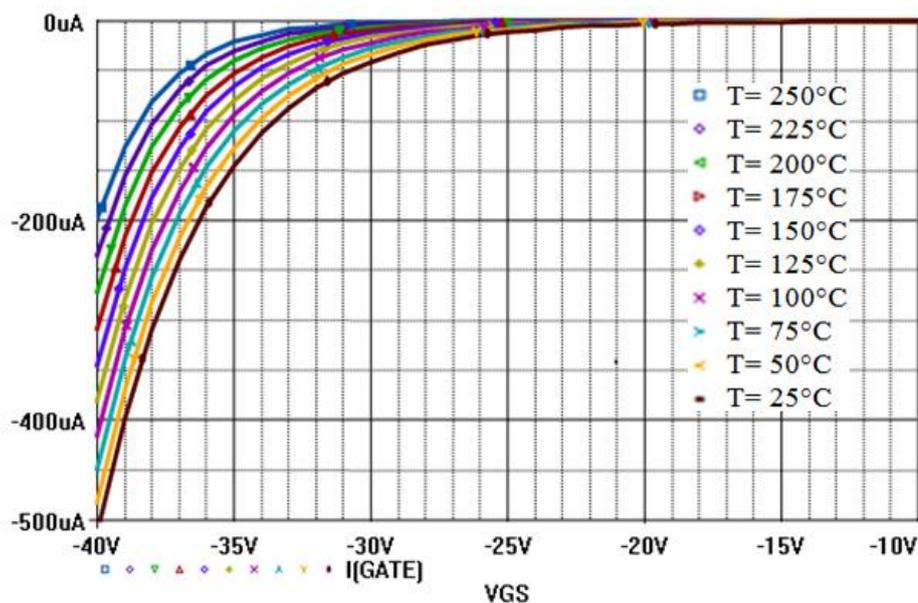


Figure III.24. Caractéristique électrique courant-tension de la grille en mode de polarisation inverse du JFET SiC pour des températures comprises entre 25°C et 250°C ( $V_{DS} = 5V$ )

### III.5.9. Caractérisation en commutation sur charge RL

Les méthodes classiques de caractérisation dynamique du JFET en C-V ont plusieurs inconvénients et notamment leur grande sensibilité aux conditions de mesure, leur mise en œuvre complexe avec notamment les effets du câblage parasite, et leur éloignement des conditions réelles d'utilisation. Les méthodes temporelles développées au laboratoire Ampère s'affranchissent de ces limitations, tout en donnant des résultats très proches et moins bruités [138]. Les interrupteurs commandés tels que le JFET en SiC peuvent être caractérisés en régime dynamique dans un circuit de commutation sur charge RL (Résistive et Inductive) sans diode de roue libre. Le principe est d'obtenir, par le choix de R et L, un système légèrement résonnant dont la partie capacitive est le JFET à tester commutant sous tension et courant nominaux. La Figure III.25 montre le schéma du circuit de test utilisé [139].

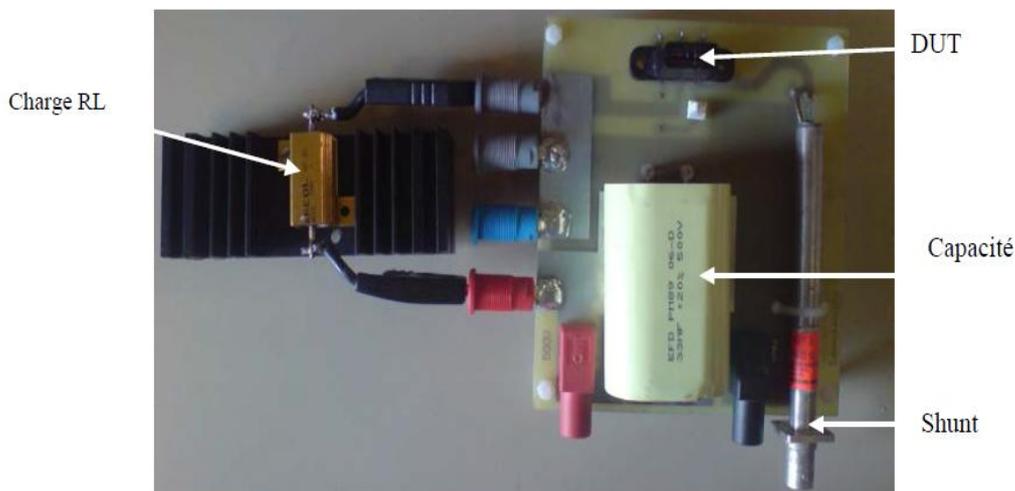


Figure III.25 Photographie du circuit de test en commutation sur charge R-L [139]

La Figure III.26 montre le chronogramme de la commande de transistor JFET-SiC que nous avons utilisée pour la caractérisation en commutation sur charge RL.

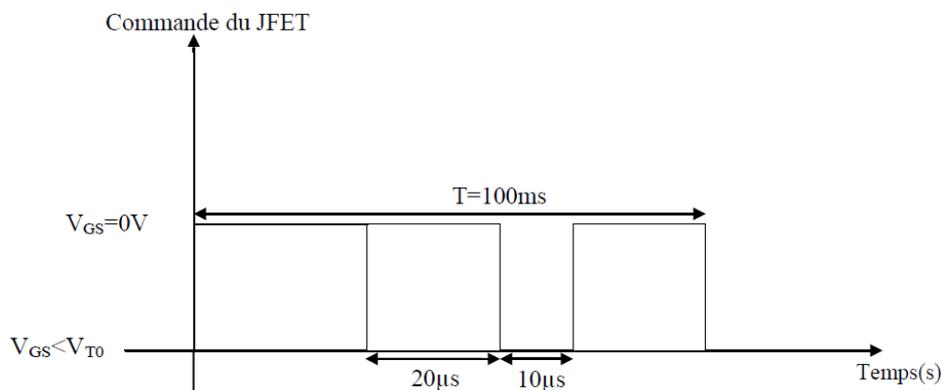


Figure III.26. Chronogramme de la commande de transistor JFET-SiC utilisé pour la mesure en commutation sur charge RL

Lorsque le JFET commute sur une charge RL, les ondes des courants de drain-source  $I_{DS}$  et de tension de drain-source  $V_{DS}$  en régime statique sont reliées par :

$$V_{DS} = V_{DC} - RI_{DS}$$

Et en régime dynamique par :

$$V_{DS} = V_{DC} - RI_{DS} - L \frac{dI_{DS}}{dt}$$

Où,  $V_{DC}$ , R et L représentent respectivement la tension d'alimentation, la résistance de charge et l'inductance de charge. Les figures III.28, III.29, III.30, III.31, III.32 et III.33 représentent les formes d'ondes de courants et de tensions à l'ouverture et à la fermeture du transistor JFET-SiC qui ont été mesuré pour une tension de 400V à température ambiante [140].

### III.5.10. Validation des caractéristiques dynamiques en commutation sur charge R-L.

Après avoir validé le modèle du JFET-SiC en statique, nous allons maintenant passer à la validation des caractéristiques dynamiques en commutation. La Figure III.27 montre le circuit de test que nous avons utilisé pour simuler les caractéristiques dynamiques du modèle. Dans ce circuit RC représente la résistance de charge, LC représente l'inductance de charge et  $R_G$  représente la résistance de la grille. Les valeurs de ces composants ont été fixées à partir des valeurs réelles [144] utilisées pour mesure en commutation sur charge R-L.

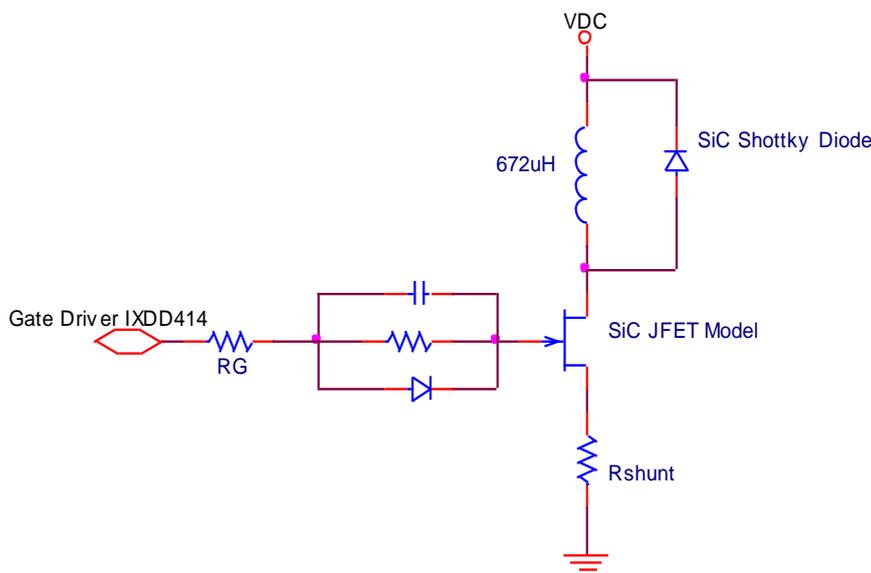


Figure III.27. Circuit de simulation en commutation du JFET-SiC sur charge RL

Nous avons validé ce modèle en commutation pour plusieurs niveaux de tension d'alimentation [142]. Les figures III.28, III.29, III.30, III.31 et III.32 montrent une comparaison entre les résultats de simulation et les mesures expérimentales à la fermeture du JFET-SiC pour une tension de 30V.

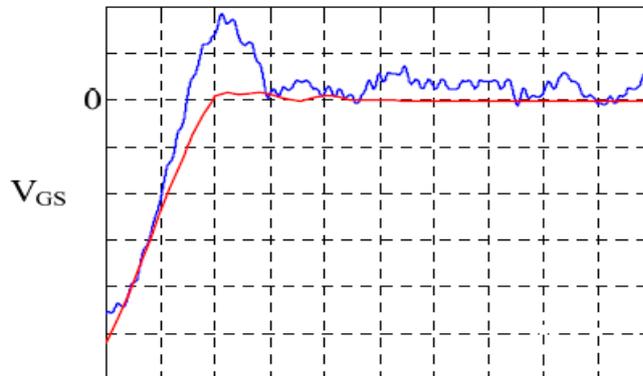


Figure III.28. Comparaison des formes d'ondes simulées (Rouge) et mesurées (Bleu) de la tension  $V_{GS}$  en commutation sur charge R-L à l'ouverture du JFET-SiC pour une tension  $V_{DD} = 30V$  (5V/div, Time: 5 ns/div)

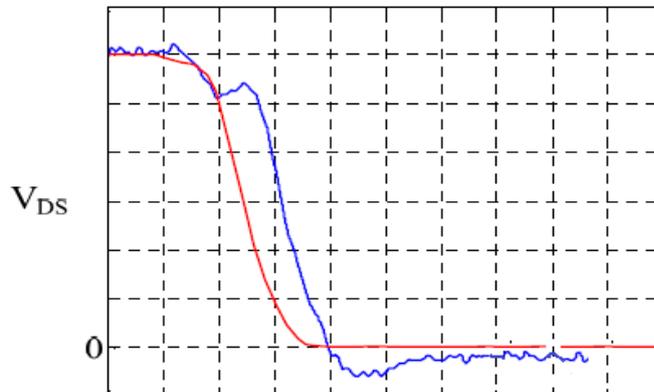


Figure III.29 : Comparaison des formes d'ondes simulées (Rouge) et mesurées (Bleu) de la tension  $V_{DS}$  en commutation sur charge R-L à l'ouverture du JFET-SiC pour une tension  $V_{DD} = 30V$  (5 V/div, Time: 5 ns/div)

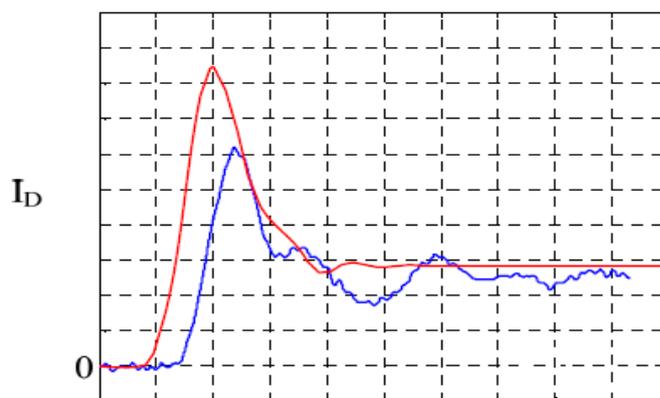


Figure III.30 Comparaison des formes d'ondes simulées (Rouge) et mesurées (Blue) du courant  $I_{DS}$  en commutation sur charge R-L à l'ouverture du JFET-SiC pour une tension  $V_{DD} = 30V$  (5V/div, Time: 5 ns/div)

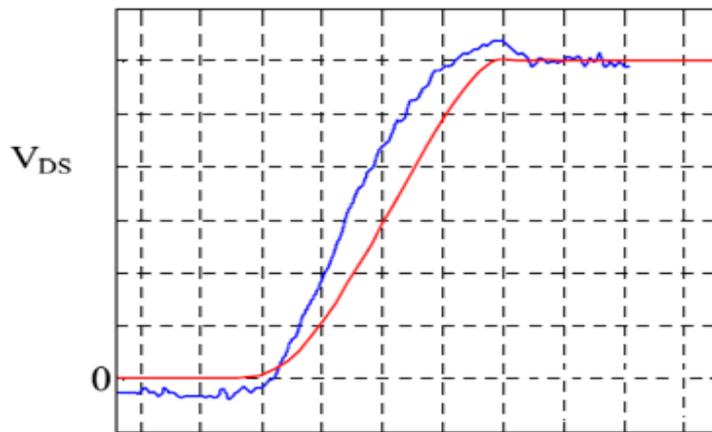


Figure III.31. Comparaison des formes d'ondes simulées (Rouge) et mesurées (Blue) de la tension  $V_{DS}$  en commutation sur charge R-L à la fermeture du JFET-SiC pour une tension  $V_{DD} = 30V$  (5V/div, Time: 5 ns/div)

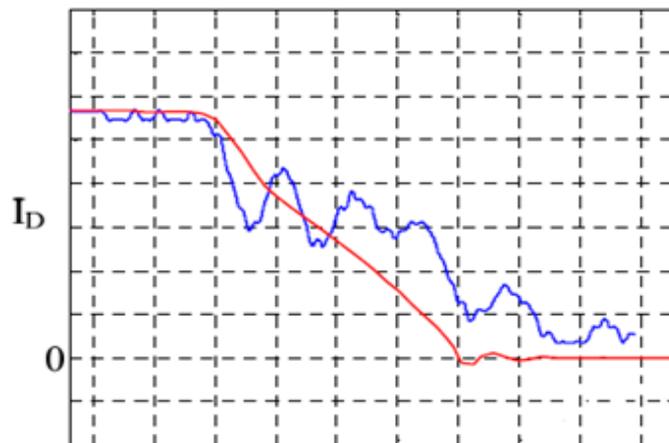


Figure III.32. Comparaison des formes d'ondes simulées (Rouge) et mesurées (Blue) du courant  $I_{DS}$  en commutation sur charge R-L à la fermeture du JFET-SiC pour une tension  $V_{DD} = 30V$  (5 V/div, Time: 5 ns/div)

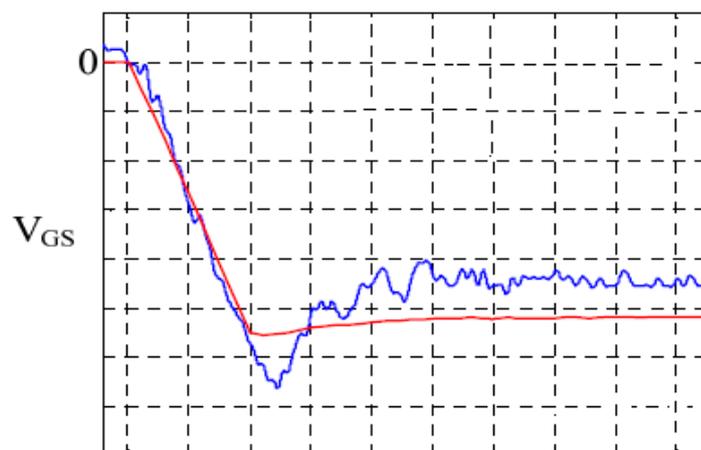


Figure III.33. Comparaison des formes d'ondes simulées (à gauche) et mesurées (à droite) de la tension  $V_{GS}$  en commutation sur charge R-L à la fermeture du JFET-SiC pour une tension  $V_{DD} = 30V$  (5 V/div, Time: 5 ns/div)

Les figures III.31, III.32 et III.33 montrent une comparaison des formes d'ondes de courant  $I_{DS}$  et de tension  $V_{DS}$  et de la tension  $V_{GS}$  à la fermeture du JFET-SiC en commutation sur charge R-L pour une tension  $V_{DC}$  de 30V. Les résultats sont satisfaisants sauf pour la forme de  $V_{GS}$ . L'écart est sans doute dû aux éléments parasites du câblage. [143]

### III.6. Validation du modèle sur Orcad-PSpice

Le modèle du canal asymétrique du JFET-SiC a été implémenté dans le Pspice. La validation du modèle a été effectuée en utilisant le simulateur Orcad Pspice 16.5. Les différentes équations décrivant le fonctionnement du modèle ont été décrites en annexe A.

#### III.6.1. Validation des caractéristiques statiques

Pour valider les caractéristiques statiques du modèle du JFET nous avons utilisé le circuit de test schématisé sur la Figure III.34.

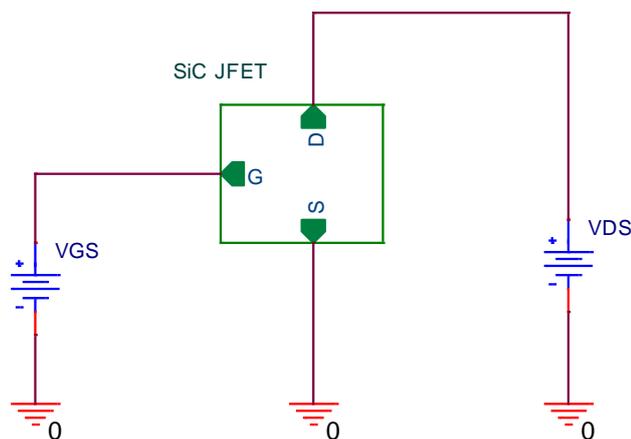


Figure III.34. Circuit de test utilisé pour simuler les caractéristiques statiques du modèle du JFET-SiC.

La Figure III.34 montre le résultat de simulation de la caractéristique statique en mode de fonctionnement direct du JFET-SiC (1200V-100 mΩ) à la température ambiante.

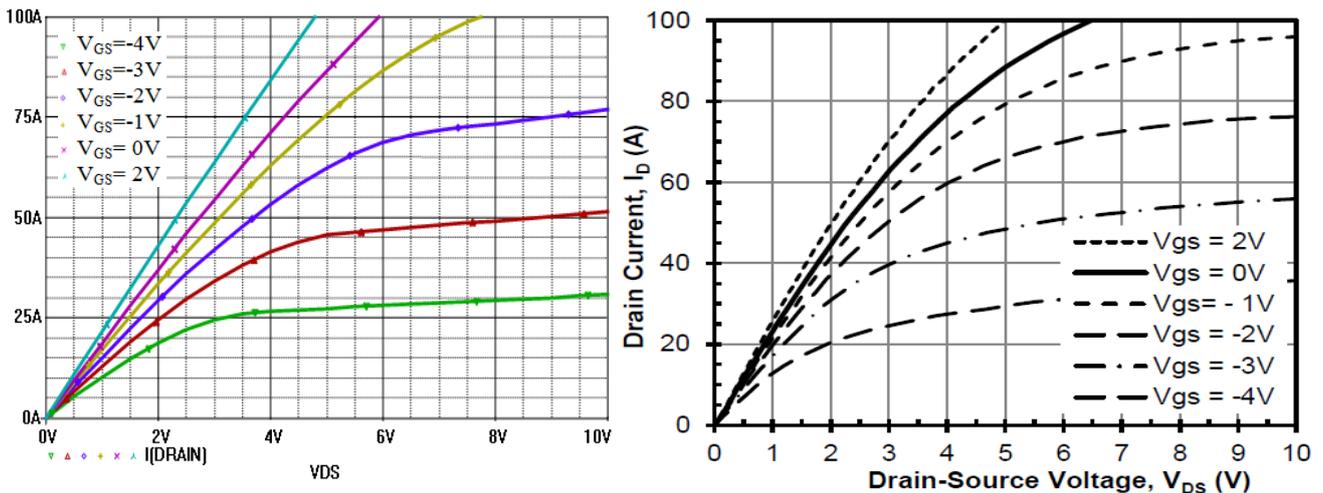


Figure III.35. Comparaison entre les résultats de simulation et de mesure de la caractéristique électrique statique en mode de fonctionnement direct du transistor JFET-SiC à la température ambiante.

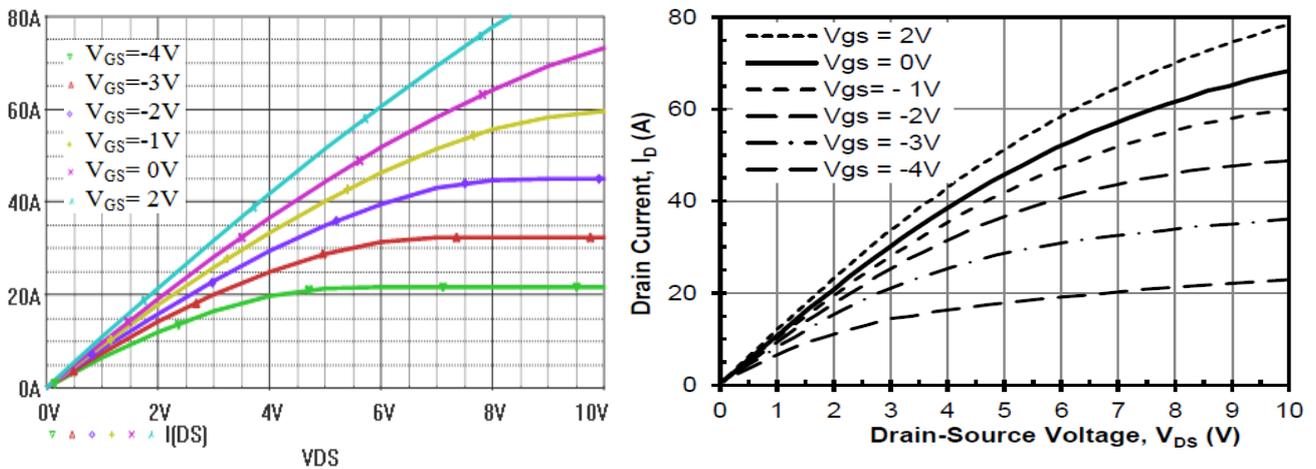


Figure III.36. Comparaison entre les résultats de simulation et de mesure de la caractéristique électrique statique en mode de fonctionnement direct du transistor JFET-SiC à  $T = 125^\circ\text{C}$

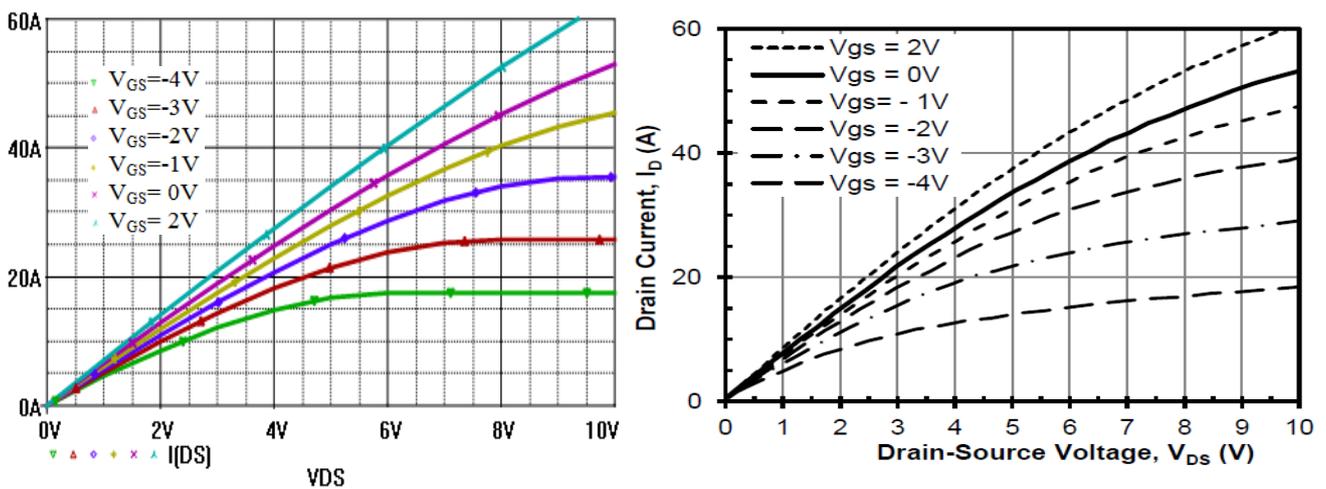


Figure III.37. Comparaison entre les résultats de simulation et de mesure de la caractéristique électrique statique en mode de fonctionnement direct du transistor JFET-SiC à  $T = 175^\circ\text{C}$

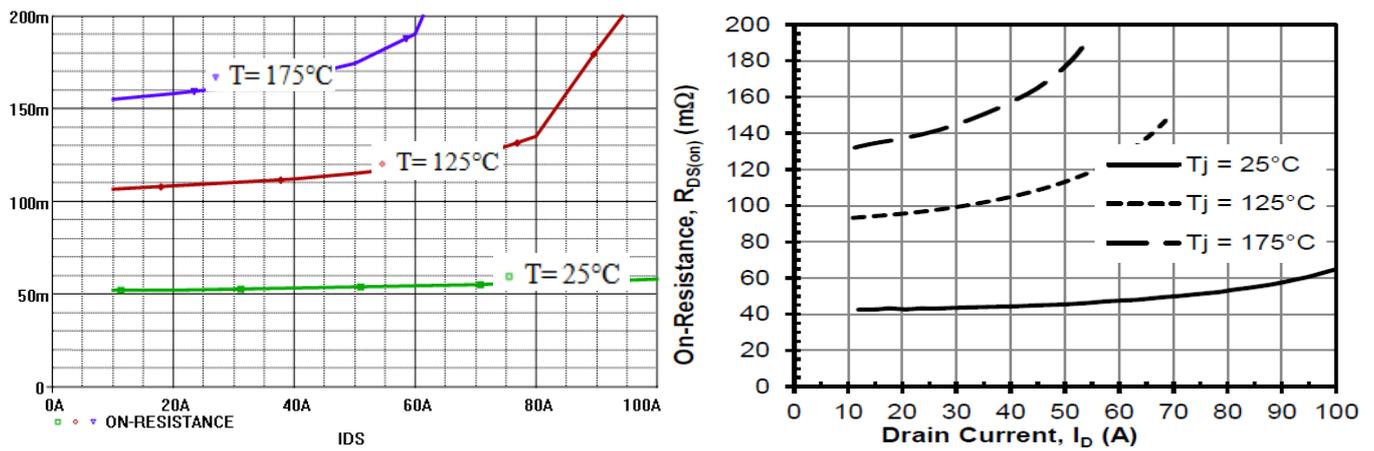


Figure III.38. Comparaison entre les résultats de simulation et de mesure de la caractéristique électrique statique en mode de fonctionnement direct du transistor JFET-SiC à T= 25°C, 125°C et 175°C

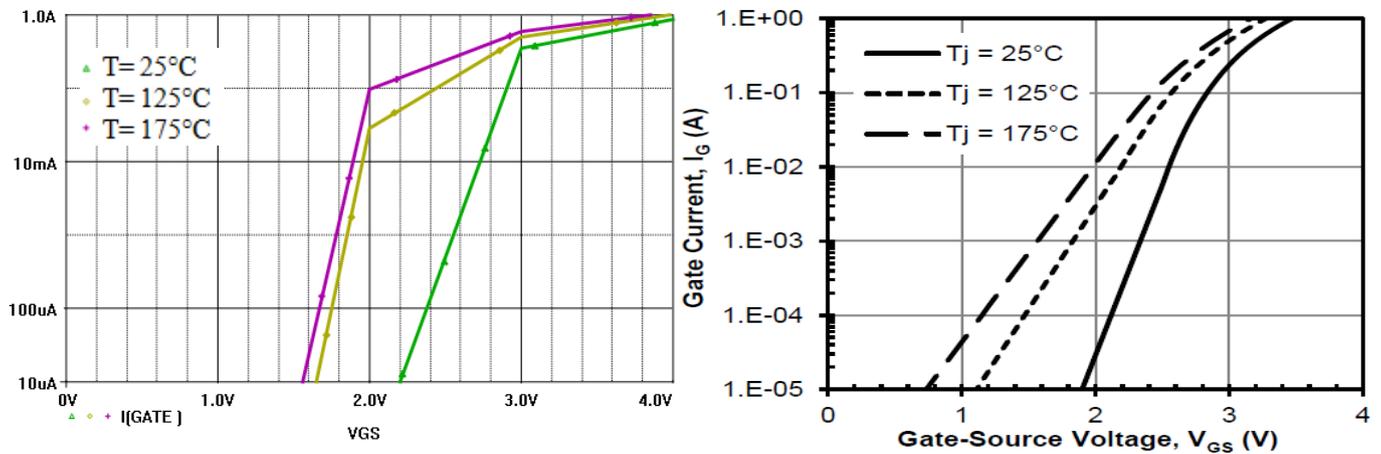


Figure III.39. Comparaison entre les résultats de simulation et de mesure de la caractéristique électrique du courant de grille du transistor JFET-SiC à T= 25°C, 125°C et 175°C et  $V_{DS}=0V$

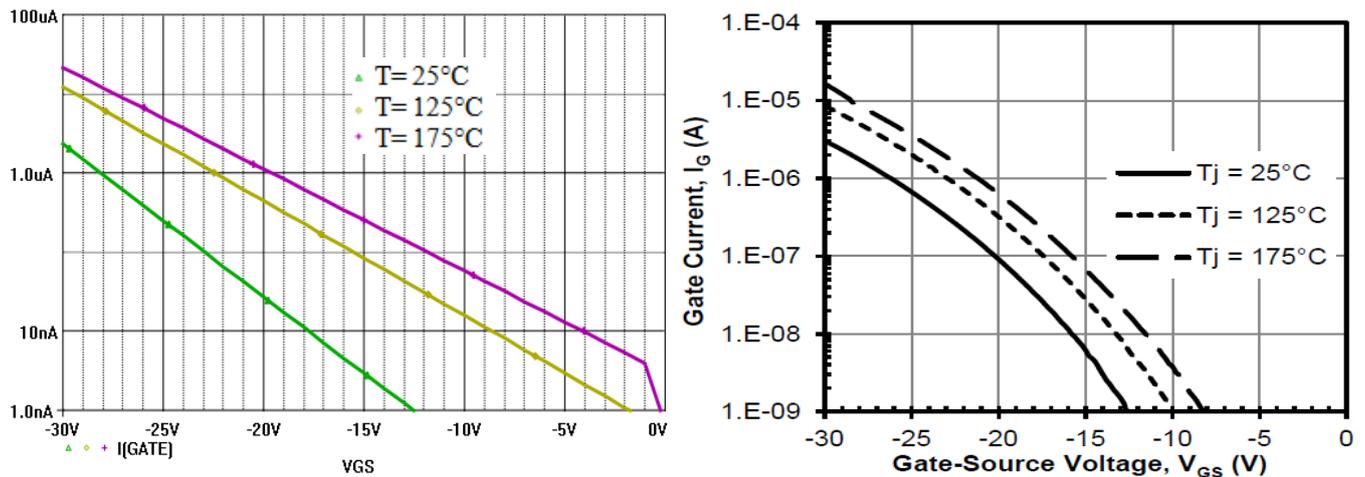


Figure III.40. Comparaison entre les résultats de simulation et de mesure de la caractéristique électrique du courant de fuite de grille du transistor JFET-SiC à T= 25°C, 125°C et 175°C

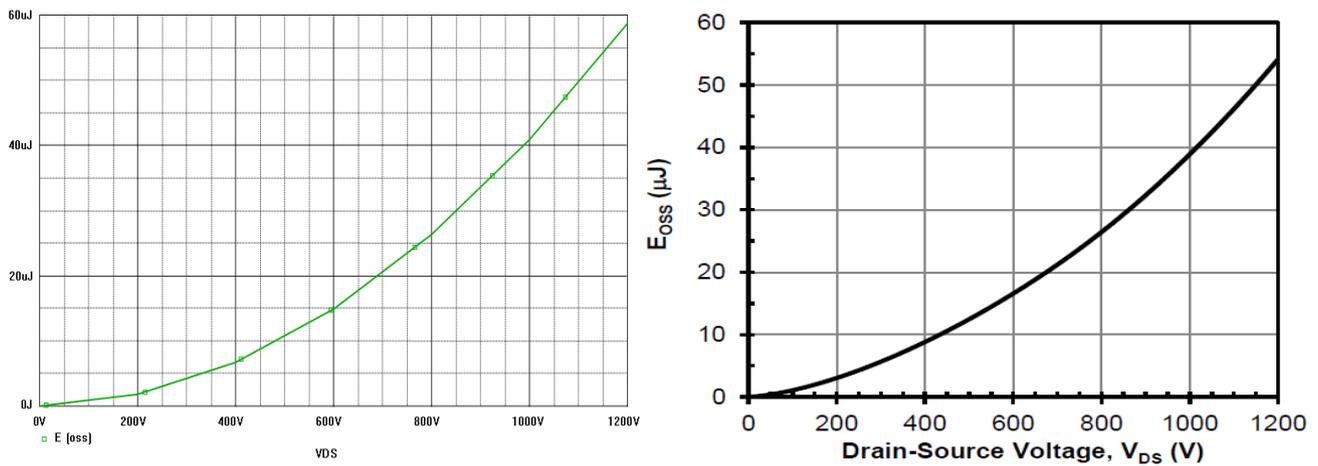


Figure III.41. Comparaison entre les résultats de simulation et de mesure de la puissance dissipée transistor JFET-SiC

D’après la Figure III.41 on peut constater que ce modèle permet d’avoir des résultats précis pour la simulation du comportement statique du JFET-SiC dans les régions ohmique et saturée pour les paramètres électriques  $R_{DSON}$ ,  $I_{DS}$  et  $V_{T0}$ .

Le Tableau III.2 représente une comparaison entre la valeur mesurée et la valeur simulée de la résistance à l’état passant et du courant de saturation et de la tension de blocage  $V_{T0}$  du JFET SiC.

### III.6.2. Validation de la caractéristique de transfert en saturation

Pour valider les caractéristiques de transfert en saturation du modèle du JFET-SiC nous avons utilisé le même circuit de test schématisé sur la Figure III.34.

La Figure III.42 compare la simulation et l’expérience pour le courant de saturation en fonction de la tension grille appliquée à la température ambiante du JFET-SiC.

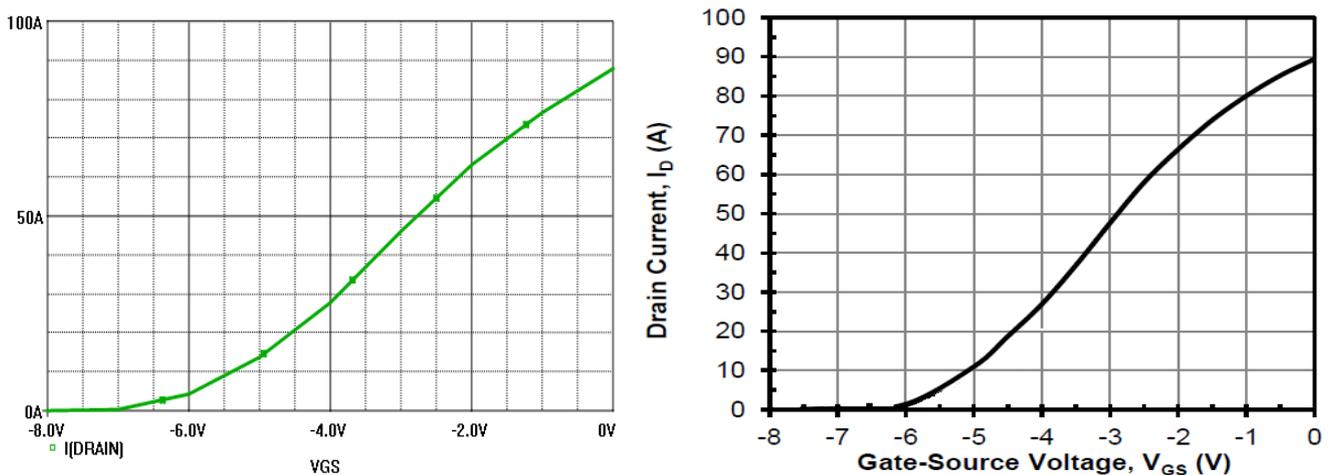


Figure III.42. Comparaison entre le résultat de simulation et a mesure expérimentale du courant de saturation en fonction de la tension grille source appliquée à la température ambiante

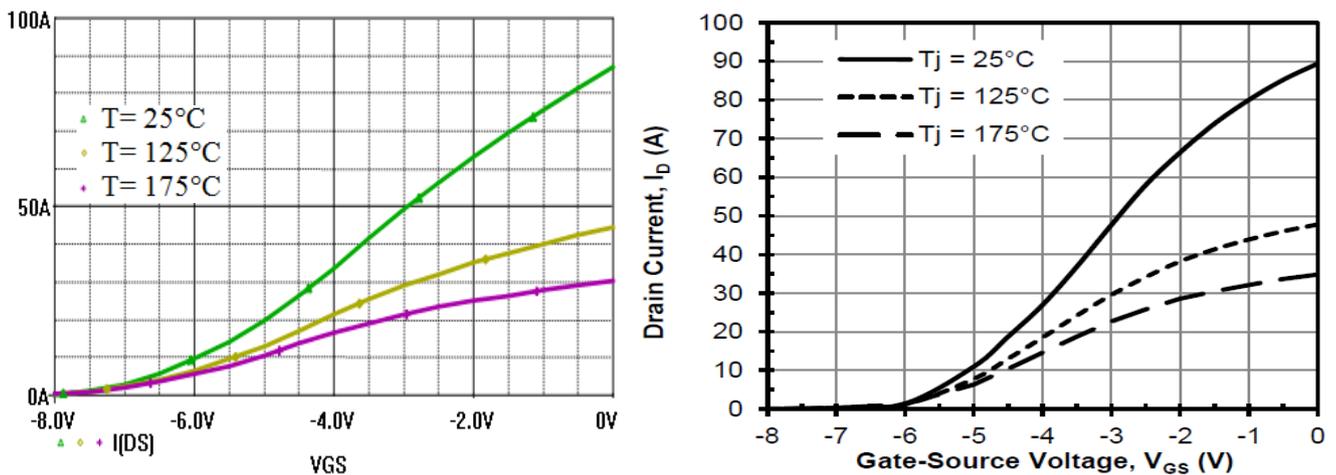


Figure III.43. Comparaison entre le résultat de simulation et a mesure expérimentale du courant de saturation en fonction de la tension grille source appliquée à  $T=25^\circ\text{C}$ ,  $T=125^\circ\text{C}$  et  $T=175^\circ\text{C}$ , de transistor JFET-SiC

La Figure III.43 présente la simulation du courant de saturation en fonction de la tension grille appliquée à la température ambiante du JFET SiC. Cette comparaison montre une bonne concordance entre les résultats de simulation et de mesure du courant de saturation. Une interprétation du petit écart constaté est du à la non-uniformité du dopage dans le canal [116].

### III.6.3. Conclusion

Un modèle du transistor JFET de SiC à canal latéral a été présenté. Le modèle a été développé en PSpice et validé aussi bien en mode de fonctionnement statique que dynamique en utilisant le simulateur Spice. Ce modèle inclut une représentation asymétrique du canal latéral et les capacités de jonction de la structure. La validation du modèle montre que ce modèle permet d'avoir des résultats satisfaisants. La comparaison entre les simulations et les mesures expérimentales conduit à des résultats satisfaisants pour simuler le comportement du JFET en mode de fonctionnement statique en termes de variation de la résistance à l'état passant  $R_{DS}$  et le courant de saturation  $I_{DS}$  à la température ambiante. Le modèle permet également de simuler le comportement du JFET en commutation à la température ambiante.

**Chapitre IV : Modélisation et  
Simulation du Transistor SiC  
MOSFET**

## IV.1. Introduction

Depuis plusieurs années la technologie des semi-conducteurs joue un rôle extrêmement important dans notre vie quotidienne. L'intérêt porté aux semi-conducteurs est dû à leurs utilisations dans certaines industries : microélectronique, optoélectronique et photovoltaïque. Ces matériaux semblent aussi d'une importance capitale pour les industries du futur, l'un de ces semi-conducteurs est le carbure de Silicium (SiC).

Le carbure de silicium (SiC) est un matériau semi-conducteur à large bande interdite. Ce matériau possède des caractéristiques en température et une tenue aux champs électriques bien supérieure à celles du silicium. Ces caractéristiques permettent des améliorations significatives dans une grande variété d'applications. Le travail réalisé dans cette thèse consiste à caractériser électriquement le SiC-MOSFET et en fonction de la température (25°C-250°C). Un modèle physique de ce transistor a été présenté, le modèle a été développé en utilisant ORCAD-PSpice et validé aussi bien en mode de fonctionnement statique et dynamique. La validation du modèle montre une bonne concordance entre les mesures et la simulation.

## IV.2. Caractéristiques I-V des dispositifs MOSFETs SiC

### IV.2.1. Mesures courant-tension

Nous allons reporter brièvement les caractéristiques I-V usuellement obtenues en technologie Silicium, ainsi que les équations associées.

Fixons dès maintenant la nomenclature utilisée:  $I_D$  correspondra au courant de drain,  $V_D$  à la polarisation de drain et  $V_G$  à la polarisation de grille. Le transistor sera par ailleurs défini par sa longueur de canal  $L$ , la largeur de sa grille  $W$ , et l'épaisseur de son oxyde de grille  $e_{ox}$ . Le terme  $C_{ox}$  désignera la capacité de l'oxyde de grille. Quant à la mobilité effective de canal et à la tension de seuil, les notations  $\mu$  et  $V_{TH}$  leur seront respectivement attribuées. La figure IV.1 représente l'allure de la caractéristique  $I_{DS}$ - $V_{DS}$  à  $V_{GS}$  donnée pour un transistor MOS Si classique fonctionnant à l'état conducteur ( $V_{GS} > V_{TH}$  : présence d'un canal d'inversion sous l'isolant). L'équation générale de cette caractéristique est la suivante :

$$I_{DS} = \mu C_{OX} \frac{W}{L} V_{DS} (V_{GS} - V_{TH} - \frac{V_{DS}}{2}) \quad (IV-1)$$

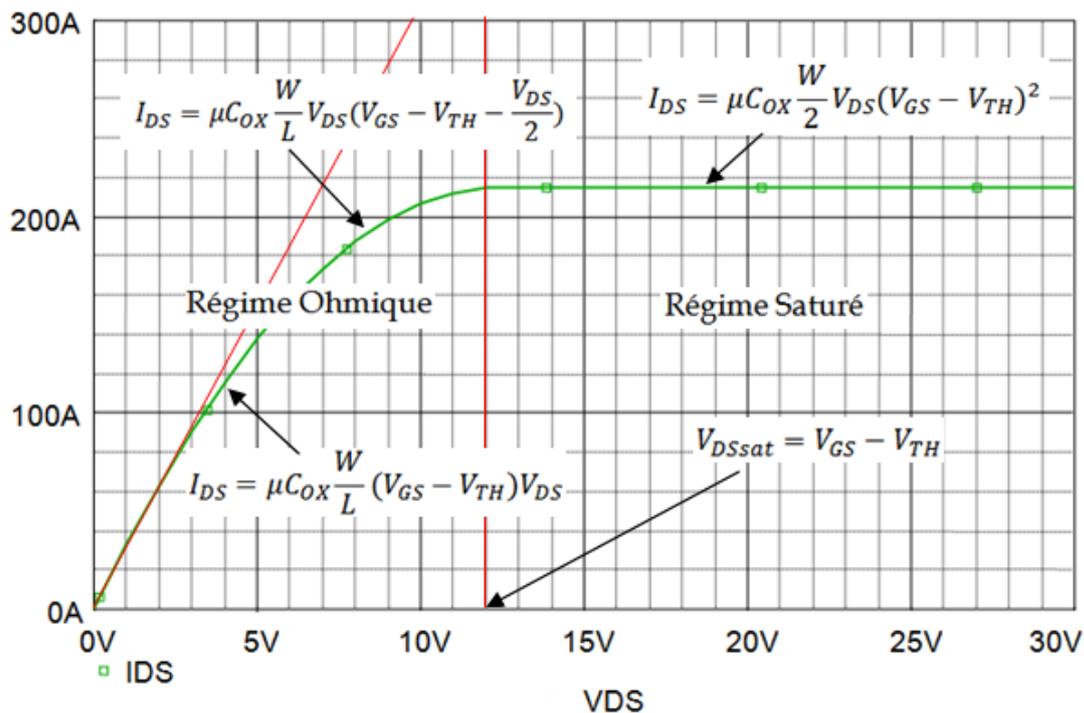


Figure IV.1. Représentation schématique d'une caractéristique  $I_{DS}$ - $V_{DS}$  à  $V_{GS}=10V$  pour un transistor MOS Si classique (IRF150).

Trois régimes sont distingués sur cette caractéristique:

- un régime ohmique si la condition  $V_{GS}-V_{TH} > V_{DS}$  est respectée. Dans ce cas, le terme  $V_D/2$  de la relation (IV.1) est négligeable, et l'équation du courant  $I_D$ - $V_D$  peut être approchée par une droite (figure IV.2).
- un régime intermédiaire dans lequel le terme  $V_D/2$  n'est plus négligeable. Aucune approximation ne peut être faite sur l'équation du courant de la relation (IV.1).
- Au point,  $V_{GS}-V_{TH} = V_{DSAT}$  (seuil de saturation), il y a pincement du canal. Au-delà, c'est-à-dire pour  $V_G - V_{TH} < V_{DS}$ , la région voisine du drain n'est plus en inversion ce qui se traduit par un régime de saturation du courant : la tension aux bornes du canal conducteur reste constante et égale à  $V_{DSAT}$ . Le courant ne croît donc plus avec  $V_D$ , et en première approximation (faible saturation) reste constant et égale à  $I_{DSAT}$  (figure 4.1). Une autre représentation de la caractéristique courant-tension est obtenue en maintenant  $V_D$  constante et en faisant varier la polarisation de grille (figure IV.2). Sur cette caractéristique le courant reste nul tant que  $V_{GS} < V_{TH}$  (état bloqué du transistor). Comme précédemment, pour  $V_{GS} > V_{TH}$  et  $V_{GS}-V_{TH} < V_{DS}$ , le courant se trouve en régime de saturation. A partir de  $V_{GS}-V_{TH} > V_{DS}$ , le courant augmente de façon linéaire avec  $V_{GS}$  selon la relation (V-2).

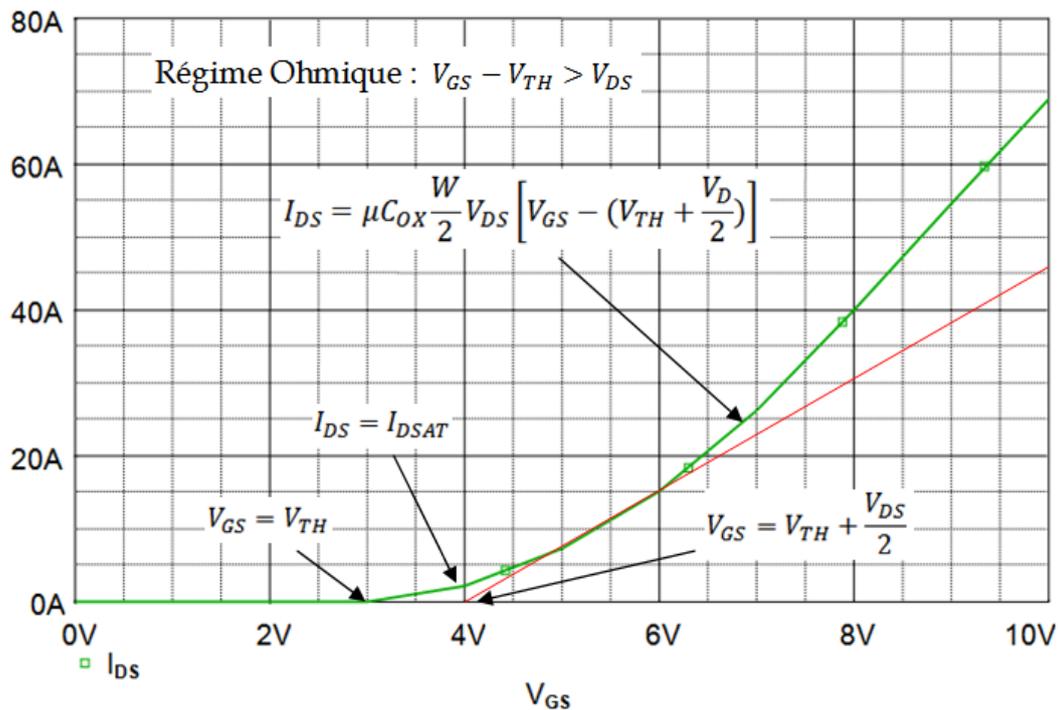


Figure IV.2. Représentation schématique d'une caractéristique  $I_{DS}$ - $V_{GS}$  à  $V_{DS}$  donnée pour un transistor MOS Si classique (IRF150).

#### IV.2.2. Les MOSFET en Carbure de Silicium (SiC)

La grande valeur du champ électrique critique du SiC-4H par rapport au silicium, permet de réaliser des transistors MOSFET de puissance avec une épaisseur de la région de dérive de 10% de la valeur nécessaire pour l'équivalent silicium et avec un dopage 100 fois supérieur par rapport à un MOSFET-Si pour une tenue en tension donnée. Donc la charge stockée dans la capacité de drain par unité de surface d'un MOSFET-SiC est prévue 10 fois supérieure à celle d'un MOSFET-Si pour un  $V_{BR}$  donné. Cette charge peut être calculée par la relation suivante :

$$Q_D = A \varepsilon E_C \quad (IV-2)$$

Où A est la surface du composant,  $\varepsilon$  est la constante diélectrique et  $E_C$  est le champ électrique critique. A partir de cette relation, on observe que la charge stockée  $Q_D$  par unité de surface est directement proportionnelle au champ critique  $E_C$ . Pour le SiC-4H, la valeur de  $E_C$  est approximativement 10 fois supérieure à celle du Si, cela signifie que la charge de drain et les pertes en commutation par unité de surface pour un composant en SiC-4H sont également 10 fois supérieures par rapport à celles du Si.

Cependant, avec une épaisseur de la région de dérive 10 fois inférieure et avec un dopage 100 fois supérieur, et en tenant compte que la mobilité des électrons dans le SiC-4H est approximativement 70% de sa valeur dans le Si, la résistance spécifique à l'état passant pour un

MOSFET SiC-4H est théoriquement 700 fois inférieure à celle d'un MOSFET-Si. Cela signifie que la surface d'un MOSFET en SiC-4H est estimée 700 fois plus petite que celle d'un MOSFET-Si [67] pour des valeurs de la tension et de la résistance à l'état passant ( $R_{ON}$ ) comparables. Par conséquent la charge stockée dans la capacité de drain et les pertes en commutation d'un MOSFET en SiC-4H sont théoriquement 70 fois inférieures à celles d'un MOSFET-Si [69]. En effet, les transistors MOSFET-SiC permettent d'accéder aux applications hautes fréquences.

Dans la filière Si, un MOSFET avec une tenue en tension supérieure à 1kV se révèle peu performant à cause de la forte résistance à l'état passant. Avec le SiC, il est théoriquement possible de réaliser des transistors MOSFET avec une tenue en tension de 10kV pour une résistance à l'état passant plus faible [84]. Les transistors MOSFET-SiC de puissance rencontrent le problème lié à la qualité de l'interface oxyde de champ/semi-conducteur. Ce problème conduit à une mobilité des électrons très faible dans le canal d'inversion. Cet obstacle technologique n'a pas permis de démontrer tout le potentiel des convertisseurs utilisant des interrupteurs de type SiC. De nombreuses études ont été réalisées pour améliorer la mobilité des électrons et ont conduit à une amélioration importante de cette mobilité.

En terme de tenue en tension, Ryu [58] a réalisé un transistor DMOSFET en SiC-4H avec une tenue en tension de 10kV [58]. Ce composant a été réalisé avec une couche de dérivation de  $85\mu\text{m}$  et avec un dopage de  $8 \cdot 10^{14} \text{ cm}^{-3}$ . La mobilité effective mesurée du canal est de  $22 \text{ cm}^2/\text{Vs}$ . La résistance spécifique mesurée est de  $123 \text{ m} \cdot \text{cm}^2$  pour une polarisation de la grille de 18V. Le courant de fuite mesuré est de  $197\mu\text{A}$  sous une tension de 10kV appliquée sur le drain et pour une polarisation de grille de -8V. La surface active du composant est de  $4.24 \cdot 10^{-3} \text{ cm}^2$ . La figure IV.1 montre la structure du DMOSFET 10kV réalisé par Ryu [58].

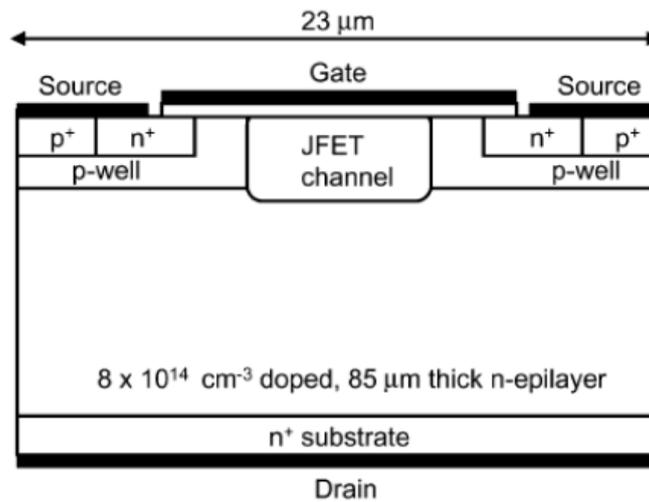


Figure IV.3. Structure du DMOSFET 10 kV réalisés par Ryu [78]

Pour améliorer les performances du composant dans les applications de puissance Ryu a développé un nouveau démonstrateur avec une surface active plus importante [58]. La surface active du nouveau DMOSFET est de  $0.15\text{cm}^2$ . La tenue en tension est de  $10\text{kV}$ . Ce composant a été réalisé avec une couche de dérive de  $100\mu\text{m}$  et avec un dopage de  $6 \cdot 10^{14} \text{cm}^{-3}$ . La résistance spécifique mesurée est de  $111 \text{ m} \cdot \text{cm}^2$  pour une polarisation de grille de  $15\text{V}$  et pour un  $V_{\text{DS}}$  de  $0.15\text{V}$ . Le courant de fuite mesuré à  $10\text{kV}$  est de  $3.3\mu\text{A}$  pour un  $V_{\text{GS}} = 0\text{V}$ . Le calibre en courant atteint est de  $5\text{A}$  pour une tension de drain de  $3.76\text{V}$ .

Pour évaluer les performances du transistor MOSFET-SiC par rapport à celles du MOSFET-Si, Ong [124] a réalisé une comparaison entre les comportements des deux transistors [125]. La comparaison a été réalisée en régime de conduction ainsi qu'en régime de commutation. Le transistor MOSFET-SiC utilisé dans cette étude est un transistor ( $10\text{A}-1200\text{V}$ ) de Cree, ce transistor a été comparé avec un transistor MOSFET-Si IXYS ( $10\text{A} - 1000\text{V}$ ). Les résultats de caractérisation obtenus ont montré la supériorité du MOSFET-SiC pour les deux modes. En effet, l'utilisation du MOSFET-SiC a permis une réduction des pertes en conduction de  $87.7\%$ . En commutation les pertes enregistrées dans le cas du MOSFET-SiC sont de  $50\%$  à la fermeture et de  $66\%$  à l'ouverture du transistor en comparaison avec le MOSFET-Si. Le tableau IV.2 montre un résumé des caractéristiques électriques enregistrées pour les deux MOSFET.

Tableau IV.2. Comparaison des paramètres électriques du MOSFET-SiC (10A – 1200V) avec celles du MOSFET-Si (10A – 1000V) [123].

Paramètres	MOSFET-Si	MOSFET-SiC
$V_{DS}$ (V) (tension à l'état passant)	4	0.48
$P_{Conduction}$ (W)	17.6	2.16
$I_{DS}$ (A)	4.4	4.49
$R_{ON}$ (Ohm) (résistance à l'état passant)	0.91	0.11
tr (ns) (temps de montée)	33	22
tf (ns) (temps de descente)	32	16

A partir de ces résultats on peut noter que les MOSFET-SiC présentent des avantages significatifs par rapport aux MOSFET-Si. D'abord la réduction des pertes en conduction conduit à une large amélioration du rendement dans des applications de l'électronique de puissance, puis la réduction de temps de commutation permet d'augmenter la fréquence de fonctionnement et par conséquent la réduction de taille des systèmes.

### IV.3. Modélisation du Transistor SiC MOSFET

Le modèle proposé du MOSFET est inspiré des études de modélisation effectuées par A.Hefner [15]. Notre objectif consiste à établir un modèle assez précis pour la simulation CEM, capable d'être paramétré directement à partir de la fiche fabricant sans aucun recours à la mesure.

#### IV.3.1. Caractéristiques statiques

Le schéma équivalent de la figure IV.1 représente les éléments qui décrivent le transistor de puissance et qui traduisent le régime de fonctionnement statique et dynamique.

Le fonctionnement du transistor SiC MOSFET en régime statique est représenté par le générateur de courant  $I_{DS}$ . L'expression du courant est donnée comme suit :

$$I_{DS} = 0 \quad \text{si} \quad V_{GS} < V_{th} \quad (IV-3)$$

$$I_{DS} = K_{plin} \frac{(V_{gs} - V_{th})V_{DS} - \frac{K_{plin} V_{DS}^2}{2K_{psat}}}{1 + \theta(V_{gs} - V_{th})} \quad \text{si} \quad V_{DS} \leq (V_{GS} - V_{th}) \frac{K_{plin}}{K_{psat}} \quad (IV-4)$$

$$I_{DS} = K_{psat} \frac{(V_{GS} - V_{th})^2 (1 + \lambda(V_{DS} - (V_{ds} - V_{gs})) \left(\frac{K_{psat}}{K_{plin}}\right))}{2(1 + \theta(V_{gs} - V_{th}))} \quad \text{si } V_{DS} > (V_{gs} - V_{th}) \frac{K_{psat}}{K_{plin}} \quad (\text{IV-5})$$

Dans un système de commutation, le canal du MOSFET est le chemin principal du courant. Le comportement statique du MOSFET ne sera efficace pour l'étude d'une cellule de commutation que si les paramètres qui lui sont associés sont ajustés pour reproduire fidèlement les caractéristiques du composant. La procédure d'identification des paramètres proposée est basée sur une interprétation graphique des données fournies par le fabricant.  $K_{psat}$  et  $K_{plin}$  sont respectivement la transconductance en régime de saturation et en régime linéaire. L'hypothèse de départ consiste à supposer que ces deux paramètres sont égaux pour la température de 25°C et qu'ils varient en fonction de la température. Les conditions relatives à cette hypothèse sont les suivantes :

$$K_p = K_{psat}(T_j = 25^\circ\text{C}) = K_{plin}(T = 25^\circ\text{C}) \quad (\text{IV-6})$$

Et :

$$K_{psat}(T \neq 25^\circ\text{C}) \neq K_{plin}(T \neq 25^\circ\text{C}) \quad (\text{IV-7})$$

Dans les analyses qui vont suivre, les paramètres statiques qui auront une dépendance de l'état thermique du dispositif sont  $K_{psat}$ ,  $K_{plin}$  et la tension de seuil  $V_{TH}$ .

### IV.3.2. Evolution des Caractéristiques $I_D$ - $V_D$ sur les MOSFETs SiC

Les mesures de courant de drain ont été effectuées à l'aide d'un HP 4156A [120]. La tension source est mise à la masse ( $V_S = 0$  V). Pour avoir accès au réseau de caractéristiques  $I_D$ - $V_D$  à différents valeurs de  $V_{GS}$ , nous avons fait varier  $V_{DS}$  de 0 à 5V par pas de 0.5V et  $V_{GS}$  de 10 à 20V par pas de 2.5V. Les mesures se sont faites à température ambiante sur les transistors de dimensions  $W/L = 60/20$ .

La figure IV.2 montre certaine des caractéristiques  $I_D$ - $V_D$  issues des mesures électriques. Il convient de remarquer en premier lieu et de manière qualitative que l'allure générale de ces courbes est conforme à des caractéristiques des transistors. Effectivement, comme le prédit la relation (IV-6), nous notons une augmentation progressive du courant avec la polarisation  $V_{DS}$ . La saturation du courant intervient également à partir d'une certaine valeur de  $V_{DS} = V_{DSAT}$ , valeur qui dépend elle-même de la polarisation de la grille. Toujours conformément à l'équation (IV.6), le courant de canal augmente lorsque la tension appliquée sur la grille augmente.

### IV.3.3. Extraction de $\theta$ et $V_{TH}$

L'application de la tension de commande est à l'origine de création d'un champ électrique transversal dans le canal du MOSFET. Le paramètre de correction empirique  $\theta$  permet de tenir compte de l'effet de ce champ sur la mobilité des électrons. La valeur de  $\theta$  peut être approximée à partir de l'expression Eq. IV.5. Pour une température ambiante et en se situant dans la zone linéaire des caractéristiques statiques, deux valeurs du courant  $I_{DS}$  suivant de tensions  $V_{GS}$  peuvent être extraites comme le montre la figure IV.4. Le choix de tensions  $V_{GS}$  plus élevées par rapport à  $V_{DS}$  a permis de satisfaire la condition de fonctionnement dans la zone linéaire du MOSFET.

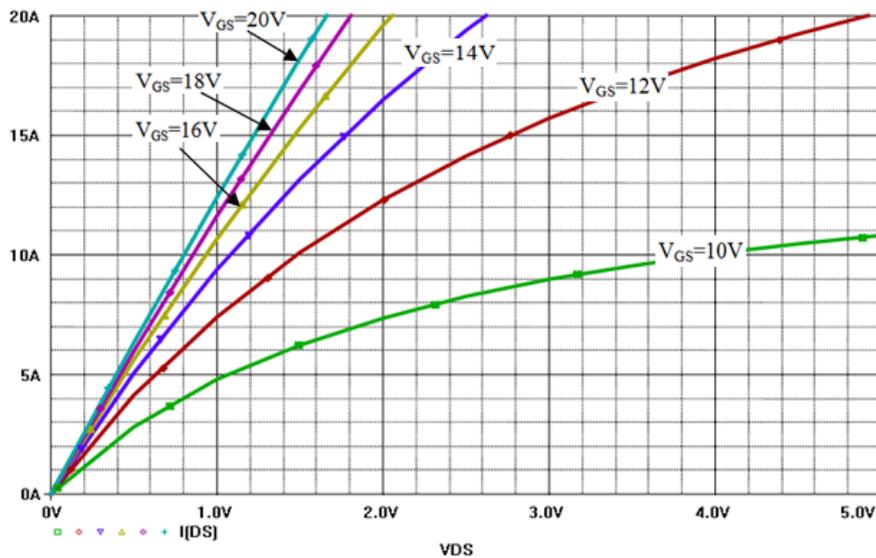


Figure IV.4. Caractéristiques statiques du SiC MOSFET à T= 25°C

À partir de l'équation IV.2, IV.3 et en fonction des deux valeurs extraites, le paramètre  $\theta$  peut être exprimé comme suit :

$$\theta = \frac{I_{DS1} \left( (V_{GS1} - V_{th}) - \frac{V_{ds}}{2} \right) - I_{DS2} \left( (V_{GS2} - V_{th}) - \frac{V_{ds}}{2} \right)}{I_{DS1} (V_{GS1} - V_{th}) \left( (V_{GS2} - V_{th}) - \frac{V_{ds}}{2} \right) - I_{DS2} (V_{GS2} - V_{th}) - \frac{V_{ds}}{2}} \quad (IV-8)$$

La valeur de la tension de seuil  $V_{TH}$  est extraite à partir des caractéristiques typiques de transfert du MOSFET (figure IV.4). Elle est approximée à 4V pour une température de 25°C et à 2,4V pour une température de 135°C.

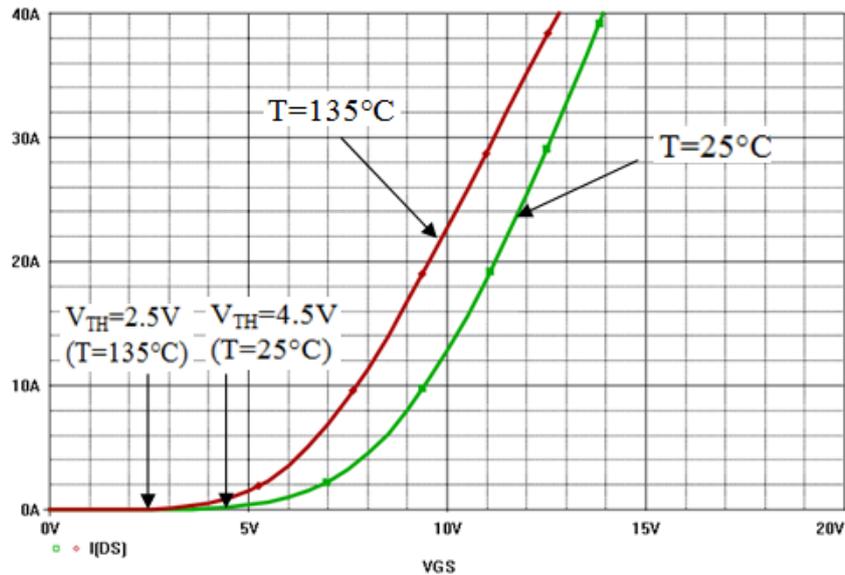


Figure IV.3. Caractéristiques de transfert typiques du SiC MOSFET ( $V_{DS} = 20\text{ V}$ )

À partir des valeurs extraites, on détermine la valeur de  $\theta \cong 0,03\text{ V}^{-1}$ .

#### IV.3.4. Extraction de $K_p$

À la température ambiante, on a  $K_p = K_{psat} = K_{plin}$ . En utilisant les paramètres identifiés précédemment, la valeur de  $K_p$  peut être extraite à partir de l'équation IV.7. Les points extraits de la figure IV.2 permettent d'extraire la valeur de  $K_p = 1,2\text{ A/V}^2$ .

#### IV.3.5. Extraction de $\lambda$

Le coefficient empirique  $\lambda$  est initialement introduit dans les modèles Spice. Il est utilisé dans la description statique du MOSFET afin de tenir compte du phénomène de modulation de la longueur du canal [60]. En s'appuyant sur la figure IV.3 et en utilisant l'expression IV-8, une valeur approximative de  $\lambda$  est extraite pour une tension  $V_{GS}$  très élevée. Pour le point ( $V_{GS} = 11\text{ V}$ ,  $I_{DS} = 32,5\text{ A}$ ), on obtient  $\lambda = 0,024\text{ V}^{-1}$ .

#### IV.3.6. Extraction de $K_{psat}$ et $K_{plin}$ (pour $T=135^\circ\text{C}$ )

Les termes de transconductance  $K_{psat}$  et  $K_{plin}$  sont utilisés afin de traduire le lien direct entre  $V_{GS}$  et  $I_{DS}$ . L'utilisation de deux transconductances au lieu d'une, permet une meilleure reconstruction des réponses du modèle suivant sa température instantanée  $T_j$ . Afin de déterminer le paramètre  $K_{plin}$  pour une température de  $135^\circ\text{C}$  (choix de test fait par le fabricant), on a établi l'expression Eq. IV-6 à partir de l'équation précédente.

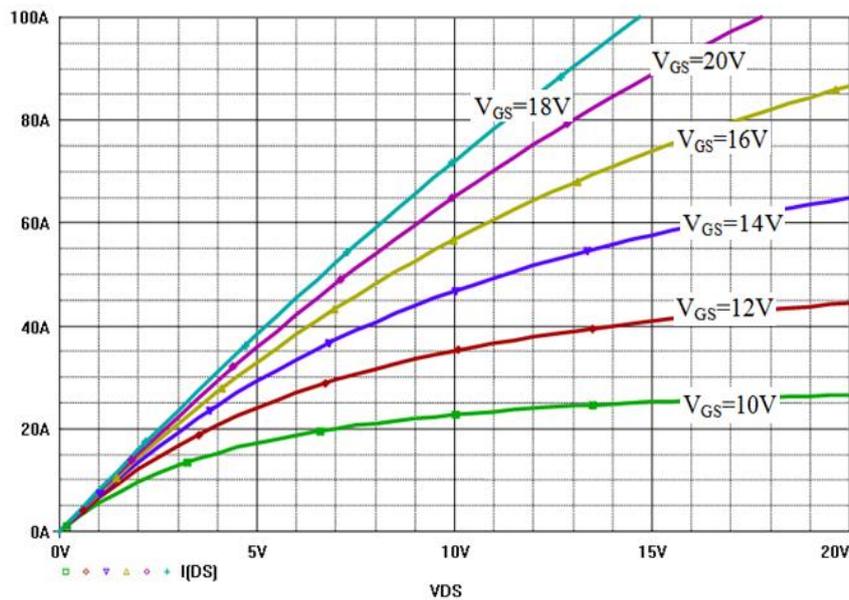


Figure IV.4. Caractéristiques statiques du transistor SiC MOSFET à T=135°C

Les valeurs extraites de la figure IV.4 ont permis l'identification de la valeur de  $K_{plin} = 0,9 \text{ A/V}^2$ . À partir de la même figure, la valeur de  $K_{psat}$  peut être déterminée en remplaçant dans l'expression Eq. IV.3 Les paramètres trouvés par leurs valeurs ( $V_{DS}$  élevée par rapport à  $V_{GS}$ ). Pour le point suivant ( $V_{DS} = 17\text{V}$ ,  $V_{GS} = 10\text{V}$ ,  $I_{DS} = 36\text{A}$ ) on obtient une équation de second degré (IV.9), sa résolution permet de déterminer la valeur de  $K_{psat} = 1,35 \text{ A/V}^2$ .

$$K_{plin}^2 \frac{\lambda(V_{gs} - V_{th})^3}{K_{plin}} - K_{psat} (V_{gs} - V_{th})^2 (1 + \lambda V_{ds}) + 2I_{DS} (1 + \theta(V_{gs} - V_{th})) = 0$$

## IV.4. Modèle électrothermique du MOSFET en Carbure de Silicium

Jusqu'à maintenant nous avons déterminé les paramètres décrivant le modèle statique du MOSFET suivant des procédures d'extraction approximatives, simples et qui ne demandent aucune étape de mesure. Cette extraction est faite suivant des hypothèses qu'on s'est fixées. Plusieurs paramètres gouvernant le fonctionnement du MOSFET dépendent de l'état thermique du semi-conducteur.

### IV.4.1. Les Effets de la température (Auto-échauffement)

Tout composant semi-conducteur est sujet à des problèmes d'auto-échauffement lorsqu'il est soumis à des contraintes électriques. Trois principaux phénomènes sont à l'origine de la création de chaleur. Il y a tout d'abord l'effet Joule des électrons et des trous. Il existe ensuite les phénomènes

de radiation. Enfin, le processus de génération recombinaison des paires électrons/trous libère une quantité de chaleur proportionnelle au gap d'énergie entre les niveaux donneurs et accepteurs. L'augmentation de la température interne du composant entraîne une diminution de la valeur de la mobilité des porteurs et, par la même occasion, la diminution de la tension de seuil  $V_{TH}$  qui est également dépendante de la température (IV.2). Par contre, cette diminution de la tension de seuil est assez négligeable devant la diminution de la mobilité. Par conséquent, à mesure que la température augmente, le courant  $I_{DSAT}$  de sortie décroît (IV.3) (Figure IV.5). Cette évolution se voit aussi bien si l'on regarde les équations simplifiées d'un modèle compact BISIM3 par exemple :

La mobilité des porteurs du Carbure de Silicium dépend de la température. Son équation est la suivante :

$$\mu_{eff} = \mu_{eff0} \left( \frac{T}{300} \right)^{-2.25} \quad (IV-9)$$

$$V_{th}(T) = V_{th}(T_{NOM}) + K * \left( \frac{T}{T_{NOM}} \right)^{-1} \quad (IV-10)$$

$$I_{DS} = \mu \frac{C_{ox}}{2} \frac{W}{L} (V_{gs} - V_{th})^2 \quad (IV-11)$$

W : largeur de la grille, L : longueur de la grille,  $C_{ox}$  : capacité d'oxyde et  $K$ , est un paramètre du modèle ( $K < 0$ )

Les effets de l'échauffement du composant sur la transconductance et la conductance de sortie sont non négligeables et doivent être pris en compte dans une procédure de mesure et de modélisation précise. De plus, cet effet qui se présente à la fois dans les régimes de saturation et de quasi-saturation, est seulement dépendant du niveau de puissance d'entrée.

Un exemple de l'effet de l'auto-échauffement sur la caractéristique de sortie d'un transistor à effet de champ est représenté figure IV.5.

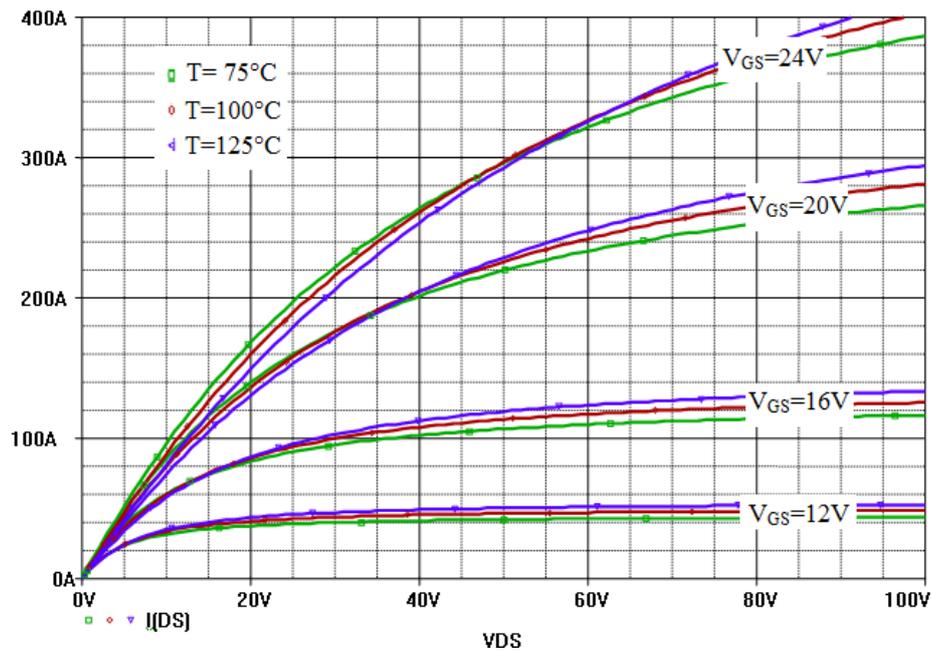


Figure IV.5. Les caractéristiques de sortie d'un SiC MOSFET avec l'auto-échauffement

L'élévation de la température entraîne une modification des caractéristiques électriques. Dans les structures MOS, elle se manifeste sur la caractéristique  $I_{DS}(V_{DS})$  sous forme de résistance négative dans la zone de saturation.

On observe une chute du courant de drain lorsque  $V_{DS}$  augmente entraînant une diminution de la conductance et de la transconductance de sortie. Ceci est lié à une décroissance de la mobilité des électrons lorsque la température augmente alors que la caractéristique en impulsions conserve un état quasi-isotherme durant toute la phase de mesure. Le banc de mesure des transistors en impulsions développé par l'IRCOM [125,126] permet d'apporter une réponse aux problèmes thermiques lors de la caractérisation. Plusieurs auteurs se sont intéressés au fonctionnement des transistors MOSFETs entre  $300^\circ\text{C}$  et  $400^\circ\text{C}$  [127,128]. A de telles températures, des courants de fuite ont été observés entraînant la dégradation à la fois de la conductance de sortie et des caractéristiques de pincement du composant. Ces courants de fuite sont principalement dus au contact de grille et au substrat. En effet, les fuites de grille, qui dépendent de la hauteur de la barrière de Schottky à l'interface métal / semi-conducteur, augmentent avec la température via les mécanismes d'émission et de diffusion thermodynamiques [129], tandis que les fuites de substrat proviennent de l'augmentation de la conductivité du substrat semi-isolant avec la température [130]. La conductivité thermique du Carbure de Silicium est de  $3.7 \text{ W/K.cm}$ . Le SiC étant un matériau à grand gap, il peut supporter jusqu'à  $600^\circ\text{C}$  sans aucune détérioration, ce qui laisse espérer un

fonctionnement à des températures de jonction beaucoup plus élevées que pour le Silicium (200°C) ou l'Arséniure de Gallium (300°C à 400°C).

### IV.4.2 Validation du modèle pour le MOSFET SiC

Pour valider le modèle de la cellule de commutation équipée avec le MOSFET en SiC, la même procédure que pour le JFET SiC a été suivie.

Le modèle du SiC MOSFET a été implémenté dans le Pspice. La validation du modèle a été effectuée en utilisant le simulateur Orcad-Pspice 16.5 (figure IV.6).

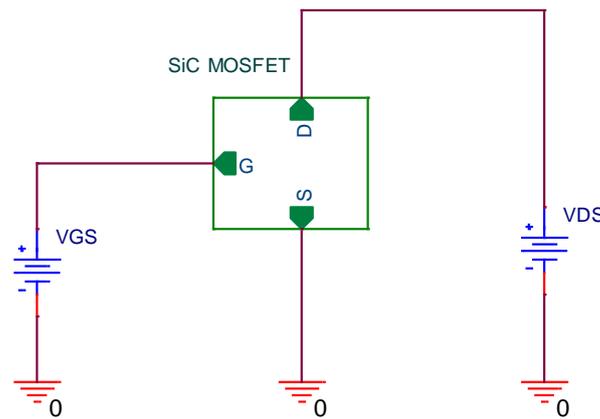


Figure IV.6. Circuit de test utilisé pour simuler les caractéristiques statiques du modèle du JFET-SiC.

La comparaison entre mesures et simulation pour des différentes conditions est montré sur les figures IV.6, IV.7, IV.8, IV.9, IV.10, IV.11 et IV.12. Le modèle présente de bons résultats.

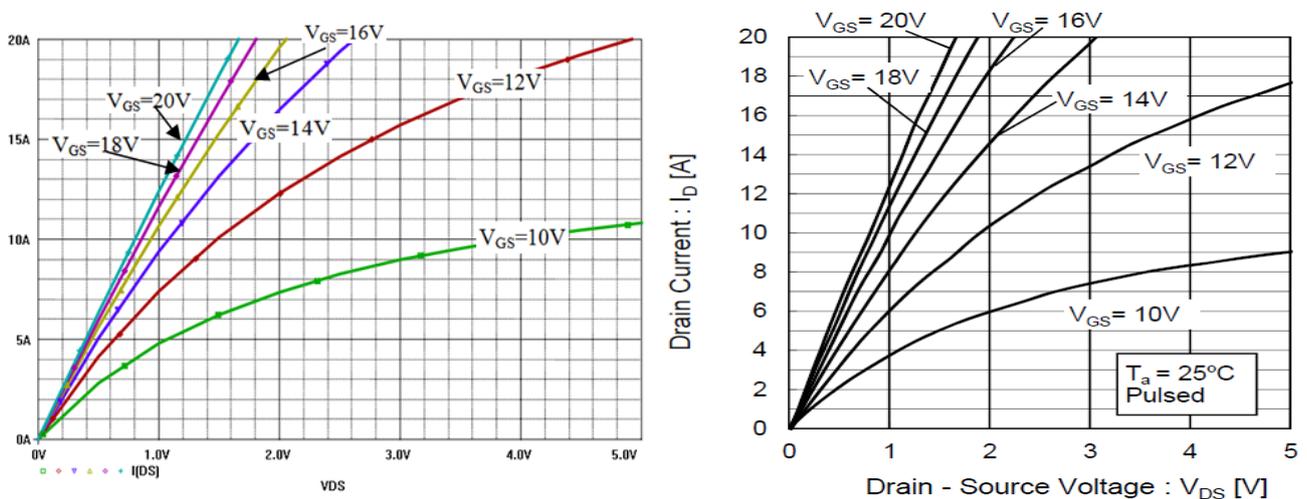


Figure IV.7. Comparaison entre les résultats de simulation et de mesure de la caractéristique électrique statique en mode de fonctionnement direct du transistor SiC MOSFET à  $T = 25^{\circ}\text{C}$  [130].

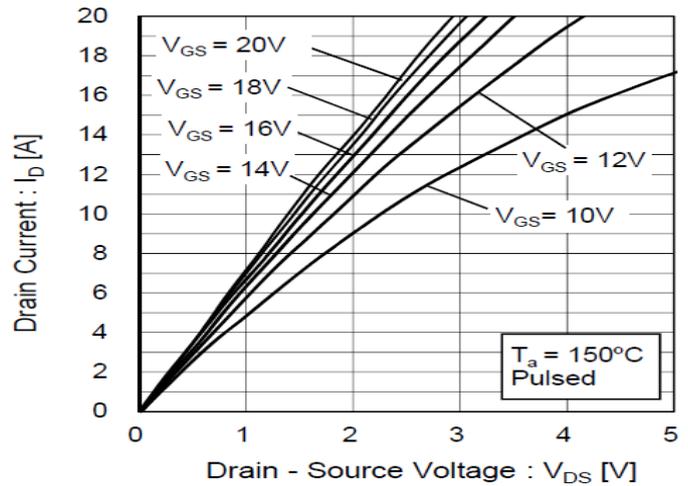
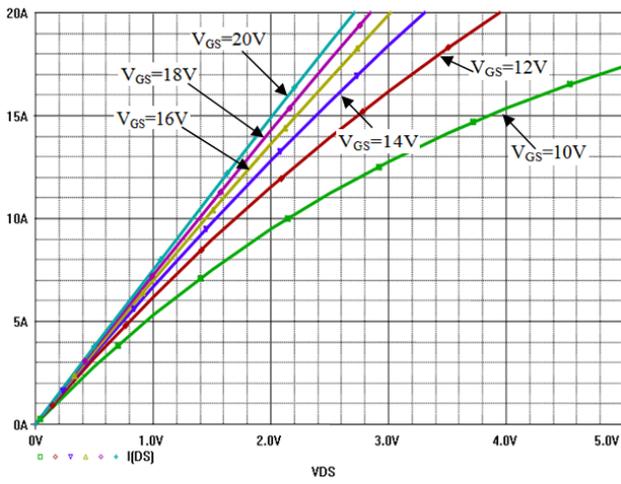


Figure IV.8. Comparaison entre les résultats de simulation et de mesure de la caractéristique électrique statique en mode de fonctionnement direct du transistor SiC MOSFET à  $T = 150^{\circ}\text{C}$  [130].

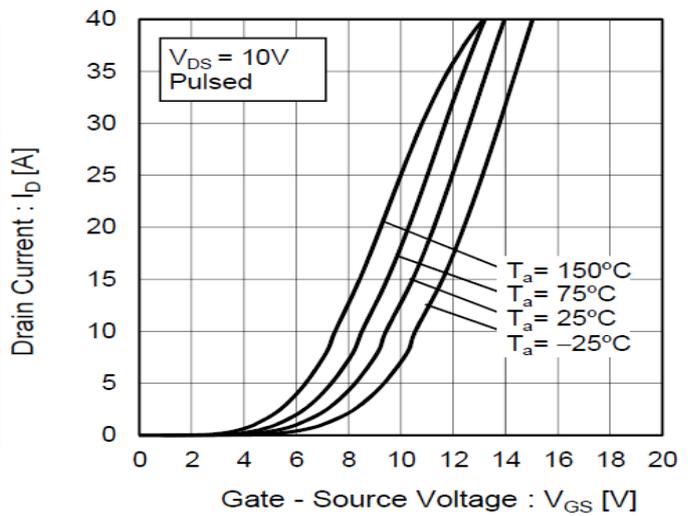
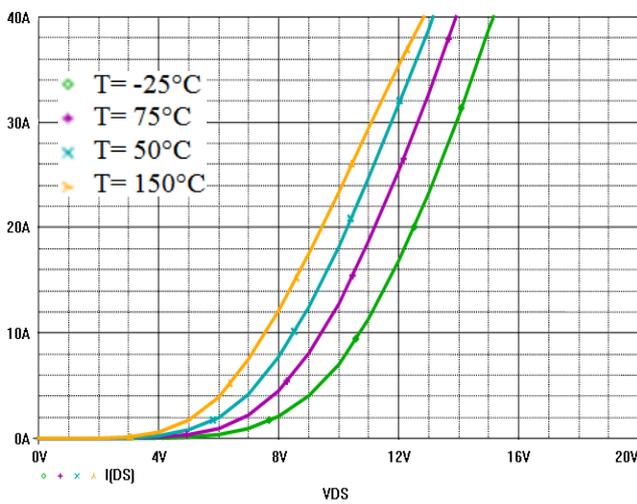


Figure IV.9. Comparaison entre les résultats de simulation et de mesure de la caractéristique électrique de transfert du transistor SiC MOSFET à  $T = -25^{\circ}\text{C}$ ,  $25^{\circ}\text{C}$ ,  $75^{\circ}\text{C}$ , et  $T = 150^{\circ}\text{C}$  [130].

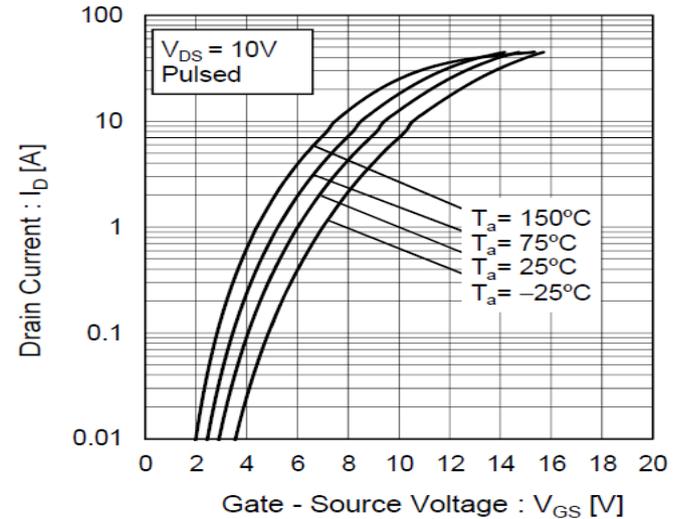
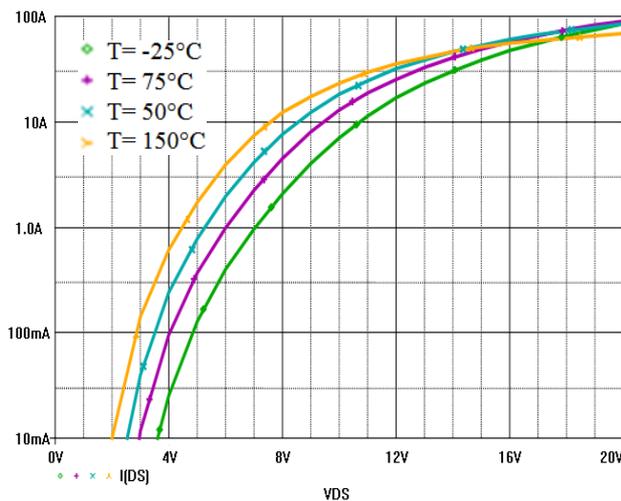


Figure IV.10. Comparaison entre les résultats de simulation et de mesure du courant  $I_D$  en fonction de  $V_{GS}$  à  $T = -25^{\circ}\text{C}$ ,  $25^{\circ}\text{C}$ ,  $75^{\circ}\text{C}$  et  $T = 150^{\circ}\text{C}$  pour  $V_{DS} = 10\text{V}$  [130].

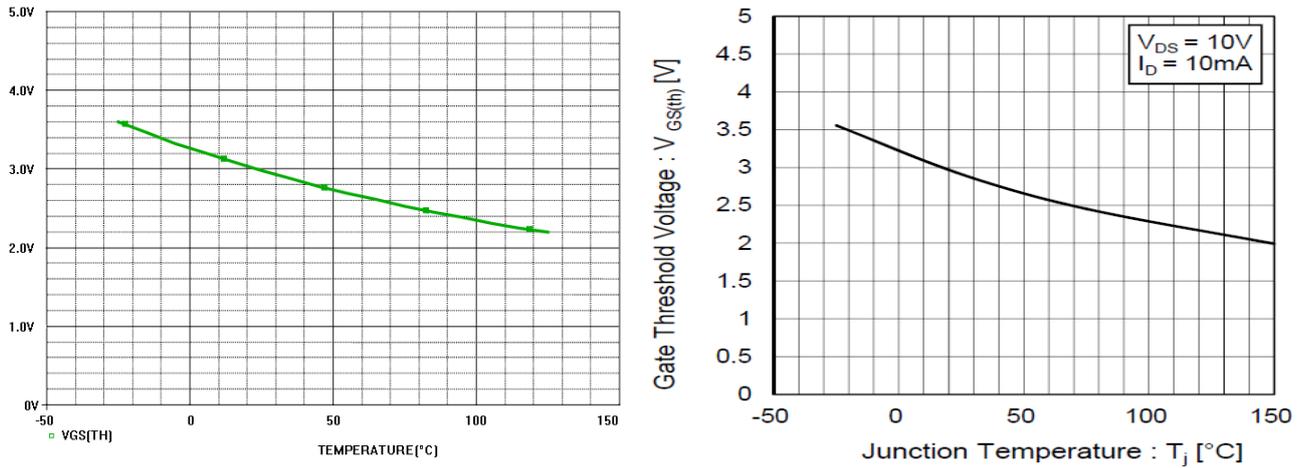


Figure IV.10. Comparaison entre les résultats de simulation et de mesure de la tension de seuil en fonction de température de jonction du transistor SiC MOSFET pour  $V_{DS}=10V$  et  $I_D=10mA$  [130].

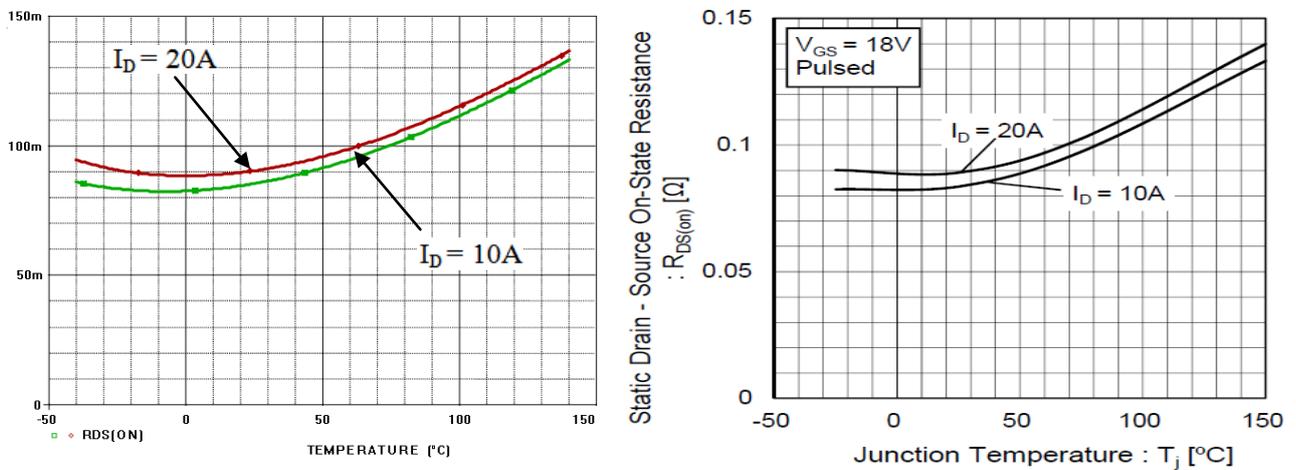


Figure IV.11. Comparaison entre les résultats de simulation et de mesure de la résistance à l'état passant du transistor SiC MOSFET pour  $I_D=10A$  et  $20A$  [130]

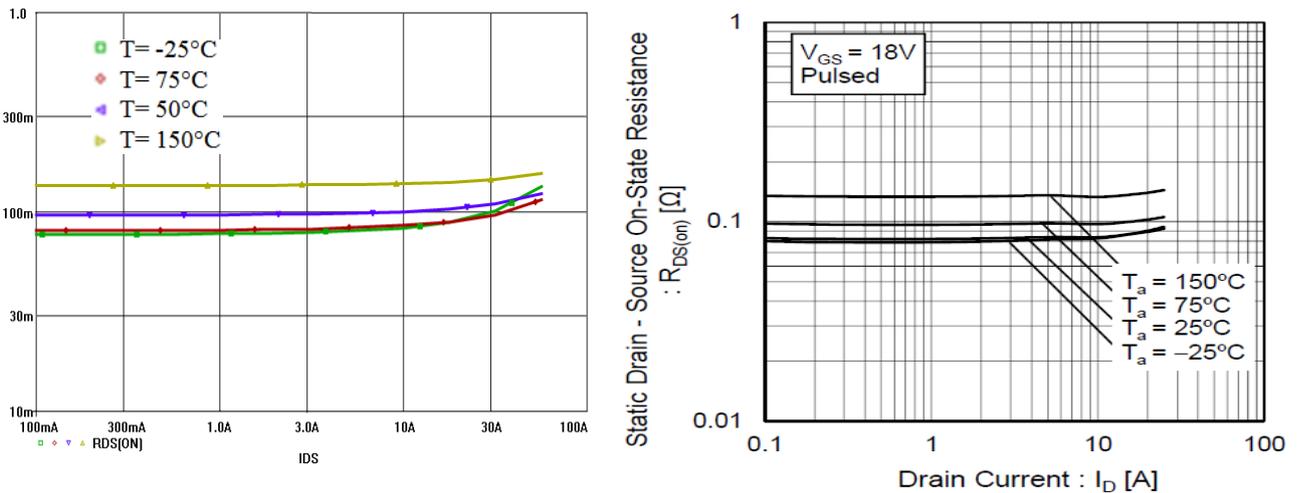


Figure IV.12. Comparaison entre les résultats de simulation et de mesure de l'évolution de la résistance à l'état passant en fonction du courant  $I_D$  du transistor SiC-MOSFET à différentes valeurs de températures et pour  $V_{GS}=18V$  [130].

### **IV.4.3. Conclusion**

Un modèle de transistor MOSFET en carbure de silicium a été présenté et développé. Les simulations effectués tout au long de ce chapitre ont montré l'exactitude du modèle élaboré du fait qu'il permet d'approcher toute les réponses expérimentals du transistor SiC-MOSFET.

# **Chapitre V : Application aux Convertisseurs DC/DC**

## V.1 Introduction

Les convertisseurs DC-DC sont largement utilisés dans l'environnement industriel et domestique. Grâce à leur rendement de plus en plus élevé, leur encombrement, leur poids et leur coût réduits, ils ont occupés une place importante dans les sources d'alimentation des ordinateurs portables, les téléphones mobiles, les appareils électroménagers ...etc. [133]. Un convertisseur de puissance peut être caractérisé comme un système périodique, non-linéaire et variant au cours du temps en raison du changement de la topologie de leur circuit selon les états passants et bloqués des interrupteurs et diodes. Ces circuits sont typiquement contrôlés par la modulation de largeur d'impulsions PWM (Pulse Width Modulation) ou autres techniques semblables pour régler la tension ou le courant fourni aux charges. Le contrôleur décide qu'on passe d'une configuration à une autre en faisant en sorte que les transitions se produisent cycliquement ou en temps discret.

Du point de vue de la commande des convertisseurs DC-DC, le principal objectif consiste à maintenir la tension de sortie à une valeur de référence désirée en utilisant un rapport cyclique compris dans l'intervalle  $[0,1]$  et une valeur du courant de l'inductance strictement positive. La synthèse d'une loi de commande pour les convertisseurs de puissance doit répondre aux objectifs classiques de stabilité, de performance dynamique et de robustesse, tout en respectant les contraintes imposées sur la commande et la sortie. De manière générale, le réglage devient difficile en raison des différents éléments qui perturbent leur fonctionnement. Une fois que les convertisseurs sont embarqués dans différentes applications, leur comportement est fortement influencé par plusieurs facteurs : les variations de la charge et de la tension d'alimentation, la sensibilité aux bruits, les changements dans le temps ou en présence des perturbations des paramètres incertains (des inductances ou des condensateurs par exemple) présents dans la structure des convertisseurs. Dans certaines situations, ces éléments forcent le comportement du système à s'écarter du fonctionnement désiré.

Dans ce chapitre on veut traiter la conception et la modélisation d'un convertisseur DC/DC de type Boost (appelé également hacheur survolteur ou parallèle) en Orcad PSpice. Ce type de convertisseur statique permet de convertir une tension continue en une autre tension continue de plus forte valeur. Dans un premier temps, nous étudierons le fonctionnement de cette structure afin de déterminer les relations entre les différents signaux électriques. Puis, nous expliquerons comment dimensionner les différents éléments qui la composent à partir des spécifications d'un cahier des charges.

### **V.1.1. Présentation du simulateur ORCAD-PSpice**

Pour étudier le comportement électrique des composants et circuits intégrés, on utilise généralement un simulateur électrique. En effet, ce type de simulateur permet d'étudier le comportement électrique d'un composant à travers un schéma électrique équivalent le modélisant. En plus, ce logiciel permet d'éviter toute fausse manipulation, lors de mesures réelles, qui risque d'endommager le composant ou le circuit intégré analogique. Cette "caractérisation", à l'aide de ce genre de simulations permet aussi de tester le comportement électrique du composant (ou circuit intégré) vis-à-vis de variations de la température, de la tension d'alimentation et du processus de fabrication. Ces simulations rendent plus attractive l'utilisation de simulateur analogique pour la conception et la modélisation de dispositifs électroniques. Dans notre cas, nous avons choisi, pour nos simulations électriques du MOSFET, le logiciel SPICE (Simulation Program with Integrated Circuit Emphasis). Ce logiciel est un simulateur temporel analogique de circuits intégrés et de composants, développé au début des années 70 à l'Université de Berkeley [134], utilisant une description nodale pour la résolution du système par les lois fondamentales de Kirchhoff. Cette description peut se faire à l'aide d'une "netlist" créer par un simple éditeur de texte. La syntaxe de la "netlist" est compatible avec de nombreux logiciels de simulation analogique, le plus utilisé étant le logiciel ELDO de la société ANACAD [135].

La simulation Spice peut être considérée comme une "mesure au laboratoire" à condition que les modèles des composants utilisés les décrivent de la façon la plus exacte possible. Plusieurs fondeurs mettent à la disposition des concepteurs les modèles SPICE de leurs composants. L'ensemble de ces modèles de composants est souvent réuni dans une bibliothèque. Il est aussi possible de définir une nouvelle fonction électronique par une macro modèle par assemblage de différents modèles de composants qui constituent son schéma électrique équivalent. C'est exactement la procédure que nous allons suivre pour modéliser les transistors MOS de puissance car leur structure physique est différente de celle des transistors MOS de signal définis dans SPICE par le modèle de MEYER [136]

### **V.1.2. Généralités sur la conception d'un convertisseur**

Le processus de conception d'un convertisseur classique est composé de plusieurs étapes [137]:

- Définition du cahier des charges et des objectifs de la conception
- Proposition d'un circuit, c'est une procédure créative
- Modélisation du circuit, les composants du circuit sont modélisés convenablement

- Analyse du circuit orienté pour la conception, il s'agit de développer des équations qui permettent de choisir les valeurs des composants utilisés dans le circuit afin de répondre aux exigences du cahier des charges
  - Vérification du modèle, les prédictions par modélisation sont comparées aux mesures sur un prototype de laboratoire, le modèle est ensuite affiné si nécessaire
  - Analyse du pire des cas du circuit, vérifier si les spécifications sont remplies dans toutes les conditions
  - Itération, les étapes précédentes sont répétées afin d'améliorer la conception jusqu'à ce que la fiabilité et le rendement soient acceptables

### **V.2. Modélisation des convertisseurs DC /DC**

La modélisation des convertisseurs a pour but d'analyser le comportement dynamique de ceux-ci, afin de synthétiser les lois de commande nécessaires qui permettent d'atteindre les performances désirées. La difficulté majeure vient du principe même de ces convertisseurs: ils sont non linéaires et présentent plusieurs configurations électriques distinctes lors d'une période de commutation. La modélisation du comportement dynamique doit permettre de caractériser le fonctionnement de convertisseur DC-DC dans les deux modes de conduction (continu et discontinu).

#### **V.2.1. Présentation du Convertisseur DC/DC de type Boost**

##### **V.2.1.1 Généralités sur les convertisseurs type Boost**

Lorsque l'on désire augmenter la tension d'une source continue, on peut utiliser le hacheur parallèle de type Boost, appelé aussi hacheur survolteur. Ce dispositif de l'électronique de puissance est un convertisseur continue-continue mettant en œuvre un ou plusieurs interrupteurs commandés et qui permet de modifier la valeur de la tension d'une source de tension continue avec un rendement élevé. Le découpage se fait à une fréquence très élevée ce qui a pour conséquence de créer une tension moyenne.

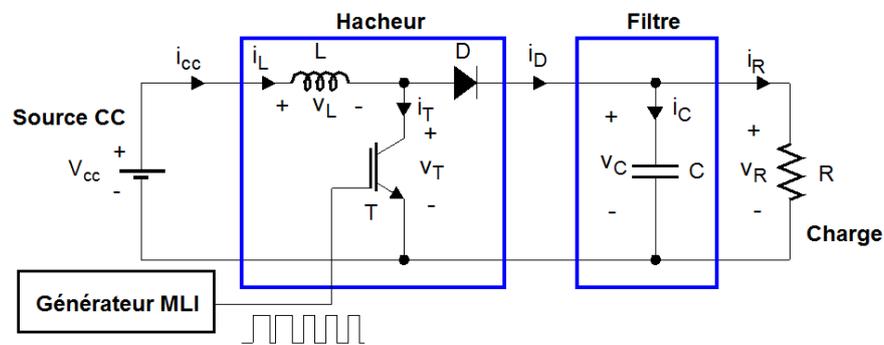
Les hacheurs de puissance sont utilisés pour la variation de vitesse des moteurs à courant continu. De même, les véhicules hybrides ainsi que les systèmes d'éclairage sont deux exemples typiques d'utilisation de ces hacheurs.

V.2.1.2 Synoptique du hacheur survolteur

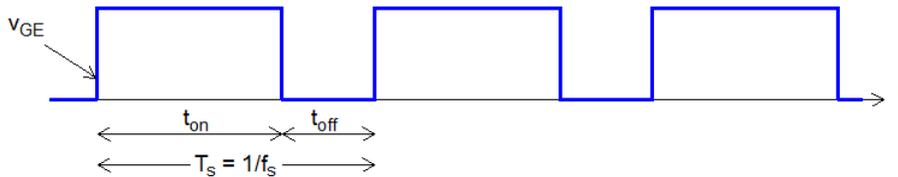
Le schéma de principe d'un hacheur Boost est donné par la figure V.1.a. Cette structure est composée principalement d'une inductance  $L$  et de deux interrupteurs  $T$  et  $D$ . Selon l'état de ces deux interrupteurs, on peut distinguer deux phases de fonctionnement :

- **la phase de conduction** lorsque l'interrupteur  $T$  est fermé et l'interrupteur  $D$  est ouvert. Durant cette séquence, le courant traversant l'inductance  $L$  va augmenter linéairement et une énergie  $WL$  est stockée dans  $L$ . Le condensateur  $C$  fournit de l'énergie à la charge  $R$ .

- **la phase de roue libre** lorsque l'interrupteur  $T$  est ouvert et l'interrupteur  $D$  est fermé. Durant cette séquence, l'énergie emmagasinée dans l'inductance  $L$  est restituée au condensateur et à la charge  $R$ . Lors de cette phase, le fait que l'inductance  $L$  soit en série avec la source de tension d'entrée permet d'obtenir un montage survolteur.



a)



b)

Figure V.1 a) Schéma du convertisseur Boost b) Signal de command

La figure V.1.b Présente l'allure du signal de commande appliqué à l'interrupteur  $T$ . C'est un signal rectangulaire de fréquence  $f$  dont la largeur de la durée à l'état haut (durée de conduction de l'interrupteur  $T$ , notée  $T_{ON}$  est ajustée par le paramètre  $a$ ).

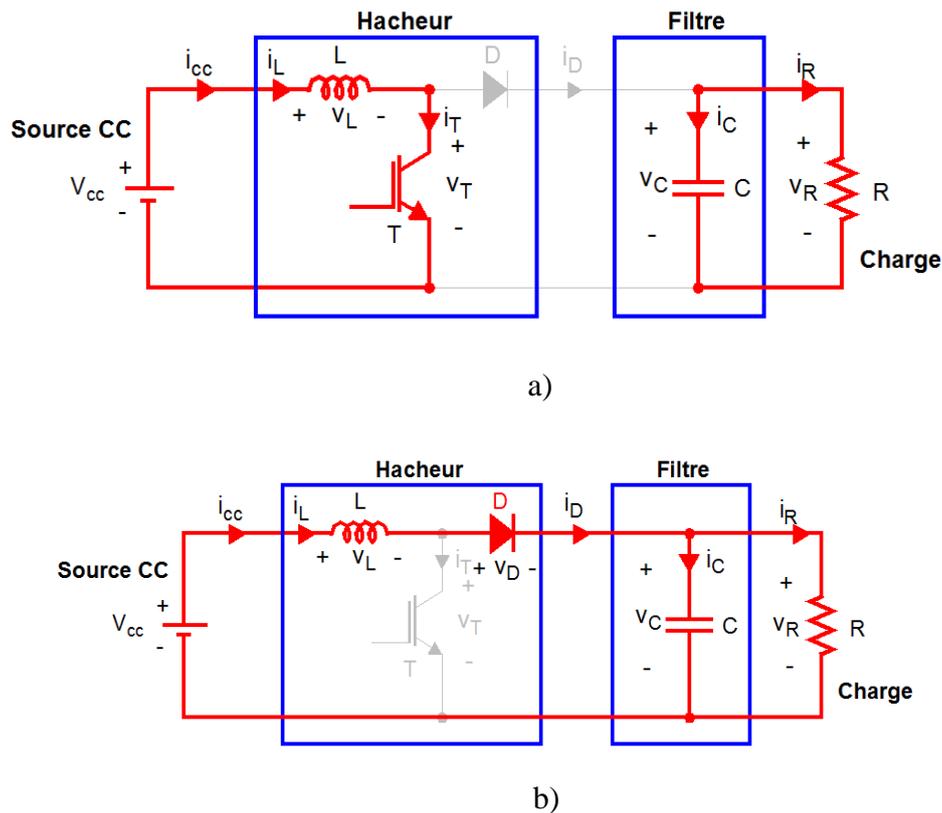


Figure V.2 Circuit équivalent de convertisseur Boost : (a) Interrupteur fermé (b) interrupteur ouvert.

Ce paramètre, appelé rapport cyclique, est défini comme étant le rapport entre la durée de conduction de l'interrupteur  $T$  et la période de découpage  $T_d$  de celui-ci :

$$\alpha = \frac{T_{ON}}{T_D} \quad (V-1)$$

Où :  $T_d = T_{ON} + T_{OFF}$  et  $T_{off}$  correspond à la durée de blocage de l'interrupteur  $T$ .

La durée de conduction  $T_{ON}$  est compris entre 0 et  $T_d$  donc, le rapport cyclique est compris entre 0 et 1. On peut exprimer la durée de conduction et du blocage de l'interrupteur  $T$  en fonction de  $\alpha$  et  $T_d$  :

- Durée de conduction :  $T_{ON} = \alpha T_d$
- Durée de blocage :  $T_{OFF} = (1 - \alpha) T_d$

Dans l'étude qui suit, nous ferons les hypothèses suivantes [139] :

- la tension d'alimentation  $V_E$  est parfaitement continue et constante.

- la valeur du condensateur  $C$  est suffisamment grande afin de pouvoir considérer la tension de sortie  $V_S$  comme continue.

- les composants sont idéaux.

On peut distinguer trois régimes de conduction :

- La conduction continue qui correspond au cas où le courant  $I_L$  traversant l'inductance ne s'annule jamais.
- La conduction discontinue qui correspond au cas où le courant  $I_L$  traversant l'inductance s'annule avant la prochaine phase active
- La conduction critique qui définit la limite entre les deux modes de fonctionnement précédents.

La suite de ce chapitre explique le comportement de la structure en fonction de ces trois régimes de conduction. L'objectif principal est de déterminer les relations reliant les grandeurs électriques d'entrée et de sortie du convertisseur ainsi que les formules permettant de dimensionner les différents composants.

### V.2.2. Étude du fonctionnement

Le circuit est alimentée par une source de tension  $V_E$ , la sortie est chargée par une résistance  $R$  et débite un courant  $I_S$ . L'interrupteur  $K$ , symbolise ici un MOSFET de puissance, est rendu périodiquement conducteur avec un rapport cyclique  $\alpha$  à la fréquence  $F = 1/T$ . On distingue deux modes de fonctionnement de ce circuit selon que le courant circulant dans l'inductance  $L$  est ou non continu (ne s'annule pas au cours de la période). Le mode conduction continue étant le plus intéressant pour ce convertisseur. On constate que la tension de sortie du convertisseur ne dépend que de la tension d'entrée et du rapport cyclique  $\alpha$ . Celui ci étant toujours compris entre 0 et 1, le convertisseur est toujours élévateur de tension. On notera que la tension de sortie est théoriquement indépendante de la charge. Dans la pratique, la boucle de régulation ne devra donc compenser que les variations de la tension d'entrée et les imperfections des composants réels. La stratégie de régulation qui semble la plus évidente est la Modulation de Largeur d'Impulsion (MLI) à fréquence fixe et rapport cyclique  $\alpha$  variable [140].

**V.2.2.1. Conduction continue**

**Séquence 1 : phase active**

À l'instant,  $t = 0$ , on ferme l'interrupteur T pendant une durée  $\alpha T_d$ . La tension aux bornes de la diode D est égale à  $V_D = V_T - V_S$ . Comme l'interrupteur T est fermé, on a  $V_T = 0$ , ce qui implique  $V_D = -V_S$ . La diode est donc bloquée puisque  $V_S > 0$ . Dans ces conditions, on obtient alors le schéma équivalent de la figure V.2.a. La tension aux bornes de l'inductance est alors :

$$v_L = V_E = L \frac{di_L}{dt} > 0 \tag{V-2}$$

En résolvant cette équation différentielle, on obtient la relation suivante qui exprime l'évolution du courant traversant l'inductance :

$$i_L = \frac{V_E}{L} t + I_{LMin} \tag{V-3}$$

**Séquence 2 : phase de roue libre**

À l'instant,  $t = \alpha T_d$ , on ouvre l'interrupteur T pendant une durée  $T_d (1 - \alpha)$ . Pour assurer la continuité du courant, la diode D entre en conduction. On obtient alors le schéma équivalent se la figure V.2.b La tension aux bornes de l'inductance est alors :

$$v_L = V_E - V_S = L \frac{di_L}{dt} < 0 \tag{V-4}$$

En résolvant cette équation différentielle, on obtient la formule suivante qui exprime l'évolution du courant traversant l'inductance

$$i_L = \frac{V_E - V_S}{L} (t - \alpha T) + I_{LMax} \tag{V-5}$$

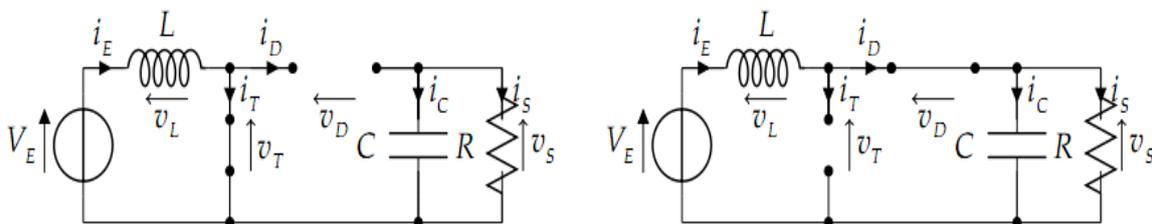


Figure V.3. Schémas équivalents lors des séquences 1 (à gauche) et 2 (à droite)

**Expression de  $V_S$  et  $I_S$**

Par définition :

$$\langle v_L \rangle = \frac{1}{T_d} \int_0^{T_d} v_L dt = \frac{1}{T_D} \left( \int_0^{\alpha T_d} V_E dt + \int_{\alpha T_d}^{T_d} (V_E - V_S) dt \right)$$

Comme la tension moyenne aux bornes d'une inductance est nulle, on peut écrire :

$$\langle v_L \rangle = \alpha V_E + (V_E - V_S)(1 - \alpha) = 0$$

Finalement, on obtient la relation suivante :

$$V_S = \langle v_s \rangle = \frac{V_E}{1 - \alpha} \quad (\text{V-6})$$

Le rapport cyclique  $\alpha$  est compris entre 0 et 1 donc la tension de sortie  $V_S$  est nécessairement supérieure à la tension d'entrée  $V_E$  (montage survolteur). Si on suppose que le courant d'entrée est parfaitement continu, on peut écrire :

$$I_S = \langle i_s(t) \rangle = \frac{1}{T_d} \int_{\alpha T_d}^{T_d} I_E dt \quad (\text{V-7})$$

Ce qui conduit à :

$$I_S = I_E(1 - \alpha) \quad (\text{V-8})$$

**Ondulation de courant  $\Delta I_L$**

L'ondulation absolue du courant  $i_L$  est défini par :

$$\Delta I_L = I_{LMAX} - I_{LMIN}$$

À partir des relations (V-7) et (V-8), à  $t = \alpha T$ , on peut écrire :

$$\frac{V_E}{L} \alpha t + I_{LMIN} = I_{LMAX} \quad (\text{V-9})$$

On en déduit l'expression de  $\Delta I_L$  suivante :

$$\Delta I_L = \frac{\alpha V_E}{L f} \quad (\text{V-10})$$

Cette expression nous montre que l'ondulation en courant diminue lorsque la fréquence de commutation  $f$  ou la valeur de l'inductance  $L$  augmente.

Comme  $V_E = V_S (1 - \alpha)$ , on peut écrire :

$$\Delta I_L = \frac{\alpha(1 - \alpha)V_S}{Lf} \quad (\text{V-11})$$

En résolvant  $d\Delta I_L/d\alpha = 0$ , on trouve que l'ondulation en courant  $\Delta I_L$  est maximale pour  $\alpha = 0,5$ . Le dimensionnement de l'inductance  $L$ , à partir d'une ondulation en courant donnée, s'effectue à l'aide l'équation suivante :

$$L \geq \frac{V_S}{4f\Delta I_L} \quad (\text{V-12})$$

### Ondulation de tension $\Delta V_S$

Pour déterminer l'expression de l'ondulation en tension  $\Delta V_S$ , on fait l'hypothèse que le courant  $I_S$  est parfaitement constant. On a la relation suivante  $i_C = C \cdot dv_S/dt$  or, pour  $0 \leq t \leq \alpha T$  on a  $i_C = -I_S$ . La résolution de cette équation différentielle donne :

$$v_S = -\frac{I_S}{C}t + V_{Smax} \quad (\text{V-13})$$

A  $t = \alpha T_d$ , on a :

$$v_S(\alpha T) = V_{Smin} = -\frac{I_S}{C}\alpha T_d + V_{Smax} \quad (\text{V-14})$$

Par suite, on a :

$$\Delta V_S = V_{Smax} - V_{Smin} = \frac{I_S}{C}\alpha T_d \quad (\text{V-15})$$

Finalement :

$$\Delta V_S = \frac{\alpha V_S}{RCf} \quad (\text{V-16})$$

Cette expression nous montre que l'ondulation en tension diminue lorsque la fréquence de commutation  $f$  ou la valeur du condensateur  $C$  augmente. Le dimensionnement du condensateur  $C$ , à partir d'une ondulation en tension donnée, s'effectue à l'aide l'équation suivante :

$$C \geq \frac{\alpha_{MAX} V_S}{Rf \Delta V_S} \quad (V-17)$$

- **Formes d'ondes des principaux signaux**

Les formes d'ondes des principaux signaux sont données à la figure V.4. A partir de ces formes d'ondes, on peut exprimer les valeurs moyennes et efficaces des courants qui traversent la diode  $D$  et l'interrupteur  $T$ . Nous pouvons également en déduire les contraintes maximales en tension et courant sur les interrupteurs. Ces relations seront utilisées lors du dimensionnement des différents composants de la structure.

- Courant moyen traversant la diode  $D$  :

$$I_D = \langle I_D \rangle = I_S \quad (V-18)$$

- Courant efficace traversant la diode  $D$

$$I_{D\ rms} = \sqrt{\left( \left( \frac{I_S}{1-\alpha} \right)^2 + \frac{\Delta I_L^2}{12} \right) \cdot (1-\alpha)} \quad (V-19)$$

- Courant moyen traversant l'interrupteur  $T$

$$I_T = \langle i_T \rangle = \frac{I_S}{1-\alpha} = I_E \quad (V-20)$$

- Courant efficace traversant l'interrupteur  $T$

$$I_{T\ rms} = \sqrt{\left( \left( \frac{I_S}{1-\alpha} \right)^2 + \frac{\Delta I_L^2}{12} \right) \cdot \alpha} \quad (V-21)$$

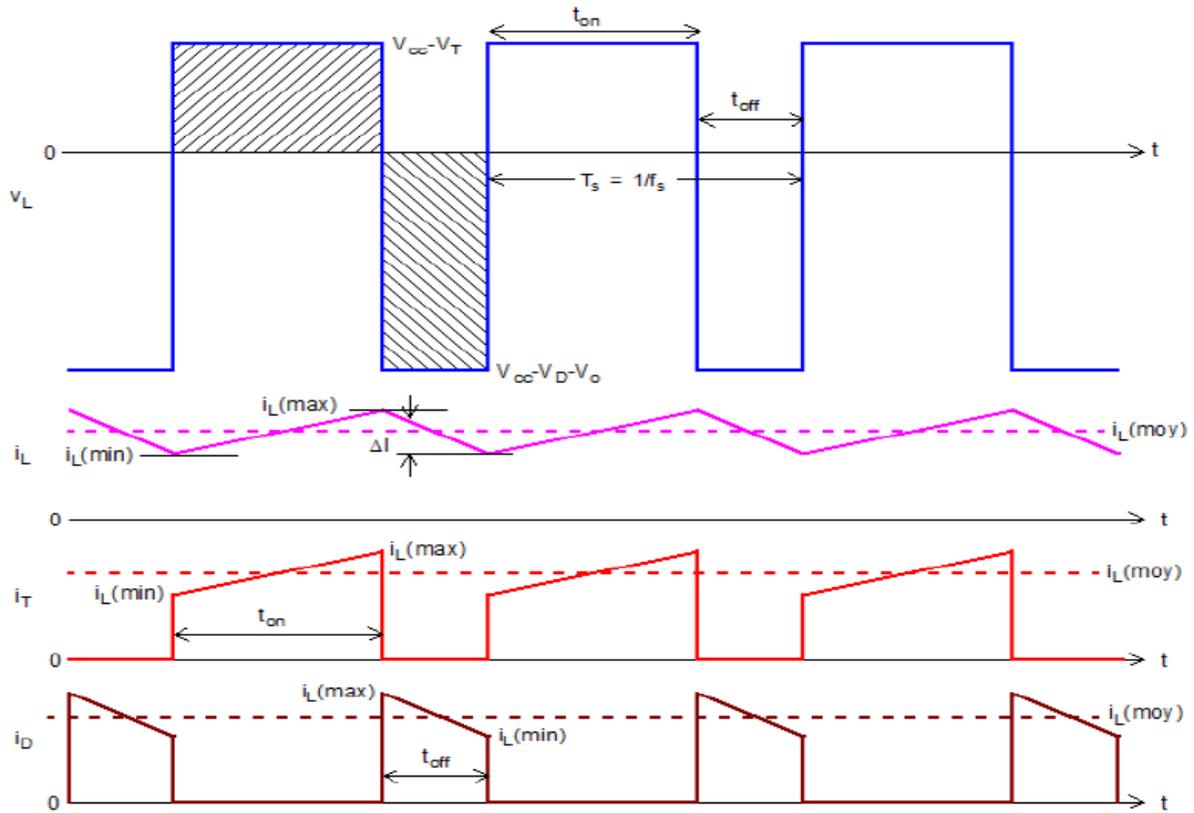


Figure V.4. Formes d'ondes obtenues en conduction continue

### V.2.2.2. Conduction discontinue

En conduction discontinue, on rajoute une phase pendant laquelle la diode D ne conduit pas ( $i_L = 0$ ). A partir de l'allure de  $i_L$  (figure V.4), on peut écrire :

$$\langle i_L \rangle = \frac{1}{2} I_{LMax} \frac{t_f + t_0}{T_d} \quad \text{et} \quad I_{LMax} = \frac{V_E}{L} \cdot t_f$$

La tension moyenne aux bornes de l'inductance étant nulle, on a alors :

$$t_f \cdot V_E = t_0 (V_S - V_E)$$

L'égalité des puissances d'entrée et de sortie de la structure conduit à :

$$I_S = \frac{V_E^2}{2Lf} \frac{\alpha^2}{V_S - V_E} \quad (\text{V-22})$$

Ou bien :

$$V_S = V_E \left[ 1 + \alpha^2 \frac{V_E}{2Lf I_S} \right] \quad (\text{V-23})$$

Dans ce régime de fonctionnement, la tension de sortie est donc dépendante de la charge pour un rapport cyclique fixe. Ceci implique qu'en conduction discontinue, il est nécessaire de mettre en œuvre une boucle de régulation.

### V.2.2.3. Conduction critique

Ce mode définit la limite entre les régimes continu et discontinu.

La relation (mode continu) :

$$V_S = \frac{V_E}{1 - \alpha} \tag{V-24}$$

En mode discontinue :

$$I_S = \frac{V_E^2}{2Lf} \frac{\alpha^2}{V_S - V_E} \tag{V-25}$$

Sont valables simultanément, on peut alors écrire :

$$I_S = \frac{V_E^2}{2Lf} \frac{V_S - V_E}{V_S^2} \tag{V-26}$$

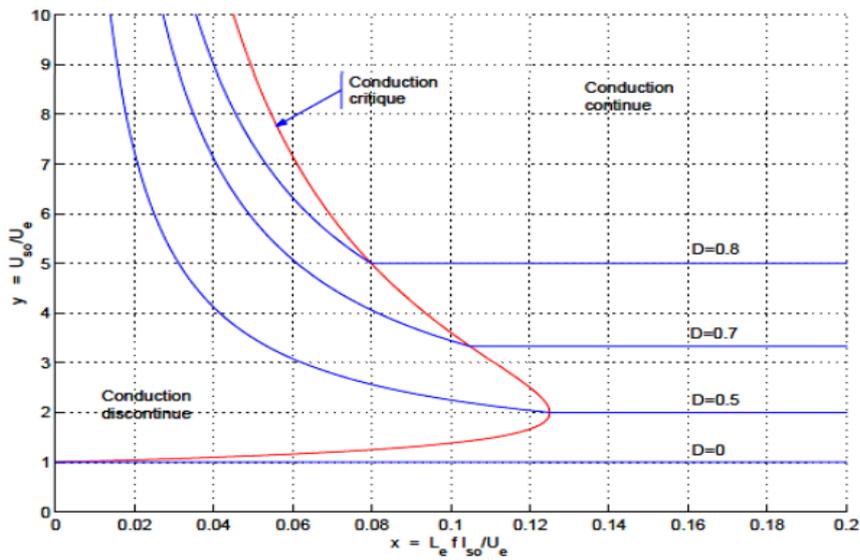


Figure 5.5. Caractéristiques de sortie du convertisseur survolteur

Les caractéristiques  $V_S(I_S)$  paramétrées par  $\alpha$  sont également des hyperboles en conduction discontinue. La limite de conduction discontinue correspond à  $\alpha' = 1 - \alpha$  avec :

$$V_s = \frac{V_e}{1 - \alpha} \quad (V-27)$$

De la même façon que dans le hacheur série, cette condition est associée à l'existence d'un courant de sortie moyen limite tel que :

$$I_{S\lim} = \frac{I_{LM}}{2} \alpha' = \frac{V_e \alpha (1 - \alpha) T}{2L} = \frac{V_e}{2LF} \frac{V_e}{V_s} \left(1 - \frac{V_e}{V_s}\right) \quad (V-28)$$

Les caractéristiques de sortie complètes ainsi obtenues sont représentées sur la figure V.5.

A partir de ce réseau de courbes, on peut effectuer plusieurs remarques :

- En conduction continue, la structure se comporte comme une source de tension réglable par l'intermédiaire du paramètre  $\alpha$ . Les caractéristiques de sortie  $V_S(I_S)$  sont des droites horizontales.
- En conduction discontinue, le comportement de la structure est tout à fait différent. En effet, la tension de sortie devient fortement dépendante du courant de sortie. Dans ce cas, les caractéristiques de sortie  $V_S(I_S)$  sont des hyperboles asymptotes.

Le lieu des points de conduction critique est une courbe qui passe par le point ( $I_S=0; V_S=V_E$ ), a pour asymptote la droite  $I_S=0$  et dont l'extrémum est le point ( $I_S=V_E/8; V_S=2V_E$ ). Il est donc nécessaire de réguler la structure surtout à faible charge (la tension de sortie peut alors devenir extrêmement élevée).

### V.3. Influence des résistances parasites

La tension de sortie définie précédemment tend théoriquement vers l'infinie pour un rapport cyclique unitaire. En réalité, ce gain est limité par les résistances séries des composants (inductance, condensateur). Nous développerons le calcul de cas du notre hacheur.

Nous tiendrons en compte uniquement de la résistance série de l'inductance ( $R_L$ ). Nous pouvons écrire, en valeur moyenne :

$$V_E = R_L I_{L\text{moyen}} + V_{T\text{moyen}} \quad , \quad V_{T\text{moyen}} = (1 - \alpha) V_S \quad \text{et :}$$

$$I_{L\text{moyen}} = \frac{I_S}{(1 - \alpha)} = \frac{V_S}{R(1 - \alpha)} \quad (V-29)$$

$$V_E = \frac{R_L}{R(1-\alpha)}V_S + (1-\alpha)V_S \quad (V-30)$$

$$\frac{V_S}{V_E} = \frac{1}{(1-\alpha) \left[ 1 + \frac{R_L}{R} \frac{1}{(1-\alpha)^2} \right]} \quad (V-31)$$

Cette fonction atteint son maximum pour :

$$\alpha_{max} = 1 - \sqrt{\frac{R_L}{R}} \quad (V-32)$$

Maximum qui vaut :

$$\left[ \frac{V_S}{V_E} \right]_{max} = \frac{1}{2} \sqrt{\frac{R}{R_L}} \quad (V-33)$$

Le gain en tension retombe rapidement à zéro comme l'indique la figure V.6 ce qui montre l'impossibilité d'obtenir des rapports d'évaluation quelconques.

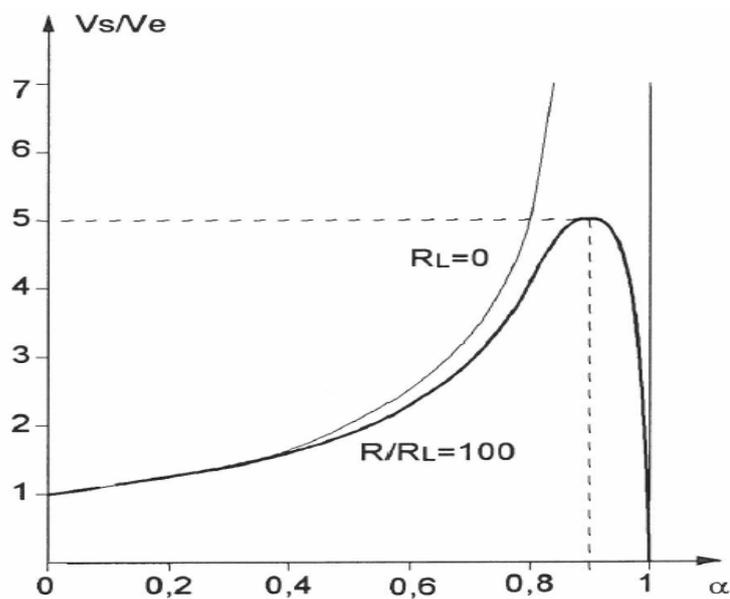


Figure V.6. Caractéristiques de transferts paramétrés par RL

Dans cette partie on a utilisé Orcad-PSpice pour simuler le comportement dynamique d'une cellule de commutation.

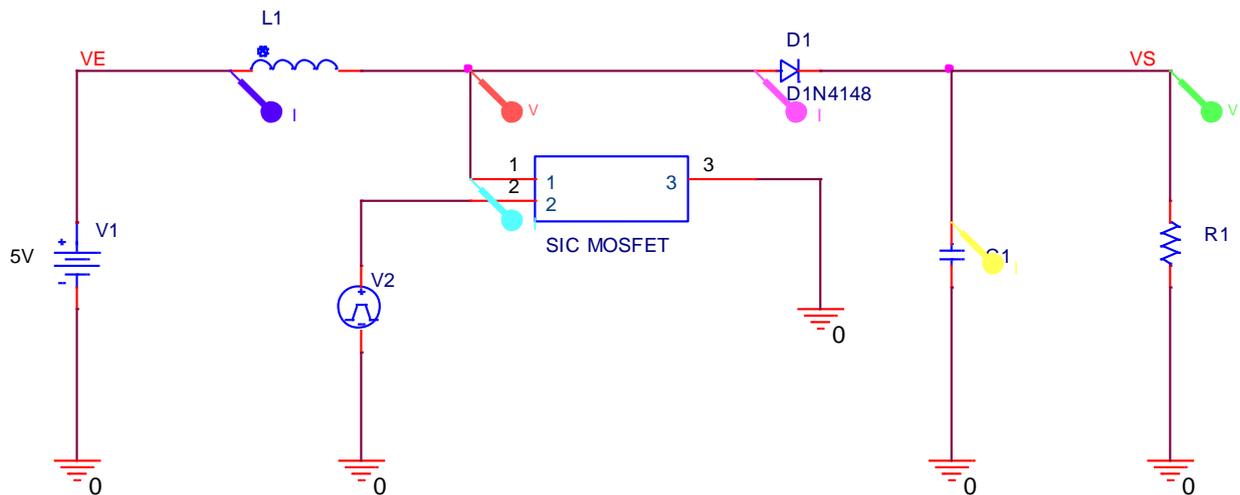


Figure V.7. Schéma du convertisseur Boost en Pspice

Les composants linéaires et non linéaires ainsi que les paramètres utilisés dans le modèle de simulations sont présentés dans le Tableau V-1. Cette configuration nous permet de comparer le modèle de convertisseur Boost construit dans le PSpice.

Table V.1 – Paramètres du système

<u>Paramètre</u>	<u>Valeur</u>	<u>Désignation</u>
$V_E$	5V	Tension d'entrée
$I_L$	1.42 A	Courant dans l'inductance
$I_S$	390 mA	Courant de sortie
L	870 uH	Inductance
$R_L$	67 Ohm	Résistance liée à l'inductance
C	2.2 mF	Condensateur
D	1N4148	Diode
$R_{CHARGE}$	37 Ohm	Résistance de la charge
T	SiC-MOSFET	Interrupteur type Transistor MOSFET
$V_S$	17.5V	Tension de sortie

#### V.4. Résultats de simulation du hacheur Boost par PSpice

Les résultats de simulation du fonctionnement du convertisseur Boost en conduction continue sont montrés dans les figures suivantes. Elles montrent l'évolution des différents paramètres électriques du Boost pendant un temps de 300ms. Cette étude a été réalisée pour des interrupteurs de puissance de type SiC-MOSFET dont les caractéristiques sont rappelées dans le

Tableau V.1. Dans un premier temps, on pourrait se dire que les pertes dans les interrupteurs sont essentiellement dues aux résistances à l'état passant (Résistance entre le drain et la source= $R_{dson}$ ) de ceux-ci.

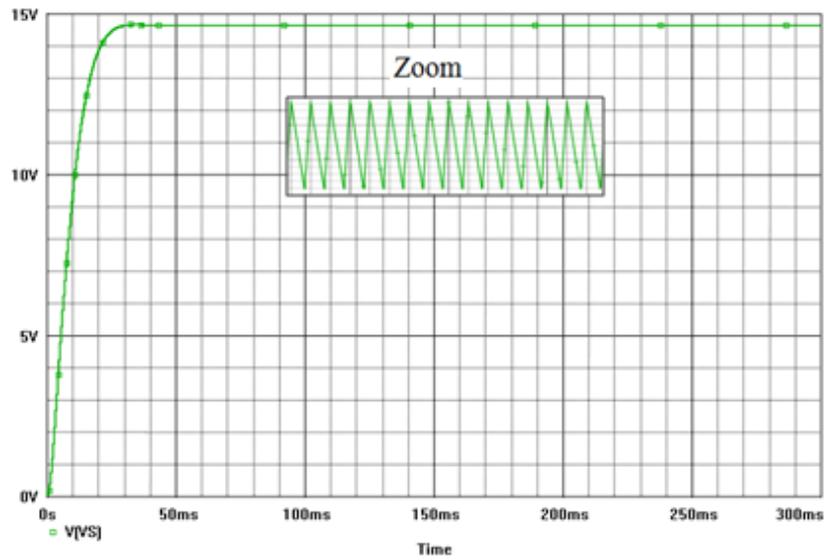


Figure V.8. Tension de sortie du convertisseur Boost

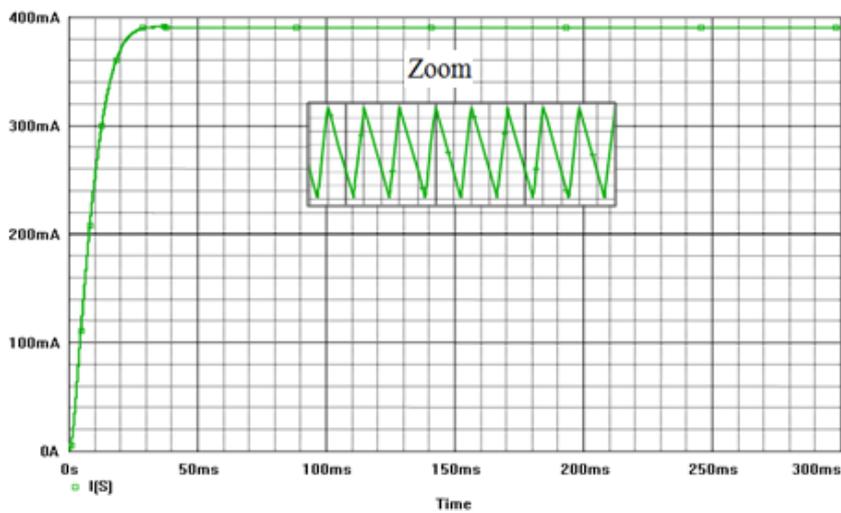


Figure V.9. Courant de sortie du convertisseur Boost

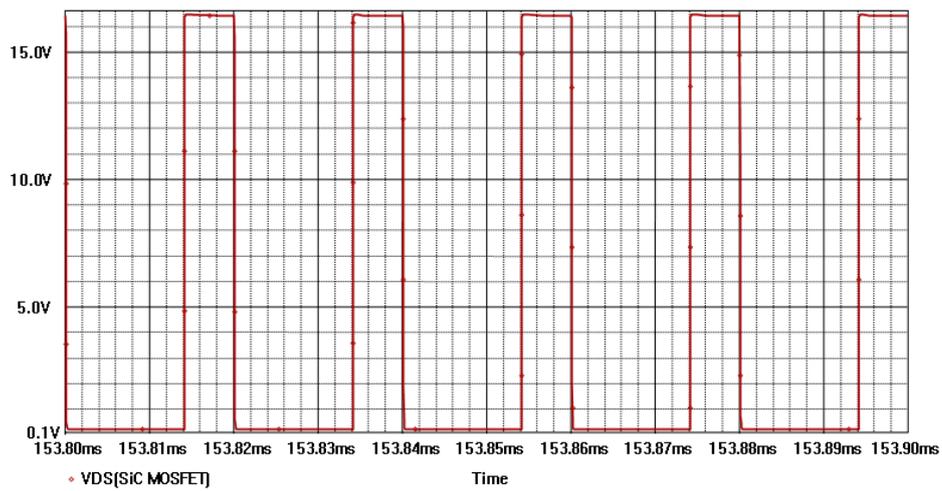


Figure V.10. Tension dans le SiC-MOSFET

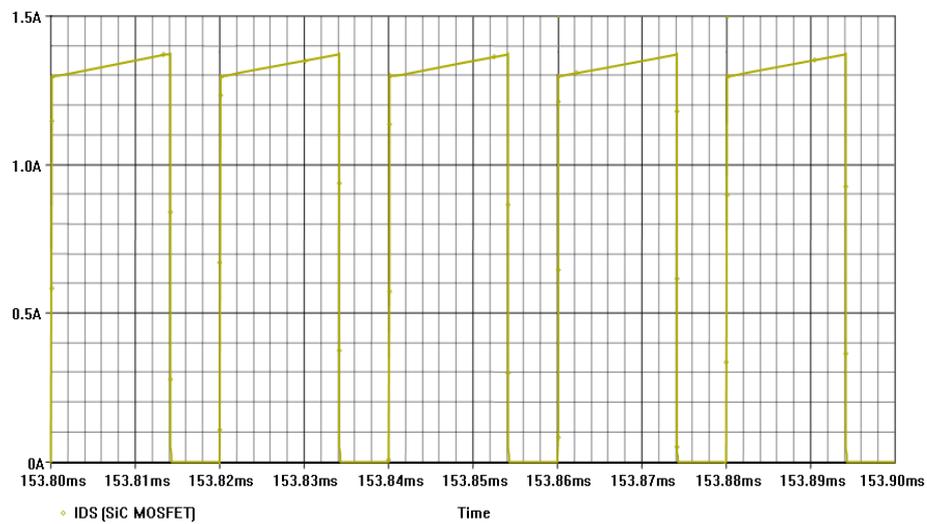


Figure V.11. Courant dans le SiC MOSFET

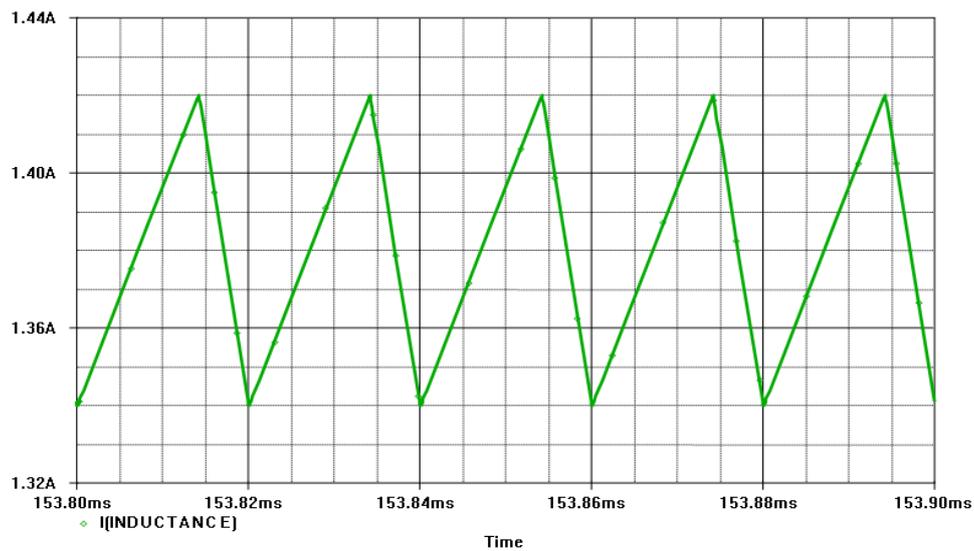


Figure V.12. Courant dans l'inductance

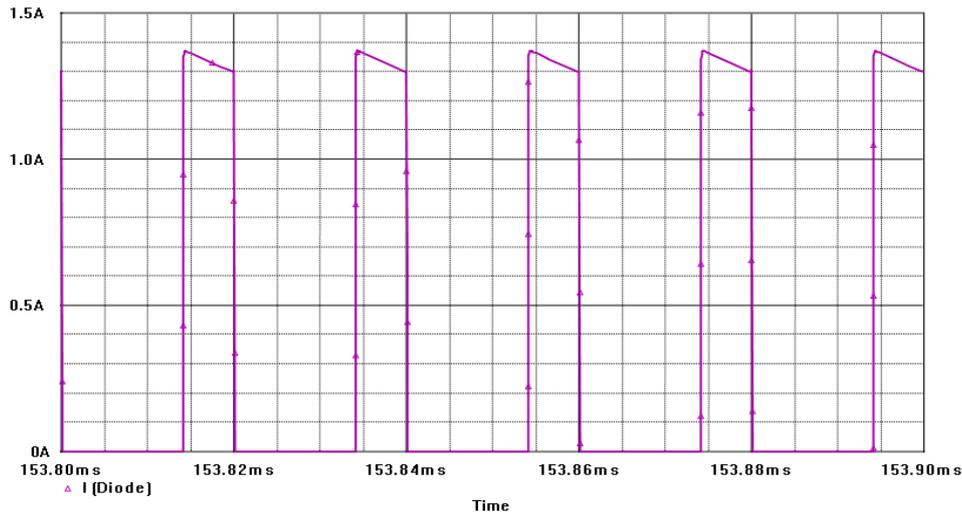


Figure V.13. Courant dans la diode D

### V.5. Comparaison entre les interrupteurs dans un convertisseur BOOST à T=200°C

Le convertisseur Boost produit une tension de sortie plus grande que la tension d'entrée. Durant la phase 1 (le signal de commande est à l'état haut de 0 à  $\alpha T$ , avec  $0 < \alpha < 1$ ,  $\alpha$ : rapport cyclique), l'interrupteur de puissance T se ferme ce qui conduit à une augmentation linéaire du courant dans l'inductance L. Durant cette phase, l'énergie est stockée dans l'inductance et la tension aux bornes de ce dernier est égale à la tension d'entrée  $V_E$ .

Durant la phase 2 (le signal de commande est à l'état bas de  $\alpha T$  à T), l'interrupteur de puissance est ouvert et l'énergie stockée dans l'inductance est transférée à la charge R et au condensateur de sortie  $C_S$  par conduction spontanée de la diode D. En mode de conduction continue (le courant ne s'annulant jamais dans l'inductance), il peut être démontré que le rapport entre la tension de sortie et la tension d'entrée ne dépend uniquement que du rapport cyclique :

$$V_S / V_E = 1 / (1 - \alpha).$$

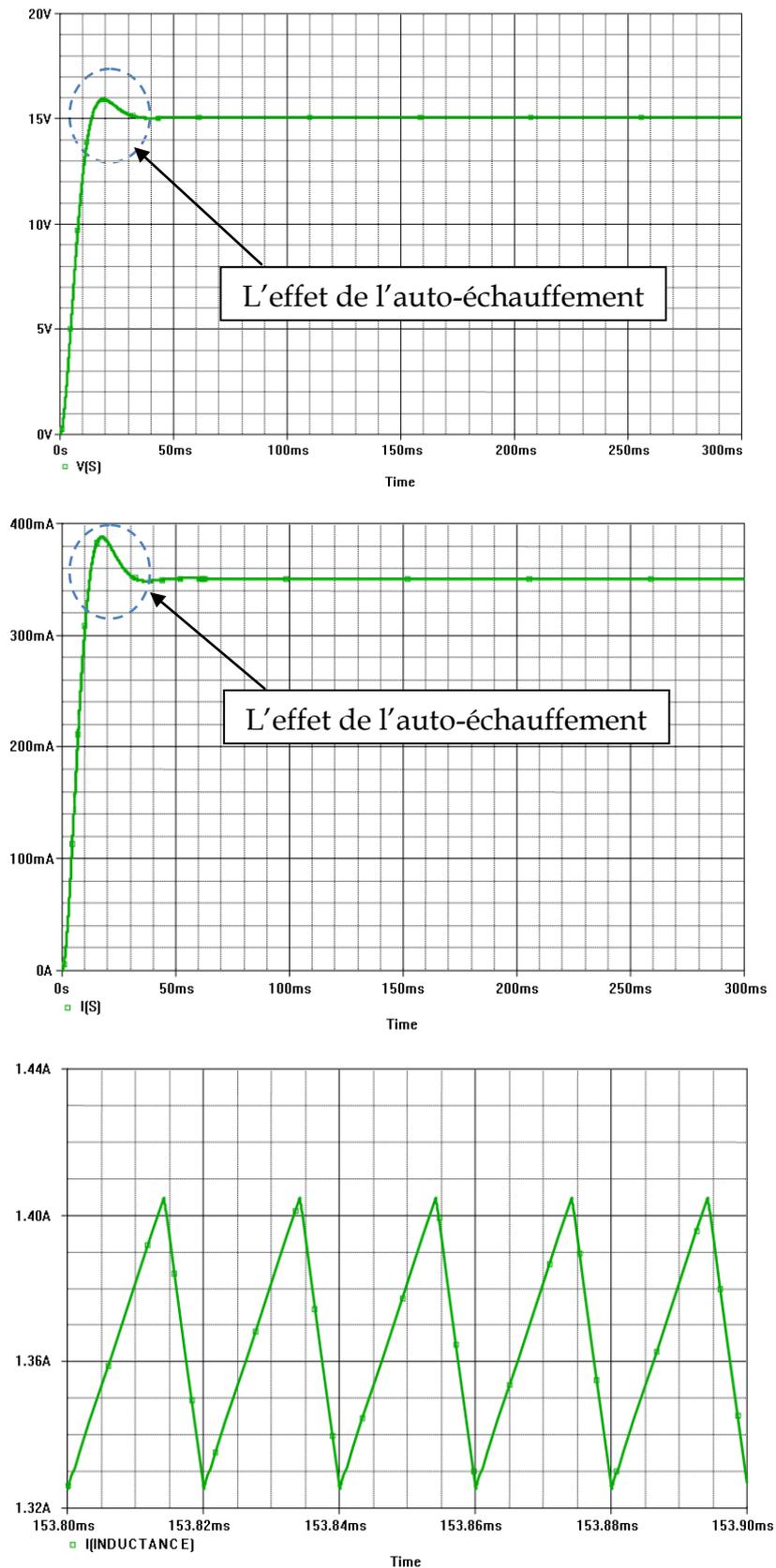


Figure V.14. Courbes de simulation convertisseur Boost en utilisant le Si-MOSFET (IRF150) à 200°C

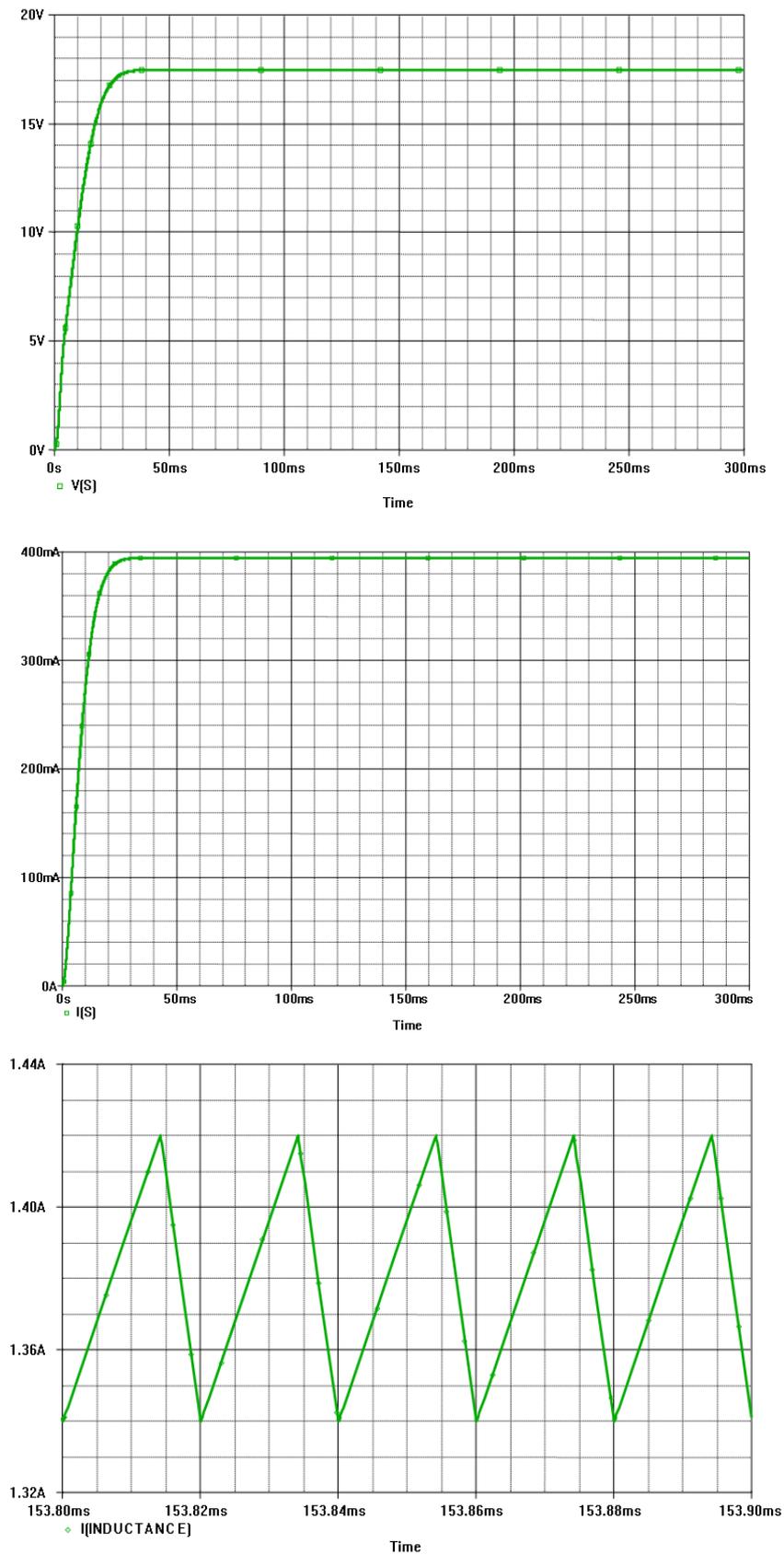


Figure V.15. Courbes de simulation du convertisseur Boost en utilisant le SiC-MOSFET à 200°C

Pour le rendement, on peut le calculer à partir de la relation suivante:

$$\eta = \frac{V_S I_S}{V_E I_E} \quad (V-34)$$

On remplace le rapport  $V_S/V_E$  et en prenant le rendement typique de ce convertisseur Boost qui est de 86 %, on obtient  $I_E = 1.4A$ . On a choisi une ondulation de 50 % de se courant, d'où  $\Delta I = 0.04 A$ . On calcule la valeur de L par la relation suivante :

$$L = \frac{\alpha V_E}{f \Delta I} \quad (V-35)$$

Pour une fréquence de découpage de 20kHz, l'inductance égale est  $L = 870\mu H$ . La valeur de la capacité est donnée par la relation suivante:

$$C = \frac{\alpha I_S}{f \Delta V} \quad (V-36)$$

Les résultats de comparaison sont présentés dans les tableaux suivants. Les principales paramètres à comparés sont : le rendement, tension de sortie et courant de sortie :

Paramètres de Boost avec Si-MOSFET	
<b>Tension de Sortie</b>	15V
<b>Tension de l'entrée</b>	5V
<b>Courant de sortie</b>	350 mA
<b>Courant d'entrée</b>	1.40A
<b>Rendement</b>	86%
<b>Inductance</b>	870 uH
<b>Condensateur</b>	2.2 mF

Paramètres de Boost avec SiC-MOSFET	
<b>Tension de Sortie</b>	17.5V
<b>Tension de l'entrée</b>	5V
<b>Courant de sortie</b>	390 mA
<b>Courant d'entrée</b>	1.42A
<b>Rendement</b>	96%
<b>Inductance</b>	870 uH
<b>Condensateur</b>	2.2 mF

Les figures V.14 et V.15 montrent les oscillogrammes du courant et de la tension du convertisseur Boost avec une tension d'entrée de 5V et une tension de sortie de 15V. Le courant de sortie a été limité à 400mA. Précisons que les formes d'onde du Si-IGBT n'ont pas pu être enregistrées à 200°C (destruction du composant et la température de jonction maximale retenue est  $T_{Jmax} = 175^{\circ}C$ ). De plus, le Si MOSFET et le SiC-MOSFET montrent une similitude dans leurs formes d'onde, ce qui prouve une fois de plus l'excellent comportement du SiC MOSFET vis-à-vis de la température comme cela est illustré au travers du calcul du rendement à 200°C.

### **V.6. Conclusion**

Nous avons modélisé différents interrupteurs de puissance disposant de caractéristiques électriques distinctes afin de trouver le plus grand et le plus optimum des rendements de conversion. Les résultats de simulation sont consignés en Figure V.14 et V.15. L'utilisation d'interrupteurs à base de carbure de silicium nous a permis de gagner près de 10% sur le rendement  $\eta$  à la puissance nominale mais également maintenir un fort rendement sur une large plage de fonctionnement.

# Conclusion Générale

---

## Conclusion Générale

Nous avons présenté dans cette thèse notre travail sur la modélisation sous Spice des composants des puissances en Si et en SiC. Dans le premier chapitre nous avons introduit la modélisation électrique des composants de puissances de base (PiN, MOSFET et IGBT) en fonction de la température. Les caractérisations sont basées sur des travaux expérimentaux (courant-tension) sont obtenues en utilisant un traceur de caractéristiques, des mesures capacitives (capacité-tension) sont obtenues en utilisant un analyseur d'impédance et des mesures en commutation sur charge R-L (résistive inductif). Les résultats obtenus de mesures montrent que l'augmentation de la température augmente la résistance à l'état passant de ces composants et réduit le courant de saturation.

La caractérisation électrique de la diode Schottky en carbure de silicium qui a fait l'objet du deuxième chapitre a montré que cette technologie présentait des performances électriques remarquables, pour la plupart supérieures aux caractéristiques des composants bipolaires en Silicium, malgré une maturité technologique bien plus faible que pour la filière Silicium.

Nous avons également présenté l'étude de la modélisation du JFET en SiC. Un modèle physique non empirique en PSPICE du transistor JFET-SiC à un canal latéral a été étudié. Le modèle a été développé en langage Spice et validé en régimes statique et dynamique en utilisant le simulateur PSPICE. Ce modèle inclut une représentation asymétrique du canal latéral et les capacités de jonction de la structure. La comparaison entre les simulations et les mesures expérimentales conduit à des résultats satisfaisants pour simuler le comportement du JFET en mode de fonctionnement statique en termes de variation de la résistance à l'état passant  $R_{DSON}$  et le courant de saturation  $I_{DSSAT}$  à la température ambiante. Le modèle permet également de simuler le comportement du JFET en commutation. Une comparaison entre les capacités de jonction en simulation et en mesure a été présentée et fournit des bons résultats.

Une étude d'un convertisseur avec un JFET SiC a été présentée. Une méthode précise pour la prédiction des perturbations en CEM a été développée. Cette méthode est basée sur le calcul des signaux parasites par la simulation temporelle avec des modèles précis des composants semi-conducteurs. La validité du modèle complet du convertisseur présente des différences dans une plage de fréquence de 200kHz à 4MHz avec des écarts de 9dB $\mu$ V maximum dans l'amplitude du spectre pour la tension mesurée aux bornes des terminaux positif et négatif du CEM. Grâce à ce résultat on remarque l'importance du modèle des composants semi-conducteurs dans la prédiction des perturbations conduites. Le modèle sur lequel s'est basée notre étude est le JFET SiC qui a été

---

développé dans ce travail pour réaliser des études CEM du modèle du MOSFET (modèle obtenu dans la bibliothèque Spice).

Enfin, il serait intéressant à court terme d'évaluer les performances de ces composants de puissance dans d'autres applications comme les onduleurs MLI, les résultats obtenus sur la structure hacheur laissant présager une amélioration sensible des pertes dans la cellule de commutation. Les redresseurs haute tension HF constituent aussi une gamme d'application accessible à ces composants. A plus long terme, une réflexion sur d'autres composants en SiC, en particulier des composants commandés, constitue une piste de recherche privilégiée concernant ce matériau.

Enfin, il serait intéressant à court terme d'évaluer les performances de ces composants de puissance dans d'autres applications comme les onduleurs MLI, les résultats obtenus sur la structure hacheur laissant présager une amélioration sensible des pertes dans la cellule de commutation. Les redresseurs hautes tensions HF constituent aussi une gamme d'application accessible à ces composants. A plus long terme, une réflexion sur d'autres composants en SiC, en particulier des composants commandés, constitue une piste de recherche privilégiée concernant ce matériau.

Pour conclure cette thèse, nous proposons quelques perspectives comme continuité des travaux réalisés.

Une première perspective concerne la plateforme de caractérisation des commutations. Nous proposons d'améliorer le prototype expérimental en le rendant plus générique, pouvant être utilisé pour tester des composants et des modules SiC. Il faudrait aussi revoir la conception du dernier circuit de puissance développé afin de réduire les chemins de perturbations conduites pouvant fausser les résultats des caractérisations. D'autres améliorations devraient être réalisées sur le circuit de commande rapprochée afin d'optimiser les vitesses de commutation et de pouvoir tirer le plein bénéfice des dispositifs SiC étudiés.

Une autre suite possible à ce travail concerne l'analyse de défaillance des MOSFET-SiC ayant subi un stress de type court-circuit. L'analyse macroscopique des indicateurs de dégradation, réalisée durant les tests de fatigue, a révélé une fragilité au niveau de la grille (oxyde et/ou passivation et métallisation proches), responsable de la défaillance des MOSFET-SiC. Afin de confirmer cette hypothèse, une tentative d'analyse microscopique a été effectuée sur deux MOSFET SCH2090KE de ROHM et a permis d'ouvrir des pistes de réflexion sur les mécanismes de défaillance de la structure MOSFET SiC. Ces investigations devraient être approfondies en réalisant d'autres analyses fines (MEB, FIB, OBIRCH,...) sur d'autres composants ayant subi le même stress et en comparant ces résultats avec ceux d'un composant neuf. Un des modes de défaillance observé, un court-circuit entre grille et source assurant l'autoprotection du transistor. Ce mode de

défaillance, une fois analysé et clairement identifié ouvre des pistes intéressantes pour l'auto-échauffement des transistors.

La troisième perspective se rapporte sur la modélisation compacte des dispositifs SiC. Dans le cas d'un modèle complexe, prenant en compte plusieurs phénomènes physiques (électriques, thermiques,...), la question cruciale est comment traduire ces derniers par des expressions mathématiques simples afin de pouvoir les insérer dans un modèle compact. Une autre difficulté qui s'ajoute au premier point limitant est la procédure d'extraction des paramètres inconnus du modèle. Un tel modèle va comprendre un grand nombre de paramètres ce qui complique l'étape d'identification. Il serait donc important d'aborder en parallèle avec la conception des modèles des procédures expérimentales ou analytiques d'extraction des valeurs de ces paramètres.

## Références Bibliographiques

- [1] Krammer, M., Martin, H., Radmilovic, Z., Erker, S., and Karner, M. "Standard compliant co-simulation models for verification of automotive embedded systems". *In Forum on Specification and Design Languages (FDL 2015) (September 2015)*, pp. 1–8.
- [2] Novak, P., and Sindel "Component-based design of simulation models utilizing bond-graph theory". *In Proceedings of the 19th IFAC World Congress (IFAC 2014) (Cape Town, 2014)*, pp. 1–6.
- [3] Cai, W. Zhou, and K. Sheng, "Characteristics and application of normally-off SiC-JFETS in converters without anti parallel diodes," *Power Electronics, IEEE Transactions on*, vol. 28, pp. 4850–4860, Mar.2013.
- [4] Messaadi Lotfi et Dibi Zohir " Macro-Modeling of MOSFET Transistor ", *SEN2012, Séminaire National Sur les Energies Renouvelable Département Génie De Procédée, Université De Science et technologie Houari Boumediène (USTHB), Bab-Ezzouar, Algérie, 25-27 Mars 2012*.
- [5] S. Vasconcelos-Araújo, "On the Perspectives of Wide-Band Gap Power Devices in Electronic-Based Power Conversion for Renewable Systems," *Thesis of the University of Kassel, defense in 2013*.
- [6] Lelis, R. Green, and D. Habersat, "High temperature Reliability of SiC Power MOSFETs, " *Materials Science Forum*, vol. 679-680, pp. 599–602, Mar. 2011.
- [7] H. Hoyos, R. Casallas, and F. Jiménez, "ADL for Early Requirement Verification of Embedded Systems", *in 5th International Workshop on Model Based Architecting of Embedded Systems, (2012)*.
- [8] B. Sheu, D. Scharfetter, P.-K. Ko, and M.-C. Jeng, "BSIM: Berkeley short-channel IGFET model for MOS transistors," *Solid-State Circuits, IEEE Journal of*, vol. 22, pp. 558-566, Aug1987.
- [9] Messaadi Lotfi et Dibi Zohir "Macro-modélisation du Transistor VDMOS" *10<sup>ème</sup> Congrès Nationale de Physique et ses Applications (CNAP'2012), Département du physique, Université Abd-Elhamid Ibn Badisse, Mostaganem 20-22 Novembre 2012*.
- [10] H. Sheng, Z. Chen, F. Wang, and A. Millner, "Investigation of 1.2 kV SiC MOSFET for high frequency high power applications, " *in Applied Power Electronics Conference and Exposition (APEC), 2010 Twenty-Fifth Annual IEEE*, pp. 1572–1577, 2010.
- [11] M. Lopez, "Contribution à l'optimisation d'un système de conversion éolien pour une unité de production isolée ", *Thèse de doctorat, Ecole Doctorale Sciences et Technologies de l'Information des Télécommunications et des Systèmes, Université Paris sud 2011*.
- [12] D. Aggeler, F. Canales, J. Biela, J.W Kolar, "dt/dt -Control Methods for the SiC JFET/Si MOSFET Cascade," *Power Electronics, IEEE Transactions on*, vol.28, no.8, pp.4074-4082, Aug. 2013

- [13] Ghedira S. "Contribution à l'estimation des paramètres technologiques de la diode PiN de puissance à partir de mesures en commutation" *Thèse de Doctorat, INSA de Lyon, 1998, 146p.*
- [14] Buttay, C. Raynaud, H. Morel, G. Civrac, M.-L. Locatelli, and F. Morel, "Thermal Stability of Silicon Carbide Power Diodes," *Electron Devices, IEEE Transactions on*, vol. 59, pp. 761–769, Mar. 2012.
- [15] D. Othman, M. Berkhani, S. Lefebvre, A. Ibrahim, Z. Khatir, and B. Bouzourene, "Etude Comparative de transistors MOSFET et JFET en technologie SiC- Potentiel d'utilisation dans les applications aéronautiques," *July 2012.*
- [16] F. Blaabjerg, U. Jaeger, and S. Munk-Nielsen, "Power losses in PWM-VSI inverter using NPT or PT IGBT devices," *vol. 10, pp. 358–367, 1995*
- [17] J. Lu, K. Sun, H. Wu, Y. Xing, and L. Huang, "Modeling of SiC MOSFET with Temperature Dependent Parameters and Its Applications", 2013.
- [18] Rashid M.R., "Power Electronics Handbook", *Academic press, New York, 200.*
- [19] Tsividis Y.P. "Operation and Modelling of the MOS Transistor". New York: Mc Graw-Hill, 1987.
- [20] T. Schutze, "Design Aspects for Inverters with IGBT High Power Modules," *tech. rep., EUPEC : European Power-Semiconductor and Electronics Company, 1997.*
- [21] Baker, R.J., "CMOS Circuit Design, Layout, and Simulation", *IEEE Press, Wiley, New York, 2008.*
- [22] Chung-Chieh Lin, "Contribution à l'identification des paramètres technologiques de la diode PIN de puissance à partir des caractéristiques de commutation à l'ouverture", *Thèse de doctorat, INSA de Lyon, décembre 1994.*
- [23] Ammous A. "Modélisation électrothermique de l'I.G.B.T (Transistor Bipolaire à Grille Isolée) : Application à la simulation du court-circuit" *Thèse Doctorat. INSA de Lyon, 1998, 231p.*
- [24] Githiari A. N., Gordon G. M., McMahon R. A., et al. "A comparison of IGBT models for use in circuit design". *IEEE, Transactions on Power Electronics, July, 1999, Vol. 14, No. 4, p.607-613.*
- [25] Conrad C. "Simulation de Circuits Electroniques avec PSpice". 2ed. Paris: Eyrolles, 1998, XIp.
- [26] Allard B., Morel H., Chante J.P. "Power electronic circuit simulation using Bond graph and Petri network Techniques". *IEEE PESC'93, Power Electronics Specialists Conference, Seattle USA. 1993, Vol. 1, p.20-28.*
- [27] Mathieu RIZZI, "Contribution à l'étude de la fiabilité des modules de puissance pour application automobile", *Thèse de doctorat de l'Université Bordeaux I, mars 2008, n° 3573.*
- [28] V. Radhakrishna; T. Hidekuni; S. Kazuaki ; I. Makoto, "Effect of high drain voltage on stress sensitivity in n MOSFETs", *Sensors and Actuators A 140 (2007).*

- [29] Hefner A. R., Jr., Diebolt D. M. "Analytical Modeling of Device-Circuit Interactions for the Power Insulated Gate Bipolar Transistor (IGBT) ". *IEEE, Transactions on Industry Applications*, 1990, Vol. 26, No. 6, p 995-1005.
- [30] Hichem Helali, "Contribution à la modélisation par graphe de liens du transistor MOS de puissance", *Thèse de doctorat, INSA de Lyon, juin 1995*.
- [31] Y. Hamieh, "Caractérisation et modélisation du transistor JFET en SiC à haute température, " Thèse de laboratoire Ampère de l'INSA de Lyon, Spécialité génie Electrique," *soutenue en 2011*
- [32] R. Varshney, D. Roulston, and S. Chamberlain, "Some properties concerning the A.C. impedance of Pi- N and P-N-N+ diodes", *Solid-State Electronics*, vol. 17, p. 699, 1974.
- [33] A. Strollo, "A New SPICE Model of Power P-i-N Diode based on Asymptotic Waveform Evaluation", *IEEE Trans. Power Electronics*, vol. 12(1), pp. 12- 20, Jan. 1997.
- [34] J. Walston, "Spice Circuit yields recipe for PiN diode", *Microwaves and RF*, pp. 78-89, Nov. 1992
- [35] Hafsa El Omari, "Extraction des paramètres des modèles du VDMOS à partir des caractéristiques en commutation – comparaison avec les approches classiques", *Thèse de doctorat, INSA de Lyon, septembre 2003*.
- [36] L. Takata, "Destruction mechanism of PT and NPT-IGBTs in the short circuit operation-and estimation from the quasi-stationary simulations", *International Symposium on Power Semiconductor Devices and ICs 2001, 4-7 June 2001, pages: 327 – 330*.
- [37] Pierre-Olivier Jeannin, "Le transistor MOSFET en commutation : Application aux associations série et parallèle des composants à grille isolée ", *Thèse de doctorat, Institut National Polytechnique de Grenoble, mai 2001*.
- [38] Kadavelugu, S. Baek, S. Dutta, S. Bhattacharya, M. Das, A. Agarwal, and J. Scofield, "High-frequency design considerations of dual active bridge 1200 v SiC MOSFET DC-DC converter, " *in Applied Power Electronics Conference and Exposition (APEC), 2011 Twenty-Sixth Annual IEEE, pp. 314–320, 2011*.
- [39] F. Xu, D. Jiang, J. Wang, F. Wang, L. Tolbert, T. Han, and S. Kim, "Characterization of a high temperature multichip SiC JFET-based module " *in Energy Conversion Congress and Exposition (ECCE), 2011, IEEE, (Phoenix, AZ), pp. 2405–2412, Sep. 2011*.
- [40] H.-R. Chang, R. Gupta, C. Winterhalter, and E. Hanna, " Comparison of 1200V silicon carbide Schottky diodes and silicon power diodes " *in Energy Conversion Engineering Conference and Exhibit, 2000. (IECEC) 35<sup>th</sup> Intersociety, vol. 1, pp. 174 –179 vol.1, 2000*.

- 
- [41] Semisouth, "SGDR600P1: 6A JFET Gate Driver Reference Design & Demo board," *Applicate Note AN-SS3*, 2011.
- [42] R. Shillington, P. Gaynor, M. Harrison, and B. Hefernan, "Applications of silicon carbide JFETs in power converters, " in *Universities Power Engineering Conference (AUPEC), 2010 20<sup>th</sup> Australasian, (Christchurch)*, pp. 1–6, Dec. 2010.
- [43] Y. Sugawara, "SiC devices for High Voltage High Power applications, " in *Materials Science Forum*, vol. 457-460, pp. 963–968, June 2004.
- [44] A. Risaletto, "Caractérisation électrique en commutation de diodes haute tension" *PhD thesis, Laboratoire Ampère - INSA de LYON, Villeurbanne, Mai 2007*.
- [45] D. Jiang, R. Burgos, F. Wang, R. Lai, P. Ning, and D. Boroyevich, "Characterization and Loss Estimation of Bridge-based Converter with SiC JFET, " in *Center for Power Electronics Systems, CPES, (Virginia Tech, Blacksburg, VA), November 2010*.
- [46] Messaadi Lotfi et Dibi Zohir "Macromodeling of Power MOSFET Incorporating Self-Heating Effect" *2<sup>nd</sup> International Days on Renewable Energies and Sustainable Development, Département D'électronique, Université Ammar Telidji, Laghouat, 3 and 4 Juin 2012*.
- [47] I. Josifovic, J. Popovic-Gerber, and J. Ferreira, "SiC JFET switching behavior in a drive inverter under influence of circuit parasitics, " in *Power Electronics and ECCE Asia (ICPE ECCE), IEEE 8<sup>th</sup> International Conference on*, pp. 1087–1094, 2011.
- [48] Korec, J. and R. Held, "Comparison of DMOS/IGBT-compatible high-voltage termination structures and passivation techniques". *Electron Devices, IEEE Transactions on*, 1993. **40**(10): p. 1845-1854.
- [49] Cailin, W., S. Cheng, and H. Junya. "A new trench-planner gate MOSFET structure. In *Power Electronics and Motion Control*", *Conference, 2009. IPEMC '09. IEEE 6<sup>th</sup> International*. 2009.
- [50] Theolier, I. "Conception de transistors MOS haute tension (1200 Volts) pour l'électronique de puissance", 2008.
- [51] R. Fu, A. Grekov, K. Peng, and E. Santi, "Parameter Extraction Procedure for a Physics-based Power SiC Schottky Diode Model," *Industry Applications, IEEE Transactions on*, vol. PP, no. 99, pp. 1-1, 2014.
- [52] Pierre Lefranc, "Étude, conception et réalisation de circuits de commande d'IGBT de forte puissance", *Thèse de doctorat de l'Institut National des Sciences Appliquées de Lyon, novembre 2005, n°2005-ISAL-0097*.
- [53] LUU, A., "Méthodologie de prédiction des effets destructifs dus à l'environnement radiatif naturel sur les MOSFETs et IGBTs de puissance, "2009, *l'Université Toulouse III – Paul Sabatier*.
-

- 
- [54] NGUYEN, V.H., "Etude et caractérisation d'une nouvelle connectique adaptée à l'intégration tridimensionnelle pour l'électronique de puissance", 2010, *l'Université Toulouse III - Paul Sabatier*.
- [55] Kone, S., et al., "CVD diamond Schottky barrier diode, carrying out and characterization". *Diamond and Related Materials*, 2010. **19**(7-9): p. 792-795.
- [56] Hefner A. R., Jr., Diebolt D. M. "An Investigation of the Drive Circuit Requirements for the Power Insulated Gate Bipolar Transistor (IGBT) ". *IEEE, Transactions on Power Electronics*, 1991, Vol. 6, No. 2, p208-219.
- [57] C. Raynaud, "Propriétés physiques et électroniques du carbure de silicium (SiC), " *Techniques de l'ingénieur*, 10-Mai-2007.
- [58] Hefner A. R., Jr. "Modeling Buffer Layer IGBTs for Circuit Simulation". *Proc of IEEE, PESC'93, Seattle USA, 1993*, p.60-70.
- [59] Lin C.C. "Contribution à l'identification des paramètres technologiques de la diode PiN de puissance à partir des caractéristiques de commutation à l'ouverture " *Thèse Doct. : INSA de Lyon, 1994, 105p*.
- [60] Mi W. "Procédure de validation de modèles de la diode PiN". *JCGE'01, 2001, November, Nancy*, p.249-254.
- [61] Morel H., Gamal H., Chant J. P. "State variable modeling of the power pin diode using an explicit approximation of semiconductor device equations: a novel approach". *IEEE, Transactions On Power Electronics*, 1994, Vol.9, No. 1, p112-120.
- [62] Sarrus F. "Etude de l'influence des éléments de la cellule de commutation sur le comportement dynamique de l'IGBT". *Thèse Doct.: INSA de Lyon, 1995, 174p*.
- [63] Rossel P., Allain B., Dnapieralska M. et al. "Modèle «universel» du transistor MOS pour le logiciel SPICE". *Revue Générale de l'Electricité*, 1990, No. 1, p49-59.
- [64] Z. Khatir, S. Lefebvre, "Thermal analysis of high power IGBT modules", *Power Semiconductor Devices and ICs, 2000. Proceedings*, 22 mai 2000, Toulouse, France, pp. 271 – 274.
- [65] Hefner A. R., Jr., Diebolt D. M. "An experimentally verified IGBT Model implemented in the Saber Circuit Simulator". *IEEE, Transactions on Power Electronics*, 1994, Vol. 9, No. 5, p532-542.
- [66] Helali H. "Contribution à la modélisation par graphe de liens du transistor MOS de puissance" *Thèse Doctorat, INSA de Lyon, 1995, 163p*.
- [67] Messaadi lotfi, Dibi Zohir and Smail Toufik " Macromodeling and Simulation of Power MOSFET Transistor Incorporating Self-Heating Effect" *2<sup>nd</sup> International Conference on Power Electronics*

---

*and Electrical Drives (ICPEED'2012), University of USTO, Faculty of Electrical Engineering, Oran, December 11-12,2012.*

- [68] Infineon, [www.infineon.com](http://www.infineon.com)
- [69] F. Morancho, p. Rossel et h. Tranduc, "Propriétés statiques et dynamiques du transistor MOS de puissance à tranchées (UMOS) basse tension", *Journal de Physique III, tome 6, n° 2, p. 301–322, février 1996.* 28
- [70] Frédéric Morancho, "Le transistor MOS de puissance à tranchées: modélisation et limites de performances", *Thèse de doctorat, Université Paul Sabatier de Toulouse, décembre 1996.*
- [71] Kinston, [www.instron.com](http://www.instron.com).
- [72] International Rectifier, [www.irf.com](http://www.irf.com).
- [73] Fuji Semiconductor, [www.fujisemiconductor.com](http://www.fujisemiconductor.com).
- [74] S. M. Sze, "Physics of Semiconductor Devices" (Wiley, 1981).
- [75] R. NEGRU, " Conception et modélisation de pixels de photo-détection -photodiodes PiN- en vue de leurs utilisation comme détecteurs de particules", *Thèse de Doctorat, Ecole Polytechnique, Plaiseau France, 2008.*
- [76] S.K.Cheung, N.W.Cheung, "Extraction of Schottky diodes parameters from forward current-voltage characteristics", *journal de physique appliqué, 1986.*
- [77] H. Mathieu, "Physique des semi-conducteurs et des composants électroniques", Masson, 1987.
- [78] A. E. Bazin, "Conception de diodes Schottky sur 3C-SiC epitaxié sur silicium", *Thèse de doctorat, Université François - Rabelais Tours, 2009.*
- [79] T. Funaki, J. C. Balda, J. Junghans, A. S. Kashyap, F. D. Barlow, H. A. Mantooth, T. Kimoto, and T. Hikihara, "Power conversion with SiC devices at extremely high ambient temperatures " in *IEEE Trans. Power Electronics, vol. 22, issue 4, 2007, pp. 1321-1329.*
- [80] R. Mousa, D. Planson, H. Morel, C. Raynaud, "High temperature characterization of SiC JFET and modeling " in *Proc. EPE 2007, pp. 1-10, Sept. 2007.*
- [81] M. Adamowicz, S. Giziewski, J. Pietryka, M. Rutkowski, Z. Krzeminski, "Evaluation of SiC JFETs and SiC Schottky diodes for wind generation systems," *Industrial Electronics (ISIE), 2011 IEEE International Symposium on, pp.269-276, June 2011.*
- [82] R. Mousa, D. Planson, H. Morel, B. Allard and C. Raynaud, "Modeling and high temperature characterization of SiC-JFET", *IEEE Power Electronics Specialists Conference, 2008, pp.3111-3117.*

- [83] R. Mousa, "Caractérisation, modélisation et intégrations de JFET de puissance en carbure de silicium dans des convertisseurs haute température et haute tension", *Thèse INSA de Lyon*, 2009.
- [84] C. Raynaud, "Propriétés physiques et électroniques du carbure de silicium (SiC)", *techniques de l'ingénieur*, 2007, D 3119, P. 1-14.
- [85] T. R. McNutt, A. R. Hefner, H. A. Mantooth, D. Berning and S. H. Ryu, "Silicon Carbide Power MOSFET Model and Parameter Extraction Sequence", *IEEE Transactions on Power Electronics*, 2007, Vol.22, n° 2, pp.353-363.
- [86] T. Funaki, J. C. Balda, J. Junghans, A. S. Kashyap, F. D. Barlow, H. A. Mantooth, T. Kimoto and T. Hikihara, "SiC JFET dc characteristics under extremely high ambient temperatures", *IEICE Electronics Express*, 2004, Vol.1, pp. 523-527.
- [87] A. Hefner, T. McNutt, A. Akuffo, R. Singh, C. Ellenwood, D. Berning, M.K. Das, J.J. Sumakeris, R. Stahlbush, "Characterization of SiC PiN diode forward bias degradation", *Industry Applications Conference*, 2004, Vol.2, pp 1252-1260.
- [88] D. Guihal, "Modélisation en langage VHDL-AMS des Systems pluridisciplinaires", *Thèse de doctorat LAAS CNRS, Université Toulouse III*, 25 mai 2007, 204p.
- [89] P. Friedrichs, "Silicon Carbide Semiconductor Power Devices status and upcoming challenges", *European Conference on power Electronics and applications*, 2007, pp.1-11.
- [90] T. Funaki, A. S. Kashyap, H. A. Mantooth, J. C. Balda, F. D. Barlow, T. Kimoto, and T. Hikihara, "Characterization of SiC JFET for temperature dependent device modeling, " in *Proc. IEEE PESC 2006*, pp. 1-6, Jun. 2006.
- [91] Hassell, T. J., Weaver, W. W., and Oliveira, A. M., "Using matlab's Simscape modeling environment as a simulation tool in power electronics and electrical machines courses," *IEEE Frontiers in Education Conference (FIE)*, 2013.
- [92] R. L. Kelley, M. S. Mazzola, W.A. Draper and J. Casady, "Inherently safe DC/DC converter using a normally-on SiC JFET", *IEEE Applied Power Electronics Conference and Exposition*, 2005, Vol.3, pp. 1561-1565.
- [93] NAGEL, L.W Spice2 (1975). "A Computer Program to Simulate Semiconductor Circuits ", *Electronic Research Laboratory, Rep. No. ERLM520, University of California Berkley*.
- [94] P. Ning, R. Lai, D. Huff, F. Wang, and K. Ngo, "SiC wire bond multi-chip phase leg module packaging design and testing for harsh environment, " in *Proc. IEEE APEC 2009*, pp. 631-636, Feb. 2009.

- [95] C. J. Cass, Y. Wang, R. Burgos, T. P. Chow, F. Wang, D. Boroyevich, "Evaluation of SiC JFETs for a three-phase current-source rectifier with high switching frequency, " in *Proc. IEEE APEC 2007*, pp. 345-351, Feb. 2007.
- [96] Y. Wang, C. J. Cass, T. P. Chow, F. Wang, and D. Boroyevich, "SPICE model of SiC JFETs for circuit simulations, " in *IEEE Workshop 2006*, pp. 212-215, Jul. 2006.
- [97] Y. Hamieh, "Caractérisation et modélisation du transistor JFET en SiC à haute température, " *Thèse de laboratoire Ampère de l'INSA de Lyon, Spécialité Génie Electrique, " Soutenue en 2011*
- [98] M. Moreau, "Modélisation haute fréquence des convertisseurs d'énergie. Application à l'étude des émissions conduites vers le réseau", *Thèse doctorale Ecole Centrale de Lille, soutenue en 2009*.
- [99] I. Josifovic, J. Popovic, J.A. Ferreira, "Improving SiC JFET switching behavior under influence of circuit parasitic," *IEEE Transactions on Power Electronics*, vol. 27, n°. 8, pp. 3843–3854, Aug. 2012.
- [100] F. Xu, T.J. Han, J. Dong, L.M. Tolbert, W. Fei, J. Nagashima, J.K Sung, S. Kulkarni, F. Barlow, "Development of a SiC JFET-Based Six-Pack Power Module for a Fully Integrated Inverter," *Power Electronics, IEEE Transactions on* , vol.28, n°.3, pp.1464,1478, March 2013
- [101] M. Adamowicz, S. Giziewski, J. Pietryka, M. Rutkowski, Z. Krzeminski, "Evaluation of SiC JFETs and SiC Schottky diodes for wind generation systems," *Industrial Electronics (ISIE), 2011 IEEE International Symposium on*, pp.269-276, June 2011
- [102] Messaadi lotfi, Smail Toufik and Dibi Zohir " Macromodeling with Spice of SiC Schottky Diode " *2nd International Conference on Power Electronics and Electrical Drives (ICPEED'2012), University of USTO, Faculty of Electrical Engineering, Oran, December 11-12,2012*.
- [103] N. Mohan, T. M. Undeland, and W. P. Robbins, "Power Electronics: Converters, Applications, and Design". *New York: Wiley, 1995*.
- [104] S. Bellone and L. Di Benedetto, "A Model of the  $I_D - V_{GS}$  Characteristics of Normally 'OFF' 4H-SiC Bipolar JFETs", *Power Electronics, IEEE Transactions on*, vol. 29, no. 1, pp. 514-521, 2014.
- [105] Jon Klein, "Synchronous buck MOSFET loss calculations with Excel model". Application note AN-6005, *Fairchild Semiconductor, version 1.0.1, Apr 2006*.
- [106] K. Singh, and F. Guedon, and R. McMahon, and S.Weier, "Parameter extraction and calorimetric validation for a silicon carbide JFET Pspice model", *Power Electronics, Machines and Drives (PEMD), 5<sup>th</sup> IET International Conference on*, pp.1-6, 2010.

- 
- [107] N.D. Muhamad, A.J. Shafie, "An Approach to PSpice-aided Control Loop Design of DC-DC Converter Systems", *IEEE Power Engineering Conference (PECon) Proceedings. National*, pp. 121 - 126, Dec 2003.
- [108] Amadori, K., Tarkian, M., Olvander, J., and Krus, P. " Flexible and robust CAD models for design automation." *Advanced Engineering Informatics* 26, 2 (2012), 180–195. *Special Section on Knowledge based engineering to support complex product design.*
- [109] E. Platania, Z. Chen, F. Chimento, and A. Grekov et al., " Physics-Based Model for a SiC JFET Accounting for Electric-Field-Dependent Mobility," *Industry Applications, IEEE Transactions on*, vol. 47, pp. 199-211, jan.-feb. 2011
- [110] Sabeur Jemmali " Contribution à l'élaboration de méthodologies et d'outils d'aide à la conception de systèmes multi-technologiques" *Thèse de doctorat l'école nationale supérieur des télécommunications Paris pp.16-17 27, November, 2003.*
- [111] Franz Monssen, "Orcad Pspice with Circuit Analysis" Verlag Prentice Hall, 3. Edition 2001).
- [112] Vladimirescu "The SPICE Book" J.Wiley & Sons, Inc., Y, 1994.
- [113] S. Moumen, "Etude de la robustesse de transistors JFET à base de SiC vis-à-vis de stress électriques," *Thèse de l'ENS de Cachan, soutenue en 2012.*
- [114] D. J. Spry, P. G. Neudeck, L. Chen, D. Lukco, C. W. Chang, G. M. Beheim, M. J. Krasowski,
- [115] and N. F. Prokop, "Processing and Prolonged 500 °C Testing of 4H-SiC JFET Integrated Circuits with Two Levels of Metal Interconnect", *Materials Science Forum*, Vol. 858, pp. 908-912, May 2016.
- [116] P. G. Neudeck, M. J. Krasowski, and N. F. Prokop, "Assessment of Durable SiC JFET Technology for +600 °C to -125 °C Integrated Circuit Operation", *Electrochemical Society Transactions*, Vol. 41, No. 8, pp. 163-176, November 2011.
- [117] Franz Monssen: "Orcad Pspice with Circuit Analysis" Verlag Prentice Hall, 3. Edition (2001).
- [118] G. Massobrio, P. Antognetti, "Semiconductor Device Modeling with Spice", *McGraw-Hill*, 1988, ISBN 0-07-002469-3.
- [119] Marcel Allain, Philippe Viarouge, Faouzi Tourkhami, "The use of Pseudo-Random Binary Sequences to Predict a DC-DC Converter's Control-to-Output Transfer Function in Continuous Conduction Mode," in *Canadian Conference on Electrical and Computer Engineering*, pp. 574-577, Saskatoon, Sask., May 2005
- [120] L-Y. Chen, P. G. Neudeck, D. J. Spry, G. M. Beheim, and G. W Hunter, "Electrical Performance of a High Temperature 32-I/O HTCC Alumina Package," *Proceedings of the 2016 IMAPs International*
-

- 
- High Temperature Electronics Conference (HiTEC 2016), Albuquerque, New Mexico USA, May 10-12, 2016.*
- [121] D. Aggeler, J. Biela, J.W. Kolar, "A compact, high voltage 25 kW, 50 kHz DC-DC converter based on SiC JFETs," *Applied Power Electronics Conference and Exposition, 2008. APEC 2008. Twenty-Third Annual IEEE* , pp.801-807, Feb. 2008
- [122] P. G. Neudeck, M. J. Krasowski, and N. F. Prokop, "SiC JFET Integrated Circuits for Extreme Environment Electronics", in "Extreme Environment Electronics", *edited by J. D. Cressler, H. A. Mantooth, CRC Press, Boca Raton Florida USA, Chapter 62, pp. 713–722, 2013.*
- [123] VIET D, "Conception d'une interface électronique de puissance pour pile à combustible" *Thèse de Docteur es-Sciences, Université Joseph Fourier, 2012, Grenoble.*
- [124] B.Amghar, M. Darcherif, J-P. Barbot : "Modélisation et commande d'un convertisseur multicellulaire parallèle par réseau de Petri, " : *Proceedings of CIFA Grenoble, 2012, Page(s) 1–6*
- [125] O. Bethoux : "Commande et détection de défaillance d'un convertisseur multicellulaire série". *Thèse de doctorat, Ecole doctorale Science et Ingénierie, Université de Cergy-Pontoise, 2005.*
- [126] Mohan Ned; undeland Tore M. and Robbins William P. (1995) "Power Electronics; converters and Design" *John wiley & sons Inc. pp – 178 -184.*
- [127] Syafrudin Masri; Pui-Weng chan "Development of a Microcontroller based boost converter for photovoltaic system" *European journal of scientific Research ISSN 1450-216X Vol.41 No.1 (2010), pp.39-47.*
- [128] T. Midtsund, "Control of Power Electronic Converters in Distributed Power Generation Systems, " *Master Thesis in Energy and Environment, Norwegian University of Science and Technology, (2010).*
- [129] B.M Hasaneen; Elbasse; "Design and Simulation of DC/DC Boost Converters". *Power system conference, MEPCON, 12<sup>th</sup> international middle east, 2008, pp: 335-340.*
- [130] C.N.M. Ho, F. Canales, S. Pettersson, G. Escobar, A. Coccia, N. Oikonomou, "Performance evaluation of full SiC switching cell in an interleaved boost converter for PV applications," *Energy Conversion Congress and Exposition (ECCE), 2011 IEEE, Phoenix, USA, pp.1923-1927, Sept. 2011.*
- [131] I. Gadoura, T. Suntio, and K. Zenger. "Model Uncertainty and Robust Control of Paralleled DC-DC Converters." *In IEE International Conference on Power Electronics, Machines and Drives, Bath, UK, 2002.*

- 
- [132] F. Guedon, S. Singh, R. McMahon, F. Udrea, "Boost Converter with SiC JFETs: Comparison with CoolMOS and Tests at Elevated Case Temperature," *Power Electronics, IEEE Transactions on*, vol.28, no.4, pp.1938-1945, April 2013.
- [133] S. Basu, T.M. Undeland, "On understanding switching and EMI performance of SiC power JFETs to design a 75W high voltage flyback converter," *Power Electronics and Applications (EPE), 2013 15<sup>th</sup> European Conference on, Lille*, pp.1-5, Sept. 2013.
- [134] T. Meynard, J.-P. Lavieville, P. Carrere, J. Gonzalez, and O. Bethoux, "Electronic Circuit for Converting Electrical Energy" *U.S. Patent 5 706 188*, Jan. 1998.
- [135] O. Mostaghimi, N. Wright, N. A. Horsfall, "Design and performance evaluation of SiC based DC-DC converters for PV applications," *Energy Conversion Congress and Exposition (ECCE), 2012, IEEE*, pp.3956-3963, Sept. 2012.
- [136] Maxim Integrated Products, Inc., "DC-DC Converter Tutorial", *Application Note 2031*, Nov 29, 2001.
- [137] R. H. Baker and L. H. Bannister, "Electric Power Converter," *U.S. Patent 3 867 643*, Feb. 1975.
- [138] G. ong, I. Josifovi , J.A. Ferreira, "Modeling and Reduction of Conducted EMI of Inverters With SiC JFETs on Insulated Metal Substrate," *Power Electronics, IEEE Transactions on*, vol.28, no.7, pp.3138-3146, July 2013.
- [139] Anita Soni, "DC-DC Switching Boost Converter", *ILLINOIS College of Engineering*, 1999.
- [140] Messaadi Lotfi and Dibi Zohir "PSpice Simulation Based Study of Photovoltaic Cells/Modules and their Experimental Verification" *7<sup>th</sup> International Conference on Electrical Engineering (CEE'2012)*, Electrical Engineering Department, University of Batna, October, 8-10, 2012.
- [141] Messaadi .L " Macro-modélisation du Transistor MOSFET" *Mémoire du Magistère, Laboratoire d'Automatique Avancée et d'Analyse des Systèmes (LAAAS), Université de Batna*, 2009.