

**REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE  
MINISTERE DE L'ENSEIGNEMENT SUPERIEUR  
ET DE LA RECHERCHE SCIENTIFIQUE**

**UNIVERSITE DE BATNA  
FACULTE DES SCIENCES DE L'INGENIEUR**

**MEMOIRE**

*Présenté au*

**DEPARTEMENT D'ELECTRONIQUE**

*Pour l'obtention du diplôme de*

**MAGISTER EN MICROELECTRONIQUE  
Option : IC Design**

*Par*

Samia KHALDI

Ingénieur, institut d'Electronique-Université de Batna

*Intitulé*

---

***Conception et Layout d'un CNA pour un  
capteur de pression intelligent***

---

*Devant le jury constitué de :*

Dr. HOBAR Farida

Dr. BOUGUECHAL Nour-Eddine

Dr. MANK Otto

Dr. DIBI Zohir

Dr. HAFDHI Zoubida

Mr. BENHAYA Abdelhamid

Prof. Université de Constantine

Prof. Université de Batna

Prof. Université de Berlin

M.C. Université de Batna

M.C. Université de Batna

C.C. Université de Batna

Président

Rapporteur

Rapporteur

Examineur

Examineur

Examineur

*A la mémoire de mon père.*

# Remerciements

*Je tiens tout d'abord à remercier le professeur Nour Eddine Bouguechal, le doyen de la faculté des sciences de l'ingénieur à l'université de Batna. Pour son travail d'encadrement, ses conseils, et pour qu'il m'a été permis de savoir de tout près la conception réelle dans l'industrie électronique. Je lui suis très reconnaissant pour ses qualités rares tant au niveau humain que scientifique que j'ai pu entrevoir dans les déplacements que nous avons été amenés à effectuer ensemble. Je lui dois les remerciements les plus sincères.*

*Je tiens particulièrement à remercier Mr. Otto Manck, directeur général de la société MAZ, et professeur à l'université technique de Berlin en Allemagne, où nous avons effectué une grande partie de ce travail, pour la confiance qu'il m'a témoignée en m'accueillant dans son équipe à Berlin et pour ce captivant sujet de recherche proposé.*

*J'adresse tous mes remerciements à Monsieur Mr. R. Arnold, docteur à l'université technique de Berlin, pour m'avoir accueilli au sein de son équipe de recherche et sa patiente relecture du manuscrit et ses qualités pédagogiques que j'apprécie beaucoup. Son soutien constant sur les plans scientifiques et humains aura été une aide particulièrement précieuse.*

*Mes vifs remerciements à Mme. Farida Hobar, professeur à l'université de Constantine, pour avoir accepté de présider le jury et a bien voulu prendre le temps de s'intéresser au sujet du présent mémoire.*

*De même à Mr. Zohir Dibi, docteur et chef du département d'électronique de l'université de Batna, pour son aide, ces conseils ont été d'une grande valeur, aussi m'a-t-il honoré de faire partie du jury.*

*Je tiens à remercier vivement Mme. Zoubida Hafdhi, docteur et chargé de cours à l'institut d'électronique à l'université de Batna, pour m'avoir honoré par sa présence au jury.*

*Je remercie également Mr Benhaya Abdelhamid, chargé de cours à l'institut d'électronique, pour son aide, pour l'honneur qu'il me fait en figurant dans la composition du jury.*

*Un grand merci à ma petite famille, à ma grande famille, à toutes mes aimées et à tous les collègues du laboratoire de l'électronique avancée à Batna pour leur dynamique.*

*Je ne pourrai jamais trouver les mots justes pour exprimer mes sentiments pour ma mère. Je veux la remercier pour son soutien, ses sacrifices, la patience, la volonté et la persévérance qui m'ont permis de mener ce travail.*

*M<sup>m</sup> Samia KHALDI*

---

# Sommaire

---

<b>Introduction</b>	1
1. L'ASIC de correction de pression	2
2. Description fonctionnelle de l'ASIC	2
3. Les spécifications de convertisseur Numérique/Analogique	3
4. Organisation du travail	3
<b>Chapitre I : Spécifications et limites de conversion du CNA</b>	5
I.1 Définitions	5
I.2 Caractéristiques principales	7
I.2.1) Résolution	7
I.2.2) Précision	7
I.3 Spécifications	7
I.3.1 Erreur de gain	7
I.3.2 Erreur d'offset	8
I.3.3 Les erreurs de Linéarité	8
I.3.4 Monotonicité	10
I.3.5 Temps d'établissement	10
I.3.6 Bande passante	10
I.4 Les limites de conversions	11
I.4.1 La génération de référence	11
a) Echelle résistive RCNA	11
a.1) Les disparités des composants	11
a.2) Les erreurs d'établissement	13
a.3) Les erreurs d'interrupteur	13
b) Somme de courants ICNA	14
b.1) Les disparités de courant	14
b.2) L'impédance finie de sortie	15
b.3) Erreur de commutation (Glitch)	15
c) Echelle capacitive CNA	16
c.1) Les disparités des capacités	16
c.2) La tension dépendant de condensateur	16
I.4.2 Les erreurs de circuit E/BMOS	17
a) L'injection de charge	17
b) Le couplage capacitif d'horloge	19
I.4.3 Les composantes d'erreur aléatoire	20
a) Le bruit thermique (KT/C)	20
b) Le bruit de scintillement (1/f) « Flicker »	21
Conclusion	22
<b>Chapitre II : Les Architectures des CNAs</b>	23
II.1 CNA Parallel (Flash)	24
II.1.1 CNA à série de résistance	24
II.1.2 Le CNA flash à réseau de capacités	27
II.1.3 CNA flash à somme de courants	28
II.2 Les CNAs sériel	

---

II.2.1 CNA cyclique	29
II.2.2 CNA Pipeline	30
II.3 Conclusion	32
	33
<b>Chapitre III : Conception et Simulation</b>	34
III.1 CNA à amplificateur de charge binaire pondéré	34
Dimensionnement de la valeur de capacité de contre Réaction	35
III.2 CNA à Amplificateur de Réseau de charge en T	36
Dimensionnement de la valeur de capacité d'atténuation	38
III.3 Schéma synoptique	38
III.4 La logique de commande RUNDAC	40
III.5 CNA à amplificateur de réseau de charge en T	41
III.5.1 Conception et simulation	41
III.5.2 Considération pratiques et interprétations	43
a) La vitesse et la linéarité	43
b) L'injection de charge	44
c) La consommation électrique	45
d) L'intégrateur	45
III.6 La tension de référence $V_{REF}$	48
III.7 L'échantillonneur bloqueur	48
a) Le suiveur	49
b) L'injection de charge	51
III.8 La tension du mode commun	51
Considération pratiques et interprétations	52
III.9 Le circuit de polarisation en courant IBias	52
a) Conception et simulation	53
b) Considération pratiques et interprétations	55
III.10 Résultat de simulation de circuit totale	56
	56
<b>Chapitre IV Masque (Layout) de CNA</b>	61
4.1 Considération de Layout	62
a) Technique d'appariement	62
b) Considération du bruit	63
4.2 Floor-planning	64
4.3 La partie analogique	66
4.2.1 Le réseau de capacités	66
4.2.2 Les amplificateurs et le circuit VCM	70
a) L'intégrateur	70
b) Les résistances et le condensateur du circuit VCM	71
4.2.3 Réseau d'interrupteurs	71
4.2.4 L'échantillonneur bloqueur	72
4.2.5 Circuit de polarisation en courant IBias	73
4.4 La partie numérique	75
4.5 Le layout du CNA	76
	76
<b>Conclusion</b>	77

---

---

<b>Annexe A</b>	79
<b>Annexe B</b>	89
<b>Bibliographie</b>	92

---

# Introduction

---

La technologie CMOS est aujourd'hui la plus dominante pour la fabrication des circuits intégrés par rapport aux autres technologies, essentiellement bipolaire, principalement parce qu'elle possède deux avantages : Tout d'abord sa faible consommation, ensuite sa densité d'intégration qui ne cesse de croître, puisqu'en trente ans la longueur minimum des transistors a été divisée par un facteur supérieur à cent. Par contre, elle est moins performante en termes de rapidité et de bruit.

La progression rapide d'automatisation de conception pour les circuits intégrés numériques (ICs) a permis une synthèse rapide de conceptions numériques. L'augmentation de la densité de surface du (IC) et les dimensions de chip a permis une plus grande fonctionnalité et un faible coût des ICs numérique. Les méthodologies de conception des circuits analogiques ne sont pas maintenues au niveau de cette allure, malgré que le monde réel est parfaitement analogique. Alors les progrès technologiques permettent de créer des systèmes intégrés mixtes analogiques numériques, ces systèmes constitués de trois blocs essentiels : à l'entrée une circuiterie de convertisseur analogique numérique CAN pour convertir le signal analogique à un mot numérique, ensuite une machine de traitement de signal numérique (DSP), et à la sortie une circuiterie de convertisseur numérique analogique CNA pour convertir le mot numérique de la sortie de DSP à un signal analogique.

Ce travail décrit la conception d'un convertisseur numérique/analogique pour répondre aux besoins d'un capteur de pression intelligent, avec comme objectif une application spécifique dans l'industrie des automobiles.

## 1. L'ASIC de Correction de Pression [1]

Le IC est un ASIC de correction de pression conçu pour plusieurs champs d'application: systèmes de gestion des moteurs, la pression d'huile et des pneus,...etc. Pouvant être utilisé comme système capteur indépendant ou comme un conditionneur pour des capteurs piézorésistifs séparés.

L'ASIC est formé d'un pont piézorésistif intégré au centre de la puce entouré par une circuiterie de traitement du signal analogique et numérique. L'ASIC a un convertisseur analogique/numérique CAN intégré pour convertir le signal du capteur amplifié en un mot digital qui sera par la suite corrigé sur la température et sur la pression par une machine DSP (le traitement de signal numérique). Le signal numérique corrigé par la DSP va être convertir à un signal analogique par un convertisseur numérique/analogique CNA intégré aussi dans l'ASIC.

## 2. Description Fonctionnelle de l'ASIC

Les différents blocs constituant l'ASIC sont représentés en figure 0.1. Le dispositif permet l'utilisation d'un pont piézorésistif interne ou externe en mettant un bit d'interrupteur dans la logique. Ça permet d'utiliser l'ASIC soit comme un co-intégré ou comme conditionneur pour des capteurs piézorésistifs séparés.

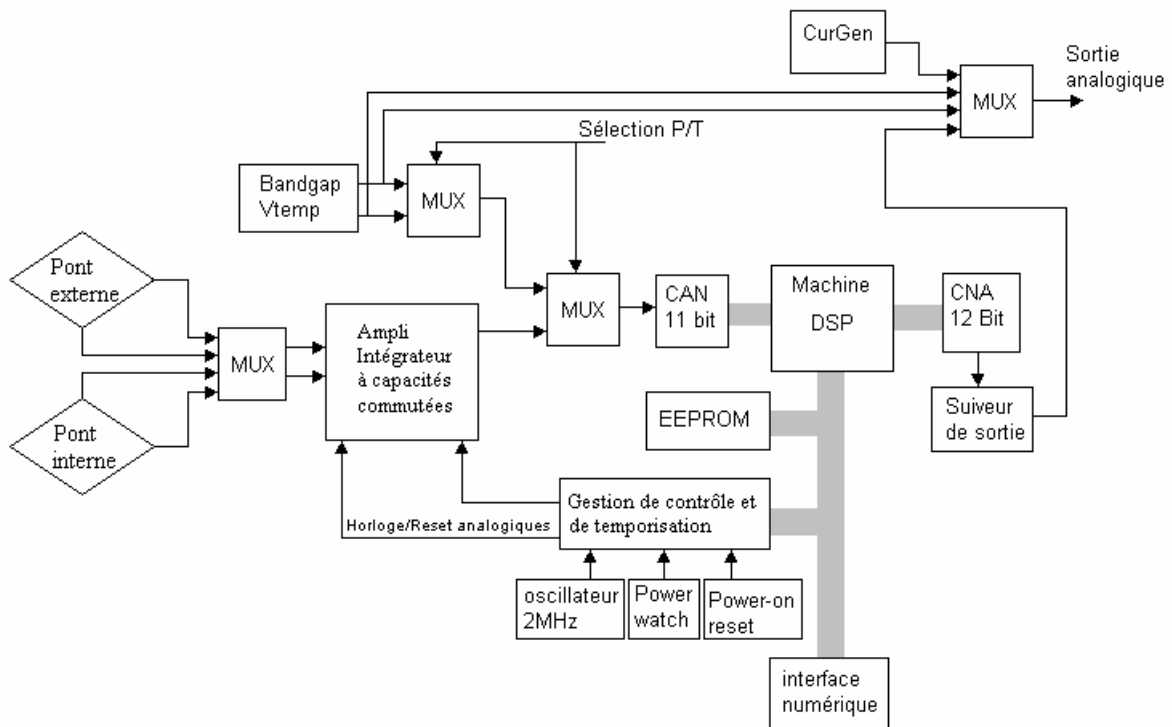


Figure 0.1 schéma fonctionnel simplifié de l'ASIC de correction de pression



L'approche suivie est de faire passer le signal à travers un amplificateur à capacités commutées qui est capable de réaliser quelques réglages pour le gain et l'offset. Le capteur est alimenté par 5Volts qui alimente l'ASIC. Ceci présente l'avantage de bénéficier d'une sortie maximale du capteur, mais d'autre part dégrade la sensibilité de sortie. La sortie de l'amplificateur est passée à travers un multiplexeur à un CAN à 11bit.

Le bloc machine DSP traite l'information numérisée du capteur selon son algorithme. Les corrections primaires qu'apporte le DSP sont une correction du 3<sup>ème</sup> ordre de la température et de la pression.

La sortie du DSP est passé à la CNA à 12 bit.

### **3. Les spécifications du convertisseur Numérique/Analogique [1]**

Le bloc CNA convertit le mot binaire corrigé par le bloc DSP à un signal analogique. Ce convertisseur analogique numérique doit avoir un équivalent de résolution de 12 bits avec une précision de 10 bits.

Les spécifications primaires de CNA sont les suivantes :

- Alimentation                      5V
- Gamme de conversion            0 à 5V
- Résolution                        12 bits
- Architecture à capacités commutées
- Fréquence                         125 kHz

### **4. Organisation Du Travail**

Dans le premier chapitre, les paramètres qui sont utilisés dans la caractérisation de la performance du CNA (les spécifications) sont discutés. Ainsi que les limites fondamentales de la conversion N/A en considère les différentes issues pratiques d'implémentations : résistance, courant, et capacité. De même les erreurs liées aux capacités commutées sont abordées.

Les différentes architectures les plus connues des convertisseurs N/A sont exposées au chapitre 2. Pour chaque architecture, le fonctionnement, les avantages et les inconvénients sont donné. Une comparaison entre les performances de ces architectures est établi.

D'après la conclusion du chapitre 2, nous arrivons enfin à l'architecture préférée pour réaliser le CNA dans l'ASIC qui est le CNA à Amplificateur de Réseau de charge en T. la conception et les simulations des différents blocs constituant le CNA sont présentés

dans le chapitre 3. la réponse du CNA entier à quelques série des mots d'entrés est aussi présentée.

Dans le chapitre 4, les layouts de différents blocs utilisés dans cette conception sont présentés avec des explications des différentes techniques appliquées. Le layout de CNA entier est aussi présenté.

Enfin, une conclusion pour ce travail indiquant les avantages obtenus avec notre conception.

# CHAPITRE I

---

## Spécifications et Limites de Conversion du CNA

---



Les convertisseurs numérique analogique CNA sont caractérisés par quelques paramètres comme la résolution (R), tension de pleine échelle (PE), erreur d'offset et de gain, erreur de non-linéarité. Beaucoup de ces paramètres sont des fonctions du nombre de bit employé pour représenter le signal analogique (PE et R), d'autres sont basés sur la construction de circuit actuel (erreurs et linéarité). Mais les différentes topologies qui peuvent construire les convertisseurs numérique analogique ont diverses forces et faiblesses, qui peuvent être récapitulées selon plusieurs critères : La non-linéarité intégrale, la non-linéarité différentielle, la monotonie, la surface de chip (en termes d'atténuer la taille), le temps d'établissement et l'exigences d'appariement. Ces forces et faiblesses sont des limites qui affectent la performance du convertisseur CNA.

### **I.1 Définition**

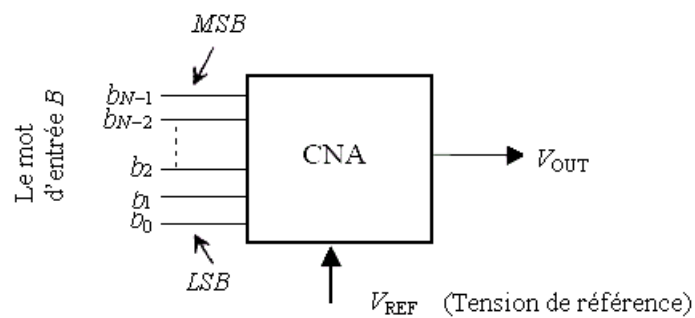
Un Convertisseur Numérique Analogique CNA (figure I.1) est un circuit qui est employé pour convertir une configuration binaire en une grandeur analogique directement proportionnelle à la valeur décimale de la configuration. Les entrées d'un convertisseur N bits

sont des niveaux logiques  $b_0, b_1, \dots, b_{N-1}$  prenant les états logiques '0' ou '1'. La sortie analogique est une tension ou courant; il obéit à l'équation suivante :

$$V_{OUT} = V_{REF} [b_0 2^{N-1} + b_1 2^{N-2} + \dots + b_{N-2} 2^1 + b_{N-1} 2^0] \quad I.1$$

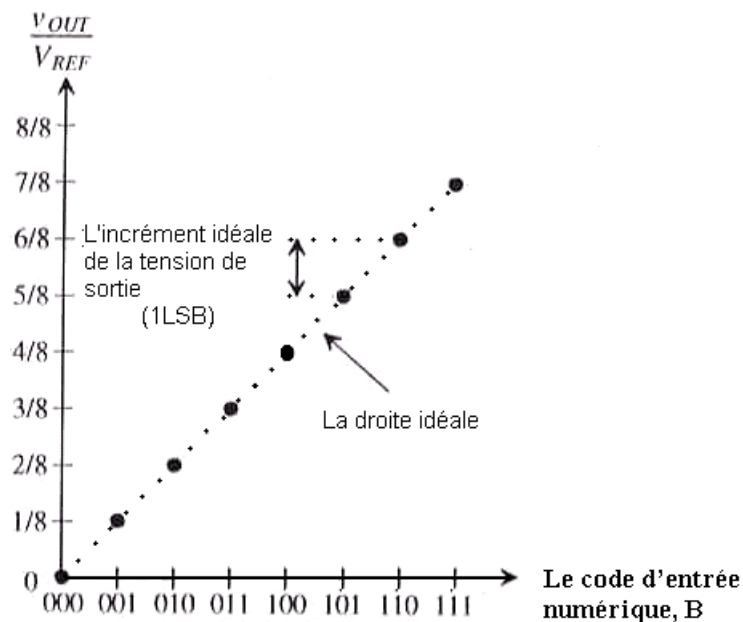
$$\text{Ou encore : } V_{OUT} = V_{REF} 2^N [b_0 \frac{1}{2^1} + b_1 \frac{1}{2^2} + \dots + b_{N-2} \frac{1}{2^{N-1}} + b_{N-1} \frac{1}{2^N}] \quad I.2$$

où  $V_{REF}$  est une tension de référence,  $V_{OUT}$  est le tension de sortie analogique, les coefficients  $b_i$ ,  $i=0,1,\dots,N-1$  sont les bits de mot d'entrée.



**Figure I.1** Synoptique d'un convertisseur numérique-analogique N bits

La caractéristique de transfert idéal c'est la caractéristique qui sert de référence pour l'analyse des erreurs (les écarts sont mesurés par rapport à la droite idéale).



**Figure I.2** Caractéristique de transfert idéal d'un CNA à 3 bits

## I.2 Les caractéristiques principales

Le maximum de la tension de sortie analogique qui peut être générer est connu comme la tension de pleine échelle **PE** :

$$PE = \frac{2^N - 1}{2^N} V_{REF} \quad I.3$$

Le **LSB** définit le changement possible le plus petit de la tension de sortie analogique. Un LSB peut être défini comme :  $1LSB = \frac{V_{REF}}{2^N}$

### a) Résolution

C'est l'écart minimum entre deux codes, et exprimée en % PE du CNA. La résolution dépend essentiellement du nombre de bits. C'est la raison pour laquelle les fabricants expriment généralement la résolution d'un CNA comme un nombre de bits. Un CNA de 10 bits a une résolution plus fine qu'un CNA de 8 bits. La résolution d'un convertisseur N bits est :  $R = \frac{PE}{2^N}$

### b) Précision

La précision appelée aussi erreur pleine échelle traduit la différence entre la tension de sortie obtenue et la tension de sortie théorique (idéale) et inclut toutes les sources d'erreurs ( la non-linéarité, l'erreur d'offset,...). Elle s'exprime en % PE.

La précision du convertisseur N bits :  $\Delta V_e \leq \frac{PE}{2^{N+1}}$

## I.3 Les Spécifications (Erreurs des Convertisseurs)

Plusieurs paramètres sont utilisés dans la caractérisation de la performance de CNA. Les spécifications les plus communes pour toutes les applications sont les suivantes :

### I.3.2 Erreur d'offset

C'est l'écart entre la valeur de la tension du sortie théorique et la valeur de la tension du sortie réelle mesurée sur la première transition du convertisseur (le code 00...0) et exprimé en LSB (Figure I.3.(a)).

### I.3.1 Erreur de gain

C'est l'écart entre la valeur de la tension du sortie théorique et la valeur de la tension du sortie réelle mesurée sur la dernière transition (PE) du convertisseur et exprimé en LSB (Figure I.3.(b)). Cette mesure suppose que l'ajustage du zéro soit parfait. En pratique, pour ajuster un convertisseur, on réglera d'abord l'offset, et ensuite le gain.

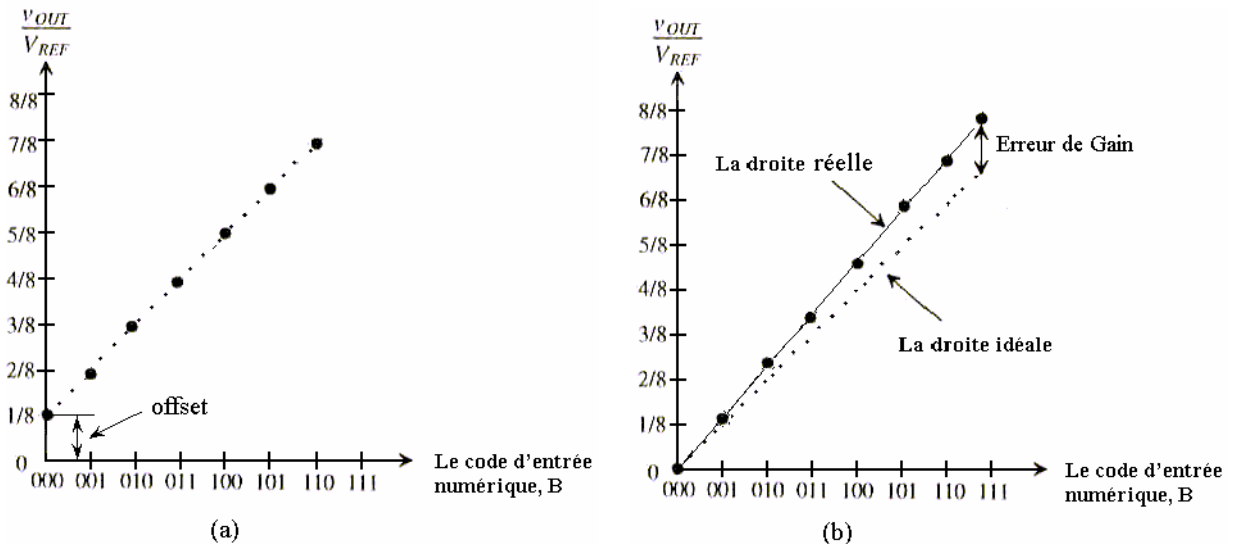


Figure I.3 (a) Erreur d'offset de CNA, (b) Erreur de gain de CNA

### I.3.3 Les erreurs de Linéarité

L'erreur de linéarité est due au fait que la résolution des convertisseurs n'est pas constante. On distingue deux formes de non linéarité : la non linéarité intégrale, et la non linéarité différentielle.

#### a) Non Linéarité Différentielle

La non-idéalité des composants cause les incréments analogiques différent de leurs valeurs idéales. On connaît la différence entre les valeurs idéales et réelles comme la nonlinéarité différentielle, ou DNL et est défini :

$$DNL_n = (\text{hauteur d'incrément réelle de transition } n) - (\text{hauteur d'incrément idéal})$$

En général, le maximum de non linéarité différentielle se trouve à la moitié de la pleine échelle (passage du MSB de 0 à 1), et ensuite à moindre degré à 1/4 et 3/4 de la pleine échelle.

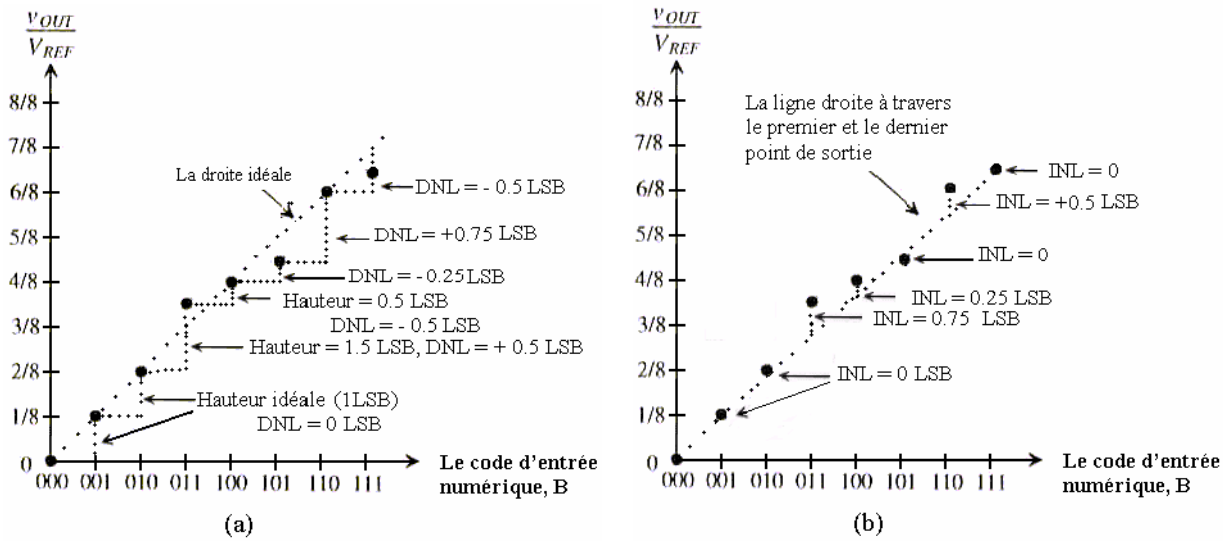


Figure I.4 (a) Erreur de linéarité différentielle DNL, (b) Erreur de linéarité intégrale INL.

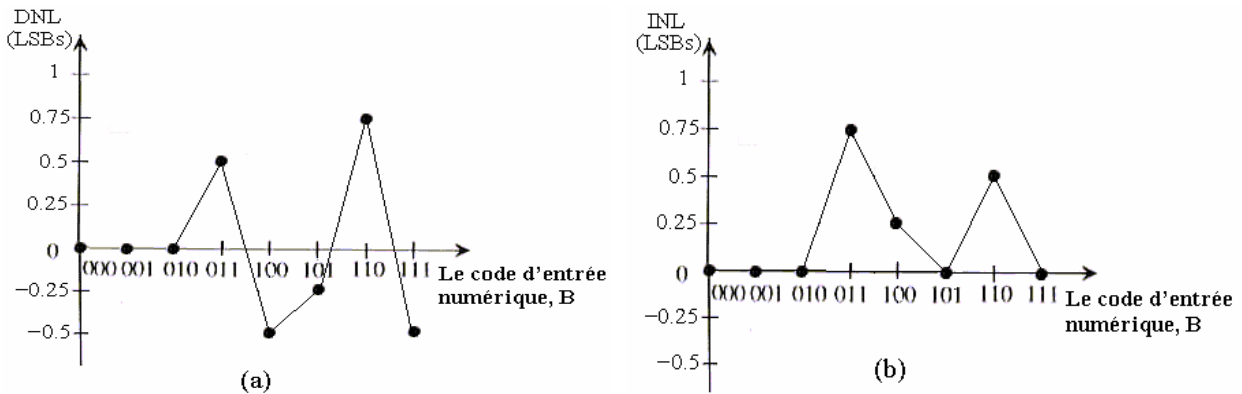


Figure I.5 (a) La courbe DNL d'un CNA à 3 bits (b) la courbe INL d'un CNA à 3 bits

**b) Non Linéarité Intégrale**

INL (ou la précision relative), exprimée en LSB, est la déviation de la sortie réelle de convertisseur par rapport à une ligne droite dessinée entre les points des deux extrémités de la courbe de fonction de transfert de convertisseur. Le nom « nonlinéarité intégrale » provient du fait que l'addition des nonlinéarités différentielles de bas jusqu'à un pas particulier, détermine la valeur de la nonlinéarité intégrale à ce pas.

$$INL_n = (\text{la valeur de sortie du code d'entrée } n) - (\text{la valeur de sortie du ligne de référence dans ce point})$$

Cette mesure n'a évidemment de sens que si l'offset et le gain sont correctement réglés. La

figure I.4 présente un exemple des erreurs DNL et INL dans la fonction du transfert pour un CNA à 3 bits, la figure I.5 représente les courbes de DNL et INL exprimée en LSB de ce CNA.

Pratiquement, un convertisseur de résolution de n-bit aura moins que  $\pm \frac{1}{2}$  LSB d'INL et de DNL.

### I.3.4 Monotonicité (CNA)

Ce phénomène est le même que le précédent, mais poussé à l'extrême : il peut arriver que la pente de la courbe de conversion change de signe. Pour une tension analogique de sortie, il ne sera pas possible d'attribuer un nombre binaire correspondant : il y aura plusieurs solutions possibles.

Si le  $|DNL| < 1\text{LSB} \Rightarrow$  le convertisseur est non monotone.

### I.3.5 Temps d'établissement (CNA)

La vitesse de fonctionnement d'un CNA est définie par son temps d'établissement. Le temps d'établissement est défini comme le temps que prend le CNA pour se stabiliser à  $\pm 1/2$  LSB de sa valeur finale de pleine échelle, en réponse à un changement de code d'entrée binaire de tous 0 à des 1.

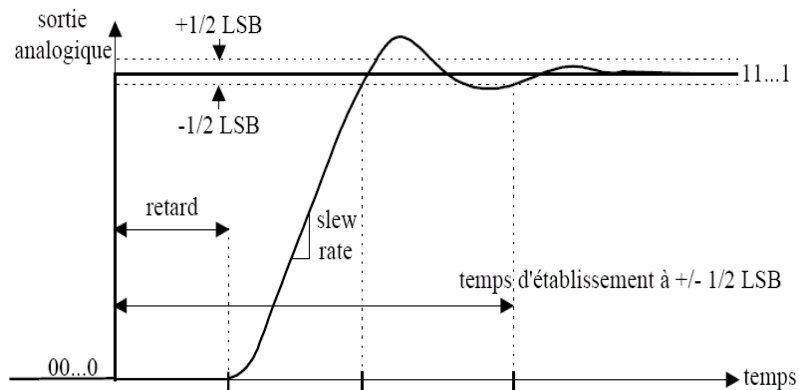


Figure I.6 Erreur d'établissement

### I.3.6 Bande Passante

Le temps nécessaire au traitement des données à l'intérieur des convertisseurs fixe une fréquence maximale de fonctionnement ou taux d'échantillonnage limite qui est la bande passante du convertisseur.



Lorsque l'application nécessite seulement que la sortie analogique soit comprise dans une bande définie autour de sa valeur finale avant que le nouveau code numérique d'entrée puisse être traité alors :

$$\text{La bande passante du CNA} = \frac{1}{\text{temps d'établissement}} \quad \text{I.4}$$

Plus généralement, la procédure d'évaluation de la bande passante du convertisseur s'appuie sur le tracé du nombre effectif de bit du convertisseur en fonction de la fréquence du signal d'entrée. Dès que le nombre effectif de bit chute d'1/2 par rapport à la résolution DC, la précision nominale n'est plus garantie et la limite de la bande passante du convertisseur est atteinte.

## **I.4 Limites de conversions**

### **I.4.1 La Génération de Référence**

#### **a) Réseau de Résistances RCNA**

La précision de ce type de CNA est limitée par l'établissement et l'appariement. Chaque disparité dans les résistances dans l'échelle affectent la performance DNL et INL du CNA.

##### **a.1) Les disparités des composants**

###### **i. Définition**

La disparité des composants, nommé aussi l'erreur d'appariement, est limitée par la fabrication et est donc présente dans toutes les conceptions. Comme définition, la disparité (mismatch) « est le processus qui cause des variations aléatoires indépendantes du temps dans les quantités physiques des dispositifs conçus identiquement » [2]. Plusieurs techniques ont été développées pour tolérer l'erreur d'appariement du dispositif telles que la disposition géométrique en centre commun et l'appariement dynamique.

En général, il y a deux types de disparités aléatoires qui ont lieu pendant la fabrication : *les fluctuations périphériques et régionales*. *Les fluctuations périphériques* arrivent le long des bords des dispositifs, l'augmentation de la périphérie du dispositif tend à réduire l'erreur

périphérique totale puisque les fluctuations tendent à se compenser sur de plus grandes périphéries de dispositif. *Les fluctuations régionales* arrivent partout dans le dispositif entier, menant aux variations dans les propriétés du dispositif sur la surface entière. L'augmentation de la surface du dispositif réduit la quantité totale d'erreur d'appariement régionale à cause de la tendance des variations à s'annuler. Etant donné les propriétés de graduation de fluctuations périphériques et régionales, la réalisation d'un appariement plus précis du dispositif se traduit invariablement par la fabrication de plus grands dispositifs. Pour un niveau donné d'appariement, les tailles réelles des dispositifs sont déterminées en employant les statistiques industrielles à partir de la modélisation du processus avant la fabrication.

L'erreur d'appariement peut être modélisée comme une distribution Gaussienne décrite par *une moyenne et un écart-type* : La *moyenne* de la distribution d'erreur d'appariement capture tout mismatch systématique dans le processus industriel ou le layout du circuit réel. Souvent, les erreurs d'appariement systématiques sont sans importance parce que il est possible de les annuler avec l'utilisation des techniques de layout prudentes et-ou une méthodologie de conception intelligente. *L'écart type* de l'erreur d'appariement est une mesure de disparité aléatoire inhérente au processus industriel et aux propriétés matérielles. Au contraire avec la disparité systématique, d'habitude, il est difficile ou même impossible d'éliminer les effets de cette partie aléatoire de l'erreur d'appariement.

L'écart type des erreurs d'appariements de tension de seuil et le paramètre de transconductance  $k$ , donné par : [02]

$$\sigma_{V_{th}} = \frac{ka3}{\sqrt{WL}} \quad I.5$$

$$\sigma_{\bar{k}} = \frac{ka4}{\sqrt{WL}} \quad I.6$$

Les équations (I.5,I.6) montrent qu'il est nécessaire d'augmenter la taille physique du dispositif pour obtenir un meilleur appariement de dispositif. L'augmentation exigée de la taille de dispositif aboutit d'habitude à une augmentation correspondante de la consommation électrique pour maintenir la même exécution du système. Ainsi comme dans les cas de bruit de dispositif et des non-idéalités du circuit, le concepteur doit faire face au compromis consommation électrique accrue et taille de la puce.

## ii. Les disparités des résistances

Les disparités aléatoires dans les résistances de réseau proviennent de résistance de contact aléatoire, et d'incertitudes dans la définition de géométrie pendant le traitement. Ceux-ci incluent la définition limitée des bords de résistance pendant la lithographie qui résulte des variations dans la densité de dopage, de largeur et de longueur dans les résistances dans l'échelle. En outre, la résistivité et les gradients d'épaisseur arrivant pendant la déposition du dispositif de résistance affectent directement la valeur de résistance. Les réseaux fabriqués par des résistances diffusées éprouvent aussi des gradients non-linéaires dus de la dépendance de tension à la couche de déplétion utilisée pour former la résistance, et des erreurs de nonlinéarité dans les résistances diffusées d'épaisseur non uniforme de couche de déplétion.

L'écart type de l'erreur d'appariement pour les résistances prend la forme suivante [2]

$$\sigma_R = \frac{1}{W\sqrt{R}} \sqrt{k_{a2} + \frac{k_{p2}}{W}} \quad \text{I.7}$$

Où  $W$  est la largeur croisée de la résistance et  $k_{a2}$  et  $k_{p2}$  sont les constantes de fluctuation régionale et périphérique.

L'augmentation du profil de dopage diminue cette nonlinéarité, mais à la charge de la croissance de la capacité de couche de déplétion. Une approche qui peut être employée pour annuler la partie linéaire de n'importe quel processus de gradient le long de layout est d'employer deux réseaux de résistances antiparallèles.

### a.2) Les Erreurs d'Établissement

Les erreurs d'établissement proviennent puisque des condensateurs d'échantillonnage divers peuvent être commutés à un nœud dans le réseau de résistance. Cela crée, en plus d'un glitch de tension, le signal dépend des retards dans la sortie de CNA. Le cas le plus mauvais des erreurs d'établissement est dans le moyen nœud, où la résistance équivalente a sa valeur maximale.

Puisque les glitches et l'établissement dépendant du signal peuvent créer la distorsion harmonique ils doivent être réduits au minimum. Cela peut être réalisé si la valeur de la résistance est assez petite pour aboutir à un établissement transitoire dans une période de temps

donnée. Cependant, cela se traduit par l'augmentation de la dissipation de puissance ( $P = V_{ref}^2 / R$ ). Aussi, pour achever le meilleur appariement dans les résistances, des réseaux basses-Ohmique sont construits avec l'utilisation des réseaux plus haute-Ohmique en parallèle. Bien que cela augmente la précision et améliore la performance de linéarité du CNA, il lève aussi la dissipation de puissance et la surface de layout.

### a.3) Les Erreurs d'interrupteur

Les interrupteurs connectés aux points intermédiaires dans le réseau de résistance sont implémentés dans les circuits intégrés avec des transistors MOS. Ainsi, la résistance ouverte d'interrupteur qui apparaît en série entre le nœud de réseau et le nœud de sortie non seulement limite la vitesse d'établissement du circuit, mais introduit aussi un signal de retard. Puisque la résistance ouverte d'un MOS est inversement proportionnelle à  $(V_{gs} - V_t)$  les interrupteurs supérieurs dans le réseau présenteront la résistance la plus haute que ceux près du bas. Ainsi, le temps d'établissement dépend des codes d'entrée. Une solution pour ce problème est d'employer un autre réseau pour générer le nœud dépendant des tensions de contrôle pour les interrupteurs MOS pour que la tension  $(V_{gs} - V_t)$  soit constante pour chaque interrupteur dans le RCNA.

## b) Somme de Courants ICNA

### b.1) Les disparités des sources de courant

Comme dans les réseaux de résistances, les sources de courant peuvent éprouver des disparités dues des gradients de layout et des variations géométriques. L'effet d'erreurs de source de courant dans la linéarité du CNA est semblable à l'effet des disparités de résistance dans l'architecture RCNA.

Le courant de drain d'un transistor MOS fonctionnant dans la région de saturation est donné par [2]

$$I_D = \frac{1}{2} \mu C_{OX} \frac{W}{L} (V_{gs} - V_t)^2 \quad \text{I.8}$$

Où  $\mu$  est la mobilité de porteur dans le canal,  $C_{OX}$  est la capacité d'oxyde de grille par l'unité de surface,  $W$  et  $L$  sont la largeur et la longueur efficace du dispositif,  $V_{gs}$  est la tension grille source et  $V_t$  est la tension de seuil. Les variations du courant de drain dans des dispositifs

différents parviennent à cause des variations de paramètre des quantités ci-dessus. Il a été trouvé que la déviation standard de disparité de courant de drain est donnée par :

$$\frac{\sigma_I^2}{I^2} = \frac{\sigma_L^2}{L^2} + \frac{\sigma_W^2}{W^2} + \frac{\sigma_\mu^2}{\mu^2} + \frac{\sigma_C^2}{C^2} + 4 \frac{\sigma_{V_t}^2}{(V_{GS} - V_t)^2} \quad I.9$$

Où  $\sigma_X$  est la variation standard de paramètre  $X$  tandis que  $\bar{X}$  est la valeur moyenne.

Comme,  $\mu$ ,  $C_{OX}$  et  $V_t$  sont le processus dépendant seulement de  $W$ ,  $L$  et  $V_{gs}$  peuvent être régler pour augmenter l'appariement du courant de drain. Pour un meilleur appariement, chaque dispositif occupe une grande surface c'est-à-dire (augmenter  $W$  et  $L$ ). Cependant,  $W$  grand mène à la capacité parasite drain substrat plus haute, comme le grand  $L$  exige des tensions de grille-source plus hautes pour le même courant de drain. Pour des dispositifs de surface égaux il est meilleur d'avoir un plus grand  $L$  que  $W$  pour améliorer l'appariement. L'appariement de source de courant, donc, impose un compromis parmi la vitesse, la précision et l'oscillation de tension dans la conception d'un CNA.

Il a été proposé plusieurs méthodes pour augmenter l'appariement des dispositifs dans le CNA incluant l'utilisation de tension de seuil a compensé la source de courant, et la technique de layout prudent.

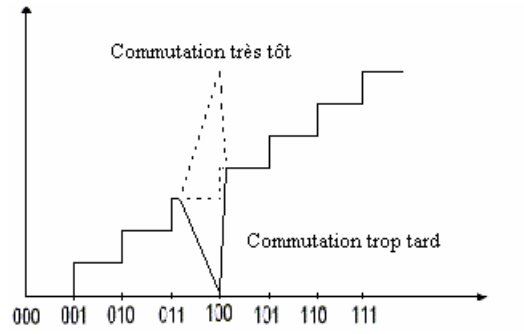
### **b.2) L'Impédance de sortie Finie**

L'impédance de sortie finie des sources de courant des nœuds de sortie qui sont commutées de l'intérieur et de l'extérieur est une autre source d'erreurs de linéarité dans le ICNA. Des non-linéarités résultent les variations de la résistance de sortie équivalente qui dépend du nombre de sources de courant qui ont été connectées dans le nœud de sortie. Ce nombre est une fonction du code numérique.

### **b.3) Erreur de commutation (Glitch)**

Un autre problème avec les architectures de la sommation du courant est potentiellement leur grande surface de glitch. Le glitch est principalement dû à la synchronisation imparfaite des entrées numériques et la pente finie et l'établissement du temps des signaux qui conduisent les interrupteurs dans le CNA. Considérez par exemple un CNA binaire pondéré avec l'entrée numérique éprouvant une transition de 011 (3 décimale) à 100 (4 décimale), il est possible que

pendant le temps de transition tous les interrupteurs connectés aux sources de courant soient partiellement ouverts en même temps. Ainsi, le courant de sortie à ce temps a une valeur différente de 3 ou de 4, aboutissant à un glitch.



**Figure I.7 Les codes manquants ou totalement erronés parce que la commutation des bits du mot d'entrée ne s'est pas effectuée simultanément.**

D'autres sources de glitch sont la charge ou la décharge de capacité parasite associée aux sources de courant, feedthrough du signal numérique et la modulation de longueur de canal des sources de courant. Plusieurs méthodes ont été proposées pour réduire l'énergie de glitch qui inclut plusieurs systèmes de commutation appropriés.

### c) Echelle Capacitive CCNA

#### c.1) Les disparités des capacités

La disparité géométrique de condensateur est à cause des deux gradients : le gradient linéaire et aléatoire. La disparité géométrique est fonction de la largeur du condensateur, la longueur et l'épaisseur d'oxyde. L'épaisseur d'oxyde est une fonction du processus de fabrication. Des gradients d'épaisseur d'oxyde peuvent devenir significatifs pour des grands condensateurs. Donc, l'augmentation des dimensions de condensateur ne réduit pas l'erreur de disparité indéfiniment. La disparité de condensateur atteint sa quantité la plus petite à une certaine dimension de processus spécifique. Pour améliorer l'appariement entre les condensateurs, des techniques de layout centre-communes peuvent être employées. Pour des condensateurs, l'écart type de l'erreur d'appariement prend typiquement la forme [2] :

$$\sigma_c = \frac{1}{\sqrt{C}} \sqrt{k_{a1} + \frac{k_{p1}}{\sqrt{C}}} \quad \text{I.10}$$

Où  $k_{a1}$  et  $k_{p1}$  sont les constantes de fluctuation régionale et périphérique. Les valeurs de ces constantes dépendent du dispositif, du processus et du layout.

### c.2) La tension dépendant du condensateur

La tension dépendant du condensateur provient de la variation du diélectrique constant à travers les condensateurs et l'épaisseur de région de déplétion de chaque armature de condensateur. Parce que l'armature supérieure des condensateurs dans le réseau de condensateur a une capacité parasite appréciable présente une erreur de gain sur la gamme de pleine-échelle du CNA. Tandis que l'erreur de gain est facilement ignorée ou corrigée dans les CNA autonomes.

## I.4.2 Les Erreurs de circuit E/BMOS [03] [04][05]

Les circuits E/B sont souvent utilisés dans les convertisseurs CNA( par exemple un filtre de sortie). L'E/B a le rôle d'échantillonner l'amplitude de signal analogique et de la maintenir constante durant le temps nécessaire pour un autre circuit suivante puisse la traiter.

L'implémentation la plus simple d'un circuit E/B dans la technologie MOS est montrée dans la figure I. 4, elle est constituée d'un transistor MOS fonctionnant comme un interrupteur d'échantillonnage, et un condensateur  $C_h$  de blocage sur lequel la tension sera stockée. Chaque fois que  $V_g$  est activée, l'interrupteur MOS est fermer, qui permet à son tour au signal de sortie de suivre  $V_{in}$ . D'autre part, quand  $V_g$  est désactivée, l'interrupteur MOS est ouvert. Pendant ce temps,  $C_h$  gardera la valeur de sortie égale à  $V_{in}$  dans l'instant où  $V_g$  est désactiver.

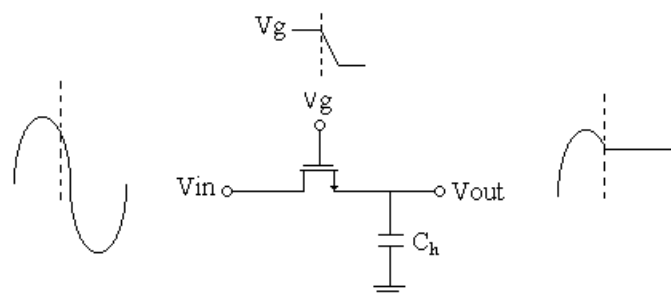
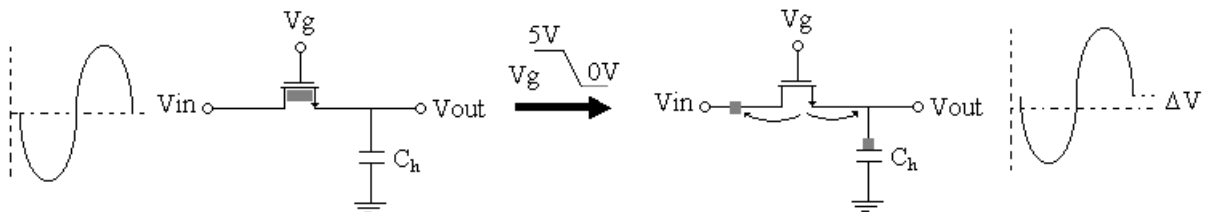


Figure I.8 Un E/BMOS simple

Dans ce circuit assez simple, de nombreuses erreurs sont introduites à cause des mécanismes inhérents au fonctionnement des composants MOS comme : l'injection de charge, le couplage capacitif d'horloge, ...etc.

### a) L'injection de Charge

Quant un interrupteur d'un transistor MOS est fermé, il fonctionne dans la région triode et sa tension de drain-source,  $V_{DS}$ , est approximativement zéro. Pendant le temps où l'interrupteur est fermé, il tient des charges mobiles dans son canal. Une fois que l'interrupteur est ouvert, ces charges mobiles doivent couler de la région de canal vers les jonctions de drain et source comme représenté dans la figure I.9



**Figure I.9 la charge du canal quand le transistor MOS est dans la région triode.**

Si l'interrupteur MOS, est implémenté employant un transistor NMOS, ce transistor peut conserver la quantité de charge de canal,  $Q_{ch}$ , tandis qu'il est fermé est donné par l'équation I.11 :

$$Q_{ch} = W L C_{OX} (V_{DD} - V_{th} - V_{in}) \quad [04] \quad I. 11$$

Où  $W$  et  $L$  sont la largeur et la longueur du canal du transistor MOS,  $C_{OX}$  est la capacité d'oxyde, et  $V_{th}$  est la tension de seuil du dispositif NMOS. Quand l'interrupteur MOS est fermé, quelque partie de la charge de canal est poussée au condensateur,  $C_h$ , tandis que le reste de la charge est transféré en arrière à l'entrée,  $V_{in}$ . L'équation 2 donne la fraction,  $k$ , de la charge de canal qui est injectée dans  $C_h$  :

$$\Delta Q = Q/2 = \frac{1}{2} W L C_{OX} (V_{DD} - V_{th} - V_{in}) \quad I. 12$$

Comme résultat, le changement de tension à  $V_{out}$  due de cette injection de charge est donné par l'équation :



$$\Delta V_{out} = \frac{\Delta Q_{ch}}{C_h} = \frac{WLC_{ox}(V_{DD} - V_{th} - V_{in})}{2C_h} \quad \text{I. 13}$$

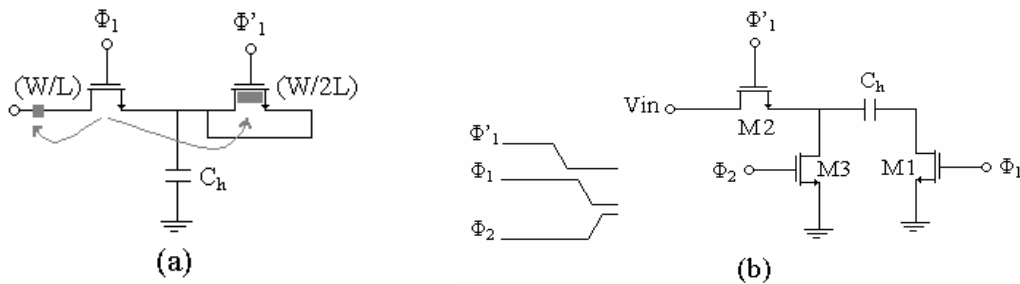
Alors la tension de sortie est donnée par :  $V_{out} = V_{in} - \Delta V_{out}$

$$V_{out} = V_{in} \left( 1 + \frac{WLC_{ox}}{2C_h} \right) - \frac{WLC_{ox}}{2C_h} (V_{DD} - V_{th}) \quad \text{I. 14}$$

Notez que cette équation montre que  $V_{out}$  change de sa valeur idéale à cause du gain non unitaire  $\left( 1 + \frac{WLC_{ox}}{2C_h} \right)$  et une offset constante  $-\frac{WLC_{ox}}{2C_h} (V_{DD} - V_{th})$ , Ainsi  $V_{out}$  est linéairement relié avec  $V_{in}$  et  $V_{th}$ . Cependant,  $V_{th}$  est non-linéairement relié avec  $V_{in}$  (à cause de l'effet de bord). Donc, l'injection de charge introduit trois types d'erreurs : erreur de gain et erreur d'offset qui sont corrigibles, et une erreur de non linéarité qui doit être précisément traitée pour éviter la distorsion. Il y a des solutions pour réduire ces problèmes parmi les quelles :

- L'utilisation d'un *interrupteur dummy* de taille moitié de celle de l'interrupteur d'échantillonnage qui est commandé par un signal complémenté pour absorber la charge injectée par l'interrupteur d'échantillonnage au lieu de l'injecter dans  $C_h$ .
- *L'échantillonnage par armature inférieure* : un interrupteur additionnel M1 définit l'instant d'échantillonnage en s'ouvrant légèrement avant M2. Puisque le drain et la source de M1 sont toujours au même potentiel, dans ce cas la masse, l'injection de charge dans  $C_h$  va être constante à tout moment. La charge injectée par M2 n'affecte pas la charge du signal échantillonnée, puisqu'elle va être court-circuitée par M3 durant la phase de transfert de charge.

La technique de l'interrupteur dummy est présentée dans la figure I.10 (a), et la technique de l'échantillonnage par armature inférieure dans la figure I.10 (b).



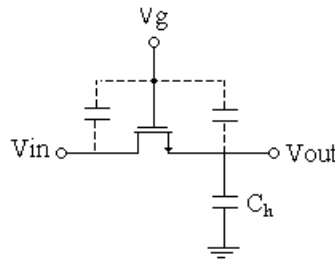
**Figure I.10 La réduction de l'erreur d'injection de charge (a) l'interrupteur dummy (b) l'échantillonnage par armature inférieure.**

### b) Le couplage capacitif d'horloge (Clock Feedthrough)

Le couplage capacitif d'horloge est dû à la capacité de chevauchement de grille-source de l'interrupteur MOS. Pour le circuit de la Figure I.8, la variation de tension  $V_{out}$  due au couplage capacitif d'horloge est donné par : [04]

$$\Delta V_{out} = \frac{WC_{ov}}{WC_{ov} + C_h} (V_{DD} - V_{SS}) \quad \text{I.15}$$

Où  $C_{OV}$  est la capacité de chevauchement. L'erreur présentée par Le couplage capacitif d'horloge est d'habitude très petit comparé à l'injection de charge. Aussi, remarquez que le couplage capacitif d'horloge est indépendant du signal, ce qui signifie qu'une simple offset constante est ajouté dans la caractéristique de sortie. Cela peut être traité comme les compensations de signal qui peuvent être enlevées par la plupart des systèmes. Ainsi, l'erreur de couplage capacitif d'horloge est typiquement moins importante que l'injection de charge.



**Figure I.11 Couplage capacitif du signal horloge**

L'injection de charge et le couplage capacitif d'horloge sont dus aux limitations intrinsèques des interrupteurs du transistor MOS. Ces deux erreurs limitent la résolution maximale utilisable de circuit S/H, et à son tour, limite la performance du système totale.

### I.4.3 Les Composantes d'erreur Aléatoire

#### a) Le Bruit Thermique (KT/C) [06]

Le mouvement aléatoire des électrons dans un conducteur présente des fluctuations dans la tension mesurée à travers le conducteur même si le courant moyen est zéro. Ainsi le spectre de bruit thermique est proportionnel à la température absolue, et est présente comme un bruit additionné à la valeur efficace du signal. dans un intervalle de fréquence  $\Delta f(\text{Hz})$ , le bruit thermique est donnée par :

$$\overline{V}^2 = 4KTR \Delta f [V^2/Hz] \quad \text{I.16}$$

Où K est la constante de Boltzmann. T est la température en Kelvin.

Le bruit thermique dans les circuits à capacités commutées (appelé aussi bruit KT/C) est généré et ajouté au signal à cause de la résistance finie de l'interrupteur MOS, Alors la tension de sortie ne dépend pas seulement de la tension d'entrée, mais aussi d'une composante du bruit introduite à l'instant d'échantillonnage. La réponse fréquentielle à un simple pôle est :

$$\sigma^2 = \int_0^{\infty} \frac{\overline{V}^2}{\Delta f} \cdot \frac{1}{\left|1 + j \frac{f}{f-3dB}\right|^2} df = \frac{KT}{C_h} \quad \text{I.17}$$

L'équation (I.17) implique que la variance totale du bruit est indépendante de R. c'est parce que pour les grandes valeurs de R, l'augmentation de la valeur efficace du bruit s'annule par la réduction correspondante de la bande passante. Le bruit kT/C peut être diminué seulement avec l'augmentation de Ch (si T est fixé).

#### b) Le Bruit de Scintillement (1/f) « Flicker » [06]

L'interface grille-oxyde/silicium dans un MOSFET entraîne un phénomène intéressant. Puisque le cristal de silicium atteint une fin à cette interface, beaucoup de bonds "critiques" apparaissent, provoquant des états d'énergie supplémentaires. Comme mouvement de porteurs de charge à l'interface, certains sont aléatoirement pris au piège et plus tard sorti par de tels états d'énergie, présentant le bruit de "flicker" dans le courant de drain. Ce bruit peut être dû aux défauts dans l'interface grille-oxyde/silicium.

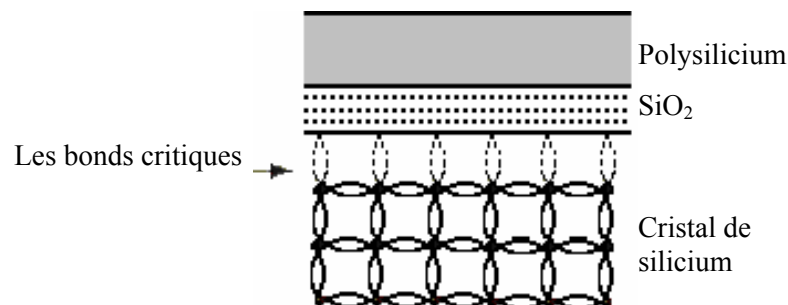


Figure I.12 Les bonds critiques l'interface grille-oxyde/silicium.

Le bruit de scintillement, appelé aussi bruit de basse fréquence ou bruit rose, est une autre source d'erreur significative dans les circuits CMOS. La puissance du bruit de scintillement dépend de la géométrie du dispositif et est inversement proportionnelle à la fréquence c'est pour ça il est appelé aussi « bruit 1/f ».

Le bruit de scintillement est modelé comme une source de tension en série avec la grille,  $V_{\text{g}}^2(f) = \frac{k}{WLC_{\text{ox}}} \cdot \frac{1}{f}$ , où k dépend des caractéristiques du dispositif et varie largement entre les différents dispositifs d'un même processus. Aussi, remarquons qu'un transistor NMOS génère plus de bruit de scintillement qu'un PMOS du fait que les porteurs majoritaires dans le PMOS, trous, sont moins difficiles à être piégés. Notons que de plus grands dispositifs génèrent un bruit 1/f moins important. Ce bruit est extrêmement important dans les circuits MOSFET parce qu'il domine aux basses fréquences, à moins que des techniques à circuits commutés ne soient utilisées pour le minimiser.

## Conclusion

Nous avons présenté dans ce chapitre les différentes spécifications et les différents paramètres qui limitent la performance d'un convertisseur numérique analogique. Parmi les sources, des non idéalités de circuit dues à l'implémentation physique imparfaite du circuit (l'injection de charge, le glitch, l'erreur d'appariement), et d'autres sont liées au fonctionnement de base des dispositifs (KT/C, Flicker,...). Mais il y a toujours des techniques qui peuvent réduire ces bruits, qui ne peuvent être éliminés complètement dans un circuit réel, pour réaliser la résolution voulue.

# CHAPITRE II

---

## Les architectures des CNAs

---



Le coût baisse des circuits intégrés de très grande échelle(VLSI) permet aux fonctions analogiques d'être en forme numérique. Cependant, le monde réel est toujours une place fondamentalement analogique. Donc, le signal analogique traduit à un format qu'un ordinateur numérique peut utiliser. Cette traduction est la fonction d'un convertisseur analogique /numérique (CAN), le signal numérique résultant est rendu à une forme analogique par un convertisseur numérique analogique (CNA). L'information peut être consommée par des sens humains ou manipulées par des circuits analogiques.

CANs et CNAs sont ubiquitaires dans les systèmes de calcul. Beaucoup de produits électroniques, contiennent un ou plus d'un convertisseur de donnée.

Vue comme une boîte noire, le CNA a un mot numérique d'entrée de  $n$  bits. Sa sortie analogique est proportionnelle à l'entrée et est typiquement une tension ou courant. Une large variété des circuits a été conçue pour exécuter la conversion numérique à analogique. Une compréhension de comment les conversions sont faites permettra à l'utilisateur de faire le choix approprié pour une application donnée.

Ce chapitre couvre deux types populaires de CNA : le CNA parallèle et le CNA sériel.

Le CNA parallèle (flash) exécute leur conversion dans un seul cycle d'horloge et est typiquement conçu pour fonctionner aux hautes vitesses. Le CNA sériel convertit le signal numérique à un signal analogique un bit à la fois.

Dans ce chapitre, Trois variations des CNA flash sont présentées avec deux CNA sériel. Aussi, les avantages et les inconvénients pour chaque architecture seront discutés.

## II.1 CNA Parallèle (Flash)

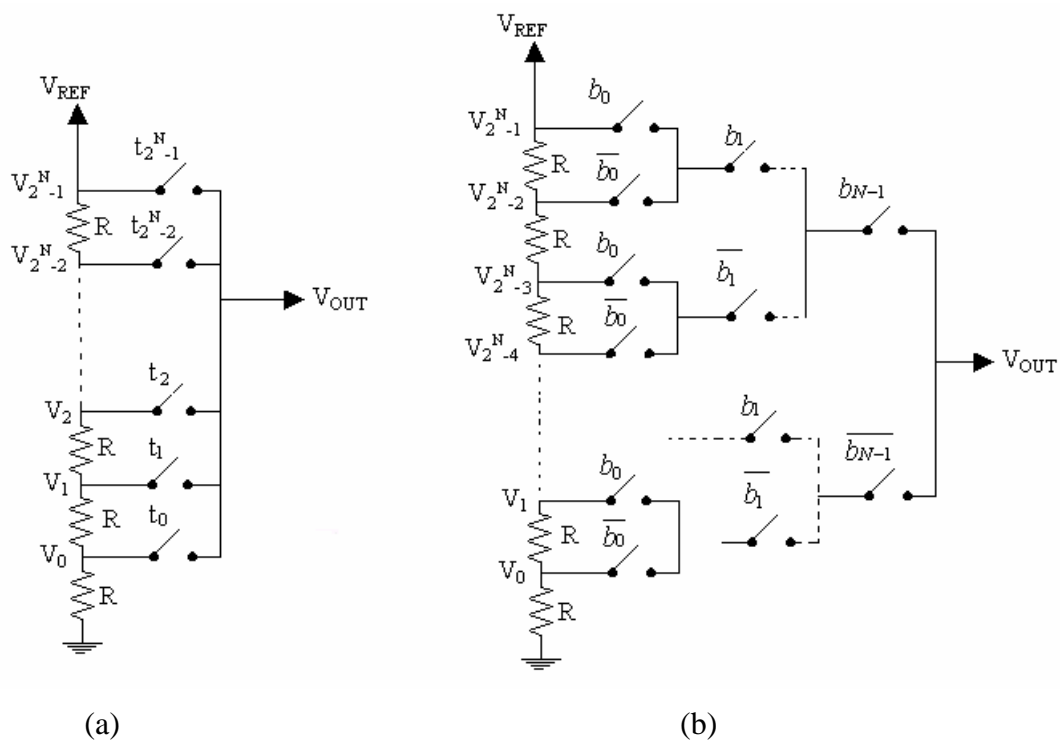
Un convertisseur numérique analogique parallèle, parfois appelé CNA flash, est caractérisé par son habilité de générer la sortie dans un seul cycle d'horloge. La vitesse d'un CNA parallèle est réalisée par la génération parallèle d'un ensemble des références fixées. L'ensemble des références est complet, c'est-à-dire, ils sont capables de construire toutes les valeurs de sortie possible de CNA. Ainsi n'importe quelle sortie peut être créée presque instantanément fournissant le CNA parallèle avec la capacité de fonctionner aux hautes vitesses. Les différences entre le CNA à série de résistances, le CNA à réseau des capacités et le CNA à somme des courants sont principalement comment chacun crée l'ensemble des références et les combine pour créer la sortie.

Le CNA parallèle à diviseur de tension emploie typiquement  $2^N$  éléments pour diviser la tension de référence à  $2^N$  tensions qui peuvent être employées comme une tension de sortie analogique du CNA. Le CNA à série de résistances et le CNA à réseau des capacités emploient des résistances et des condensateurs, respectivement, pour exécuter le diviseur de tension. Ils sont les CNA à diviseur de tension les plus commune. Le CNA parallèle à somme des Courants emploie typiquement N ou  $2^N$  éléments pour créer les courants de référence. Ceux-ci sont additionnés pour créer le courant de sortie analogique du CNA.

### II.1.1 CNA à Série de Résistance [02] [07] [08] [09] [10] [11] [12] [13]

Le convertisseur numérique analogique à série de résistances emploie un réseau de diviseurs de tension de résistance, connecté entre deux tensions de référence, pour générer un ensemble complet des tensions, chaque nœud de diviseurs de tension correspond à une entrée numérique. Un CNA flash à série de résistances de N bits utilise au moins  $2^N$  résistances. Les interrupteurs, contrôlés par l'entrée numérique du CNA, choisissent la tension de référence appropriée pour l'utiliser comme sortie.

Figure II.1 Représente l'architecture du CNA flash à série de résistances à N bits. La série de résistances divise la tension de référence de CNA ( $V_{REF}$ ) à  $2^N$  tensions égaux  $V_k$ ,  $k = 0, 1, \dots, 2^N-1$ . L'architecture de CNA dans la Figure II.1 (a) emploie  $2^N$  interrupteurs pour connecter la tension appropriée à la sortie  $V_{OUT}(t)$ . Les signaux de contrôle d'interrupteur  $t_k$  pour  $k = 0, 1, \dots, 2^N-1$ , sont générés par un décodeur  $N:2^N$  (non montré). Pour des mots plus longs, une grande capacité parasite apparaît à la sortie, limitant la vitesse opérationnelle de CNA. Une architecture de CNA à série de résistances dans la figure II.1 (b) arrange les interrupteurs dans une structure d'arbre binaire. Cette architecture emploie les bits d'entrée digitale du CNA  $b_k [n]$ , et leurs compléments,  $\bar{b}_k [n]$ ,  $k = 0, 1, \dots, 2^B-1$ , pour contrôler les interrupteurs. En outre, les capacités parasites sont réduites puisque la sortie est connectée aux B interrupteurs fermés et B interrupteurs ouverts, ainsi l'augmentation de la vitesse de conversion.



**Figure.II.1 (a) L'architecture du CNA flash à série de résistances à N-bit. (b) L'utilisation d'un réseau d'interrupteur binaire pour diminuer la capacité de sortie**

### Les avantages et les inconvénients

La précision de diviseur de tension à série de résistances est limitée par les limitations de technologie VLSI. Ils incluent : erreurs de gradient linéaires, erreurs de nonlinéarité dans les résistances diffusées, les erreurs aléatoires. En plus, la sortie de CNA à diviseur de tension doit être brancher à un amplificateur suiveur à haute impédance. Le

courant appréciable qui coule dans le réseau de diviseur de tension produit des erreurs complémentaires en raison de la nonlinéarité des interrupteurs analogiques du CNA. nonlinéarités d'amplificateur à Haute impédance sont présenté directement dans la sortie du CNA.

Les architectures de CNA à série de résistances dans la figure II.1 sont précises seulement autant que l'appariement des résistances de diviseur de tension existe. Comme la longueur de mot d'entrée du CNA augmente, la taille de pas de quantification diminuée, autrement dit, les tensions de référence produites par la série de résistance sont beaucoup tout près et les exigences d'appariement de résistance sont augmentées. Malheureusement, les processus de fabrication de VLSI ne sont pas exacts et les résistances ne peuvent pas être parfaitement apparier. La taille physique des résistances peut être augmentée pour réduire au minimum les erreurs d'appariement de résistance, mais cela baisse la densité de circuit.

Les CNA à série de résistances sont limités par les longueurs de mot au moins de 10 bits. D'autres issues de conception de CNA à série de résistances traitent avec la surface de circuit et la dissipation de puissance. Alors, des grandes surfaces de chip sont exigées pour le plus long mot à cause du grand nombre de résistances de diviseur de tension, l'utilisation de surface est alors plus augmentée. De même puisque le courant coule toujours à travers le diviseur de tension, la puissance est constamment dissipée. Bien que la valeur de la résistance  $R$  puisse être augmentée pour réduire les pertes de puissance, les plus grandes résistances occupent plus de surface. Ainsi, les CNA à série de résistances ont l'incapacité de conduire la charge sans Amp-op suiveur.

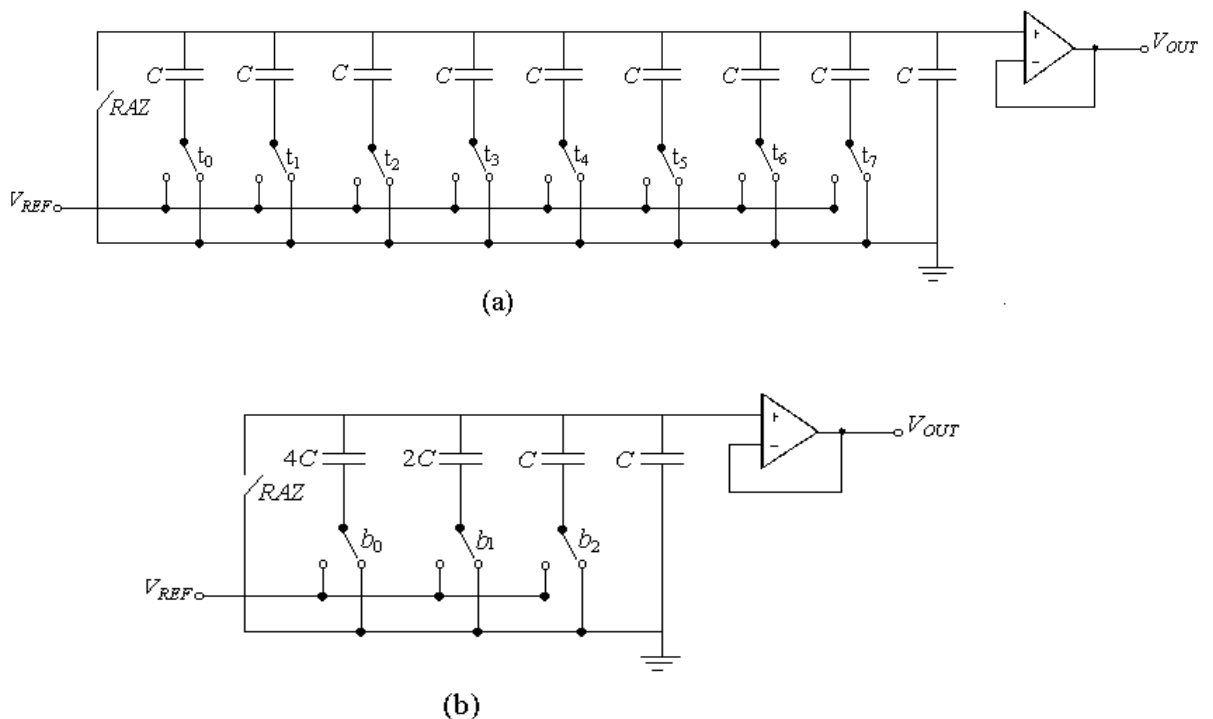
Un grand avantage des CNA à série de résistances est leur monotonie et leur capacité de fonctionner aux hautes vitesses. A cause de la nature parallèle de leur conception, implémentation de CNA à série de résistances dans la figure II.1.b sont très rapide et sont employés dans beaucoup applications de haute bande passante comme la vidéo digitale, le radar et communications. Dans les technologies d'appariement de résistance d'aujourd'hui est bon à environ 8-9 bits de linéarité.

### II.1.2 Le CNA flash à Réseau de capacités [02] [05] [07] [08] [09] [10] [11][14][15] [16]

Les convertisseurs numériques analogique flash à Réseau des capacités exécutent la conversion de signal en divisant la tension de référence  $V_{REF}$  employant  $N$  ou  $2^N$  condensateurs appariés. La figure II.2. représente un exemple d'architecture de CNA à Réseau des capacités à trois bits ( $N = 3$ ). Initialement chaque condensateur est déchargé à



travers l'interrupteur de remise à zéro (RAZ). Ensuite, chaque condensateur est connecté à  $V_{REF}$  ou à la masse causant le diviseur de tension de sortie de CNA entre les condensateurs. La figure II.2.(a) d'architecture de CNA. Utilise  $2^N$  interrupteurs pour connecter le nombre approprié de condensateurs unitaires pondérés à  $V_{REF}$  et les autres condensateurs restants à la masse. Les signaux de contrôle des interrupteurs,  $t_k$  pour  $k=0,1,\dots, 2^N-1$ , sont générés par un décodeur de thermomètre (non montré). L'architecture de CNA flash à Réseau des capacités dans la figure II.2.(b) Emploie  $N$  interrupteurs pour connecter la combinaison appropriée de condensateurs binaires pondérés à  $V_{REF}$  créant ainsi la tension de sortie  $V_{OUT}$ . Cette architecture n'a pas besoin d'un décodeur de thermomètre. Il utilise les bits d'entrée digitales du CNA,  $b_k [n]$  et leurs compléments,  $\bar{b}_k [n]$ , pour contrôler les interrupteurs.



**La Figure.II.2 L'architecture de CNA flash à réseau des capacités à 3 bits (a) avec les capacités pondérées unitaire, et (b) les capacités pondérées binaires.**

### Les Avantage et Les Inconvénients

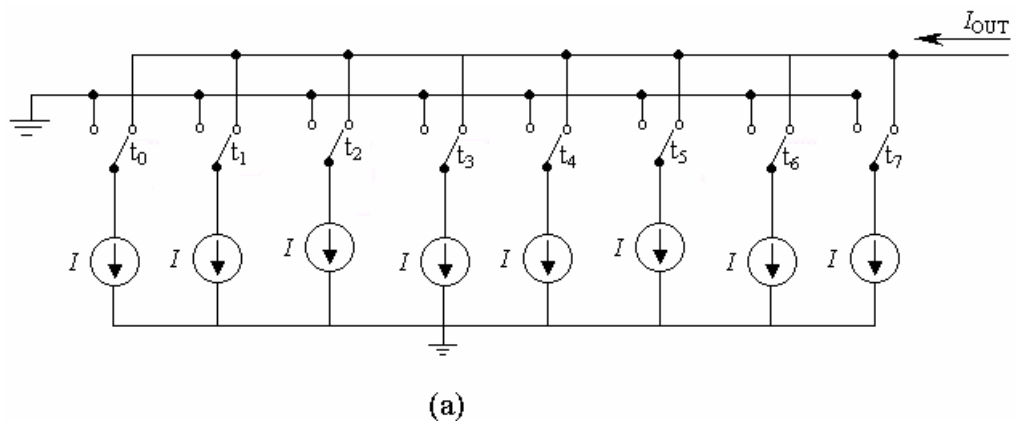
Les avantages des CNA flash à réseau de capacités dans la figure II.2 sont : la rapidité et la bonne précision, Un inconvénient principal est l'incapacité de conduire les charges sans un amplificateur suiveur, le besoin des condensateurs précisément appariés, non

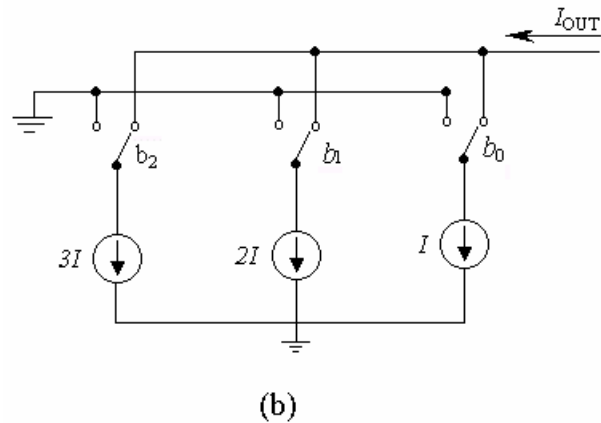
monotone, la grande surface, et les grands courants transitoires coulent de  $V_{REF}$  pendant la commutation.

Les CNA à Réseau des capacités ne sont pas linéaires à cause de la disparité de condensateur, la dépendance de tension de condensateur, et l'armature supérieure des capacités parasites.

### II.1.3 CNA flash à somme des courants<sup>[02] [07] [08] [09] [10] [11]</sup>

Un CNA flash à somme des courants à  $N$  bits, utilise typiquement  $N$  ou  $2^N$  éléments pour créer  $N$  ou  $2^N$  courants de référence. Par exemple, la figure II.3 montre l'architecture de CNA à somme des courants à trois bits ( $N = 3$ ). La série des courants divise la tension de référence  $V_{REF}$  à  $2^N$  tensions égaux,  $V_k$  pour  $k=0,1, \dots, 2^N-1$ . L'architecture de CNA dans la figure II.3.a, emploie  $2^N$  interrupteurs pour connecter le nombre approprié des références de courant binaires pondérés pour créer le courant de sortie  $I_{OUT}$ . Les signaux de contrôle des interrupteurs,  $t_k$  pour  $k = 0,1, \dots, 2^N-1$ , sont générés par un décodeur de thermomètre, une architecture de CNA flash à somme des courants dans la figure II.3.b. Utilise  $N$  interrupteurs pour connecter la combinaison appropriée des références des courants binaires pondérés pour créer le courant de sortie  $I_{OUT}$ . Cette architecture n'a pas besoin d'un décodeur de thermomètre et utilise les bits de l'entrée digitale du CNA,  $b_k$  pour  $k=0,1, \dots, 2^N-1$ , pour contrôler les interrupteurs.





**Figure. II.3** L'architecture de CNA flash à somme des courants à 3 bits (a) Avec sources de courant pondérées unitaires, et (b) sources de courant pondérées binaire

### Les Avantages et Les Inconvénients

Un avantage principal de l'architecture de CNA à somme des courants dans la figure II.3 est son haut courant inhérent qui coule, insensible aux parasites des interrupteurs, et sa haute vitesse. Un inconvénient de cette architecture est les glitches créés quand les interrupteurs ne fonctionnent pas au même instant exact. Cette erreur est la plus significative au milieu d'échelle du CNA quand le plus grand nombre de sources commutent et peut introduire la nonmonotonie.

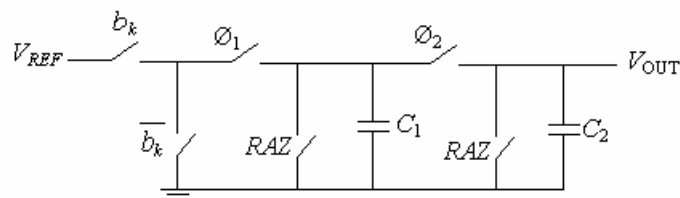
Les miroirs de courant sont typiquement employés pour implémenter les sources de courant dans les CNA à somme des courants. Cependant, les miroirs de courant peuvent exposer des erreurs d'appariements significatives, incluant les erreurs de gradient linéaires, les erreurs aléatoires à cause des imprécisions géométriques. De même, les sources additionnelles des erreurs dans les CNA à somme de courant sont l'impédance de sortie finie des sources de courant et la nonlinéarité de résistance de charge du CNA. Comme la sortie de CNA varie sur sa gamme de pleine-échelle, différentes impédances sont connectées à la sortie de CNA changeant la résistance de charge et introduisant la nonlinéarité. En outre, beaucoup des CNA à somme des courants convertissent la courant de sortie à une tension en connectant le nœud de sortie de CNA à une résistance de circuit intégré.

## II.2 Les CNA Sériel [02] [07] [08] [09] [10] [11]

En général, CNA sériel est construit avec des circuits beaucoup plus simples comparant au CNA flash, cela réduit la vitesse complète du convertisseur.

Une caractéristique commune des CNA sériel est que la conversion de données est faite un bit à la fois. La figure II.4 représente un CNA sériel très simple : CNA sériel à deux

condensateurs. Dans la figure II.4,  $C_1 = C_2$  et les signaux  $\Phi_1$  et  $\Phi_2$  sont les phases de deux phases d'horloge non chevauchés. Dans cette architecture, l'interrupteur de remise à zéro ferme au début de chaque conversion, déchargeant les deux condensateurs et forçant la tension de sortie  $V_{OUT}$  à être zéro. Pour commencer la conversion, l'interrupteur de remise à zéro est ouverte et  $\Phi_1=1$ , le bit le moins significatif (LSB) de l'entrée de CNA détermine si le  $C_1$  est chargé à  $V_{REF}$  ou à zéro. Ensuite,  $\Phi_1$  ouvre son interrupteur et  $\Phi_2$  ferme son interrupteur cette opération permet à  $C_1$  et  $C_2$  de partager les charges. Ensuite,  $\Phi_2$  ouvre son interrupteur,  $\Phi_1$  ferme son interrupteur et  $C_1$  est chargé à  $V_{REF}$  ou à zéro, selon la valeur de deuxième bit le moins significatif. Le processus continue jusque toutes les N bits n'aient été examinés, et la charge dans les deux  $C_1$  et  $C_2$ , et la tension  $V_{OUT}$  est proportionnelle à l'entrée du CNA sériel.



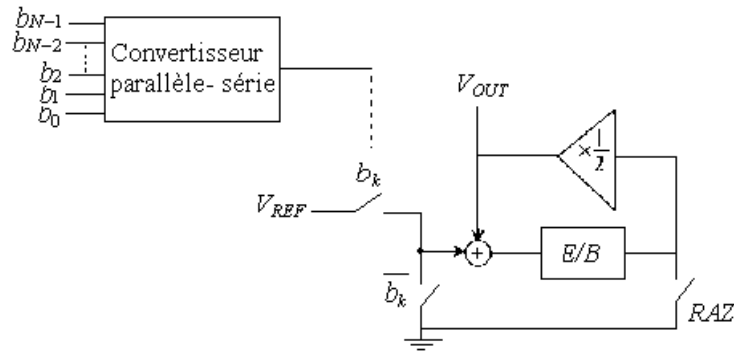
**Figure.II.4 L'architecture de CNA sériel à deux capacités**

### II.2.1 CNA cyclique [02] [07] [08] [09] [10] [11]

Les convertisseurs numériques analogiques cycliques utilisent très peu de composants pour exécuter leurs tâches de conversion, ainsi les CNA cyclique convertit l'entrée digitale à une quantité analogique un bit à un cycle d'horloge. Dans un CNA cyclique à N bits, chaque conversion de bit est ajoutée à la conversion du bit précédente de l'entrée avant que toutes les N bits de l'entrée du CNA n'aient été traités. Le résultat accumulé est la sortie analogique du CNA cyclique. Donc, N cycles sont exigés pour convertir les N bits de l'entrée digitale de CNA cyclique.

La figure II.5 montre une architecture de CNA cyclique à addition de tension. Dans cette architecture, l'interrupteur de remise à zéro ferme au début de chaque conversion forçant la tension de sortie de l'amplificateur de l'échantillonneur bloqueur (SHA) à être zéro. Pour commencer la conversion, l'interrupteur de remise à zéro est ouvert. Le bit le moins significatif de l'entrée de CNA détermine si la source de tension ou la masse est connectée à l'entrée de la somme. La somme est connectée à  $V_{REF}$  si le bit le moins significatif du CNA est un, et à la masse si le bit le moins significatif du CNA est zéro. L'amplificateur de l'échantillonneur bloqueur bloque la tension constante et un amplificateur

de gain 0.5 aliment la tension en arrière par la somme. La tension du chemin de contre réactions est ajoutée à  $V_{REF}$  si la seconde bit le moins significatif de CNA est un, et à la masse si la seconde bit le moins significatif de CNA est zéro. Le processus continue jusque toutes les N bits aient été examinés et  $V_{OUT}$  est proportionnel à l'entrée du CNA cyclique.



**Figure II.5** Une architecture de CNA cyclique

### Les Avantage et Les Inconvénients

L'inconvénient le plus évident des CNAs cyclique est le temps de conversion augmenté comparant par les CNAs flash. En outre, le temps de conversion augmente linéairement avec la longueur de mot d'entrée du CNA. Cependant, le CNA cyclique est extrêmement compact, et le circuit ne change pas sensiblement pour les mots d'entrée plus longs.

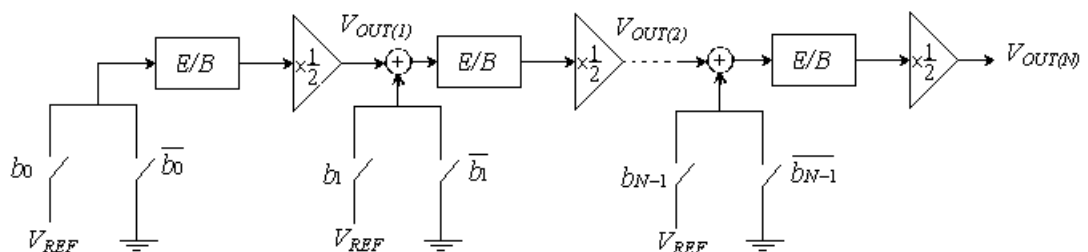
Bien que le CNA cyclique ait peu de composants de circuit, ces composants doivent être extrêmement précis : La somme, l'amplificateur de l'échantillonneur bloqueur, et l'amplificateur de gain moitié tous doivent être précis. Cette exigence est prohibitive pour grand N.

### II.2.2 Pipeline CNA [02] [07] [08] [09] [10] [11]

Le CNAs cyclique ont typiquement des circuits très compacts et de plus longs temps de conversion que le flash CNAs. Le CNA pipeline développe le CNA cyclique pour créer plus grand CNA qui peut convertir aux vitesses beaucoup plus hautes. Comme le CNA cyclique, un CNA pipeline convertit l'entrée digitale à une quantité analogique un bit au cycle. Cependant, le CNA pipeline a des circuiterie employé augmente sa complexité de matériel et les vitesses d'exploitation comparant aux CNAs cyclique. Dans un CNA pipeline a N bits, chaque bit est traitée, ajoutée à la conversion de bit précédente et passé à l'étape suivante jusque toutes les N bits de l'entrée du CNA aient été traités. Le résultat accumulé est

la sortie analogique du CNA pipeline. Donc, le passage de N cycles avant que la sortie de CNA initiale soit prête, mais les sorties suivantes sont achevées par la suite de chaque période d'horloge.

La figure II.6 représente une architecture de CNA pipeline à tension additionnant. Dans cette architecture, le bit le moins significatif de l'entrée de CNA détermine si la source de tension ou la masse, est connectée à l'amplificateur de l'échantillonneur bloqueur dans la première étape. L'amplificateur de l'échantillonneur bloqueur est connectée à la tension  $V_{REF}$  si le bit le moins significatif du CNA est un, et à la masse si le bit le moins significatif du CNA est zéro. L'amplificateur de l'échantillonneur bloqueur garde la tension constante et un amplificateur de gain 0.5 envoie la tension résultante à l'étape suivante. Cette tension est augmentée par  $V_{REF}$  si le second bit le moins significatif est un, et inchangée si le second bit le moins significatif est zéro. Le processus continue en bas le pipeline jusque tous les N bits aient été examinés. La tension de sortie  $V_{OUT}$  est prête à la dernière étape de N période d'horloge après que l'entrée est initialement appliquée au CNA. Cependant, le prochain de la dernière étape forme la sortie prochaine du CNA, la tiers-dernier étape forme la sortie suivante du CNA, ... etc. Donc, le CNA pipeline à N bits peut produire une sortie valable à chaque période d'horloge après un retard initiale de N période.



**Figure.II.6 L'architecture du CNA pipeline**

### Les Avantage et Les Inconvénients

L'inconvénient le plus évident au CNA pipeline est la complexité de matériel augmentée comparant au CNA cyclique. En outre, la complexité de circuit augmente linéairement avec la longueur de l'entrée du CNA. Cependant, le CNA pipeline peut fonctionner aux très hautes vitesses après le retard initial pour remplir. Les composants de CNA pipeline doivent être extrêmement précis.

Les sommes, les amplificateurs de l'échantillonneur bloqueur, et les amplificateurs de gain moitié tous doivent être précis, pour grand  $N$ , cette exigence de précision, et l'exigence de l'appariement des composants, limite la taille de mot d'entrée du CNA pipeline.

### II.3 Conclusion

Les circuits présentés dans ce chapitre sont seulement des exemples des implémentations des CNAs flash et sériel. Le choix de CNA approprié pour un travail donné doit être basé sur ses mérites relatifs, par exemple, un flash CNA pour les applications de haute vitesse ou CNA cyclique pour les applications de basse vitesse où la complexité de circuit est cruciale. Le tableau suivant compare les caractéristiques relatives des architectures précédentes.

**Table2.1 La comparaison entre les différentes architectures**

Le type de CNA	Les avantages	Les inconvénients
Série de résistance	Monotone, des résistances égales, haute vitesse, faible consommation.	Grande surface, sensible aux capacités parasites, le grand courant peut couler à travers la série de résistance, faible résolution.
Réseau de capacités	rapide, bonne précision	Grande surface, non monotone, sensible aux capacités parasites.
Somme de courants	Rapide, insensible au parasite d'interrupteur	Glitch, non monotone,
Sériel	Simple, surface minimum	Lent, rapport de capacité précis
Cyclique	Simple, surface minimum, faible consommation	temps de conversion augmenté, insensible de longueur de mot
pipeline	Des blocs répétés, la sortie à chaque cycle après $N$ cycles.	Grand surface pour grand nombre de bits

# CHAPITRE III

## Conception et Simulation



L'architecture de CNA la plus Populaire et employée en la technologie CMOS est le CNA à réseau de capacités binaire pondéré (voir chapitre 2, figure II.2.b), à cause de sa rapidité et sa bonne précision dans les applications de haute et moyenne résolution (on peut atteindre jusqu'à 10 bits). Mais cette architecture a ces inconvénients : fortement sensible aux parasites, non monotone, et l'injection de charge arrive à l'ouverture des interrupteurs. Une architecture de CNA à amplificateur de charge binaire pondéré est utiliser pour réduire ces erreurs.

### III.1 CNA à amplificateur de charge binaire pondéré

Dans cette architecture représentée dans la figure 3.3, on utilise un condensateur  $C_F$  dans la contre réaction de l'amplificateur. Alors, aucun nœud flottant insensible au parasite, rapide, et aucune exigence de condensateur de sortie, avec cette architecture on peut éliminer les parasites et réduire l'injection charge.



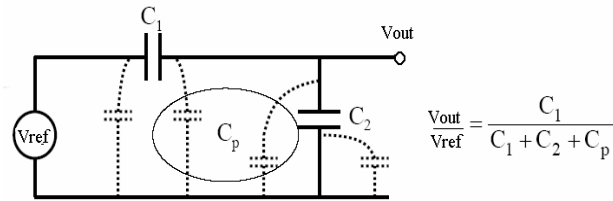


Figure 3.1 La capacité parasite dans le diviseur capacitif

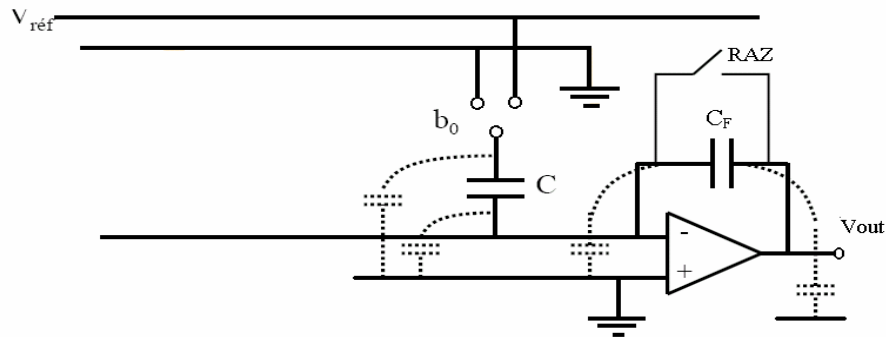


Figure 3.2 L'annulation de la capacité parasite par l'amplificateur de charge

### Dimensionnement de la valeur du capacité de contre réaction

Dans cette architecture la sortie de CNA est calculer comme suit :

$$V_{OUT} = -\frac{\sum_{k=0}^{N-1} b_k 2^k C}{C_F} \cdot V_{ref}$$

Pour calculer la valeur de la capacité de contre réaction  $C_F$ , on suppose que tous les bits d'entrée du mots numérique sont égales à 1, c à d  $b_{N-1} \dots b_1 b_0 = 1 \dots 11$  alors tous les condensateurs sont branchés à  $V_{ref}$ . Le schéma équivalent est dans la figure 3.4 la sortie de

CNA dans ce cas est :  $V_{OUT} = \frac{C_{eq}}{C_F} \cdot V_{REF}$ , et comme la sortie doit être égale à  $V_{PE} = \frac{2^N - 1}{2^N} \cdot V_{REF}$ , ça

nous donne :  $\frac{C_{eq}}{C_F} = \frac{2^N - 1}{2^N}$ , Avec  $C_{eq} = 2^N - 1$  alors,  $C_F = 2^N$ .

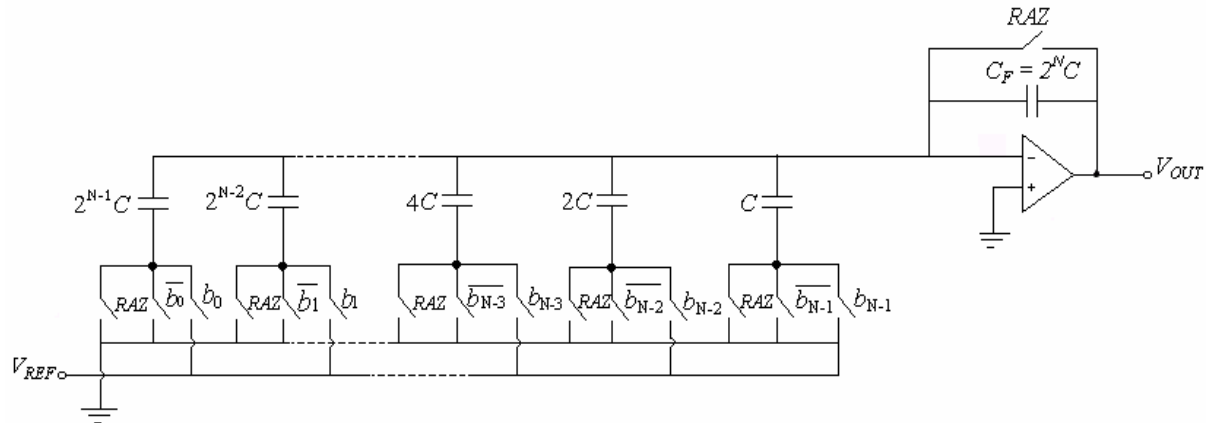


Figure 3.3 CNA à amplificateur de charge pondérée

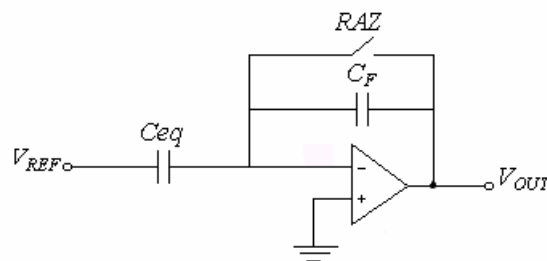


Figure 3.4 Le schéma équivalent pour une entrée pleine échelle

Quand la résolution augmente, la taille du condensateur MSB devient très grande. Par exemple, l'utilisation de ce simple réseau des capacités pour réaliser un CNA à 12-bits aurait exiger pour le MSB une capacité de  $2^{11}C$ . avec comme valeur unitaire de  $C_{LSB} = 942\text{fF}$ , la capacité MSB serait  $C_{MSB} = 2^{11} * 942\text{ fF} = 1929,2\text{ pF}$  ! en peut imaginer ici une très grande surface de silicium utiliser pour construire ce réseau des capacités, et ça implique aussi d'autres exigences comme : Les tailles des interrupteurs sont aussi élevés, le rapport du condensateurs MSB au condensateurs LSB devient plus difficile à contrôler, et bien sur une grande consommation, pour cette raison cette architecture peut atteindre jusqu'à 10 bits seulement de résolution. Une technique qui permet d'augmenter la résolution par la réduction de la taille des condensateurs, et aussi minimiser la surface totale consiste à diviser la résolution totale 'N' au plus petit sous- CNAs.

### III.2 CNA à amplificateur de réseau de charge en T

Dans cette architecture représentée en figure 3.6, la résolution totale 'N' est divisée au 'L' plus petit sous- CNAs chacun avec une résolution de  $N/L$ , c-à-d diviser le réseau de capacité

total de N-bit à 'L' sous-réseaux. Dans notre cas L = 2, N = 12, alors le premier sous-CNA convertit les m-bit les plus significatifs et le deuxième sous-CNA convertit les l-bit les moins significatifs. Avec m+k=N, m = k = N/L = 12/2 = 6 bits.

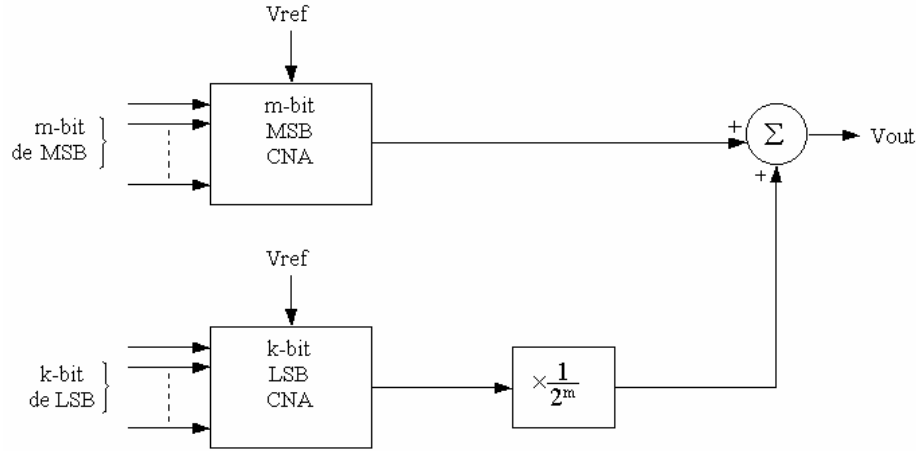


Figure 3.5 La division du réseau de capacités

Dans ce cas la sortie de cette configuration est :

$$V_{out} = \left( \frac{b_1}{2} + \frac{b_2}{4} + \dots + \frac{b_m}{2^m} \right) V_{ref} + \frac{1}{2^m} \left( \frac{b_{m+1}}{2} + \frac{b_{m+2}}{4} + \dots + \frac{b_{m+k}}{2^k} \right) V_{ref}$$

$$V_{out} = \left( \frac{b_1}{2} + \frac{b_2}{4} + \dots + \frac{b_m}{2^m} + \frac{b_{m+1}}{2^{m+1}} + \frac{b_{m+2}}{2^{m+2}} + \dots + \frac{b_{m+k}}{2^{m+k}} \right) V_{ref}$$

Pour notre application, nous avons m=k=6, ce qui donne

$$V_{out} = \left( \frac{b_1}{2} + \frac{b_2}{2^2} + \frac{b_3}{2^3} + \frac{b_4}{2^4} + \frac{b_5}{2^5} + \frac{b_6}{2^6} \right) V_{ref} + \frac{1}{2^6} \left( \frac{b_7}{2} + \frac{b_8}{2^2} + \frac{b_9}{2^3} + \frac{b_{10}}{2^4} + \frac{b_{11}}{2^5} + \frac{b_{12}}{2^6} \right) V_{ref}$$

$$V_{out} = \left( \frac{b_1}{2} + \frac{b_2}{2^2} + \frac{b_3}{2^3} + \frac{b_4}{2^4} + \frac{b_5}{2^5} + \frac{b_6}{2^6} + \frac{b_7}{2^7} + \frac{b_8}{2^8} + \frac{b_9}{2^9} + \frac{b_{10}}{2^{10}} + \frac{b_{11}}{2^{11}} + \frac{b_{12}}{2^{12}} \right) V_{ref}$$

Il est clair qu'il est possible d'aboutir à une résolution de 12 bits en utilisant une  $C_{MSB}=32C$  seulement en divisant le réseau des capacités en deux. Cette technique est une bonne solution pour les CNA parallèle à haute résolution « CNA à série de résistance, CNA à somme de courants ». Il y a plusieurs techniques pour réaliser le facteur d'atténuation ( $\frac{1}{2^6} = \frac{1}{64}$ ), parmi les quelles : Plaçant une capacité d'atténuation en série avec le réseau LSB comme représenter

dans la figure 3.6, cette architecture appelée « réseau en T à amplificateur de charge » ou « split array, charge amplifier ».

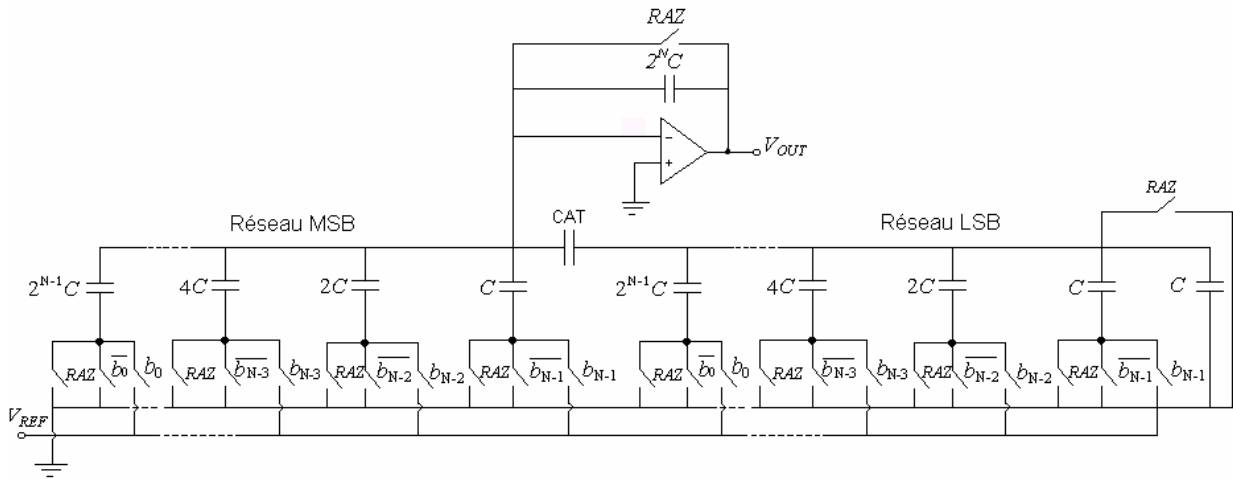


Figure 3.6 Le CNA à Amplificateur de réseau de charge en T

### Dimensionnement de la valeur de capacité d'atténuation

Le condensateur d'atténuation est employé pour séparer le réseau LSB et le réseau MSB. Où la valeur de la capacité d'atténuation doit être tel que la combinaison série du condensateur d'atténuation CAT et le réseau LSB, proposant tous les bits est zéro, est égal à C. c à d,

$$\frac{1}{C} = \frac{1}{CAT} + \frac{1}{\sum C_{LSB}} \Rightarrow CAT = \frac{\sum C_{LSB}}{\sum C_{LSB} - C} \cdot C$$

On a  $\sum C_{LSB} = 64C$ , ça nous donne  $CAT = \frac{64C}{64C - C} \cdot C = \frac{64}{63} \cdot C$ . Pour  $C = 942 \text{ fF}$ ,  $CAT \approx 957 \text{ fF}$ .

Remarquons ici la capacité totale est  $2^N C$  et non pas  $(2^N - 1)C$ , ce qui permet de réaliser un rapport exact de 2 entre les capacités pondérées, ça donne au convertisseur une bonne précision par ce que la précision du CNA dépend des rapports des capacités et non pas de leurs valeurs absolues. De plus, une seule capacité est effectivement vue par le CNA de réseau MSB à travers la capacité d'atténuation.

### III.3 Schéma Synoptique

Le circuit entier dans la présente application est constitué de cinq blocs :

- Une logique de commande (RUNDAC) : Pour commander tous les interrupteurs de cette application.
- Un CNA à amplificateur de réseau de charge en T : Exécuter la conversion des bits de mot numérique à une valeur analogique.
- Un échantillonneur/bloqueur (E/B) : sert à maintenir la valeur analogique de la sortie de CNA fixe pendant le temps nécessaire de conversion.
- Un circuit de référence de tension : pour générer la tension de mode commun VCM.
- Un circuit de référence de courant : pour générer les courants d'alimentation des amplificateurs.

Le schéma bloc de cette application est représenté sur la figure 3.7.

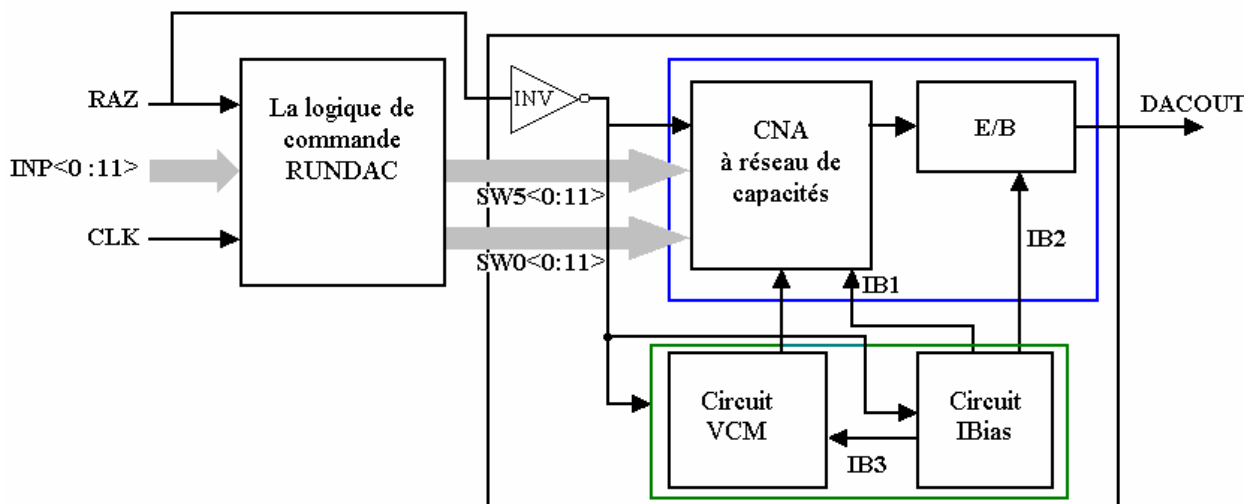


Figure 3.7 Le schéma bloc de CNA

Avant que le processus de conversion ne soit déclenché, le signal de remise à zéro RAZ, qui est fourni par un circuit extérieur est à 5V alors il remet à zéro tous les blocs de CNA. Dans cette phase le circuit de CNA à réseau de capacité travaille en mode commun, le réseau de capacité est déchargé, et le circuit IBias, le circuit VCM, et RUNDAC, sont tous remis à zéro ; La sortie dans cette phase est égale à zéro. Quand le signal RAZ est mis à 0V alors tous les

blocs sont activés, Le RUNDAC va convertir les 12 bits du mot numérique à 24 bits pour commander les interrupteurs de réseau de capacité, le CNA convertit le mot numérique à une quantité analogique, et l'E/B va garder cette valeur pendant le temps de conversion jusqu'à l'arrivée du prochain mot numérique, et la même procédure pour le prochain mot numérique. Remarquons que la conversion se termine au bout d'un seul cycle d'horloge.

### III.4 Logique de commande RUNDAC

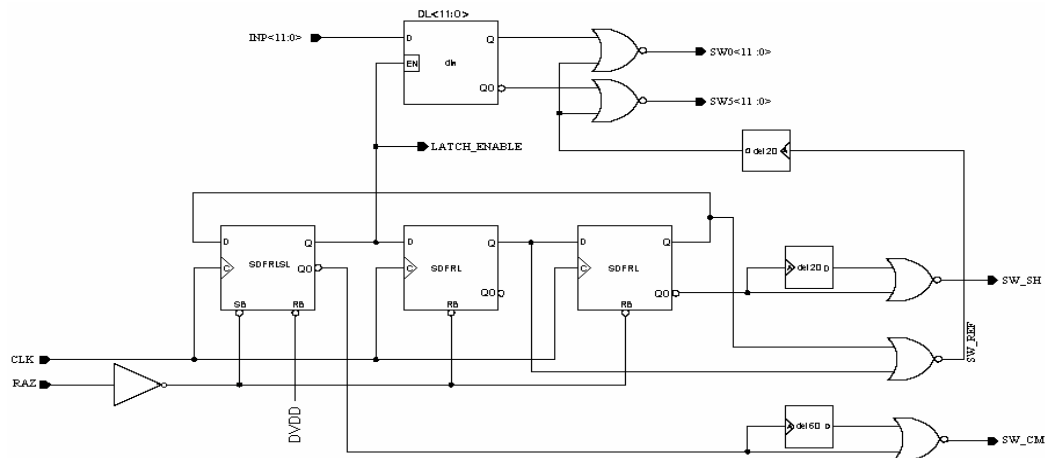


Figure 3. 8 Le circuit de la logique de commande RUNDAC

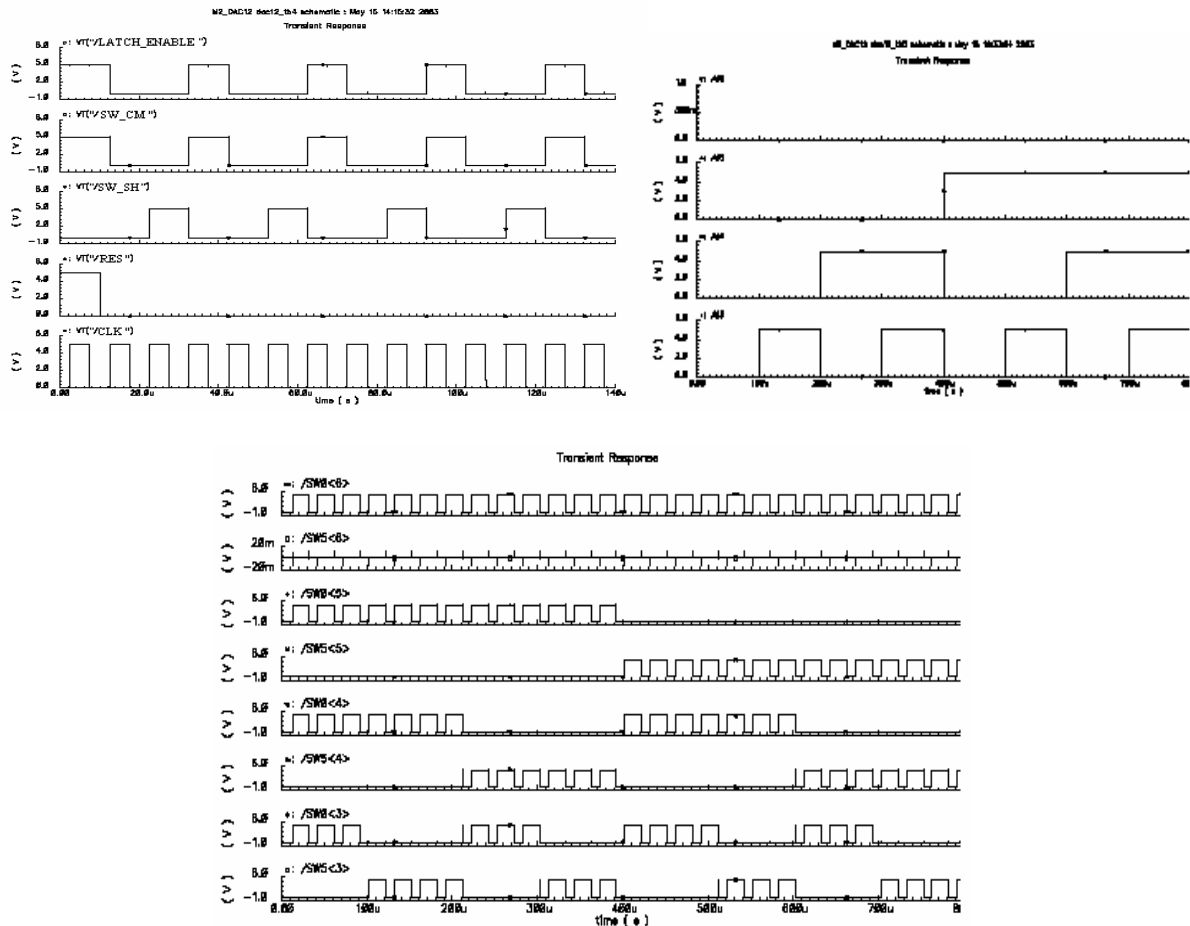
Le circuit de commande RUNDAC représenté sur la figure 3.8, est un circuit numérique simple qui travaille sous la fréquence d'horloge principale CLK égale à 125kHz, génère les signaux de commande de période égale trois fois la période d'horloge CLK qui sont : Le signal SW\_SH pour commander l'interrupteur d'E/B, le signal SW\_CM pour brancher les interrupteurs à VCM. Et aussi convertit les 12 bits d'entrée «INP<11 :0> » de période 100 us aux 24 signaux de sortie de période 30 us, ces 24 signaux de sortie sont (les signaux sont désactivés dans le mode commun):

- \_ SW5<11 :0> : Sont similaires avec INP<11 : 0>, mais échantillonnés quand SW\_CM à 0V, et bloqués (égale à zéro) quand SW\_CM égale à 5V.
- \_ SW0<11 :0> : Sont les 12 bits complémentaires des bits INP<11 :0>, et sont échantillonnés quand SW\_CM à 0V, et sont bloqués quand SW\_CM égal à 5V. Avec INP<11 :0> sont les 12 bits de mot numérique d'entrée  $b_N \dots b_1 b_0$  qu'on veut convertir. Alors :

Quand  $b_i = 0 \Rightarrow SW0<b_i> = 5V$ , et  $SW5<b_i> = 0V$ .

$bi = 1 \Rightarrow SW0<bi> = 0V$ , et  $SW5<bi> = 1V$ .

Les signaux issus de ce bloc sont représentées par la figure 3.9.



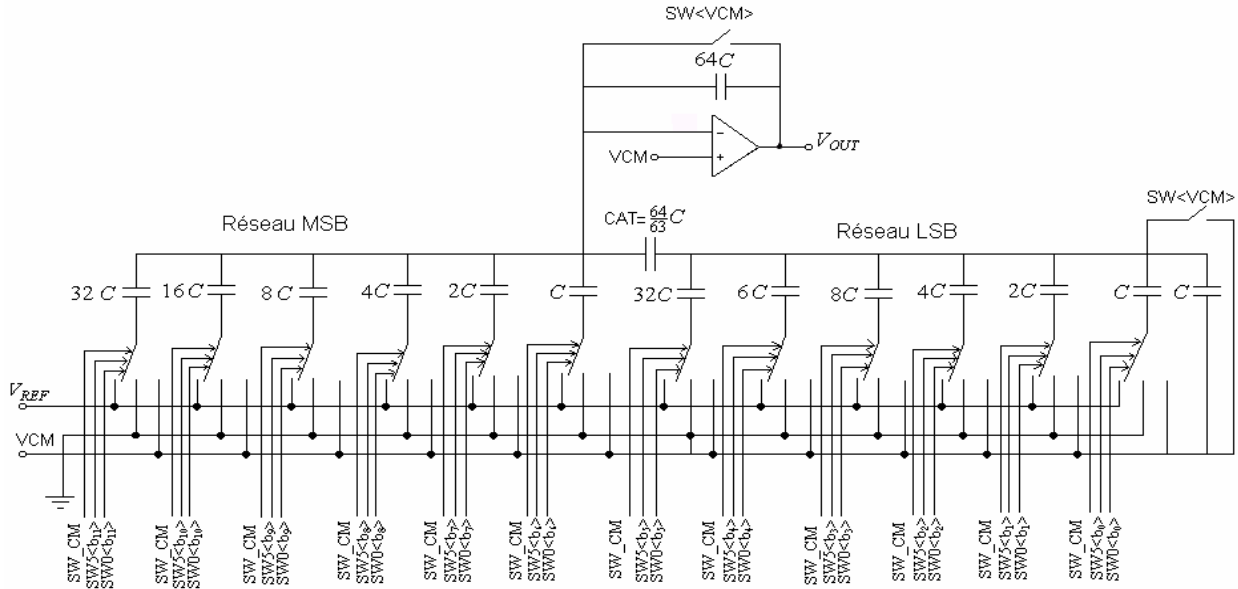
**Figure 3. 9 Les signaux de RUNDAC**

Remarquons ici que ce circuit génère des signaux de commande décalés. SW\_CM est de 20ns en avance de SW\_SH, SW0<11 :0>, et SW5<11 :0>. Cet arrangement réduit l’injection de charge introduite par les interrupteurs dans le circuit.

### III.5 CNA à Amplificateur de Réseau de charge en T

#### III.5.1 Conception et Simulation

On va utiliser dans notre conception l’architecture de CNA à Amplificateur de Réseau de charge en T représentée en figure 3.10.



**Figure 3. 10 L'architecture d'un CNA à amplificateur de réseau de charge en T travailler en mode commun**

Cette conception travaille avec le mode commun. L'entrée positive d'amplificateur est connecter à VCM qui est la moitié de  $V_{REF}$  ( $V_{CM} = 2.5V$ ). Initialement le système travaille en mode commun ( $SW\_CM = 5V$ ,  $RAZ = 5V$ ), tous les interrupteurs commander par  $SW\_CM$  sont fermés et sont connecter à VCM, et la sortie de CNA est zéro. Ensuite  $RAZ = 0V$  et  $SW\_CM = 0V$ , les interrupteurs commandés par ce signal sont ouverts, les capacités de réseaux sont chargées à travers les interrupteurs soit à la tension de référence haute ( $V_{REF}$ ) soit à la tension de référence basse (masse). Chaque capacité dans le réseau est appropriée à un bit 'bi', et est commander par trois interrupteurs : La première connecter à VCM et commandé par  $SW\_CM$ , la deuxième connecter à la masse est commander par  $SW0<bi>$ , et la troisième connecté à  $V_{REF}$  est commander par  $SW5<bi>$ . En général la capacité est connectée à la masse quand le bit 'bi' est 1 (et non pas 0), et est connectée à  $V_{REF}$  quand le bit 'bi' est 0 (et non pas 1). Après le chargement des capacités, sont transférées à la sortie grâce à la capacité de la contre réaction, et en aura à la sortie la valeur analogique approprié à l'entrée. Ce circuit travaille périodiquement entre le mode commun quand  $SW\_CM$  égale à 5V pendant 1CLK, et en mode de conversion quand  $SW\_CM$  égale à 0V pendant 2CLK (voir figure 3.9.a).



### III.5.2 Considération pratiques et interprétations

#### a) La vitesse et la linéarité

L'appariement des condensateurs et les non-idéalités dans le réseau de commutation sont les facteurs les plus importantes qui influent sur la linéarité du CNA, en négligeant les erreurs appropriées aux intégrateur et le réseau de commutation, la linéarité de CNA est principalement déterminée par l'erreur absolue des condensateurs ( $\frac{\Delta C}{C}$ ) dans le réseau et la contre réaction de l'amplificateur.

On peut calculer la linéarité intégrale en employant une approche du plus mauvais cas. pour un CNA à 12-bits avec le condensateur MSB = 32C, le condensateur LSB = C, et les condensateurs ont une tolérance de  $\Delta C/C$ .

La sortie idéale quand le condensateur  $i^{\text{ème}}$  seulement est connecté à  $V_{REF}$  est

$$v_{OUT}(\text{idéal}) = \frac{\sum_{k=0}^{N-1} b_k 2^k C}{C_F} V_{REF} = \frac{2^{i-1} C}{C} \frac{V_{REF}}{2^N} = 2^{i-1} LSB_s$$

La capacité maximale et minimale sont  $C_{max} = C + \Delta C$  et  $C_{min} = C - \Delta C$ . donc, la sortie du plus mauvais cas réel le pour le condensateur  $i^{\text{ème}}$  est :

$$v_{OUT}(\text{réelle}) = \frac{\sum_{k=0}^{N-1} b_k 2^k (C \pm \Delta C)}{C_F} V_{REF} = \frac{2^{i-1} (C \pm \Delta C)}{2^N C} V_{REF} = \frac{V_{REF}}{2^{N-i+1}} \pm \frac{\Delta C \cdot V_{REF}}{2^{N-i+1} C} = \left( 2^{i-1} \pm 2^{i-1} \frac{\Delta C}{C} \right) LSB_s$$

Maintenant, on donne l'INL pour le  $i^{\text{ème}}$  bit comme

$$INL(i) = v_{OUT}(\text{idéal}) - v_{OUT}(\text{réel}) = \pm 2^{i-1} \cdot \frac{\Delta C}{C} LSB_s$$

Typiquement la valeur du plus mauvais cas de  $i$  arrive pour  $i=N$ , donc, le cas le plus mauvais de INL est :  $INL = \pm 2^{N-1} \frac{\Delta C}{C} LSB_s$ , pour  $N=12 \Rightarrow INL = \pm 2^{11} \frac{\Delta C}{C} LSB_s$

Il est raisonnable de supposer que la précision relative des proportions de condensateur diminuera avec le nombre de bits.

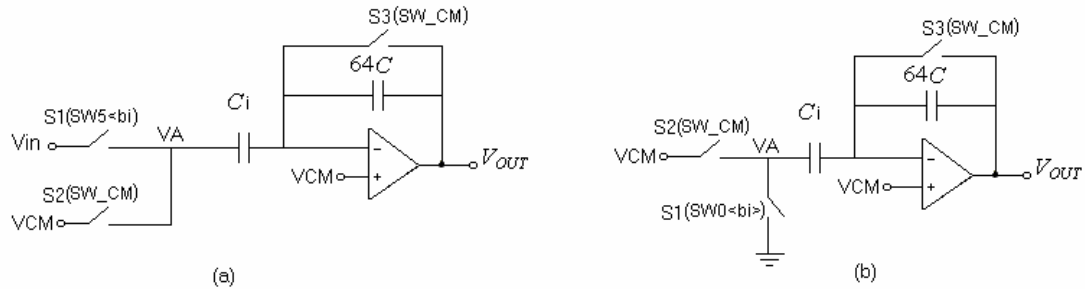
La vitesse est limitée par le temps d'établissement du CNA. Les facteurs qui influent sur la vitesse de conversion sont : les condensateurs parasites (voudraient que tous les nœuds soient

à basse impédance). La bande passante de gain de l' Amp-op, le temps de montée de l' Amp-op (slew rate). sont déterminés par la taille des condensateurs dans le réseau de capacités et la résistance 'ON' des interrupteurs dans le réseau de commutation. Pour minimiser les erreurs du réseau de condensateurs, un layout prudent et insensible aux capacités parasites est important pour réaliser un bon appariement et une linéarité désirable. Pour un bon appariement, les condensateurs unitaires doivent être assez grands.

La taille du condensateur unitaire (avec la résistance du réseau de commutation) détermine le temps nécessaire pour charger les condensateurs à la tension appropriée sur le nœud de l'entrée négatif de CNA et aussi la vitesse de CNA. Pour réaliser un taux de chargement maximal, il est désirable de faire le condensateur unitaire le plus petit possible. Alors il y a un compromis de conception entre l'augmentation du taux de chargement qui exige la diminution de la taille du condensateur unitaire, et l'appariement qui exige l'augmentation de la taille du condensateur unitaire.

### **b) L'injection de charge**

L'injection de charge dans ce CNA est réduite par l'arrangement des signaux de commandes de RUNDAC. En prenant une seule capacité et leurs différents interrupteurs et l'intégrateur présenté dans la figure 3.11. Ici, il y a deux cas : soit le condensateur est connecter à VCM commuté à  $V_{in}$  ou l'inverse (figure 3. 11.a), soit de VCM à la masse ou l'inverse (figure 3. 11.b). L'erreur de l'injection de charge due aux interrupteurs S1 et S2 peut introduire des transitions de tension temporaires, mais leur effet est beaucoup plus faible que celui dû à S3, si celui là s'ouvre légèrement avant S2. Lorsque S2 s'ouv.re, il injecte une charge qui produit une transition négative au nœud VA, et comme S3 se trouve déjà ouvert, ceci ne changera pas la charge emmagasinée dans Ci. Ensuite, lorsque S1 se ferme, VA va s'établir à une tension égale à  $V_{in}$  (ou la masse dans la figure 3.11.b), quelle que soit la charge injectée avant par S2. Alors, la tension au nœud VA, et par conséquent celle à la sortie, n'est pas affectée par l'injection de charge due à S2 et à S3 puisque sont commandés par le même signal qui est SW\_CM, donc s'ouvre en même temps.



**Figure 3. 11 L'annulation de l'injection de charge**

### c) La consommation électrique

La consommation électrique est aussi affectée par la taille du condensateur unitaire. Et elle est limitée par le chargement des condensateurs dans le réseau. De plus grands condensateurs impliquent plus d'énergie consommée. Et comme dans le cas de la linéarité et la vitesse, on a un autre compromis : l'augmentation de la taille du condensateur unitaire aboutit à une linéarité plus grande, la vitesse diminue, et une grande consommation électrique.

### d) L'intégrateur

L'intégrateur est un amplificateur opérationnel de premier ordre, à six entrées : deux entrées différentielles (une entrée positive et l'autre négatif), trois entrées d'alimentation (VDD =5V, VSS=0V, et le courant de polarisation de paire différentielle IB1 égal à 10 uA), et une entrée pour activer l'amplificateur 'ON' qui est le RAZ inversé (schéma complet : Annexe A).

Pour spécifier les caractéristiques fréquentielle de l'amplificateur en boucle ouverte, une analyse AC a été exécutée, la figure 3.12 illustre le test bench utilisé pour la simulation de l'Op-amp et même pour les deux autres Op-amps utilisés dans notre application. Il s'agit du calcul du gain en dB et la phase de l'Op-amp. Le résultat de simulation représenté dans la figure 3.13 indique un gain différentiel en boucle ouverte de 97dB, une fréquence de gain unitaire de 4MHz, une fréquence de coupure de 68Hz, une phase de gain unitaire de 144°, alors la marge de phase est de 36.12°.

Remarquons ici qu'on n'aura pas une erreur de gain, mais la marge de phase n'est pas suffisante ( $< 45^\circ$ ) pour que l'amplificateur sera bien stable, alors on aura des oscillations à la sortie de l'amplificateur, mais ces oscillations sont acceptables dans le design des CI par ce que

il y a un seul pic dans la sortie. La figure 3.14 représente ces oscillations dans la sortie de convertisseur pour une entrée à pleine échelle.

La figure 3.15 représente la simulation transitoire de l'Op-amp attaqué par une entrée carrée. Le temps de montée est le temps que met la tension pour aller du 0.1V (point de 10%) à 0.9V (point de 90%). Pour cet amplificateur le temps de montée est 1.2 us.

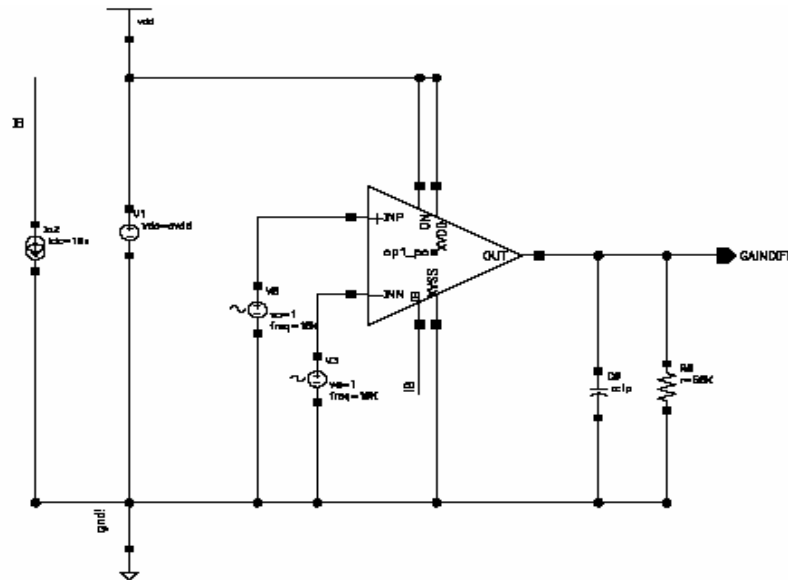


Figure 3.12 Test bench pour la simulation d'Op-amp

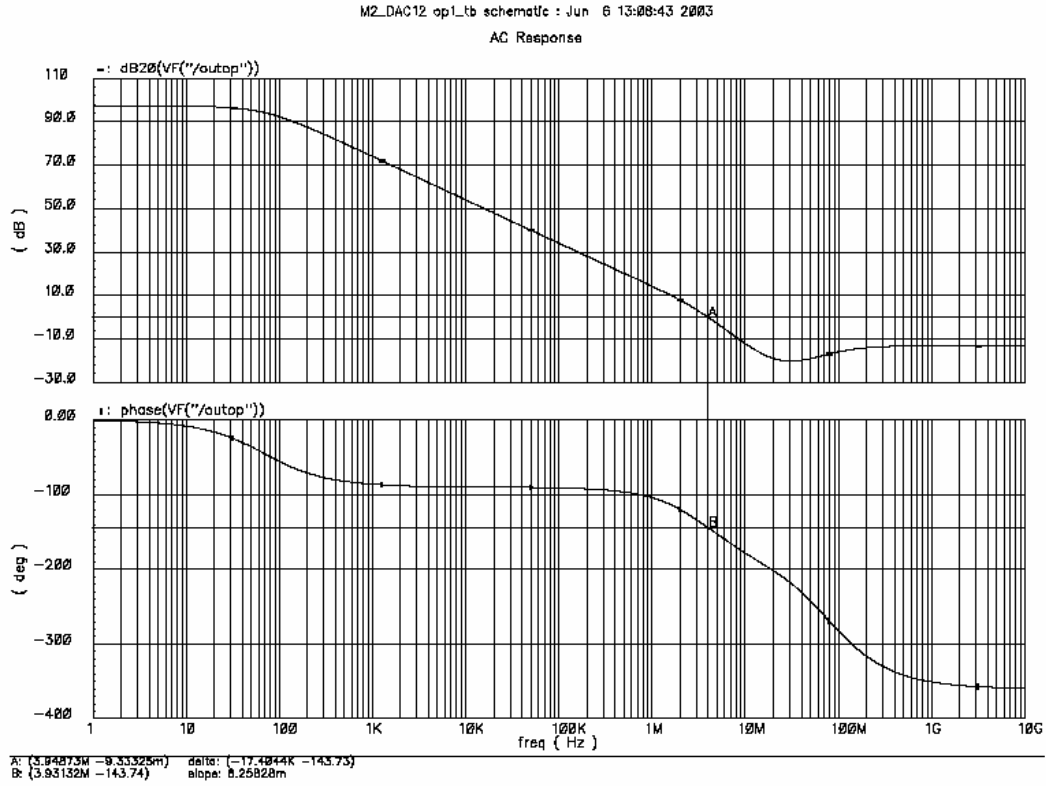


Figure 3.13 La réponse fréquentielle de l'amplificateur en boucle ouverte

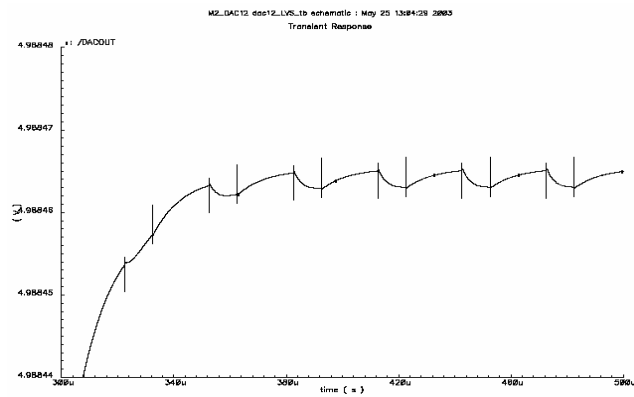


Figure 3.14 L'oscillation dans la sortie du CNA (zoom de pleine échelle)

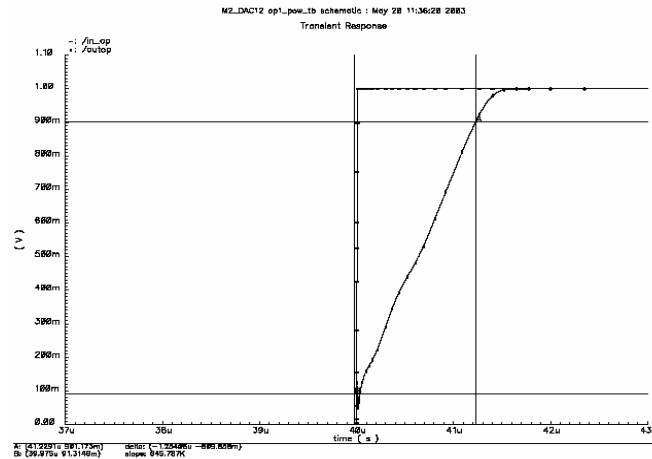


Figure 3.15 Le temps de montée de l'amplificateur

### III.6 La tension de référence $V_{REF}$

Le convertisseur CNA nécessite une tension de référence pour charger les capacités durant les cycles de conversion. Il y a deux choix pour réaliser cette tension : le premier choix utiliser une tension indépendante mais aurait consommé plus d'énergie, le deuxième choix qui est utilisée dans cette application, est d'utiliser l'alimentation pour réduire la consommation, mais il y a un inconvénient : si VDD change significativement,  $V_{REF}$  change aussi, et par conséquence les tensions des charges des capacités de réseau, et on aura à la sortie une grande erreur. Alors le CNA est sensible au bruit de l'alimentation, mais comme le circuit global (le capteur) est sensible aussi au bruit de l'alimentation, le système résultant est moins sensible, et la dissipation est plus faible.

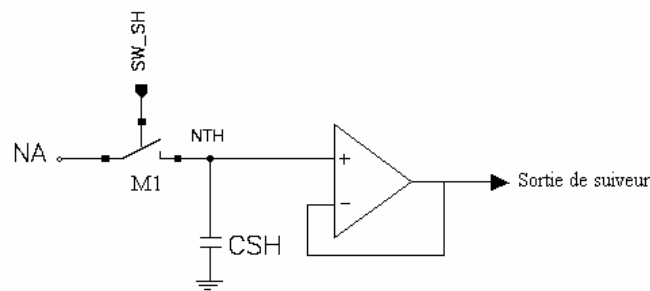
### III.7 L'échantillonneur bloqueur

Comme nous allons montrée précédemment, le convertisseur à réseau en T travaille en deux phases : une phase de conversion de  $2CLK$ , et une phase de mode commun de  $1CLK$ . Et comme on n'a pas besoin de la phase de mode commun à la sortie, un échantillonneur bloqueur est nécessaire dans cette application pour annuler le mode commun. Le convertisseur et l'échantillonneur bloqueur forment un système qui travaille en trois étapes :

- **La phase de conversion** : dans cette phase  $SW_{SH} = 0V$ , et  $SW_{CM} = 0V$ , le mot d'entrée est validé et on aura le résultat de la conversion à la sortie du convertisseur au nœud NA.

- **La phase d'échantillonnage :** dans cette phase  $SW\_SH = 5V$ , et  $SW\_CM = 0V$ , l'interrupteur M1 de l'échantillonneur est fermé, et le condensateur  $C_{SH}$  va se charger à la valeur de la tension  $N_A$  jusqu'à ce que la tension  $N_A$  soit égale à la valeur de la tension  $N_{TH}$ .
- **La phase de blocage :** dans cette phase  $SW\_SH = 0V$ , et  $SW\_CM = 5V$ , le convertisseur travaille en mode commun, alors le mot d'entrée n'est plus validé, l'interrupteur M1 est ouvert et le condensateur  $C_{SH}$  va gardée la valeur de la tension fixe jusqu'à l'arrivé de la prochaine phase de conversion.

L'échantillonneur bloqueur utiliser dans cette conception est très simple constituer d'un seul interrupteur M1 commander par le signal  $SW\_SH$ , un condensateur  $C_{SH}$  de 8.14pF suivi par un amplificateur suiveur. La figure 3.16. représente le schéma d'échantillonneur bloqueur.



**Figure 3.16 L'échantillonneur bloqueur**

### a) Le suiveur

Le suiveur est un amplificateur opérationnel de deuxième ordre à cinq entrées : deux entrées différentielles (une positive et l'autre négative), trois entrées d'alimentation :  $VDD = 5V$ ,  $VSS = 0V$ , et le courant de polarisation des paires différentielles  $IB2$  de  $-10\mu A$  (schéma complet : Annexe A).

Pour spécifier les caractéristiques fréquentielle de l'amplificateur en boucle ouverte, une analyse AC a été exécutée, le test bench utilisé pour la simulation du suiveur est le même test bench utilisé pour l'intégrateur. Le résultat de simulation représenté dans la figure 3.17 indique un gain différentiel en boucle ouverte de 103dB, une fréquence de gain unitaire de 764kHz, une fréquence de coupure de 5H, et la marge de phase est de  $77^\circ$ .

La figure 3.18 représente le résultat de la simulation transitoire du suiveur attaqué par une tension nul et une tension de 5V. Remarquons ici qu'il y a une phase transitoire au début de la réponse de cet amplificateur : La tension de début ( $t=0s$ ) est toujours presque 4V, ensuite va atteindre la sortie nécessaire à l'entrée. La durée de cette phase est égale à 8 us qui n'est pas important par rapport au temps de conversion (100 us).

La figure 3.19 représente le résultat de simulation pour une entrée carrée, le temps de montée est 2 us.

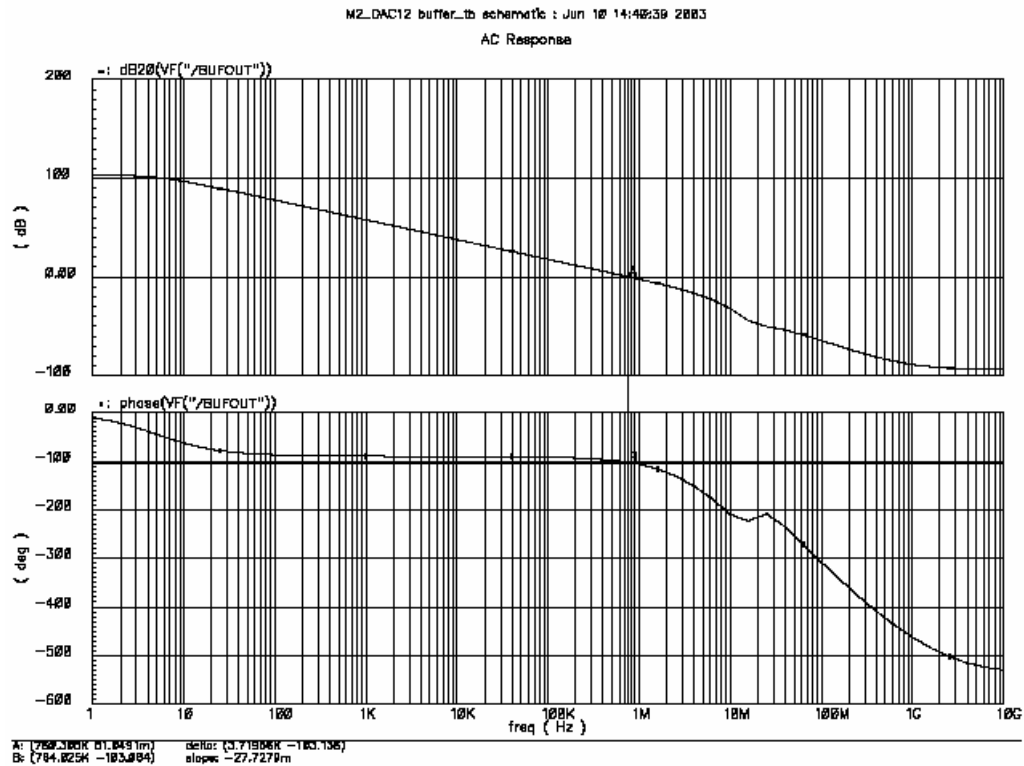


Figure 3.17 La réponse fréquentielle de l'amplificateur en boucle ouvert

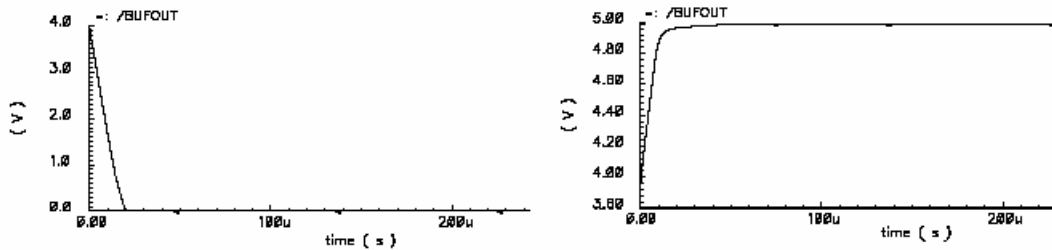


Figure 3.18 la réponse transitoire du suiveur (offset, et gain)



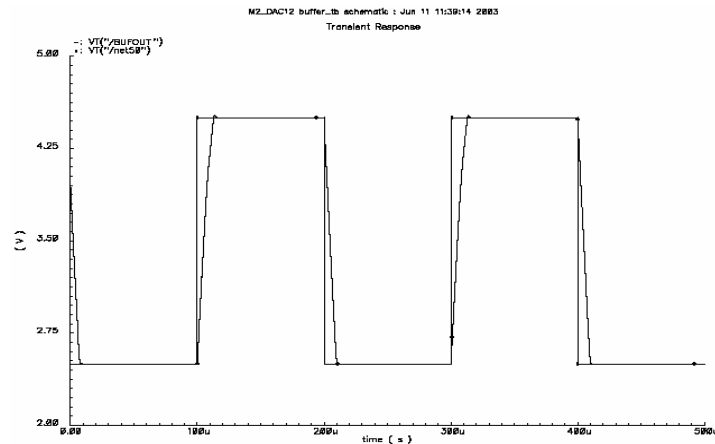


Figure 3.18 la réponse transitoire du suiveur pour un signal d'entrée carré

### b) L'injection de charge

La structure interne de l'interrupteur M1 utilisée dans l'E/B est illustrée dans la figure 3.19 cet interrupteur est construit de deux transistors PMOS et NMOS, formant l'interrupteur effective, et de deux transistors PMOS et NMOS court-circuités, formants l'interrupteur dummy. L'injection de charge dans cet E/B est réduite par l'utilisation de la technique de l'interrupteur dammy. Alors, à l'ouverture de M1, une charge est injectée dans la capacité de blocage CSH pour une courte durée, ensuite absorbée par l'interrupteur dummy.

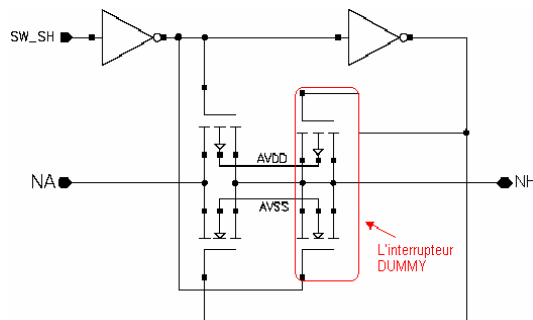
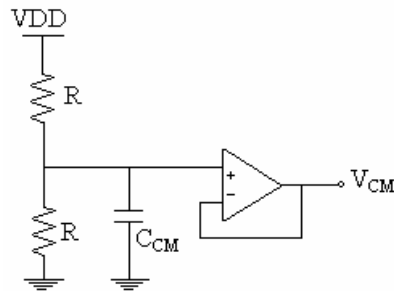


Figure 3.19 L'annulation de l'injection de charge par l'interrupteur dammy

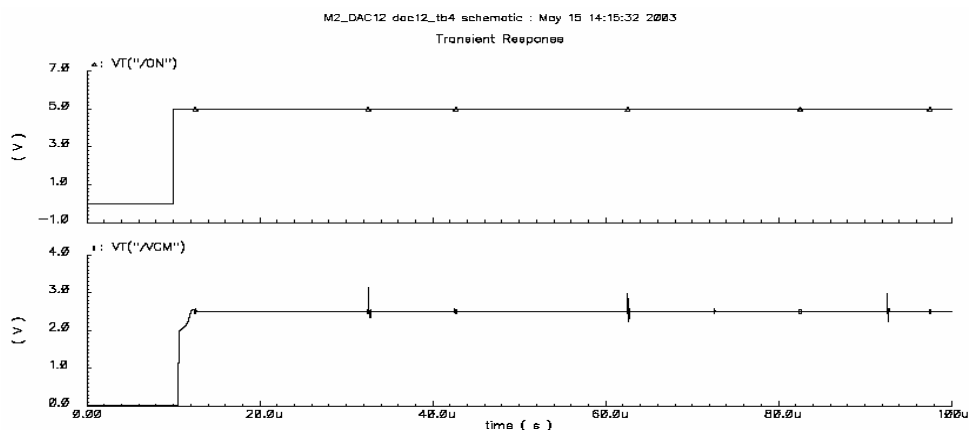
### III.8 La tension du mode commun

Le circuit utilisé pour générer la tension du mode commun  $V_{CM}$  est représenté par la figure 3.20. Afin d'obtenir la valeur voulue exacte c-à-d  $V_{CM} = 2.5 \text{ V}$  on a utilisé un diviseur de tension résistif. Dans la figure  $R1 = R2 = 112.4 \text{ k}\Omega$ . Pour assurer la stabilité de cette valeur, un condensateur et un amplificateur monté en suiveur sont utilisés. La valeur de la capacité  $C_{CM} = 3.268 \text{ pF}$ , l'amplificateur suiveur est le même amplificateur utiliser dans le circuit de CNA.

Le résultat de simulation de ce bloc est représenté dans la figure 3.21.



**Figure 3.20 Tension de mode commun**



**Figure 3.21 Résultat de simulation du signal VCM**

### Considération pratiques et interprétations

Le diviseur de tension formé avec deux résistances a l'avantage de simplicité d'insensibilité à la température et l'insensibilité de processus, c'est-à-dire les changements de la surface de la résistance n'ont aucun effet sur le diviseur de tension. Le problème principal avec ce circuit consiste à réduire la dissipation de puissance (le courant à travers les résistances), les résistances doivent être grandes. Mais des grandes résistances exigent des grandes surfaces.

### III.9 Le circuit de polarisation en courant IBias

Les courants de polarisation des paires différentielles des amplificateurs utilisées dans cette conception doivent être produit selon une référence de courant d'amplitude fixée connue qui ne change pas avec la température, c'est le rôle du bloc IBIAS. Ce bloc constitué d'une circuiterie essentielle BIAS qui est une cellule conçue séparément, et des miroirs de courant. La circuiterie BIAS génère dix courants de sortite, on utilise seulement quatre courants de

sortie : Deux courants dans le convertisseur qui sont :  $I_B = 10 \mu\text{A}$ ,  $I_{B2} = -10 \mu\text{A}$ , et deux autres courants  $I_{B6}$ ,  $I_{B7}$  pour une utilisation externe dans l'ASIC. Ensuite, le courant  $I_B$  va être l'entrée aux miroirs de courant pour générer les deux autres sources de courant nécessaires  $I_{B1} = I_{B3} = 10 \mu\text{A}$ .

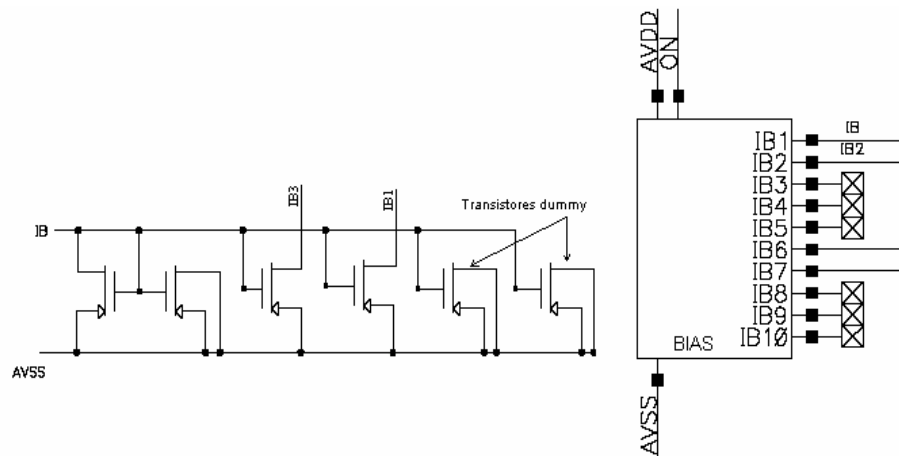


Figure 3.22 la structure interne du circuit IBIAS

#### a) Conception et simulation

Les caractéristiques des transistors bipolaires ont prouvé les quantités les plus reproductibles et bien définies qui peuvent fournir des coefficients de température TC positif et négatif. Bien que beaucoup de paramètres de dispositifs MOS aient été considérés pour la tâche de génération de référence, l'opération bipolaire forme toujours le cœur de tels circuits. Pour générer des références de courant non proportionnelles au température il faut annuler la dépendance négative de la température d'une jonction pn avec une dépendance positive du température d'un circuit PTAT (proportional-to-absolute-temperature). Cette approche est utilisée dans la circuiterie BIAS présentée dans la figure 3.23 (schéma complet : Annexe A).

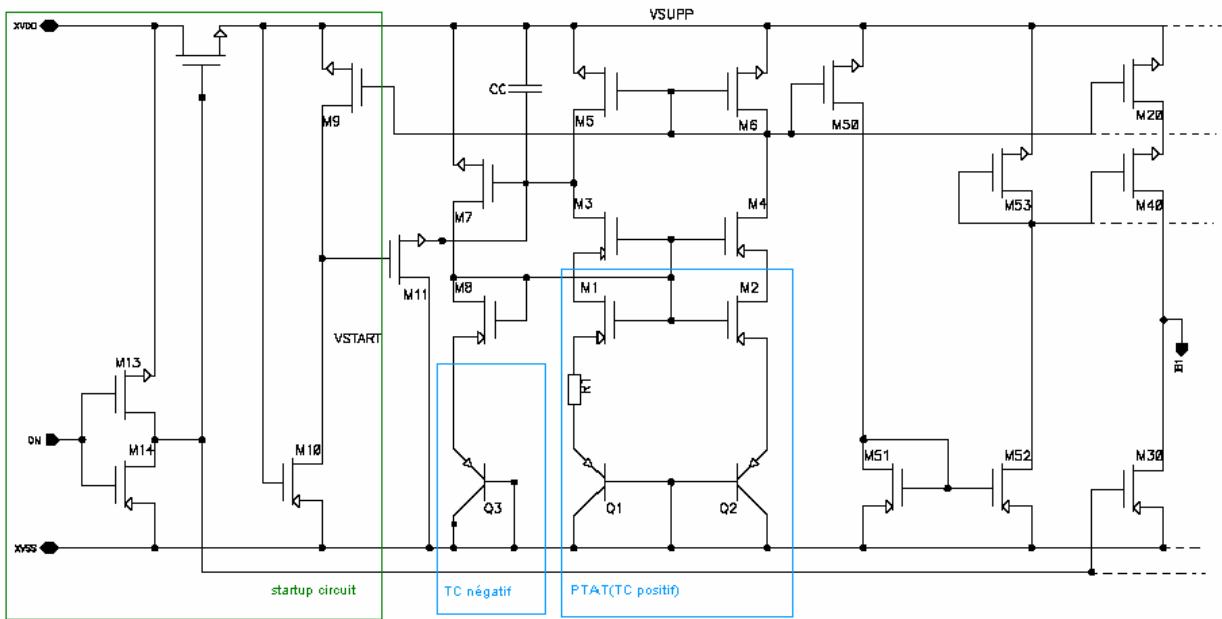


Figure 3.23 la partie essentielle dans le circuit BIAS

Pour un transistor bipolaire nous pouvons écrire que

$$I_C = I_S e^{\frac{V_{be}}{V_T}} \text{ où } V_T = kT/q.$$

Le courant de saturation  $I_S$  est proportionnel à  $\mu kT n_i^2$ , où  $\mu$  est la mobilité des porteurs minoritaires et  $n_i$  est la concentration des porteurs intrinsèques de silicium.

La tension d'une jonction-pn polarisée en directe (diode ou transistor monté en diode) expose un TC négatif, et  $TCV_d$  est approximativement  $-2mV/^\circ C$  pour une polarisation en direct de 0.6V.

La tension PTAT est réaliser en amplifiant la différence de tension de deux jonctions base-émetteur polarisées en direct. Un miroir de courant *nMOS* est employé pour forcer les égalités des courants collecteurs à travers chaque transistor bipolaire Q1et Q2 du circuit. Alors, et puisque les deux transistors bipolaires *pnp* connectés en diode (Connectant les transistors parasites *pnp* comme diodes pour réduire la résistance série efficace et la fuite du substrat) ont des surfaces d'émetteur inégaux ( $S_{E,D2} = kS_{E,D1}$ , où  $k$  est un entier égal à 7), la tension à travers  $R$  est :

$$I_R = V_{d1} - V_{d2}$$

$$IR = \left( nV_T \cdot \ln \frac{I}{I_s} \right) - \left( nV_T \cdot \ln \frac{I}{kI_s} \right) = nV_T \cdot \ln \left( \frac{I/I_s}{I/(k \cdot I_s)} \right) = nV_T \cdot \ln k$$

Alors

$$R = \frac{nV_T \cdot \ln k}{I} = \frac{nk \cdot \ln k}{qI} \cdot T \quad \text{ou} \quad I = \frac{nk \cdot \ln k}{qR} \cdot T$$

$$TC_I = \frac{1}{I} \cdot \frac{dI}{dT} = \frac{1}{V_T} \cdot \frac{\partial V_T}{\partial T} - \frac{1}{R} \cdot \frac{\partial R}{\partial T} = TC_{V_T} - TCR$$

On donne le coefficient de température de la tension thermique par

$$TC_{V_T} = \frac{1}{V_T} \cdot \frac{\partial V_T}{\partial T} = \frac{q}{kT} \cdot \frac{k}{q} = \frac{q}{kT} \cdot (0.085 \text{ mV}/^\circ\text{C}) \cong +3.300 \text{ ppm}/^\circ\text{C} \text{ [ou ppm}/^\circ\text{K}]$$

Donc  $I$  un courant PTAT à Coefficients de température positifs. Si  $TCR$  est approximativement  $2.000 \text{ ppm}/^\circ\text{C}$ , donc  $TCI$  sera autour  $+1.000 \text{ ppm}/^\circ\text{C}$  (près de température ambiante).  $TCI$  dépend de température.

Le résultat de simulation des courants IB, IB2 sont représenté dans la figure 3.24.

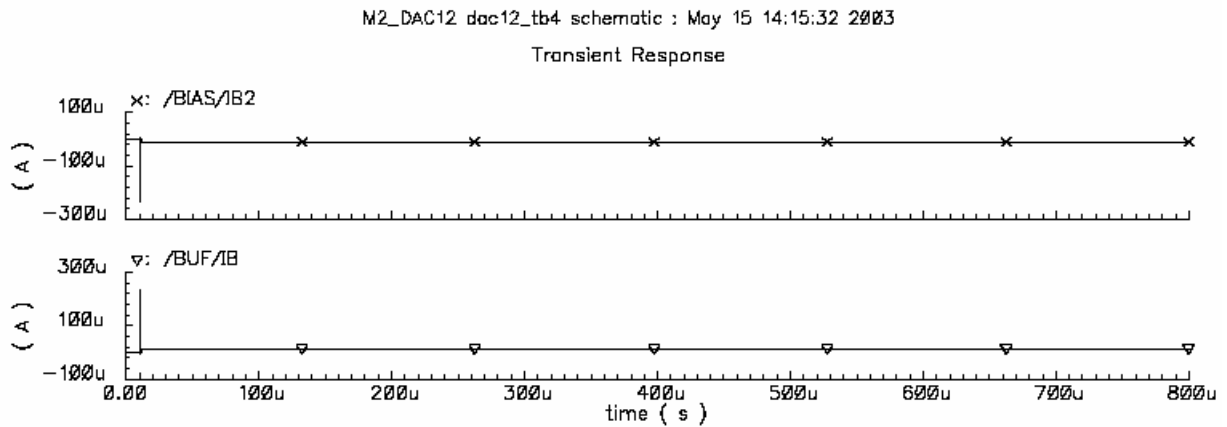


Figure 3.24 Résultat de simulation des courants de IBias

### b) Considération pratiques et interprétations

Dans la conception du PTAT, l'appariement entre M1 et M2 est critique pour la précision absolue de  $I$ . Cela pourrait être comparable avec  $|V_{GS1} - V_{GS2}|$ , Si M1 et M2 ne sont pas bien appariés ça va influencer sur la chute de tension à travers  $R$ . Un autre problème potentiel est l'accouplement de bruit externe (à l'extérieur de la circuit de référence) à travers  $R$ . La sensibilité de  $R$  au bruit externe dépend sur comment  $R$  est implémentée.

Notez aussi que la précision absolue de  $I$  dépende de la précision absolue de  $R$ .

L'avantage de ce circuit est sa performance de température.

La plupart des circuits de polarisation de SOI (Self-Bias Circuits), comme bandgaps ont deux points de fonctionnement stables. Un point des états de fonctionnement stable est l'état désirable et l'autre est typiquement un état courant-zéro. Pour empêcher l'état courant-zéro d'arriver un circuit de démarrage (start up circuit) est ajouté, qui est actif pendant l'état non désirable et inactif pendant l'état désirable. Le circuit de démarrage consomme le courant statique. Ce courant peut être fait petit et ainsi sans importance par rapport au courant du bandgap lui-même.

### 3. Résultat De Simulation De Circuit Total

Pour vérifier la fonctionnalité finale du circuit total, nous réalisons le test bench présenté dans la figure 3.25. Et comme on a un mot d'entrée numérique de 12 bits, alors on a besoin de 12 références de tension idéales chaque'un pour un bit, et on a ajouté le PAD qui est à la sortie de ce convertisseur total dans le capteur.

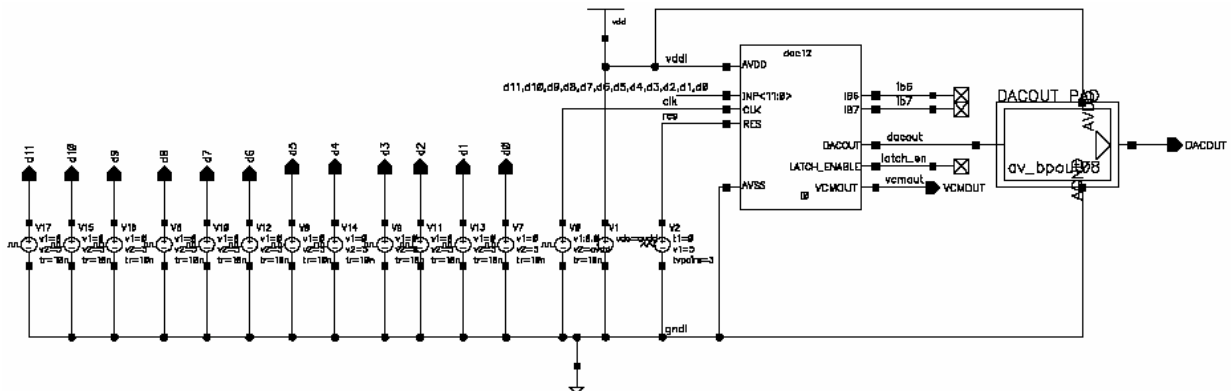


Figure 3.25 Test bench pour la simulation du CNA

Les résultats de simulation transitoire du CNA pour une sortie nul, une sortie plein échelle, et une rampe sont représentées par les figure 3.26 et 3.27 respectivement.

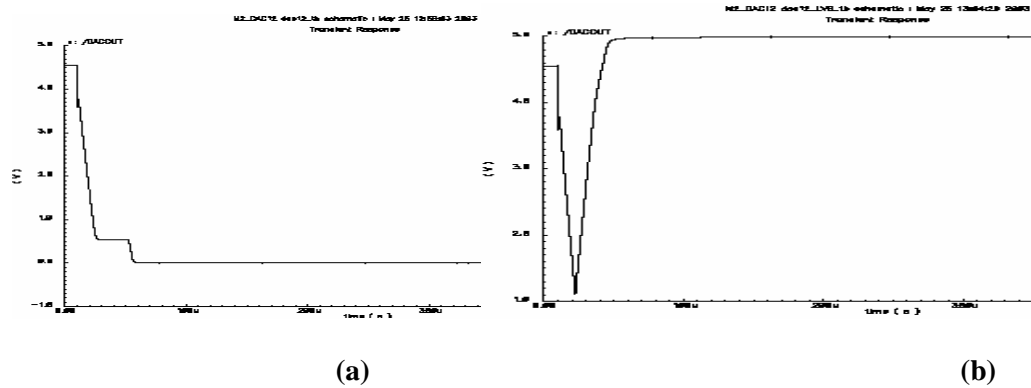


Figure 3.26 la sortie de CNA pour (a) une entrée de tous les bits zéro, (b) une pleine échelle.

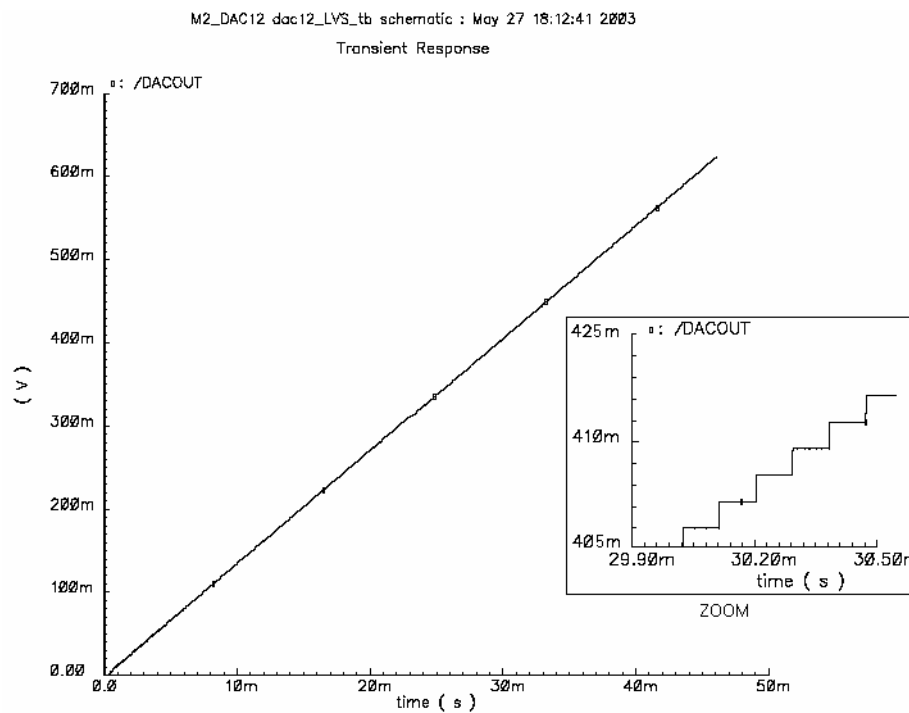
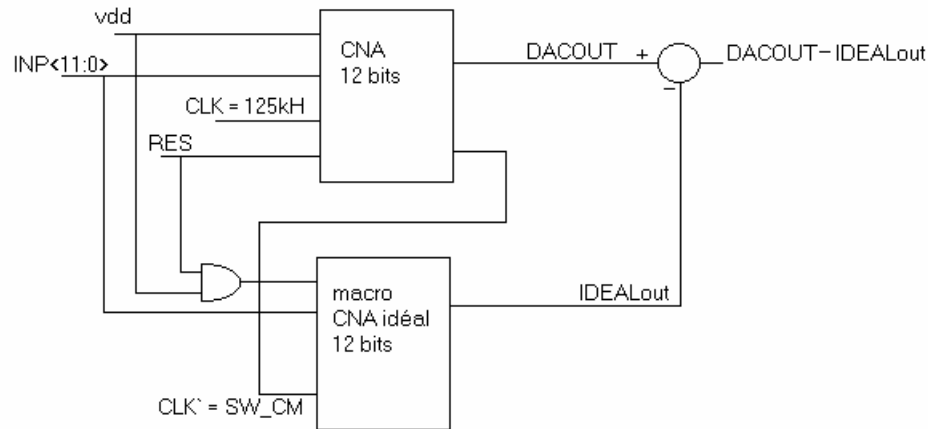


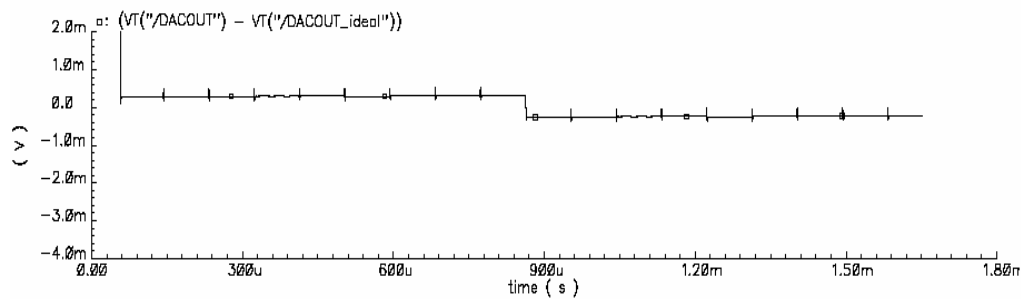
Figure 3.27 La sortie de CNA pour une rampe

Le schéma de test bench utilisé pour simuler l'erreur totale non ajustée et l'erreur de non linéarité différentielle est représenté dans la figure 3.28. Il est nécessaire de créer un Convertisseur numérique analogique idéal (pas d'offset, pas d'erreur de gain) on utilise un macro écrit en verilog.



**Figure 3.28 Test bench pour la simulation de l'erreur totale non ajusté et la linéarité**

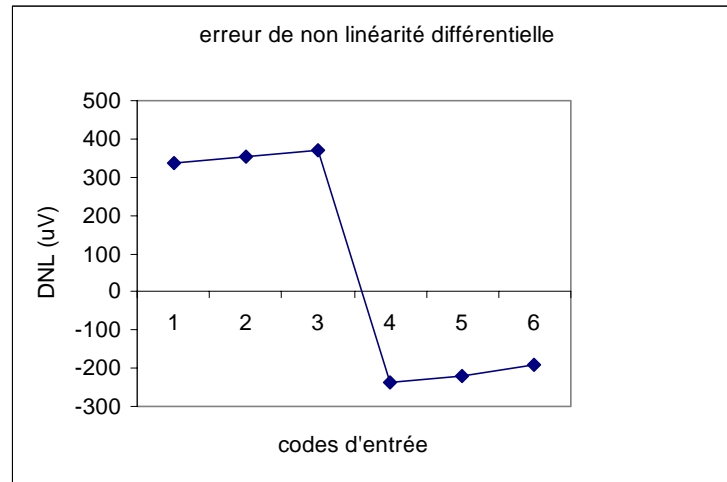
La figure 3.29 représente la simulation de l'erreur totale non ajustée. Dans le premier intervalle il y a l'erreur transitoire du suiveur, le reste représente la somme de l'erreur de gain fourni par le suiveur et l'erreur de linéarité différentielle.



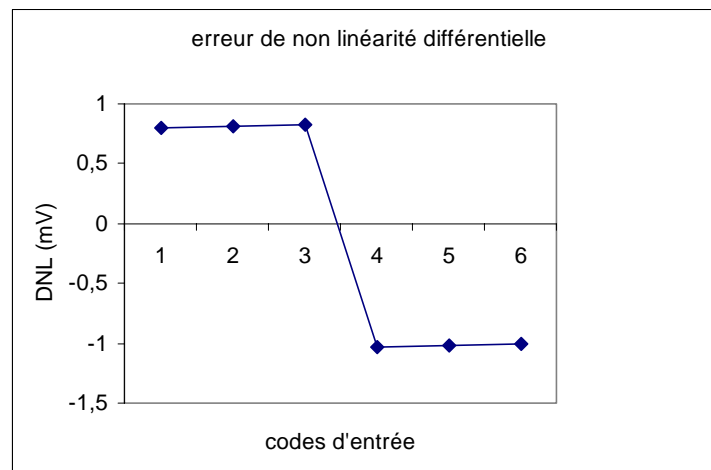
**Figure 3.29 L'erreur totale non ajustée**

Le maximum d'erreur de non-linéarité différentielle *DNL* se trouve à la moitié de la pleine échelle ; Par ce que le maximum d'interrupteurs associés au réseau de capacités commutent en même temps (passage du MSB de 0 à 1), et ensuite à moindre degré à 1/4 et 3/4 de la pleine échelle. Alors, deux exemples de *DNL* sont montrés : l'un représenté par 6 échantillons (509, 510, 511, 512, 513, 514)<sub>déc</sub>, et l'autre représenté par 6 échantillons (766, 767, 768, 769, 770, 771)<sub>déc</sub>, pris dans la plage des 4096 codes de sortie possibles, sont illustrée par la figure 3.30. Le calcul de cette erreur c'est fait à l'aide de l'outil calculateur intégré dans le simulateur Analog Artist du logiciel de conception cadence. On peut tracer le résultat à laide de différentes méthodes (Excel comme dans notre application).





(a)

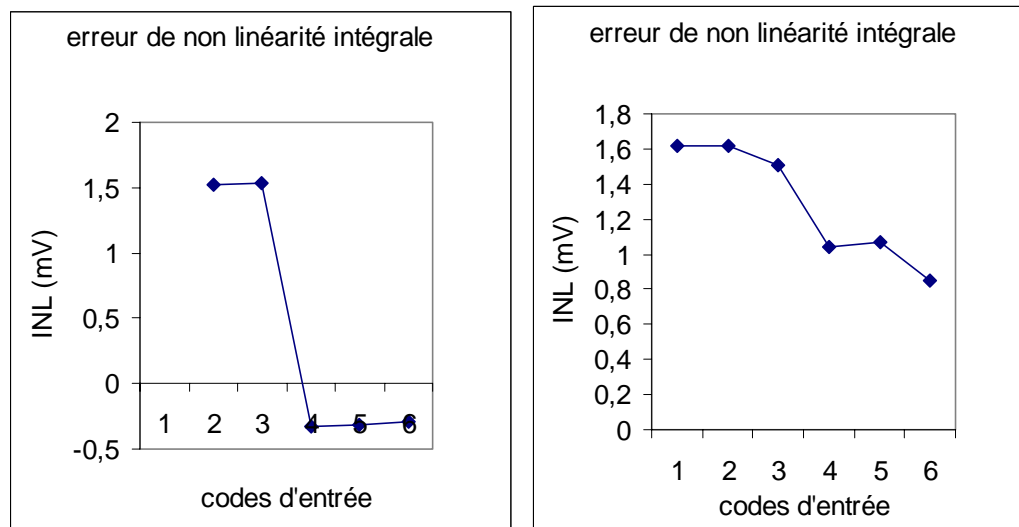


(b)

**Figure 3.30 Erreur de non-linéarité différentielle a) pour les codes d'entrée(509, 510,511, 512, 513, 514) <sub>déc</sub> b) pour les codes d'entrée(766, 767, 768, 769, 770, 771)<sub>déc</sub>**

Pour simuler l'erreur de linéarité intégrale *INL*, il y a deux méthodes : soit avec la mesure de l'erreur DNL pour tous les codes d'entrée (4096 codes !) qui est impossible à réaliser par ce que les ressources des stations ont été incapables de réaliser cette simulation qui est très longue et le CPU a été incapable d'occuper tous les résultats de simulation, soit avec la méthode de « best fit », cette méthode consiste à simuler le premier qui est le zéro, et le dernier code qui est la pleine échelle, en dessiner la ligne droite entre les points sorties de ces deux codes, ensuite on calcule la déviation de sortie du convertisseur par rapport à cet ligne. Le

résultat de ces mesures est illustré dans la figure 3.31 et le résultat de INL est tracé à l'aide du programme Excel.



**Figure 3.31 Erreur de non-linéarité intégral avec l'erreur de gain différentielle a) pour les codes d'entrée(509, 510,511, 512, 513, 514)<sub>déc</sub> b) pour les codes d'entrée(766, 767, 768, 769, 770, 771)<sub>déc</sub>**

# CHAPITRE IV

---

## *Masque (Layout)*

---



La conception d'un circuit est suivie par l'étape de dessin des masques employés dans la fabrication (layout). Dans cette étape, la représentation de chaque composant du circuit est convertie en une représentation géométrique, les connections entre les différents composants sont également exprimées en tant que des modèles géométriques. Lors de la conception de layout, il y a deux buts à considérer : une surface de circuit compact, et une méthode pour l'inclusion des parasites précise de layout dans la synthèse de circuit. Les détails exacts d'un layout dépendent des règles de conception, qui sont des directives basées sur les limitations du processus de fabrication et les propriétés électriques des matériaux de fabrication. Le layout d'un circuit est un processus très complexe, en conséquence, il est toujours décomposé en diverses étapes secondaires afin de manipuler la complexité du problème.

On vas présenter dans ce chapitre le layout du CNA. Le CNA fût conçu dans un processus ELMOS 0.8  $\mu\text{m}$  BICMOS (1 poly, 3 metal). La tension de seuil pour les transistors NMOS et PMOS est (0.68V). L'option analogique capacité (poly-actif) fût exploitée dans toutes les capacités.

En général, il existe une grande différence entre le layout et le circuit réel d'un chip. Cette différence est à cause des éléments parasites introduits par des phénomènes liés au processus de fabrication du circuit intégré: la diffusion latérale, défauts de gravure, l'attaque dépendante des limites et les effets tridimensionnels. Le concepteur essaye de prévoir ces parasites durant les phases de conception et de simulation. Malgré cela, une prédiction plus ou moins précise de ces parasites n'est pas toujours possible avant la réalisation du layout. Généralement, ces parasites peuvent être négligés dans les circuits numériques, mais non pas le même pour les circuits analogiques et numériques ensemble sur le même substrat, par ce qu'il présente des défis liés à l'isolation de ces deux circuiteries contre les interférences mutuelles. Afin de minimiser ces interférences, l'application de quelques techniques spéciales dans le floor-planning du circuit entier est nécessaire.

#### **4.1 Considération de Layout**

Pour réaliser des circuits analogiques ou mixtes de haute qualité il faut considérer plusieurs techniques de layout importantes l'hors de la conception de ces circuits. Ces techniques peuvent être largement divisées en deux catégories : l'appariement et le bruit.

##### **a) Technique d'Appariement**

L'appariement est l'étude statistique des différences dans les paramètres électriques entre les composants identiquement conçus, placés à une petite distance dans un environnement identique et utilisés avec les mêmes condition de polarisation. La prise en compte de l'aspect statistique de la conception analogique implique le respect des contraintes d'appariement entre composants. Pour ce faire, ces composants doivent impérativement répondre à un certain nombre de règles élémentaires de conception qui doivent être prises en compte par le concepteur lors de la phase de dimensionnement des dispositifs analogiques. Les gros problèmes d'appariement peuvent être évités en suivant les règles suivantes :

- Considérer les conditions de limite pour tous les composants (distance minimum, dimensions non minimum, même forme et même dimension).
- Les éléments avec la même propriété devraient être placés l'un près de l'autre pour éliminer l'effet de gradient et la variation locale et utiliser le dummy si nécessaire (même orientation, même environnement, même température).
- Utiliser la géométrie centroïde-commun (enlève des gradients de l'oxyde et de dopage).
- Faire un routage propre et bien équilibré.

- Utiliser le layout empilé pour les grands composants.

## **b) Considération du Bruit**

Il y a des techniques de layout supplémentaires qui réduisent au minimum le bruit dans les circuits analogiques. La plupart de ces techniques essayent de réduire au minimum le couplage de bruit de circuits numérique. Les sources de ce bruit sont le couplage capacitif, le couplage de l'alimentation et le couplage à travers le substrat.

Le couplage capacitif est principalement dû aux lignes analogiques routées en parallèle des bus numériques, ou qui se croisent les unes aux autres. Bien que le couplage transversal des lignes de métal (ou les lignes métal et poly) est très faible, son effet devient substantiel lorsque deux lignes sont routées en parallèle pour une grande distance. Ce problème peut être éliminé en évitant tout croisement ou routage parallèle des lignes analogiques et numériques, ou en plaçant des protections (des lignes liées à la masse) entre eux.

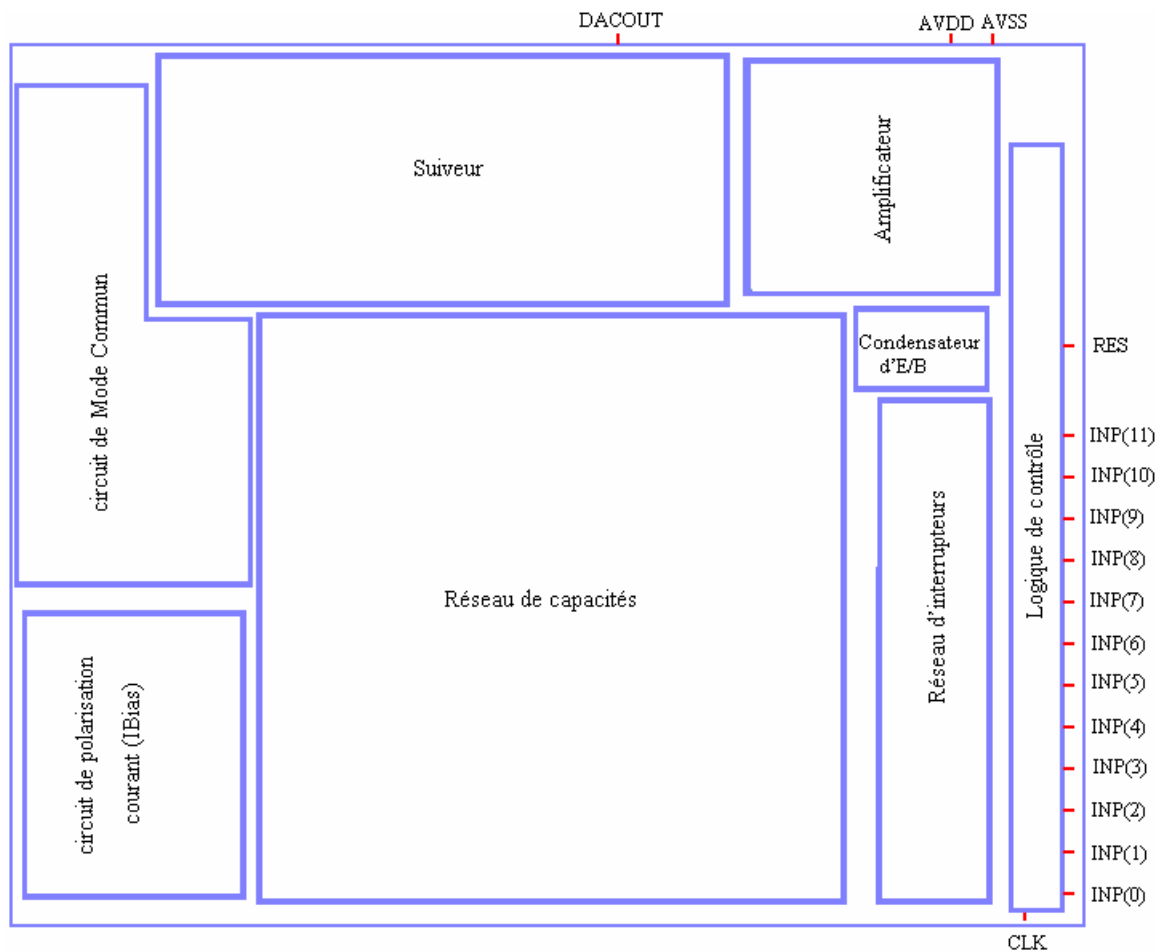
Le couplage d'alimentation est un problème significatif qui limite souvent les performances des circuits analogiques à haute vitesse et à haute résolution. Le bruit de l'alimentation se produit quand des courants variables sont injectés dans l'alimentation. La raison est que l'impédance d'alimentation est finie (non pas zéro), alors, ces courants de bruit causent des variations dans la tension d'alimentation. Pour résoudre ce problème il faut séparer entre les nœuds d'alimentation analogiques et les nœuds d'alimentation numériques.

Le bruit peut coupler d'une extrémité d'un chip à l'autre même s'il n'y a aucun fil pour porter le bruit, c'est le couplage de substrat. Le substrat peut être vu comme un nœud simple reliant tous les composants entre eux, les composants actifs injectent également le courant dans le substrat, puisque la plus par des composants actifs sont isolés du substrat par l'oxyde ou par la jonction PN polarisée en inverse. Le couplage entre les nœuds analogiques sensibles peut mener à l'instabilité ou à la réduction du gain. En outre, l'accouplement entre les parties analogiques et numériques peut être très problématique. Pour résoudre ce problème, il faut utiliser des anneaux de protection autour de la source de bruit, et autour des circuits qui ont besoin d'être protégé du bruit. Aussi, disposer le circuit analogique et numérique dans des sections différentes du circuit. Les deux sections doivent être séparées par des anneaux de protection et des caissons connectés à la masse ou à la tension d'alimentation séparée.

## 4.2 Floor-Planning

Le bloc CNA est un bloc mixte qui contient typiquement un bloc analogique et un bloc numérique. Le bloc analogique est constitué des cellules analogiques actives (les amplificateurs opérationnels), des composants passifs (capacités, résistances) et des interrupteurs, tandis que le bloc numérique est constitué du bloc logique (RUNDAC). La conception du layout des composants actifs et passifs doit être menée selon les conditions du système analogique. Pour réduire au minimum le couplage de bruit il faut considérer les points essentiels suivants :

- Utiliser des lignes d'alimentations et des masses séparées pour les circuits analogique et digital.
- Réaliser des courtes connexions pour les nœuds critiques.
- Eviter le chevauchement entre les lignes de polarisation analogique et les buses numériques.
- Mettre les composants analogiques critiques le plus loin possible des éléments numériques.
- La séparation de surfaces analogiques et numériques avec les anneaux de protection et des caissons pour minimiser au minimum l'injection de bruit de circuits numériques dans le substrat sous le circuit analogique.
- Remplir l'espace inutilisé avec des contacts au substrat et aux caissons.



**Figure 4.1 Floor-planning du CNA**

La figure 4.1 représente le floor-planning du CNA. On peut noter que le réseau de capacités est placé à la base en milieu, adjacents à droite avec le réseau d'interrupteurs, et à gauche par l'ensemble de circuit IBIAS et circuit de mode commun, et en haut par le suiveur. Le circuit digital placé à la droite de réseau d'interrupteurs, la figure 4.1 représente aussi l'emplacement des différentes lignes d'entrée, de contrôle et de sortie. Les capacités sont protégées par un anneau de protection. Les lignes numériques sont routées dans la partie numérique tandis que les lignes d'entrée ne sont pas routées à travers la conception mais plutôt gardées à l'extrémité. Le croisement des lignes d'alimentation, des lignes de signaux et des bus numériques est strictement évité pour éliminer le couplage capacitif.

Le couplage dû à l'alimentation est fortement réduit puisque les alimentations : analogique (AVDD) et numérique (DVDD) sont séparées. Afin de réduire le bruit de substrat, des anneaux de protection sont utilisés. De plus, les éléments de la librairie numérique sont dotés d'une connexion substrat.

### 4.3 La partie analogique

Le layout des cellules (capacités, résistances, interrupteurs, amplificateurs,...) de circuit pourrait déjà être formé et stocké dans une bibliothèque. Ces cellules sont alors paramétriquement adaptées à une taille exigée et la géométrie correspondante pour chaque couche est automatiquement produite. Souvent, quand les cellules sont connectées, ils pourraient être automatiquement placés et routés, ou connectés, selon le programme ou le concepteur. Cependant le concepteur doit toujours prendre le contrôle direct de layout de cellules critiques, particulièrement quand le layout doit être petite ou les circuits résultants doivent être rapides.

Les avantages de la technique de cellules standards utilisée dans cette conception est la minimisation de temps de conception et l'occurrence d'erreurs. De plus, la conception de chaque cellule séparément permet d'extraire les éléments parasites de chaque cellule pour la simulation.

Des techniques générales de layout qui améliorent la performance du circuit entier sont aussi suivies ; minimiser les longueurs des chemins transportant des courants lors du routage du circuit analogique afin de réduire la chute de tension à travers le chemin due à la résistance du métal. Aussi, est –t- il préférable d'éviter l'utilisation du poly pour le routage des chemins transporteurs de courant, non seulement à cause de sa plus grande valeur de résistance, mais aussi à cause de la résistance de contact qui sera alors importante.

#### 4.2.1 Le réseau de capacités

Le problème le plus important est la conception des capacités précises, avec des valeurs de  $C$  à  $2^{12} \times C$ . Comme le nombre de bits augmente, la proportion des capacités MSB aux capacités LSB devient difficile à contrôler. De plus, les capacités de haute valeur ont une taille importante sur le chip. L'utilisation des plats de métal pour les créer n'est pas réaliste comme la valeur de capacité par  $\mu\text{m}^2$  est très basse.

La solution est d'utiliser des capacités poly-actif qui est l'option analogique disponible pour la réalisation des condensateurs MOS dans le processus utilisé. Cette structure est obtenue par dépôt d'oxyde sur une région fortement dopée implantée dans le substrat. Ces capacités ont la bonne précision d'appariement et la haute valeur de capacité par  $\mu\text{m}^2$ . De part la simplicité de cette structure en terme de nombre de masques supplémentaires, cette structure est la plus courante et la moins coûteuse[06][09].

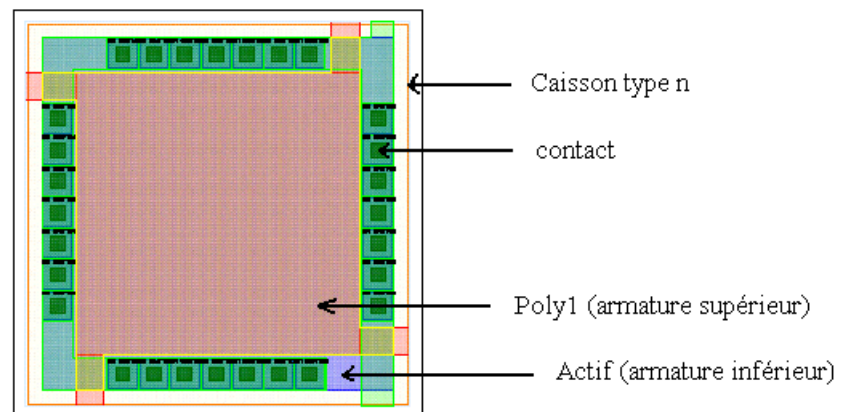


Dans le réseau de capacité, on a vu que les rapports des capacités exacts sont exigés dans cette conception, la technique de layout centre-commun est utilisée pour non seulement réaliser des bons rapports, mais aussi pour atteindre de bonne précision absolue pour les condensateurs.

La valeur d'une capacité de surface donnée  $A=WL$  est sensible aux fluctuations aléatoires périphériques et a une erreur relative égal à :[06]

$$\sigma\left(\frac{dC}{C}\right) \propto \frac{1}{\sqrt{WL}} \sqrt{\frac{1}{L} + \frac{1}{W}} \quad \text{IV.1}$$

Remarquons ici que l'erreur relative peut être minimisée avec  $W=L$ , c'est à dire si le condensateur est carré. D'autre part, pour minimiser l'erreur d'appariement, le réseau est formé à partir de capacités unitaires interconnectées par aboutement pour ainsi réaliser un condensateur de meilleure précision absolue (figure 4.2). Afin d'augmenter l'immunité au bruit de substrat, chaque capacité est conçue sur un caisson de type N (substrat P). Les contacts sont délibérément utilisés, non seulement pour minimiser la résistance du chemin, mais aussi pour améliorer la fiabilité de fabrication. La figure 4.2 représente la disposition d'une capacité unitaire carrée.

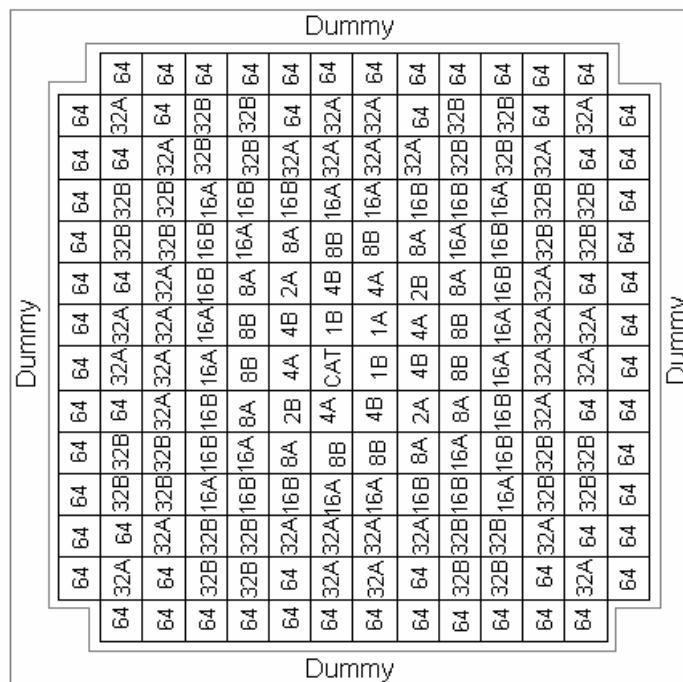


**Figure 4.2 Layout d'une capacité unitaire**

La figure 4.2 montre seulement les couches physiques utilisées pour définir le condensateur. Cependant, dans le programme de dessin des masques utilisé (Virtuoso®), il est nécessaire d'exactly couvrir la surface du condensateur (recouvrement des couches poly et actif) par une couche logique « CP » afin de permettre au programme de vérification layout-schéma (LVS) d'identifier le dispositif. Cette couche sert seulement pour la reconnaissance du dispositif et n'aura donc aucun effet physique.

Tandis que les capacités MOS sont assez linéaires et possèdent une bonne densité, elles présentent aussi une grande capacité parasite au substrat. Pour contrôler la valeur de la capacité, l'armature inférieure (comme le montre figure 4.2) est faite plus grande que l'armature supérieure. Ceci assure que le champ périphérique de l'armature supérieure se termine sur l'armature inférieure au substrat

En prenant les armatures supérieures du réseau comme nœud commun, la capacité parasite est minimiser, tout en augmentant la capacité que doit commander le réseau d'interrupteurs.



**Figure 4.3 Floor-planning du réseau de capacité**

Le floor-planning du réseau de capacités est illustré par la figure 4.3 qui inclue aussi le condensateur de contre réaction de l'Amp-op de convertisseur (64C), où chaque carrée représente un condensateur unitaire, les carrées avec le signe A implique qu'elle est incluse dans le demi-réseau A, et les carrées avec le signe B implique qu'elle est incluse dans le demi-réseau B, un « 1 » représente un condensateur unitaire et « 64 » représente un condensateur formé à partir de 64 condensateurs unitaires. Pour lutter contre toute erreur d'appariement systématique, des structures de capacités dummy furent utilisées pour entourer tout le réseau. Ces éléments, électriquement neutres, assurent que toutes les capacités dans le réseau aient la même structure autour de leur périphérie. Notons qu'il n'est pas nécessaire que les éléments dummy aient la même taille que les éléments fonctionnels.

Le layout de réseau de capacités est illustré par la figure 4.4 ; où les couches en orange pour le caisson n, le bleu foncé pour l'actif, le rouge pour le poly, verts représentent le métal 1, en bleu clair pour le métal 2, et le jaune pour la couche logique de définition du condensateur. Notons qu'il n'a pas été possible de router toutes les capacités en utilisant qu'un seul type de métal. Il a fallu router avec une seconde couche de métal 2 (pour le routage des signaux d'entrés (vers le réseau d'interrupteurs) et de sortie (vers le nœud VCM)). La figure 4.5 montre en détail comment les capacités unitaires sont connectées, chaque capacité isolée dans un caisson n séparé, les armatures inférieures des capacités formants une seule capacité sont reliées par métal 1, le nœud commun des deux demi-réseau est formé en reliant les armatures supérieures par poly1.

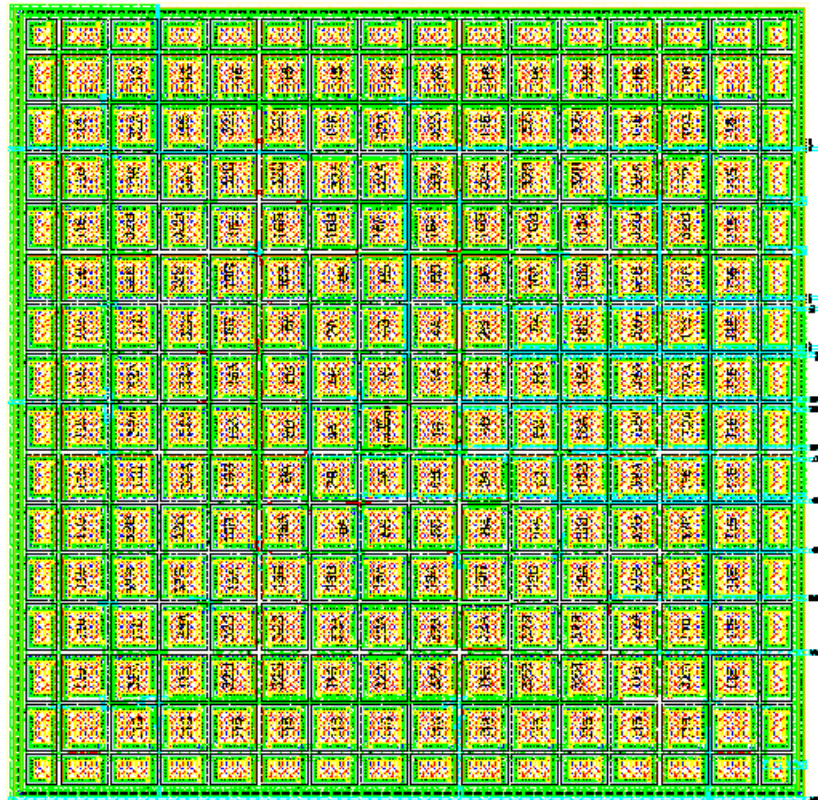


Figure 4.4 Layout du réseau de capacités

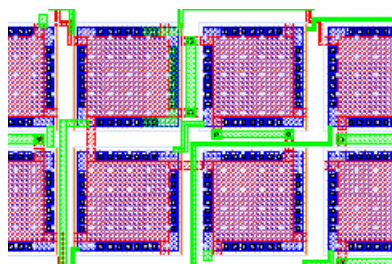


Figure 4.5 les connexions des capacités

## 4.2.2 Les Amplificateurs et Le Circuit VCM

### a) L'intégrateur

Le layout d'amplificateur utilisé comme intégrateur et utilisé dans le circuit VCM est représenté en figure 4.6. une particulière attention est nécessaire pour les techniques d'appariement connues que doit respecter tout circuit analogique (distances minimales, dimensions non minimales, même orientation, même environnement, etc...). Aussi, des cellules standards furent utilisées ; Un routage par la seconde couche de métal a été nécessaire pour connecter les différentes cellules dans le circuit. La première couche de poly fut utilisée pour les lignes d'entrée qui sont principalement des nœuds à haute impédance, tandis que la sortie est routée par le deuxième métal.

Les transistors de grande taille sont divisés en petites cellules placées de façon à garder toujours le même centre et le même sens de courant circulant d'un transistor à un autre, cette technique est adapté pour tous les transistors de grande taille utilisés dans cette conception.

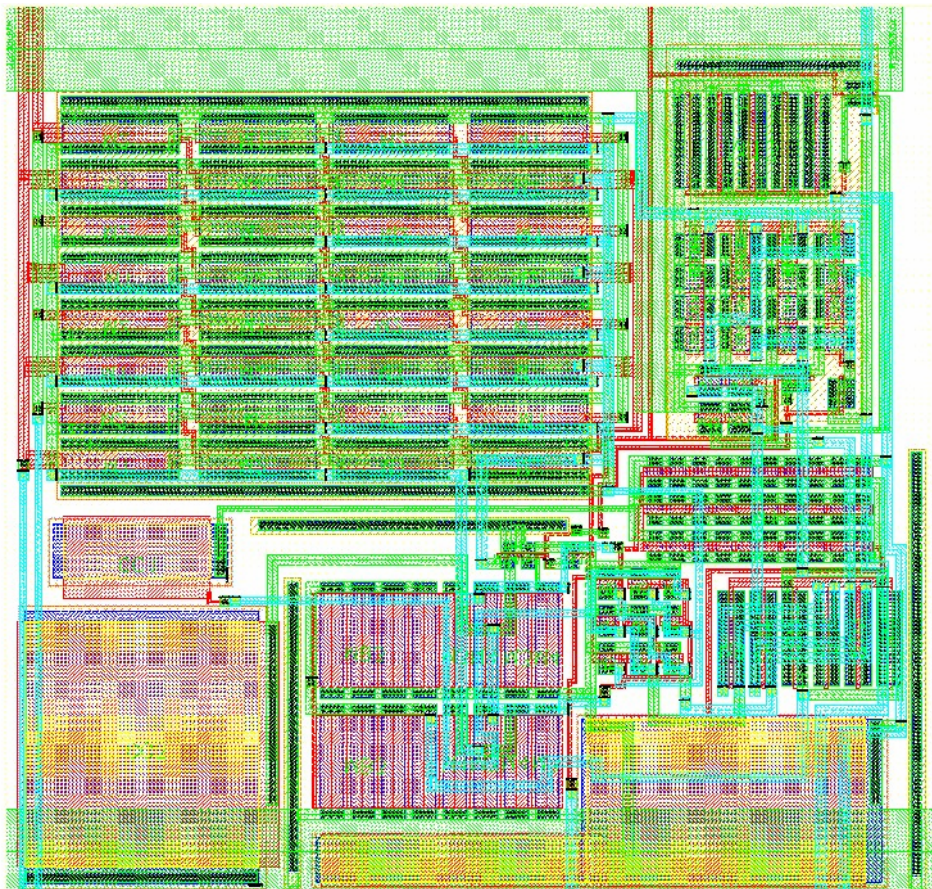


Figure 4.6 Layout de l'amplificateur

## b) Les résistances et le condensateur du circuit VCM

Les résistances utilisées dans le circuit VCM sont des résistances diffusées de type actif (type N) de valeur égales qui permet de réaliser des résistances faiblement sensibles à la température. Aussi, la structure serpentine est adapté parce que les résistances sont de grandes valeurs (112.5  $\Omega$ k). Pour un meilleur appariement deux résistances dummy sont utilisées en haut et en bas.

Le condensateur a la même structure de layout utilisée dans le réseau de capacités. La figure 4.7 illustre le layout de condensateur et des résistances.

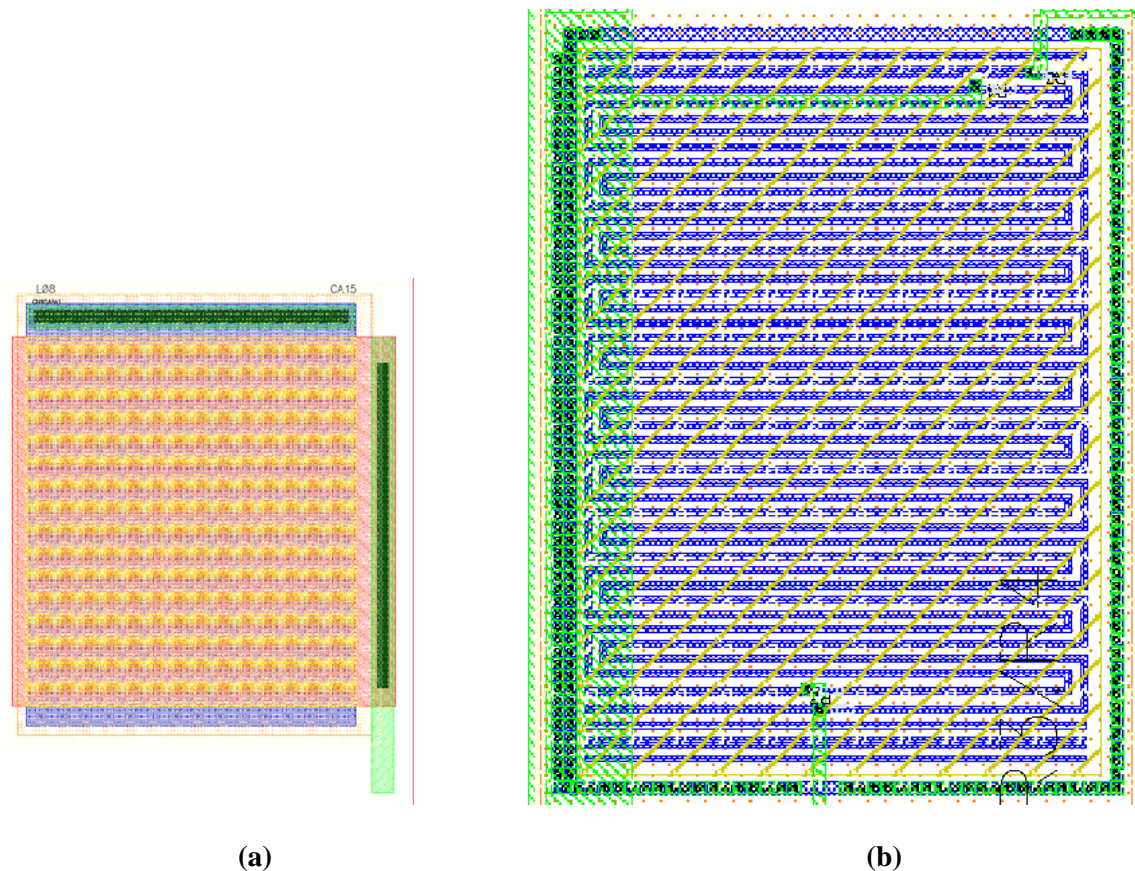
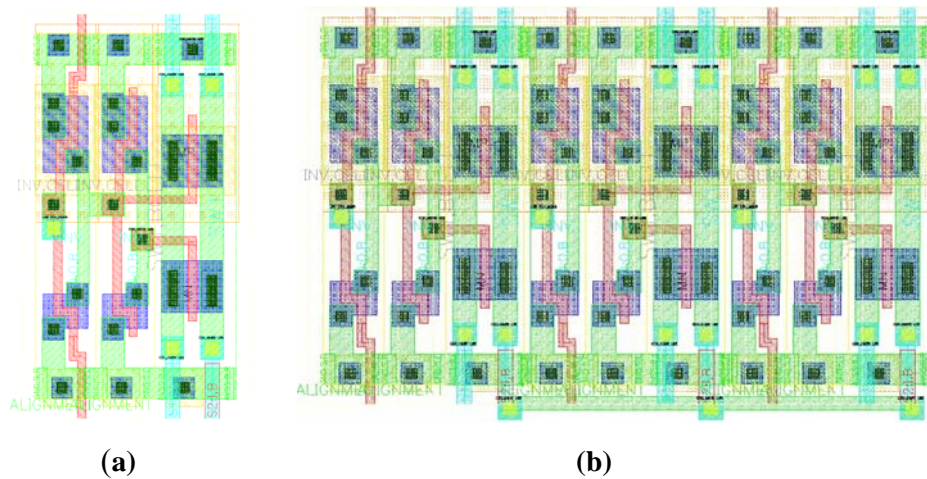


Figure 4.7 layout de (a) le condensateur CCM (b) les Résistances

### 4.2.3 Réseau d'interrupteurs

Les interrupteurs de réseau sont formés des cellules adjacentes, chaque cellule est conçue séparément et est former de trois interrupteurs. Chaque interrupteur est constitué de deux transistors NMOS et PMOS et deux inverseurs. Ces cellules d'interrupteurs exigent spécialement un bon appariement afin d'assurer une bonne évacuation de la charge injectée. La figure 4.8 représente le layout de ces transistors, et la figure 4.9 représente le layout final du réseau d'interrupteurs.



La figure 4.8 a) L'appariement des transistors interrupteur b) l'appariement des interrupteurs de cellule

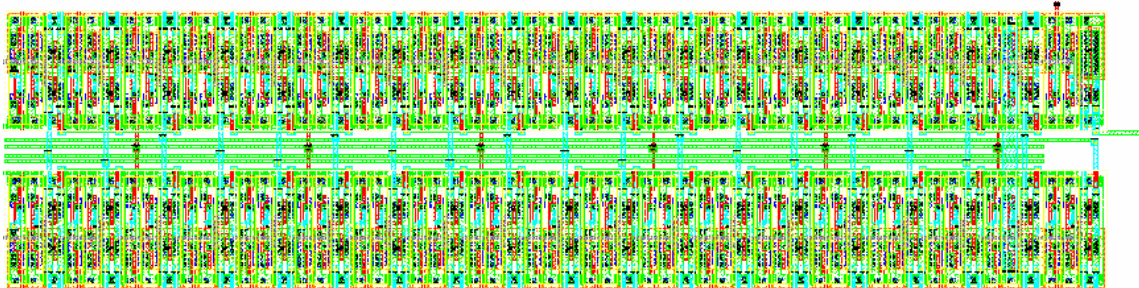


Figure 4.9 Layout de réseau d'interrupteurs

#### 4.2.4 L'Echantillonneur bloqueur

Le layout d'amplificateur utilisé comme suiveur exige les mêmes techniques de layout utilisées dans les autres layouts d'amplificateurs utilisées dans cette conception (appariement, symétrie, ...). La figure 4.10 représente le layout de suiveur, la figure 4.11 représente les layouts de l'interrupteur SWSH et la capacité d'échantillonnage CSH.

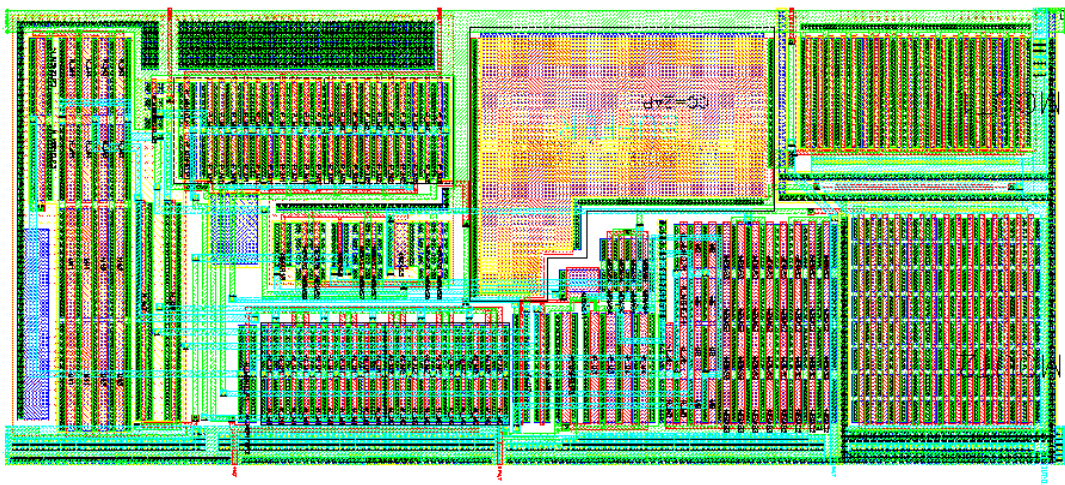
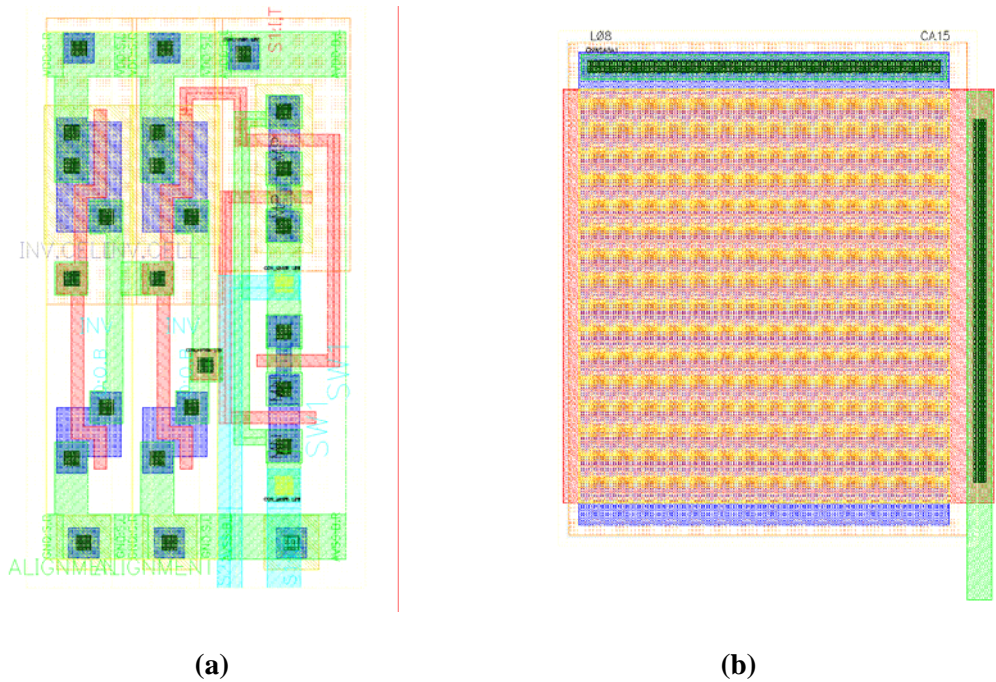


Figure 4.10 layout du suiveur



**Figure 4.11 a) Layout de l'interrupteur SWSH, b) Layout de la capacité d'échantillonnage CSH.**

#### 4.2.5 Circuit de polarisation en courant IBias

La résistance utilisée dans le circuit IBIAS est une résistance poly-silicium qui est une résistance linéaire (coefficient de tension nul). La structure serpentine est adaptée parce que la résistance est de valeurs relativement moyennes (4.7 k $\Omega$ ). Pour un meilleur appariement, deux résistances dammy sont utilisées.

Les deux transistors bipolaires PNP : Q2 et Q1 = 7Q2, sont conçus avec la même technique de layout centre-commun utilisée dans le réseau de capacités pour atteindre un bon appariement, avec l'utilisation de la surface de transistor Q2 comme transistor unitaire.

Le transistor bipolaire pnp est formé : d'un collecteur qui est le substrat de type  $p$ , une base de type  $n$  qui est une couche d'active repose dans le caisson  $n$ , et un émetteur de type  $p$  qui est diffusé dans la base. Le layout du transistor PNP (Q3) est montré sur la figure 4.12.

La figure 4.13 représente le layout de Q1 et Q2, la figure 4.14 représente le layout de IBIAS.

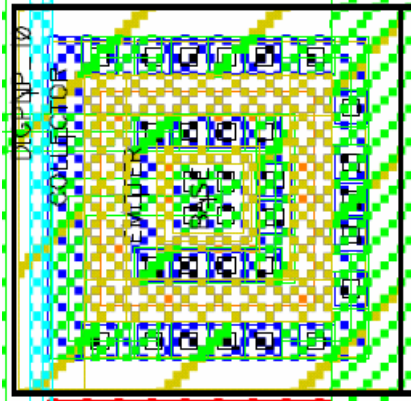


Figure 4.12 les couches de masque utilisées dans le layout de transistor bipolaire unitaire pnp

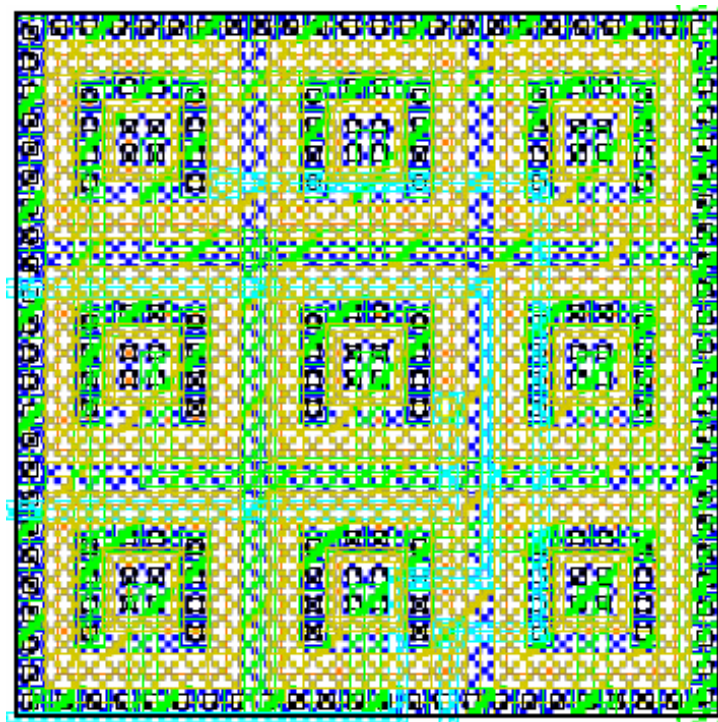


Figure 4.13 l'appariement des transistors bipolaire Q1 et Q2 (centre commun)



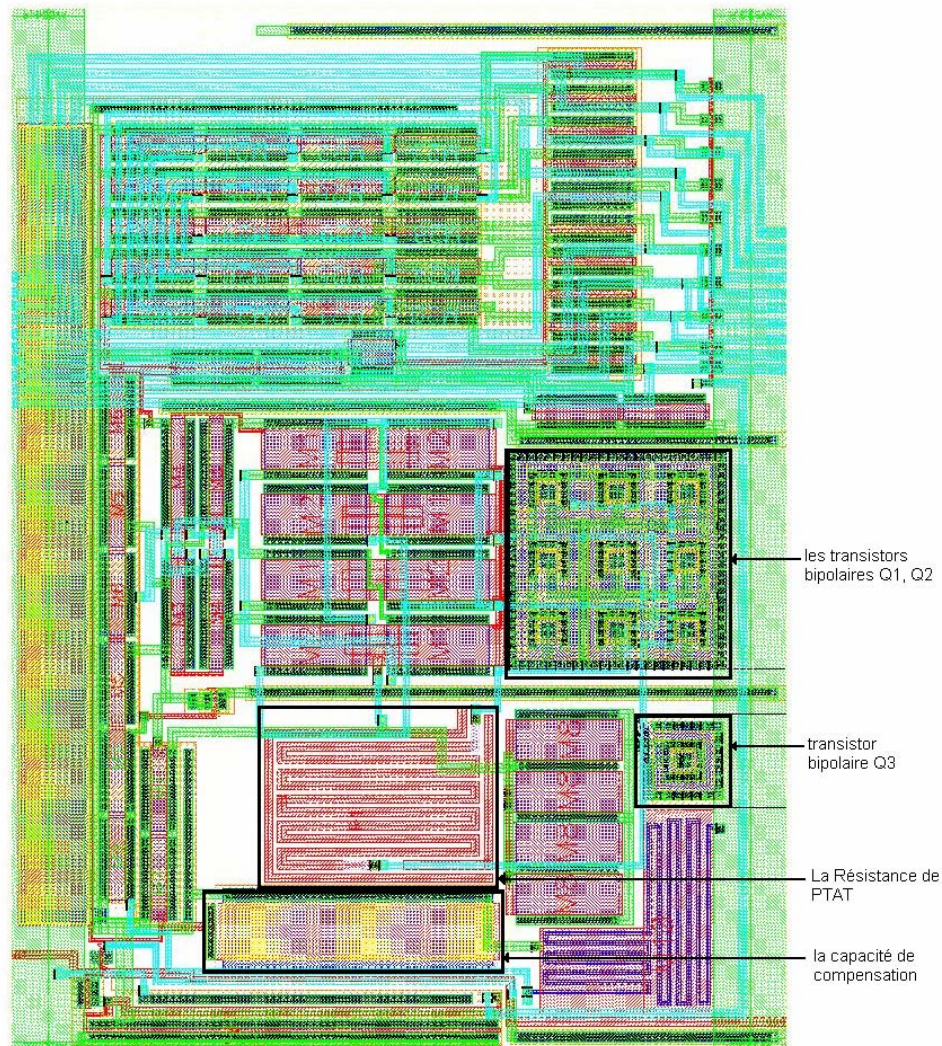


Figure 4.14 layout de IBIAS

#### 4.4 La Partie Numérique

La fonction logique peut être implémentée par la combinaison des blocs logiques fondamentaux, La partie numérique représentée par la logique de commande est conçue à partir de cellules standards. La librairie numérique offre un nombre de cellules de base : portes AND, NAND, OR, NOR, INV, et des blocs de base tels que les cellules del20, les bascules D, RS, JK. Les différentes cellules voient leurs entrées, sorties, masse et lignes d'alimentation dans les mêmes emplacements, pour réaliser un routage propre et aussi pour une meilleure optimisation de la taille occupée par le circuit. Afin de minimiser le bruit de la partie numérique sur la partie analogique, la partie numérique est dotée de sa propre alimentation DVDD et DGND. Aussi, les éléments de cette librairie possèdent une connexion substrat pour ainsi minimiser le risque du latch-up. Le layout de la logique de commande RUNDAC est représenté dans la figure 4.15.

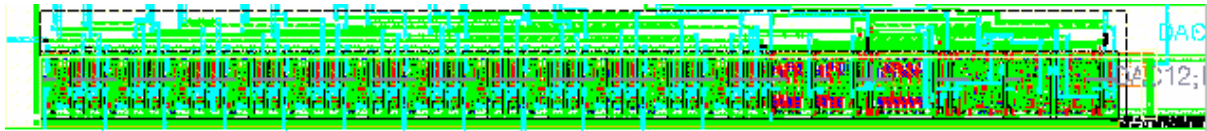


Figure 4.15 layout de RUNDAC

### 4.5 Le Layout du CNA

Le layout final du CNA est représenté par la figure 4.16, il a une taille de dont la majeure partie est essentiellement dominée par le réseau de capacités. La figure illustre le CNA dans le layout du chip complet.

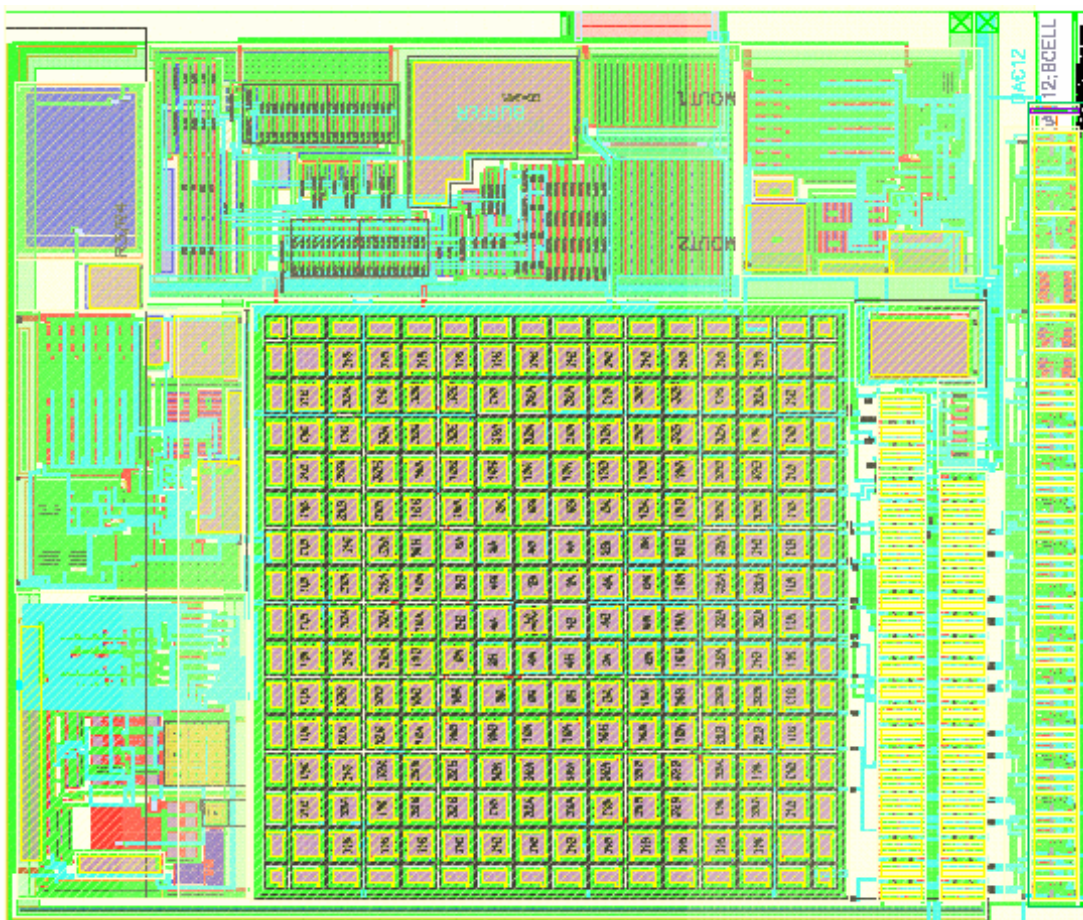


Figure 4.16 Layout final de CNA

---

# Conclusion

---

Malgré les différentes topologies des convertisseurs numériques analogiques disponibles, il était relativement simple de choisir qu'elle topologie employer pour ce projet. Les tolérances de processus et les considérations de surface, cela laisse le choix à l'architecture de CNA à amplificateur de réseau de charge en T.

Dans ce travail, le but est la conception d'un convertisseur CNA 125 kHz à 12-bits intégré. basée sur une architecture à amplificateur de réseau de charge en T pour l'utilisation dans un ASIC de mesure de pression intelligent. Ce convertisseur assure un fonctionnement à faible puissance et de bonne précision voulue de conversion (précision de 10 bits). Il y avait beaucoup de défis au cours du processus de conception, incluant la détermination des exigences d'appariement des dispositifs, examinant quelles sont les erreurs appropriées à cette architecture. Un échantillonneur bloqueur qui suit directement le convertisseur numérique analogique a été entièrement conçu. Les différents circuits de références de tension et de courant, et la logique de commande ont été aussi conçus. Après une analyse complète, le bloc a été simulé pour la vérification de fonctionnalité. Une fois que la confirmation d'opération correcte a été réalisée, le chip a été disposé et intégré avec le reste de l'ASIC.

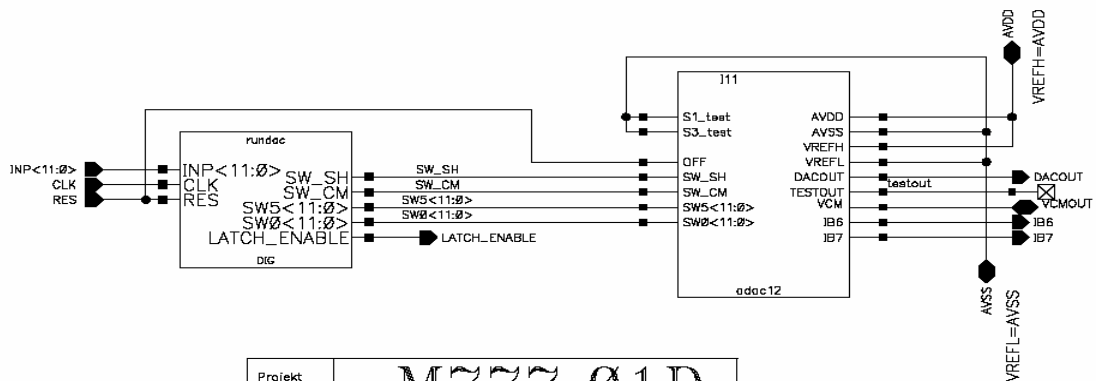
Notre effort dans cette conception a été de comprendre le principe de fonctionnement de cette architecture, d'analyser les différentes issues pratiques qui limitent le fonctionnement et dégradent la performance du circuit, et ensuite, de détecter les sources des erreurs et les corriger ou faire des modifications si nécessaire, afin de réaliser les exigences de l'ASIC.

En effet, cette conception est non pas un travail théorique mais c'est une conception réelle, c-à-d : L'utilisation des techniques les plus avancées qui sont utilisées actuellement dans la conception des circuits mixtes à capacités commutées, aussi la présence de compromis performance/coût qu'un produit doit réaliser. Ce travail nous a permis de vérifier le bon fonctionnement du convertisseur qui répond bien aux exigences du système à cause de l'efficacité de ces techniques. Le tableau ci-dessous résume les performances réalisées par le convertisseur conçu.

**Tableau : résumé des performances du CNA**

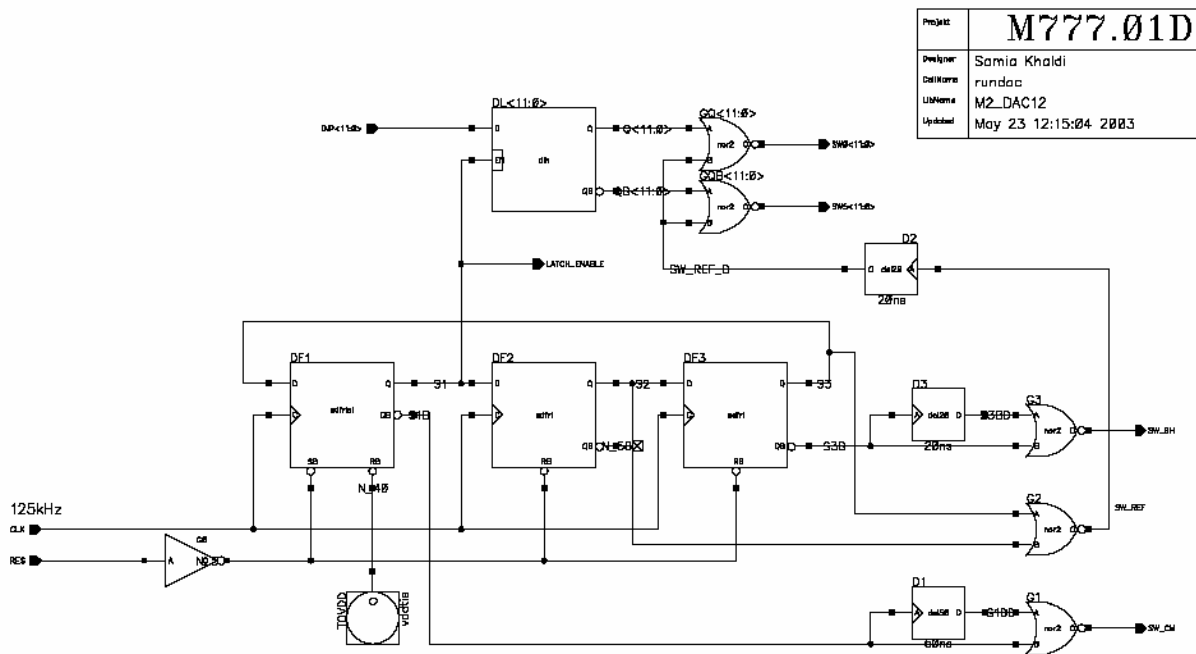
Technologie	BiCMOS 0.8 $\mu$ m
Tension d'alimentation	5V
Gamme de sortie	0 à 5V
Résolution	12 bits
DNL	< 1 LSB
INL	< 1.5 LSB
Consommation	5 mW
horloge	125 kHz
Temps de conversion	100 us

ANNEXE A



Projet	M777.01D
Designer	Samia Khaldi
CellName	dac12
LibName	M2_DAC12
Updated	May 23 12:20:15 2003

Schéma complet du convertisseur CNA utilisé dans la conception



Projet	M777.01D
Designer	Samia Khaldi
CellName	rundac
LibName	M2_DAC12
Updated	May 23 12:15:04 2003

Schéma complet du circuit de la logique de commande rundac

Projet	M777.01D
Designer	Samia Khakri
Projeteur	obdcl2
Labeler	M2.DAC12
Version	MAY 23 13:44:51 2003

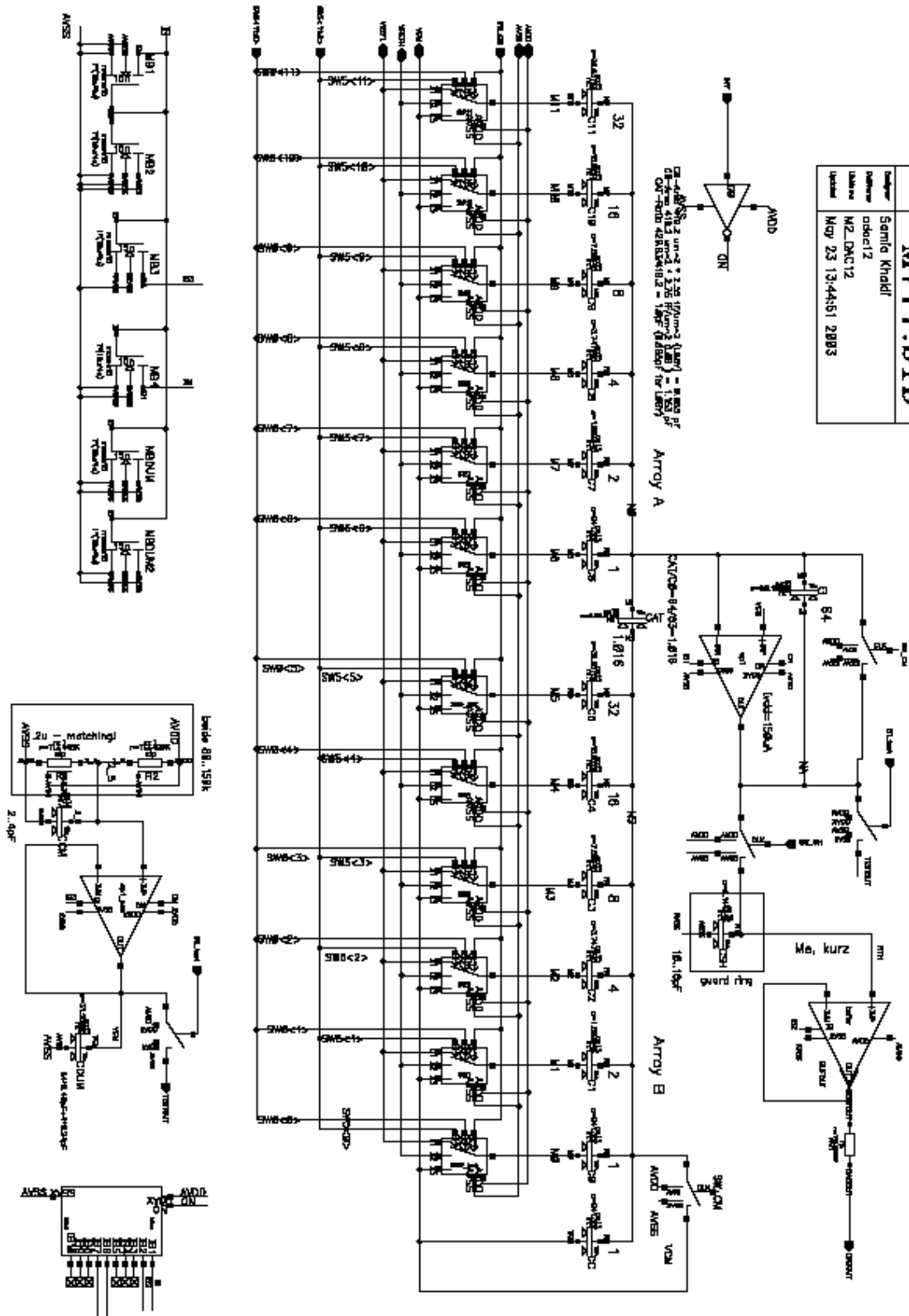


Schéma complet du dac 12 (CNA à Amplificateur de Réseau de charge en T et les bandgaps)

Project	M777.01D
Designer	Samia Khalid
Cell Name	op1
Library	M2_DAC12
Updated	May 21 16:19:40 2003

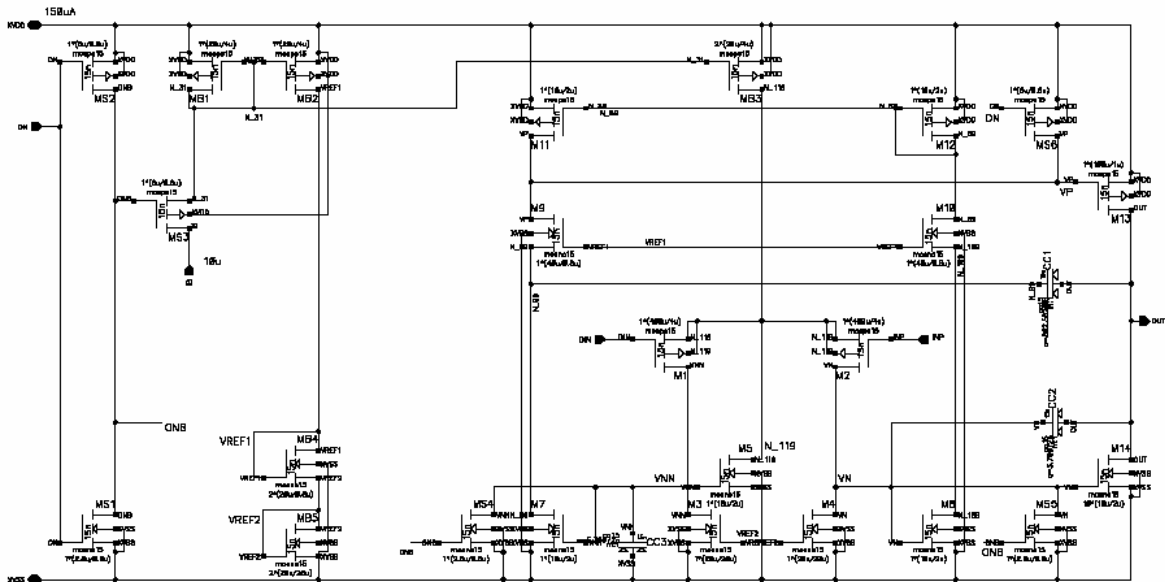
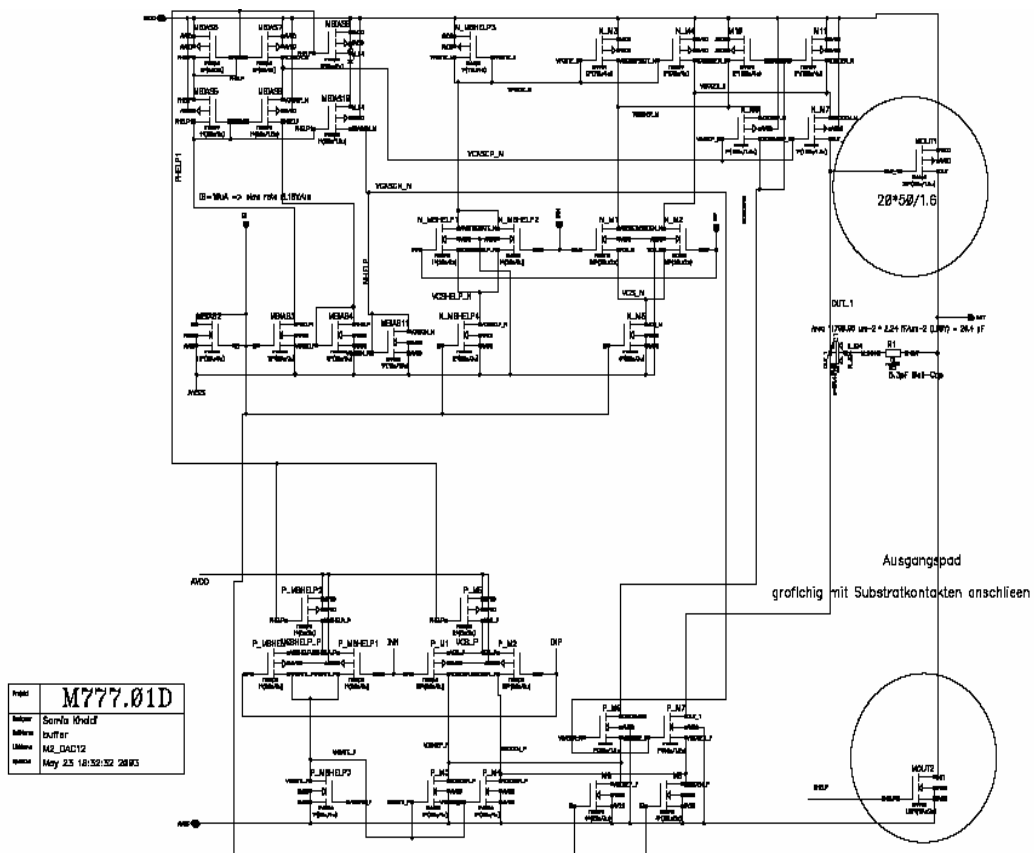
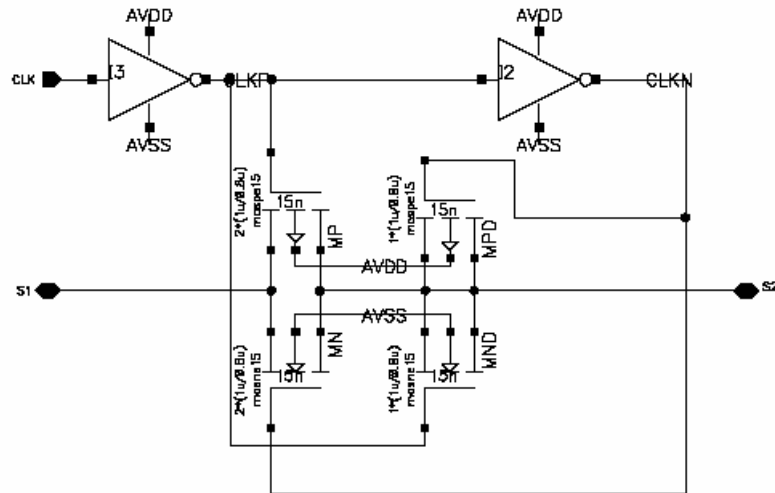


Schéma complet de l'intégrateur

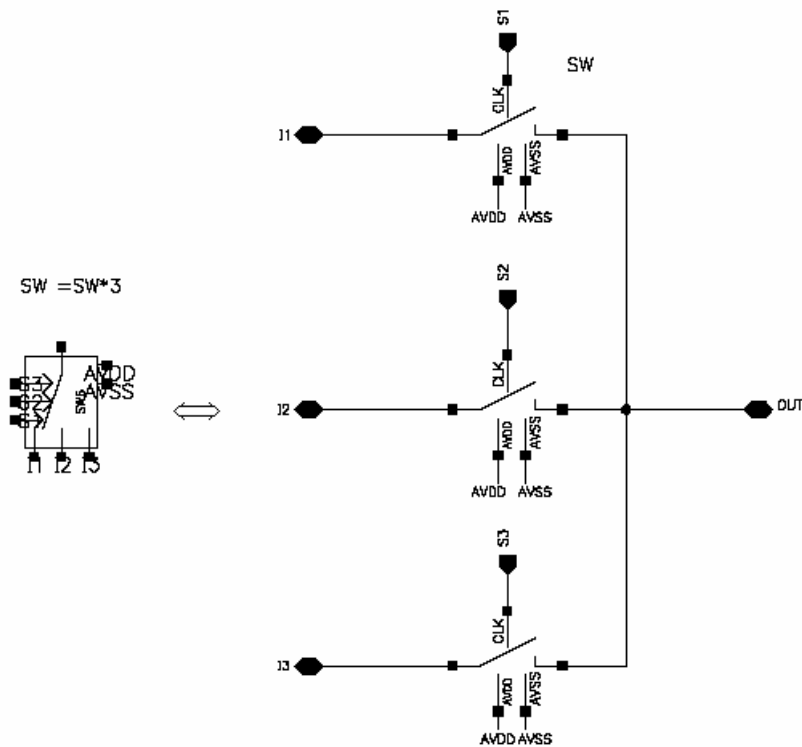


Project	M777.01D
Designer	Samia Khalid
Cell Name	buffer
Library	M2_DAC12
Updated	May 23 18:32:32 2003

Schéma complet du Suiveur

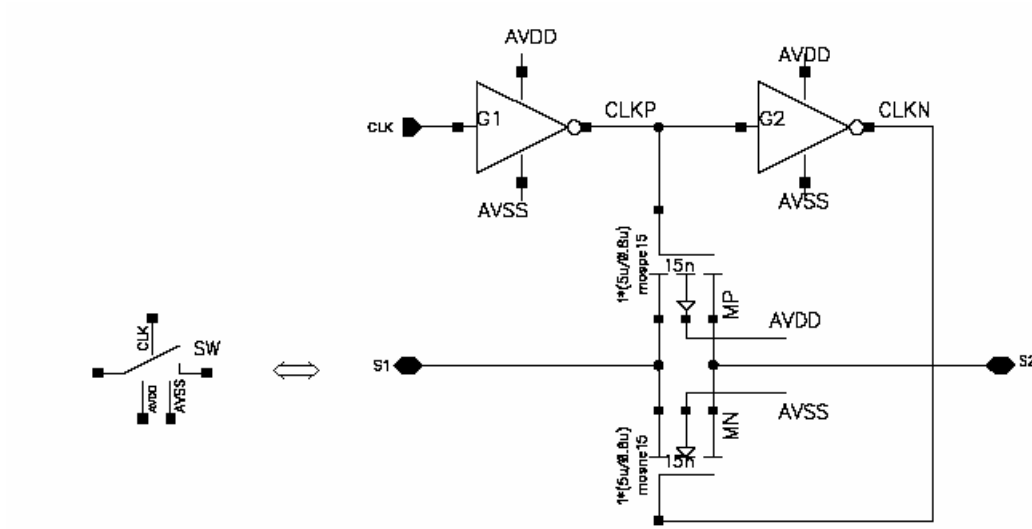


Structure interne de l'interrupteur d'échantillonnage SWSH

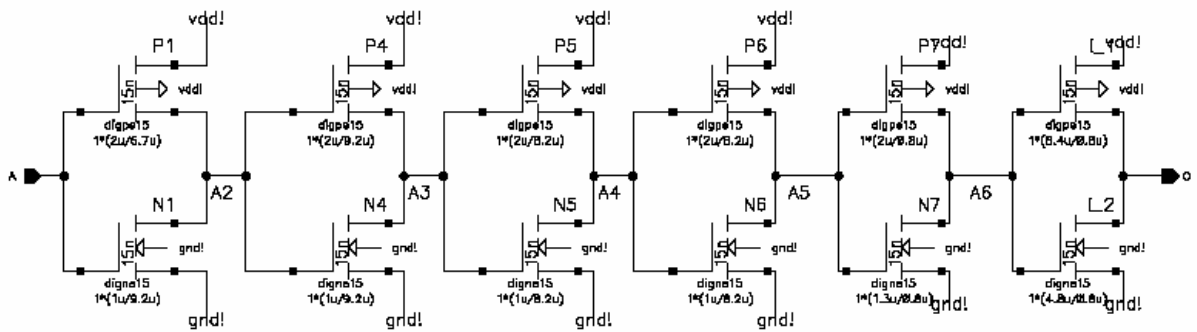


Structure interne de l'interrupteur triple utilisée dans le réseau de capacités

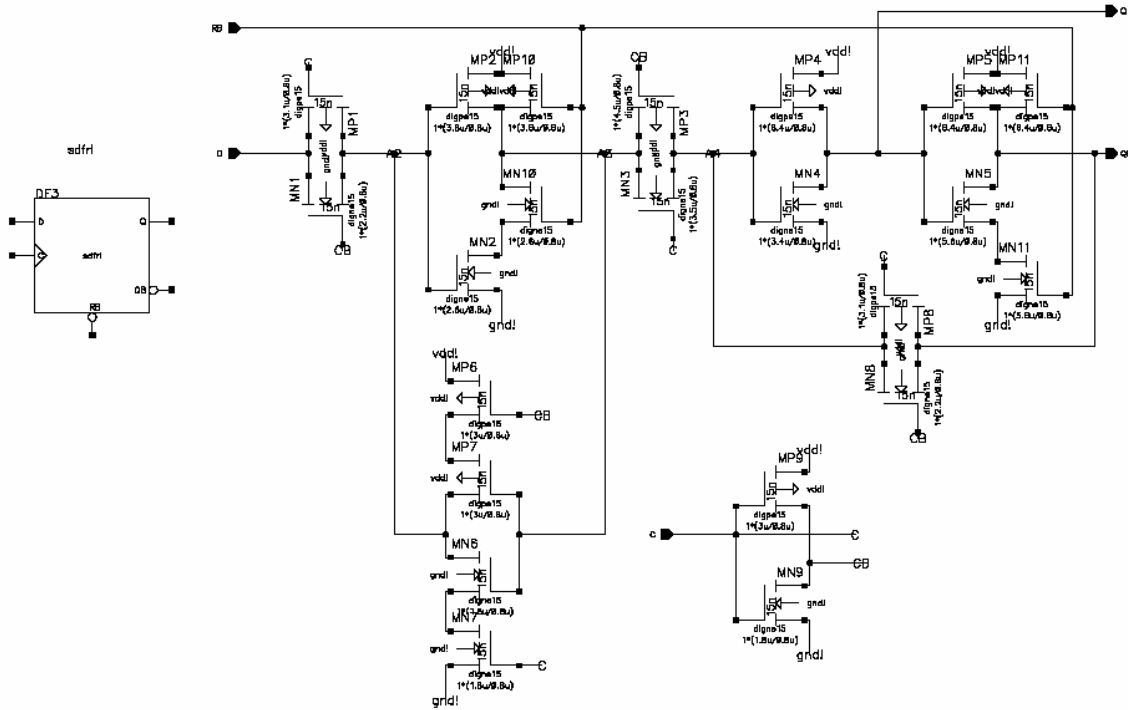




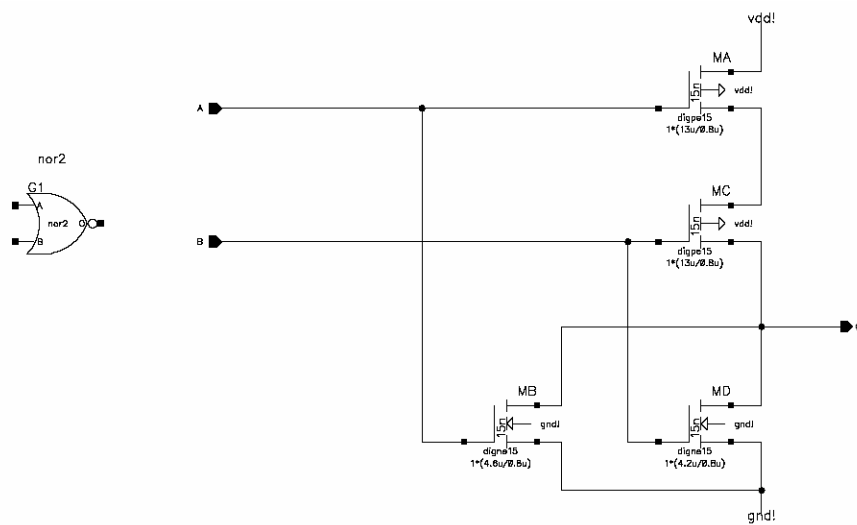
Structure interne de l'interrupteur utilisé dans l'interrupteur triple



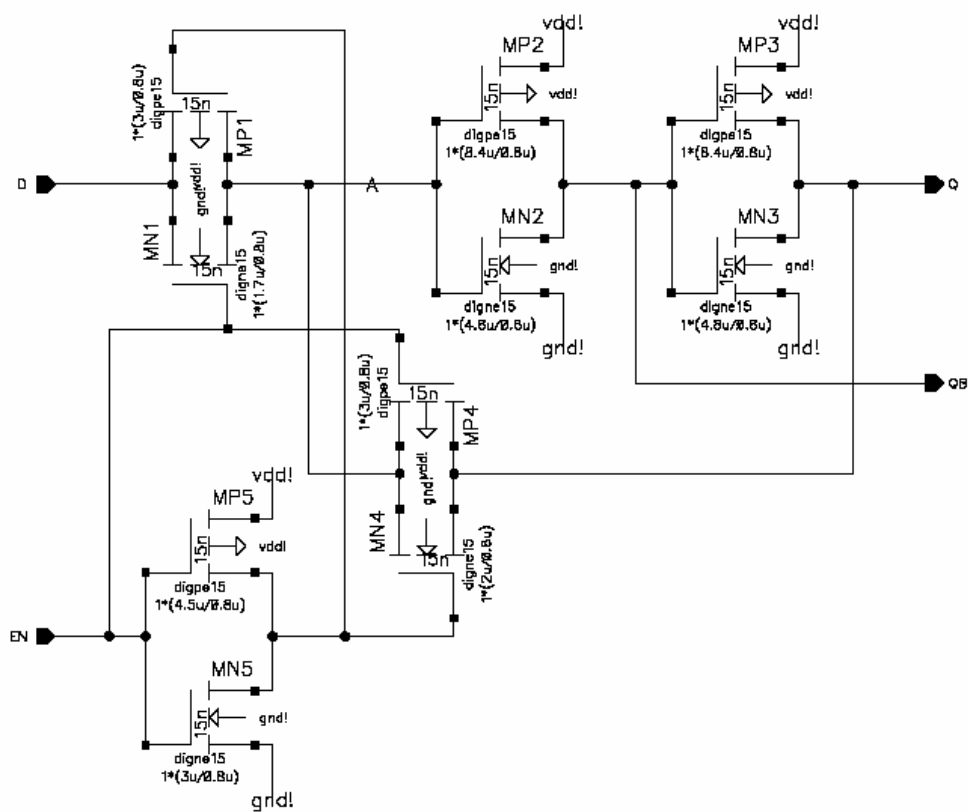
Structure interne de la bascule de retard « del20 » utilisée dans « rundac »



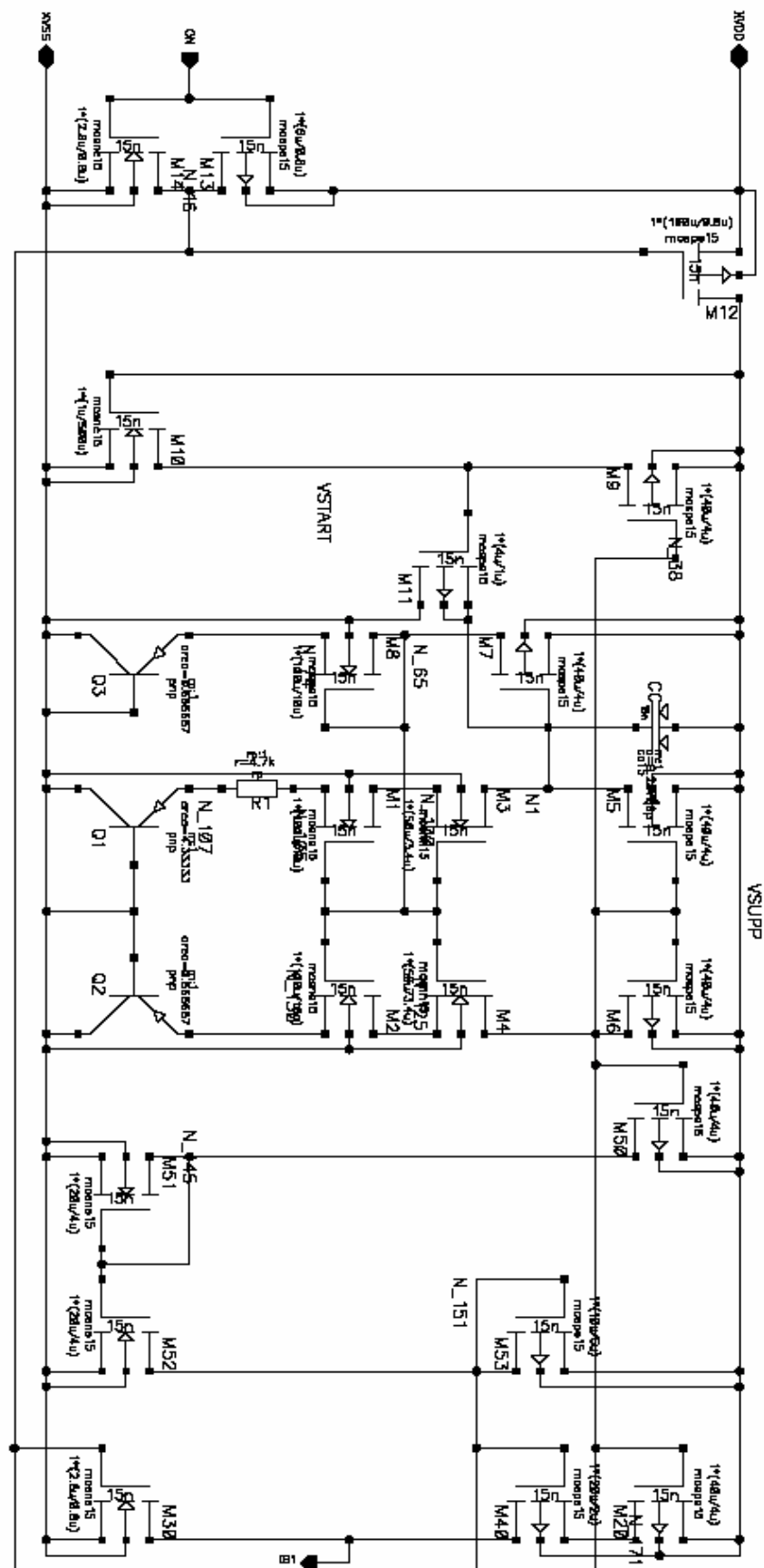
Structure interne de la bascule « sdfr1 » utilisée dans « rundac »



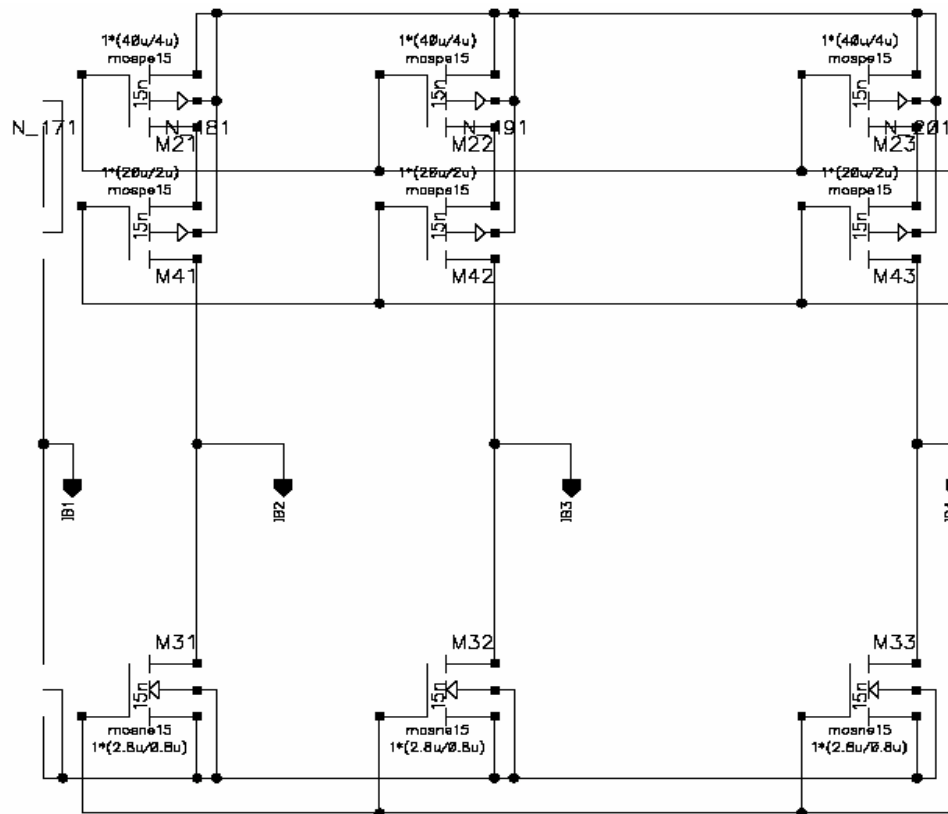
Structure interne de la porte nor2 utilisée dans « rundac »



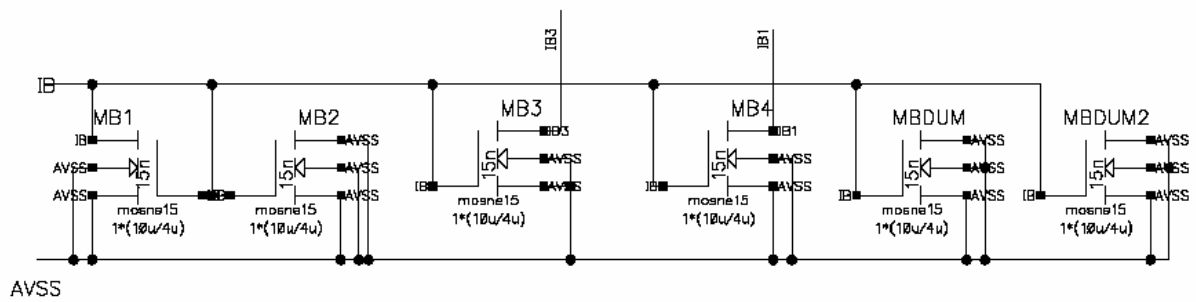
Structure interne de la bascule D utilisée dans « rundac »



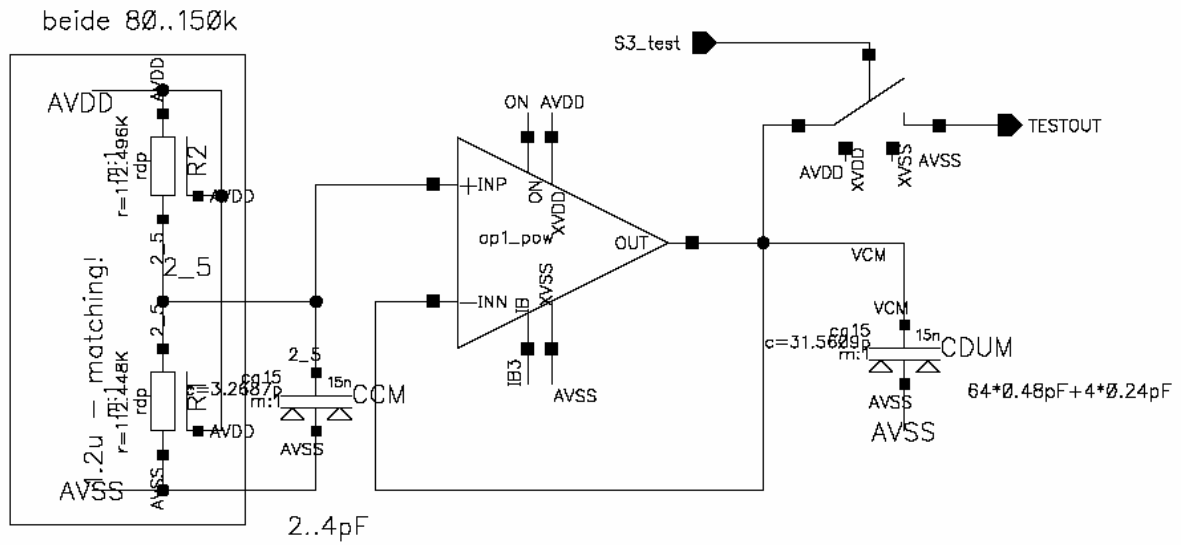
la partie essentielle dans le circuit Bias « PTAT, TC négatif, startup circuit »



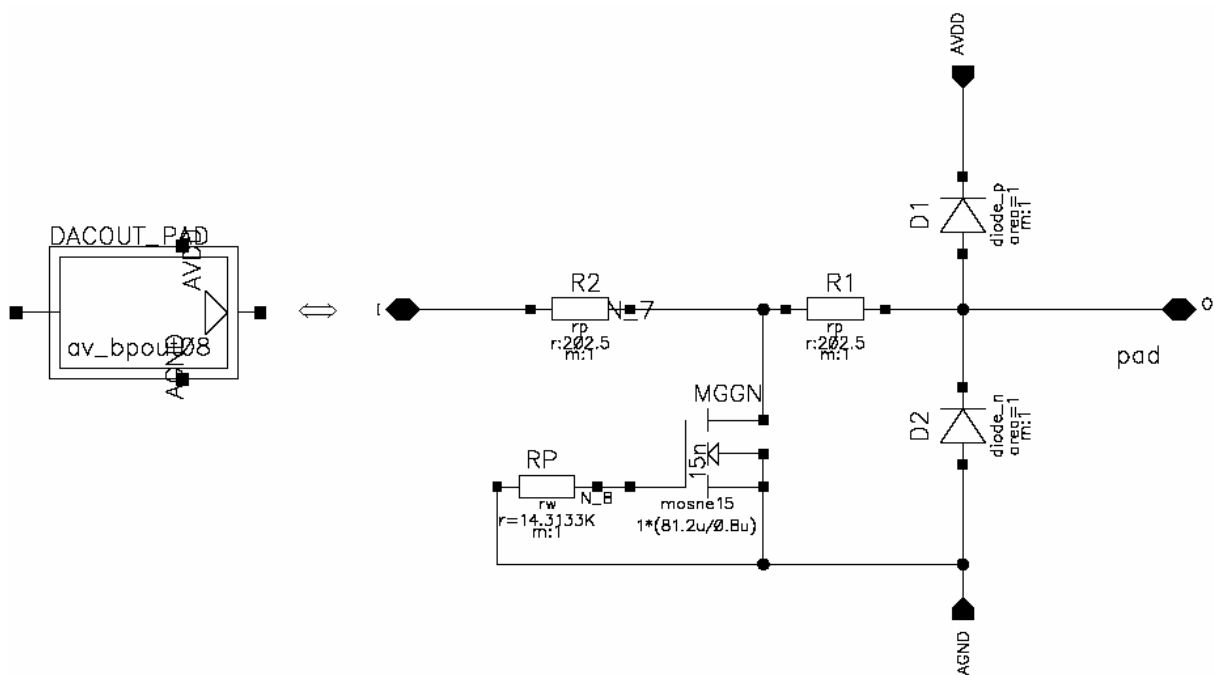
une partie des miroirs de courants dans Bias



les miroirs de courant ajoutés a Bias

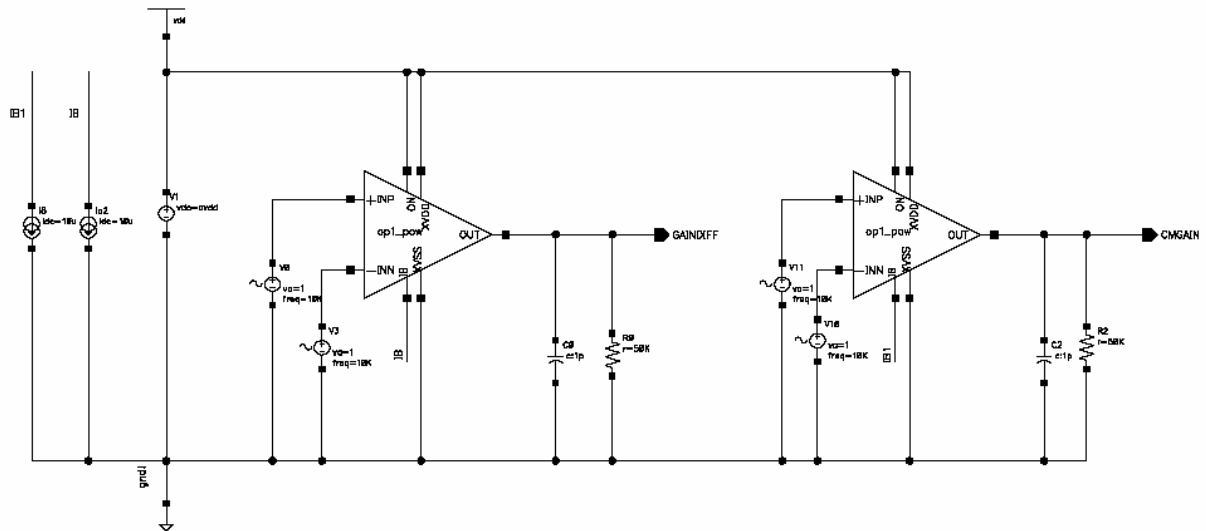


**le circuit de mode commun VCM**

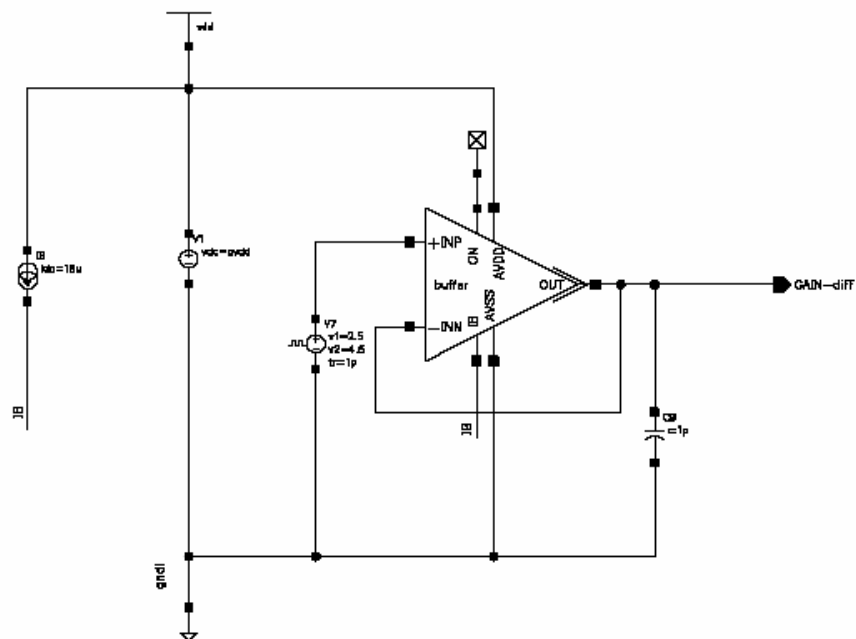


**la structure interne du DACOUT\_PAD utilisé à la sortie de CNA entier**

## ANNEXE B



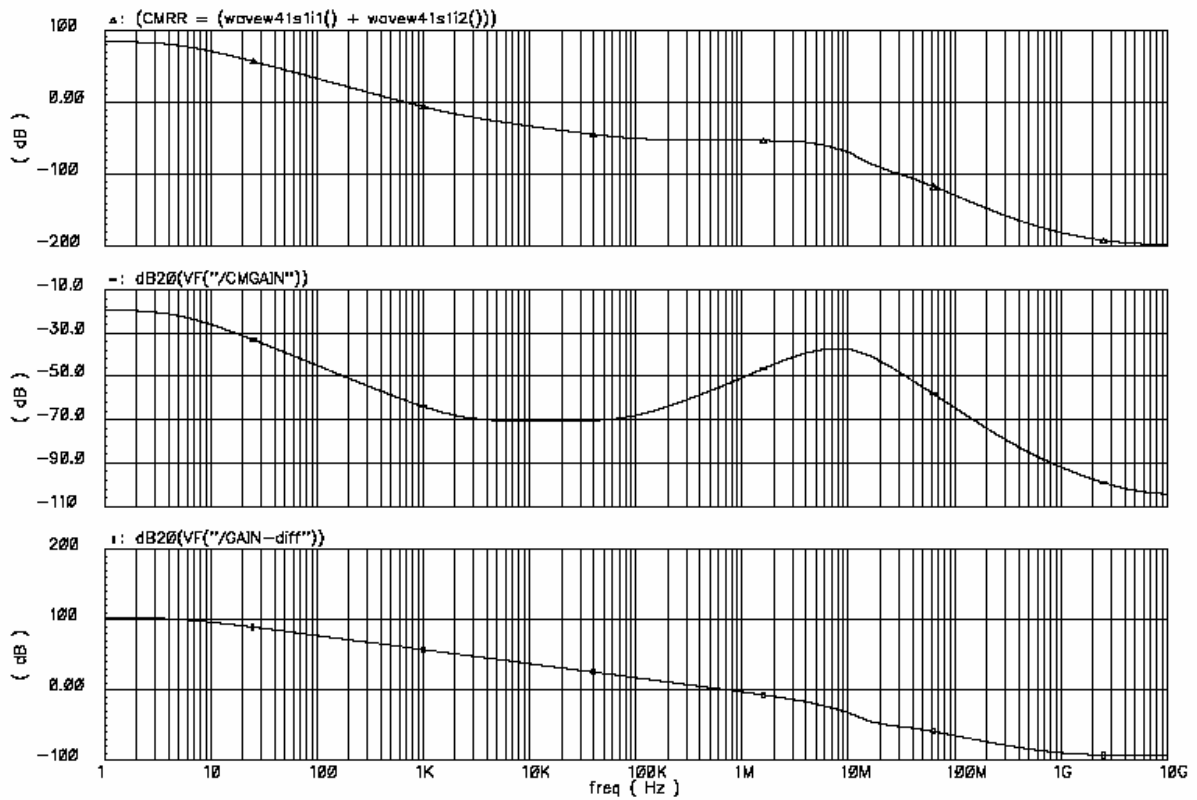
testbench pour simuler le CMRR des amplificateurs



testbench pour simuler le PSRR des amplificateurs

M2\_DAC12 buffer\_tb schematic : Jun 10 14:44:00 2003

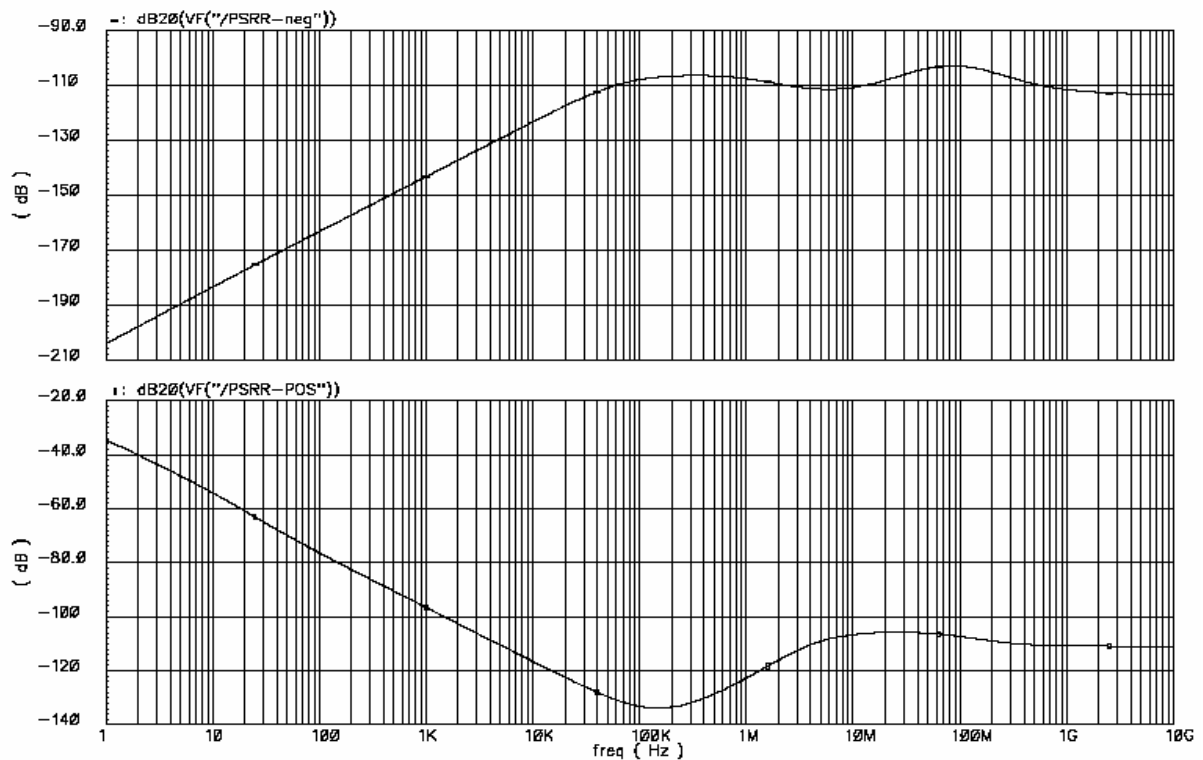
AC Response



**Diagramme de bode de Common-Mode Rejection Ratio (CMRR) de Suiveur**

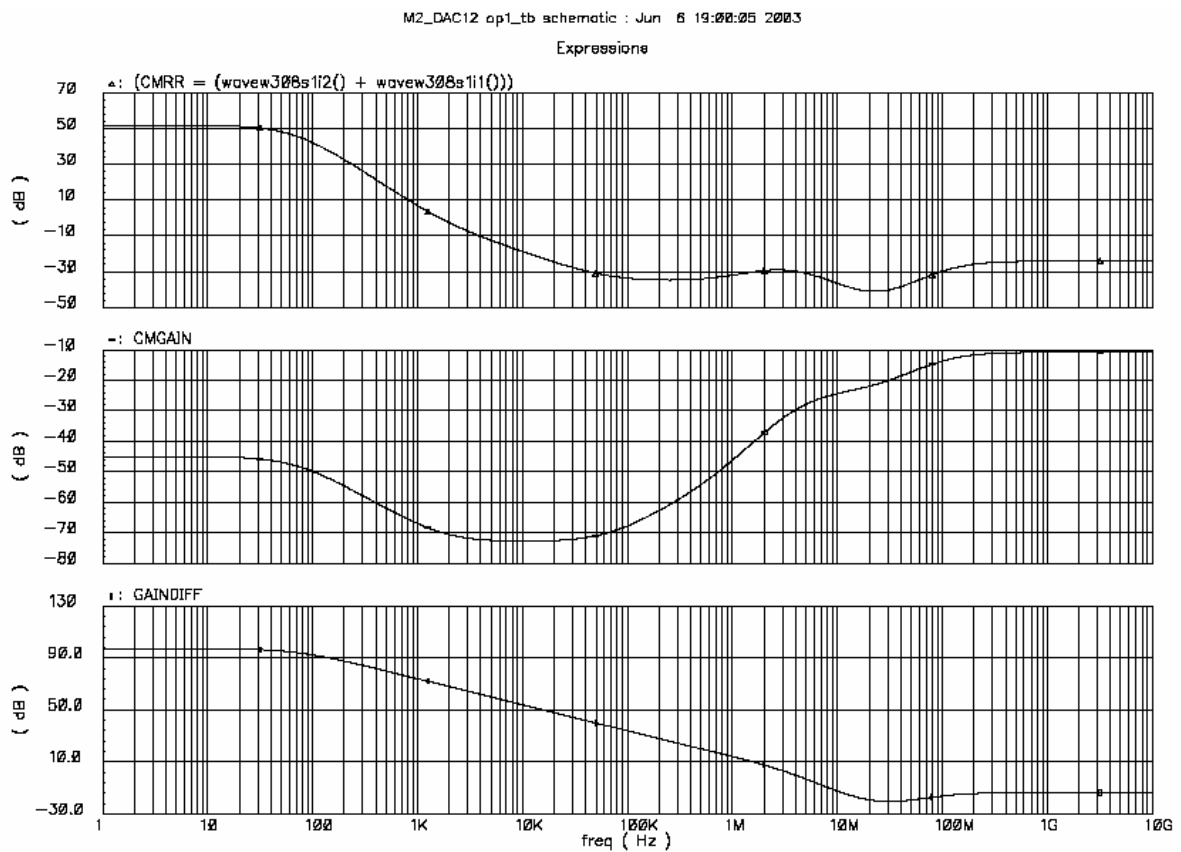
M2\_DAC12 buffer\_tb schematic : Jun 10 14:25:04 2003

AC Response

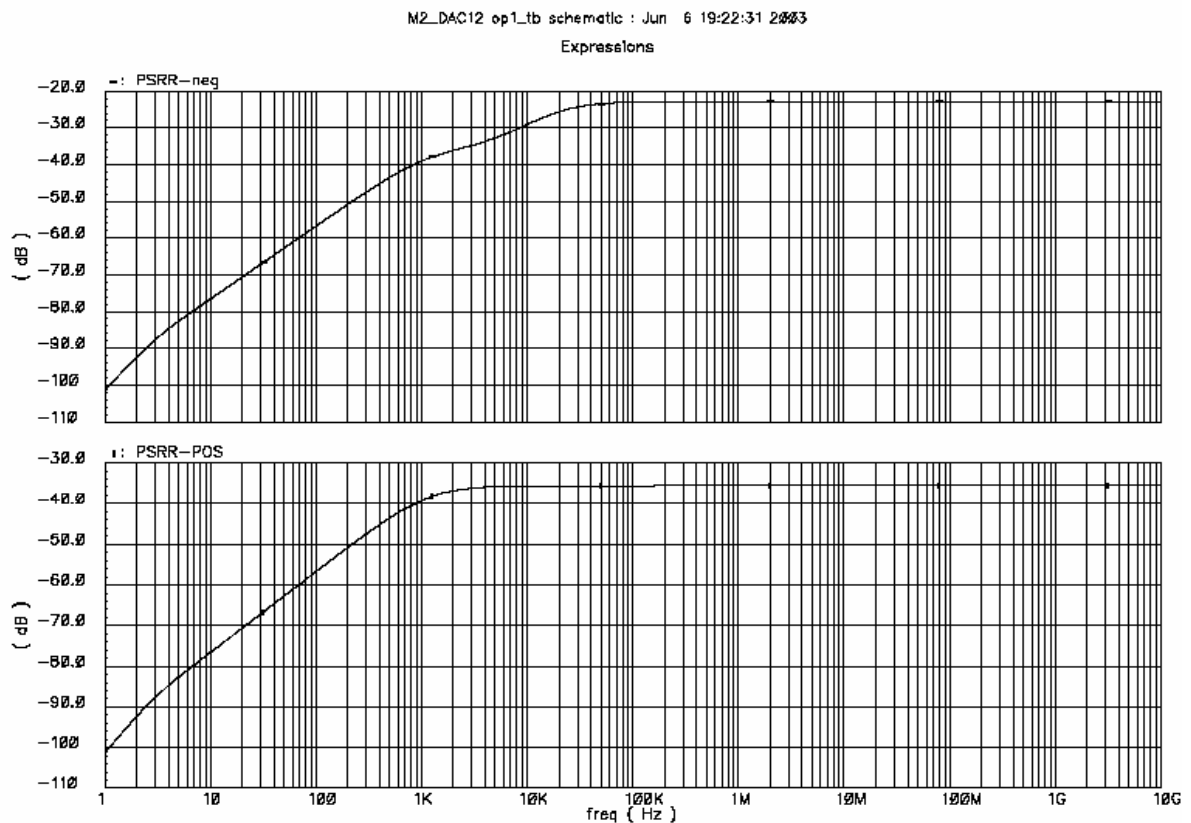




## Diagramme de bode simulé de Power-Supply Rejection Ratio (PSRR) de suiveur



## Diagramme de bode de CMRR de l'intégrateur



**Diagramme de bode de PSRR de l'intégrateur**

## ***Bibliographie***

- [1] “M777.01D 2<sup>nd</sup> Order Piezoresistive Signal Processor” Customer Detail Specification, ELMOS Semiconductor AG, 2003.
- [2] E. Sicard, S. Delmas-Bendhia, “*Deep Submicron CMOS Design*”, 20/12/2003.
- [3] Behzad, Razavi, “*Design of CMOS Analog Integrated Circuit*”, Hardcover Edition, August 2000.
- [4] R.J.Van De Plassche, “*Dynamic Element Matching for High-Accuracy Monolithic D/A Converters*”, IEEE I. Solide-State Circuits, Vol. SC-11, no. 6, Dec. 1976.
- [5] Robert H. Caverly, “*4 Bit CMOS Charge Scaling Digital to Analag Converter*”, Department of Electrical and Computer Engineering, University of Massachusetts Dartmouth, N. Dartmouth, MA 02747-2300
- [6] Je-Hurn SHIEH, “*Measurement and Analysis of Charge Injection in MOS Analog Switches*”, IEEE Journal of Solid-State Circuits, VOL. SC-22, NO. 2, April 1987.
- [7] David A. Johns, Ken Martin, “*Analog Integrated Circuit Design*”, John Willy & Sons Inc, 2000.
- [8] R. Jacob, Harry W. Li and David E. Boyce, “*CMOS Circuit Design, Layout, and Simulation*”, IEEE press, 1998.
- [9] Th. Georgantas, St. Bouras, “*Report on Low Power Design Techniques For Data Converters*”, Intracom, ICCS-NTUA, December 1998.
- [10] P. E. Allen, “*CMOS Analog IC Design*”, 2001.
- [11] J. W. Bruce, “*Nyquist\_rate digital-to-analog Converter architectures*”, IEEE Potentials, 2001.
- [12] G. Couturier, “*Echantillonnage, Quantification, Conversion Analogique/Numérique et Numérique/Analogique*”, Dept GEII IUT Bordeaux I,
- [13] Trond Ytterdal, “*Analog CMOS 2*”, Department of physical Electronics, NTNU, Norway, février 2003.

- [14] Tim Cummins, “*An IEEE 1451 Standard Transducer Interface Chip with 12-b ADC, Two 12-b DAC’s, 10-kB Flash EEPROM, and 8-b Microcontroller*”, IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 33, NO. 12, DECEMBER 1998.
- [15] M. M. Amourah & S. Q. Malik & R. L. Geiger, “*An MSB-First Monotonic Switched Capacitor Serial DAC*”, Department of Electrical and Computer Engineering Ames, IA 50011, & Texas Instruments Inc & R. J. Carver Trust.
- [16] Sam Blackman, P. Robert Brodersen, “*A Low Power, 8-bit, 200 MHz Digital-to-Analog Converter*”, Electronics Research Laboratory, U.C.Berkeley, December 3, 1999.
- [17] Afshin Haft-Baradaran, “*Basic and advanced current references*”, University of Toronto,
- [18] G. Wegmann, “*Charge Injection in Analog MOS Switches*”, IEEE journal of Solid-State Circuits, VOL. SC-22, NO. 6, December 1987.
- [19] JTW, “*Bandgap Voltage and Current Reference Designer*”, 26/8/2002.
- [20] Roubik Gregorian, Gabor C. Temes, “*Integrated Circuit For Signal Processing*”, JohnWilly & Sons Inc, 1986.
- [21] L. A. Bienstman and H. J. De Man, “*An Eight-Channel 8 13it Microprocessor Compatible NMOS D/A Converter with Programmable Scaling*”, IEEE J. Solid-State Circuits, vol. SC-15, no. 6, Dec 1980.
- [22] K.B. Ohri and M. J. Callahan, JR, “*Integrated PCM Codec*”, IEEE Transactions on communications, vol. COM-27, NO. 2, 1979.
- [23] Jacky Porte, “*Aspects technologiques de la conception analogique CMOS*”, Université de Leeds, 15/11/2001.
- [24] Robert Mckinstry, “*Automatic Synthesis of CMOS Digital/Analog Converters*”, PhD thesis, University of California at Berkeley, Electrical Engineering and Computer Sciences, 1995.
- [25] Dave Robertson, “*Selecting Mixed-Signal Components for Digital Communications Systems—Part V*”, Analog Dialogue 31-3, 1997.
- [26] O. Rossetto, “*Conception de système Intégrés analogiques*”, Université Joseph Fourier Grenoble, Avril 2000.

- [27] Mohamed Dessouky, “*Conception En Vue De La Réutilisation De Circuits Analogiques. Application : Modulateur Delta-Sigma à très Faible Tension*”, PhD thesis, Paris VI, 2001.
- [28] J. C. W. Wong. “*CMOS Sample-and-Hold Circuits*”, ECE 1352 Reading Assignment, Department of Electrical and Computer Engineering, University of Toronto, November 12, 2001.
- [29] Walt Kester, James Bryant, Joe Buxton, “*ADCs For Sigal Conditioning*”.
- [30] Tom Kugelstadt, “*Switched-Capacitor ADC Analog Input Calculations Application Report*”, Advanced Analog Products, Advanced Analog Applications Group, Texas Instruments, September 1998.
- [31] Chris Binan Wang, “*A 20-bit 25-kHz Delta–Sigma A/D Converter Utilizing a Frequency-Shaped, Chopper Stabilization Scheme*”, IEEE Journal of Solid-State Circuits, vol. 36, no. 3, March 2001.
- [32] R. Reutemann, P. Batemelli, Q. Huang, “*A 33mW 14b 2.5Msample/s  $\Sigma\Delta$  A/D Converter in 0.25  $\mu\text{m}$  Digital CMOS*”, ISSCC Paper Continuations, 2002.
- [33] B. E. Amazeen, P. R. Hollowy, and D. A. Mercer, “*A Complete Single-Supply Microprocessor-Compatible 8-Bit DAC*”, IEEE J. Solid-State Circuits, vol. SC-15, no. 6, Dec 1980.

# Abstract

## A 12-bit DAC for a Pressure Correction ASIC

By

**Samia KHALDI**

Electronics Engineer

Advanced Electronics Laboratory, University of Batna, Algeria.

Prof. **Nour Eddine BOUGUECHAL**, Advanced Electronics Laboratory, University of  
Batna, Algeria.

Prof. **OTTO MANCK**, Microelectronics Institute, technical University of Berlin,  
Germany.

A 12-bit split array charge amplifier DAC targeted for use in a pressure smart sensor is presented for industrial automatism. This pressure correction ASIC adopts digital signal processing techniques to process measured data using a DSP machine which the architecture and the algorithm are proposed and developed by MAZ<sup>1</sup>. The ASIC needs an interface to convert the digital data corrected by DSP to an analog signal to transfer them to the output. This work describes the design and implementation of a digital to analog converter (DAC) to meet the unique requirements of the ASIC according to the primary specifications delivered by the customer SMI<sup>2</sup>. The designed DAC is a “split array charge amplifier” Which belongs to switched capacitors circuits; a technique adopted to design the whole chip. The 12-bit DAC reported here consumes 5mW at 5 V supply and a 125 kHz clock frequency. The DAC and all the ASIC are made in an ELMOS 0.8 $\mu$ m high voltage BiCMOS technology. The project is developed in collaboration between MAZ, ELMOS<sup>3</sup> and SMI.

---

<sup>1</sup> MAZ : Mikroelektronik-Anwendungszentrum GmbH. Germany; Company specialized in the technologies of industrial automatism and communications

<sup>2</sup> SMI : Silicon MicroStructure Inc. USA ; Company specialized in fabrication of pressure sensors and the MEMS.

<sup>3</sup> ELMOS. Germany : company specialized in the development and fabrication of ASIC in analog and mixed CMOS technology.

## ملخص

محول رقمي - تماثلي مضخم شبكة اشحنة لموزعة على "T" من أجل مجس ضغط ذكي.

قدم من طرف

سامية خالدي

مهندسة في الإلكترونيك، مخبر الإلكترونيك المتقدمة، جامعة باقة، الجزائر

الأستاذ/ نور الدين يوسفال، مخبر الإلكترونيك المتقدمة، جامعة باقة، الجزائر

الأستاذ/ أوو مارك، معهد ليكرو إلكتروك، لجامعة تقنية، برلين، ألمانيا

يقدم هذا العمل محولا رقميا-تماثليا مضخم شبكة اشحنة لموزعة على "T" ( Split Array Charge Amplifier) موجه للاستعمال في مجس ضغط ذكي من أجل تطبيقه في صناعة سيارات. تعتمد هذه الدارة متكاملة للتطبيق المخصص ASIC على تقنيات المعالجة الرقمية للإشارة DSP من أجل معالجة المعلومات المتكاملة و ذلك بالاعتماد على نه المعالجة الرقمية المصممة من طرف شركة MAZ<sup>1</sup>. من خلال هذا العمل نقدم دراسة تصميم و إجاز محول رقمي- تماثلي من أجل تأمين احتياجات التماثل الخاصة بدارة مجس الضغط الذكي و ذلك حسب متطلبات تزيون SMI<sup>2</sup>. المحول لمدروس في هذا العمل ينتمي إلى مجموعة دوائر ذات لسة المتقطعة Switched capacitors circuits و هي تقنية المعتمدة في باقي أجزاء الدارة. يستهلك هذا المحول ذو لية 12 وحدة ثابتة، 5 ميلي وات تحت تغذية 5 فولت. تم إجاز المحول و إرفاقه ككل في تكنولوجيا ELMOS BiCMOS 0,8 ميكرومتر، التوتور العالي. هذا المشروع هو عمل مشترك بين شركات MAZ، SMI و ELMOS<sup>3</sup>.

<sup>1</sup> MAZ: Mikroelektronik-Anwendungszentrum GmbH, Germany; شركة ألمانية متخصصة في تكنولوجيا الاتصالات و الأليات الصناعية

<sup>2</sup> SMI: Silicon Micro Structure Inc. USA; شركة أمريكية متخصصة في صناعة مجسات الضغط و المجسات الميكرو إلكترونيكية

<sup>3</sup> ELMOS, Germany: CMOS و تقنيات ASIC في تكنولوجيا رقمية و مختلطة للتطبيق المخصص

# Résumé

## Un CNA a amplificateur de réseau de charge en 'T' à 12-bits pour un ASIC de correction de pression

Par

**Samia KHALDI**

Ingénieur en électronique

Laboratoire d'électronique avancée, Université de Batna, Algérie.

Prof. **Nour Eddine BOUGUECHAL**, Laboratoire d'électronique avancée, université de Batna, Algérie.

Prof. **OTTO MANCK**, Institut de microélectronique, Université technique de Berlin, Allemagne.

Un CNA a amplificateur de réseau de charge en 'T' a 12-bit conçu pour l'utilisation dans un capteur de pression intelligent pour l'industrie des automobiles est présenté. Cet ASIC de correction de pression adopte la technique numérique pour le traitement des données mesurées en utilisant une machine DSP dont l'architecture et l'algorithme sont ceux proposées et développées par MAZ<sup>1</sup>. L'ASIC à besoins de convertir les données numériques corrigées de la sortie de DSP sous forme analogique pour les transférer à la sortie. Ce travail décrit la conception et l'implémentation d'un CNA pour répondre aux besoins uniques de l'ASIC selon les spécifications primaires délivrées par le client SMI<sup>2</sup>. Le CNA conçu est de type "amplificateur de réseau de charge en T" qui fait partie des circuits à capacités commutées, technique adoptées dans la totalité du chip. Cet CNA a 12-bit consomme 5mW sous une tension de 5 V et une fréquence de 125 kHz. Le CNA et tout L'ASIC sont fabriqués dans une technologie ELMOS BiCMOS 0.8µm Haute tension. Le projet a été fabriqué en collaboration entre MAZ, ELMOS<sup>3</sup> et SMI.

---

<sup>1</sup> MAZ : Mikroelektronik-Anwendungszentrum GmbH. Allemagne; société dans les technologies d'automatisme industriel et communications

<sup>2</sup> SMI : Silicon MicroStructure Inc. USA ; société spécialisée dans la fabrication des capteurs de pression et des MEMS.

<sup>3</sup> ELMOS. Allemagne : société spécialisée dans le développement et fabrication des ASIC dans une technologie CMOS analogique et mixte.