

**REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE**

**MINISTERE DE L'ENSEIGNEMENT SUPERIEUR  
ET DE LA RECHERCHE SCIENTIFIQUE**

**UNIVERSITE DE BATNA  
FACULTE DES SCIENCES DE L'INGENIEUR  
DEPARTEMENT D'ELECTRONIQUE**

**MEMOIRE**

**Présenté Pour L'obtention Du Diplôme  
De Magister En Microélectronique  
Option : IC Design**

**Par : Abdelmadjid MIHOUBI**

*Ingénieur, département d'électronique-Université de Batna*

**THEME**

**Conception d'un convertisseur analogique numérique**

**Sigma Delta du 1<sup>er</sup> ordre à 12 bits**

*Devant le jury constitué de :*

Dr. HOBAR Farida  
Dr. BOUGUECHAL Nour-Eddine  
Dr. MANK Otto  
Dr. DIBI Zohir  
Dr. OUNISSI Abdelhamid  
Dr. HAFDI Zoubida

Prof. Université de Constantine  
Prof. Université de Batna  
Prof. Université de Berlin  
M.C. Université de Batna  
M.C. Université de Batna  
M.C. Université de Batna

Président  
Rapporteur  
Rapporteur  
Examineur  
Examineur  
Examineur

## **Remerciements**

*Je tiens tout d'abord à remercier le professeur **Nour Eddine Bouguechal**, le doyen de la faculté des sciences de l'ingénieur à l'université de Batna. Pour son travail d'encadrement, ses conseils, et pour qu'il m'a été permis de savoir tout près la conception réelle dans l'industrie électronique. Je lui suis très reconnaissant pour ses qualités rares tant au niveau humain que scientifique que j'ai pu entrevoir dans les déplacements que nous avons été amenés à effectuer ensemble. Je lui dois les remerciements les plus sincères.*

*Je tiens particulièrement à remercier Mr. **Otto Manck**, directeur général de la société MAZ, et professeur à l'université technique de Berlin en Allemagne, où nous avons effectué une grande partie de ce travail, pour la confiance qu'il m'a témoignée en m'accueillant dans son équipe à Berlin et pour ce captivant sujet de recherche proposé.*

*J'adresse tous mes remerciements à Monsieur **Carsten Leitner**, ingénieur à la société MAZ, pour m'avoir accueilli au sein de son équipe de recherche et sa patiente relecture du manuscrit et ses qualités pédagogiques que j'apprécie beaucoup. Son soutien constants sur les plans scientifiques et humains aura été une aide particulièrement précieuse.*

*Mes vifs remerciements à Mme, **Farida Hobar**, professeur à l'université de Constantine, pour avoir accepté de présider le jury et à bien voulu prendre le temps de s'intéresser au sujet du présent mémoire.*

*De même à Mr. **Zofir Dibi**, docteur et chef du département d'électronique de l'université de Batna, pour m'avoir honoré par sa présence au jury.*

*Je tiens à remercier vivement Mr. **Abdelhamid Ounissi**, docteur et chargé de cours au département d'électronique à l'université de Batna pour l'honneur qu'il me fait en figurant dans la composition du jury.*

*Et je tiens aussi à remercier vivement Mme. **Hafdi Zoubida**, docteur et chargé de cours au département d'électronique à l'université de Batna pour l'honneur qu'il me fait en figurant dans la composition du jury.*

*Un grand merci à ma petite famille, à ma grande famille et à tous les collègues du laboratoire de l'électronique avancée à Batna pour leur dynamique.*

*Je ne pourrai jamais trouver les mots justes pour exprimer mes sentiments pour mes parents. Je veux les remercier pour sont soutien, ses sacrifices, la patience, la volonté et la persévérance qui m'ont permis de mener ce travail.*

**Mr Abdelmadjid MIHOUBI**

# Table des matières

Introduction générale . . . . .	3
<b>1 Caractéristiques d'un convertisseur analogique numérique</b>	<b>5</b>
1.1 Définition d'un convertisseur analogique numérique . . . . .	5
1.2 Principe de la conversion analogique numérique . . . . .	6
1.2.1 L'échantillonnage : . . . . .	7
1.2.2 La quantification : . . . . .	7
1.3 Caractéristiques d'un convertisseur analogique numérique (CAN) :	8
1.3.1 Caractéristique de transfert d'un CAN : . . . . .	8
1.3.2 Résolution : . . . . .	9
1.3.3 Erreur de quantification : . . . . .	9
1.3.4 Tension de référence : . . . . .	10
1.3.5 Temps de conversions : . . . . .	10
1.3.6 Le rapport signal sur bruit (SNR) : . . . . .	10
1.4 Erreur de convertisseur analogique numérique : . . . . .	10
1.4.1 Erreur d'offset : . . . . .	10
1.4.2 Erreur de gain : . . . . .	11
1.4.3 Erreur de non linéarité différentielle (NLD) : . . . . .	12
1.4.4 Erreur de non linéarité intégrale (NLI) : . . . . .	12
1.4.5 Erreur total : . . . . .	13
1.4.6 Erreur de monotonie : . . . . .	13
1.4.7 Erreur de code manquant : . . . . .	13
<b>2 Les différents types de convertisseurs</b>	<b>14</b>
2.1 Convertisseur A/N à intégration ou périodique : . . . . .	14
2.1.1 Convertisseur A/N à simple rampe : . . . . .	15
2.1.2 Convertisseur A/N à double rampe : . . . . .	16
2.2 Convertisseur A/N à rapidité moyenne : . . . . .	17
2.2.1 Convertisseur A/N à approximations successives : . . . . .	17
2.3 Convertisseur A/N rapide : . . . . .	19
2.3.1 Convertisseur A/N flash : . . . . .	19
2.3.2 Convertisseur Pipeline : . . . . .	20
2.4 Convertisseurs à sur-échantillonnage : . . . . .	21
2.4.1 Sur-échantillonnage : . . . . .	21
2.4.2 Effet de sur-échantillonnage sur le bruit de quantification : . . . . .	22
2.4.3 Le modulateur : . . . . .	23

---

<b>3</b>	<b>Conception et simulation</b>	<b>29</b>
3.1	spécifications des performances . . . . .	29
3.2	Principe : . . . . .	30
3.3	La formulation mathématique de fonctionnement . . . . .	31
3.4	Simulation synoptique . . . . .	36
3.5	Conception de la partie analogique : . . . . .	37
3.5.1	Convertisseur tension courant : . . . . .	37
3.6	Résultat et simulation : . . . . .	43
3.6.1	L'amplificateur opérationnel en Boucle ouverte : . . . . .	43
3.6.2	L'amplificateur opérationnel en Boucle fermé : . . . . .	48
3.6.3	Analyse transitoire : . . . . .	52
3.7	Le comparateur : . . . . .	62
3.8	La partie numérique : . . . . .	64
3.9	Circuit global du <i>CAN</i> Sigma Delta . . . . .	66
	<b>Conclusion générale.</b> . . . . .	<b>76</b>

## Introduction générale

Le domaine de la microélectronique a connu un développement technologique d'une façon exponentielle ces dernières années. L'intégration de plus en plus élevés sur une seule puce des systèmes électronique réalisés auparavant sous forme de cartes. D'où la microélectronique représente un pilier des activités industrielles. Grâce au développement conjoint de la conception des circuits, du développement de la technologie et des techniques avancées de caractérisations les circuits intégrés deviennent toujours plus puissant, rapides et fonctionnels.

Avec se fantastique développement du domaine de la microélectronique liées au marché de l'industriel, de plus en plus de circuits, comportent des blocs analogiques intégrés sur la même puce que les blocs numériques. Actuellement, ces circuits, appelés circuits mixtes, sont le plus souvent de véritables systèmes sur puce (*SoC*, pour "Systems-on-Chip").

Durant ces dernières années, beaucoup d'efforts ont été consacrés à la réduction de la tension d'alimentation et à la réduction de la consommation de ces systèmes. Cela est dû principalement à la croissance de l'utilisation des systèmes portables alimentés par des batteries, mais provient aussi de la réduction de la taille des circuits intégrés. Les conséquences de ces réductions sont différentes selon la nature des circuits.

D'une part, les circuits intégrés numériques à basse tension d'alimentation et à faible consommation, peuvent facilement atteindre des qualités excellentes du point de vue fonctionnement.

D'autre part, les circuits intégrés analogiques à basse tension d'alimentation et à faible consommation avec de bonnes fonctionnalités sont très difficiles à réaliser. Par ailleurs, les circuits intégrés analogiques ne peuvent pas être conçu en utilisant des tailles minimales des transistors, pour des raisons de fonctionnement. Donc la surface de la partie analogique ne peut pas être réduite précisément avec la minimisation des tailles des fonctions à réaliser.

La nécessité des circuits analogiques reste assez importante, car le monde réel étant analogique, d'autre part ces circuits peuvent réaliser des fonctions à haute fréquence contrairement aux circuits numériques, par contre ces circuits qui ne peuvent pas être remplacés par des circuits numérique, pose un grand problème pour la conception des système à basse tension d'alimentation et à faible consommation.

Pour faire l'opération de passage du monde analogique au monde numérique, il nous faut un système mixte qui relie les deux mondes, c'est le convertisseur analogique numérique qui est capable de faire cette opération.

Dans une chaîne de mesure par exemple, il est nécessaire d'acquérir et de numériser les stimuli électriques générés par les capteurs. Pour ce faire, divers principes de conversion analogique numérique sont envisageables, mais bien sûr chaque principe possède son lot d'avantage et d'inconvénients qui le rendent apte à telle ou telle application. C'est ainsi que les convertisseurs Sigma Delta constituent la solution idéale pour la mesure des phénomènes lents. Ils sont bien adaptés aux applications de pesage et de contrôle des procédés de fabrication mettant en œuvre des mesures de pression et de température.

L'objectif de cette thèse et tout d'abord de faire la conception d'un convertisseur analogique numérique Sigma Delta qui sera capable de travailler à des températures un peu élevée, et comme objectif principale de minimiser la partie analogique et de rendre la plus grande part numérique qui peut être programmée.

### Organisation du travail

Dans le premier chapitre, les paramètres qui sont utilisés dans la caractérisation de la performance du convertisseur analogique numérique (les spécifications) sont discutés. Ainsi que les limites fondamentales de la conversion analogique numérique, de même les erreurs liées à la conversion analogique numérique sont abordées.

Les différentes architectures les plus connues des convertisseurs analogiques numériques sont exposées au chapitre 2. Pour chaque architecture, le fonctionnement, les avantages et les inconvénients sont donnés.

D'après la conclusion du chapitre 2, nous arrivons enfin à l'architecture préférée pour réaliser le CAN dans l'ASIC qui est le CAN Sigma Delta du premier ordre. La conception et la simulation des différents blocs constituant le CAN sont présentés dans le chapitre 3. La réponse du CAN entier est aussi présentée.

# Chapitre 1

## Caractéristiques d'un convertisseur analogique numérique

Les grandeurs physiques qui nous intéressent quotidiennement sont essentiellement analogiques. Pour les prélever, on se sert de capteurs dont le rôle est de traduire une grandeur physique quelconque (température, pression, débit, . . . etc.), en un signal électrique exploitable.

Et comme, la commande des processus industriels à de plus en plus recours aux systèmes numériques et aux calculateurs pour effectuer le traitement des données, les systèmes ont alors recours aux convertisseurs analogiques numériques pour transformé les signaux analogiques à des signaux numériques.

Afin de pouvoir exploiter ces convertisseurs au bon sens, il est nécessaire de définir les paramètres qui permettent d'évaluer leurs performances.

### 1.1 Définition d'un convertisseur analogique numérique

Un convertisseur analogique numérique est un dispositif qui transforme une grandeur analogique (continuellement variable dans le temps) à un instant précis par une représentation numérique (mot binaire d'un certain nombre de bit).

Il permet de faire la liaison entre le domaine réel analogique et le domaine numérique, la figure 1.1 représente les deux phases de la conversion d'un signal

analogique à un code numérique.

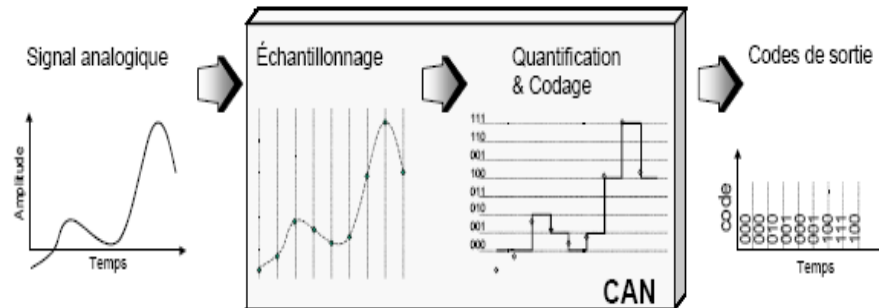


Figure 1.1 : conversion analogique numérique

Un convertisseur analogique numérique reçoit à son entrée une tension analogique  $V_{in}$  délivre en sortie un mot de  $n$  bits correspondant selon un code binaire déterminé, à la valeur numérique  $N$  associée à  $V_{in}$ . [16], [1], [29]

Les deux abréviations pour les convertisseurs sont :

En français *CAN* : Convertisseur Analogique Numérique.

En anglais *ADC* : Analog to Digital Converter.

## 1.2 Principe de la conversion analogique numérique

Un convertisseur analogique numérique (*CAN*) est un système qui permet de prélever périodiquement des échantillons d'un signal analogique provenant du monde qui nous entoure, et de le quantifier, cette quantification permet un traitement ultérieur numérique des données recueillies. [16], [1], [29], [24]

Pour faire une conversion analogique numérique on est donc ramené à faire deux opérations principales qui sont l'échantillonnage et la quantification.

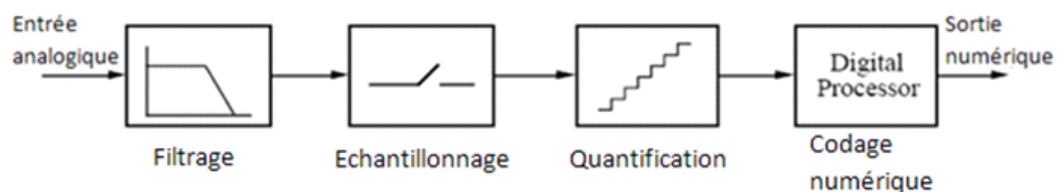


Figure 1.2 : les étapes nécessaires pour la conversion



### 1.2.1 L'échantillonnage :

L'échantillonnage consiste à transformer un signal analogique (continu dans le temps) en un signal discret, en capturant des valeurs à intervalle de temps régulier. Il est répétée à intervalles temporels équidistants contrôlés par une horloge d'échantillonnage de période  $T_e$ . [14], [1], [29], [24]. La fonction obtenue n'est plus à temps continu mais discret comme la montre la *figure 1.3*

Chaque échantillon est repéré par son numéro d'ordre  $n$  (entier positif) à l'instant  $nT_e$ .

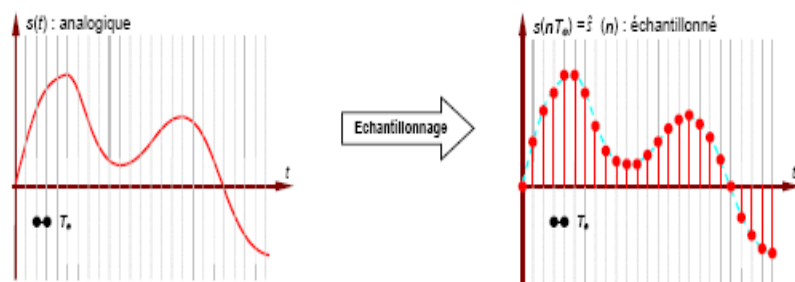


Figure 1.3 : Passage du signal analogique au signal échantillonné

### 1.2.2 La quantification :

La quantification consiste à associer à la valeur réelle échantillonnée et bloquée, la valeur numérique entière la plus proche, comme illustre la *figure 1.4*. Cette opération est imposée par le *CAN* puisque le code numérique ne dispose que d'un nombre fini de valeurs pour convertir les valeurs analogiques variant continûment. [14], [1], [29], [24]

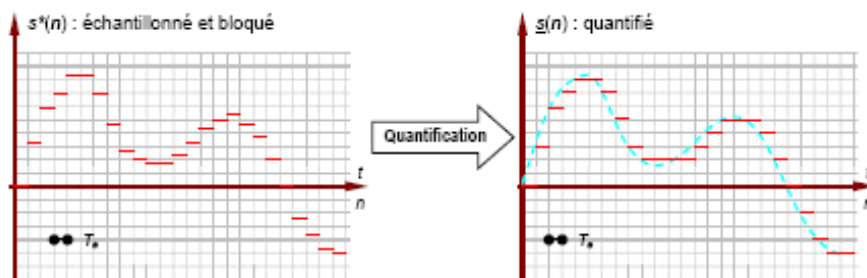


Figure 1.4 : Passage du signal échantillonné au signal quantifié

## 1.3 Caractéristiques d'un convertisseur analogique numérique (CAN) :

### 1.3.1 Caractéristique de transfert d'un CAN :

La fonction de transfert traduit la réponse du convertisseur à une entrée analogique.

La dynamique maximale ou pleine échelle ( $P_E$ ) du convertisseur est divisée en intervalles délimités par les tensions de seuil  $V_T$ . A chaque valeur analogique à convertir est associé un code numérique de sortie qui correspond à la plus proche tension de seuil  $V_T$  inférieure à cette valeur analogique. Finalement, dans le cas le plus classique d'un codage binaire naturel, la fonction de transfert d'un convertisseur est constituée par une suite de paliers dont l'origine s'appuie sur la droite d'équation  $N = k * (P_E)$ , [16], [1], [29], [24], [28]. Comme le montre la *figure 1.5*.

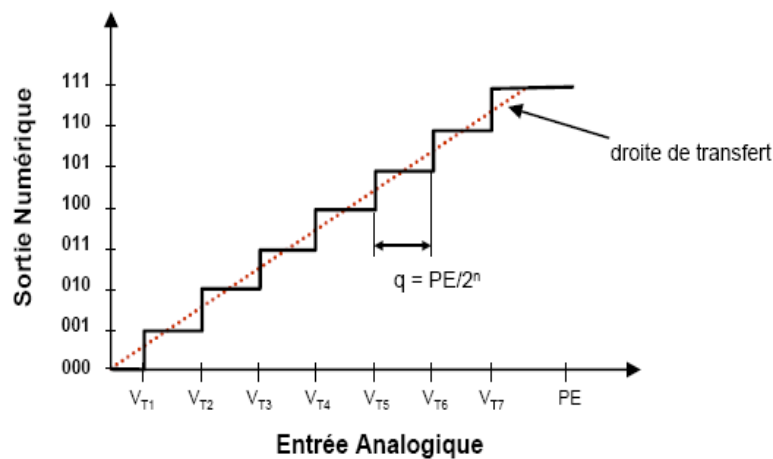


Figure 1.5 : Fonction de transfert d'un CAN

La largeur de chaque palier, appelée pas de quantification ou quantum «  $q$  », correspond à la plus petite différence de tension analogique entre deux codes successifs ; elle est souvent exprimée en terme de *LSB* (Least Significant Bit). Dans le cas d'un *CAN* parfait sans loi de compression, le pas de quantification est constant pour tous les codes :

$$q = \frac{PE}{2^n} = 1LSB \quad (1.1)$$

où  $n$  représente le nombre de bits du convertisseur.

### 1.3.2 Résolution :

C'est la plus petite variation de tension qui engendre une modification du code. La résolution d'un *CAN* fait référence au nombre d'états qui sont utilisés pour coder le signal analogique. [16], [29], [28]

On l'exprime très souvent en pourcentage (%)

$$\text{Résolution} = \frac{1}{2^n} * 100 \text{ (\%)}$$

Le tableau suivant montre quelque résolution pour des différents *CAN* suivant leur nombre de bits à la sortie.

$n$ (nombre de bits)	résolution	Résolution en %
8	1/256	39.1
10	1/1024	9.77
12	1/4096	2.44
14	1/16384	0.61

Tableau 1.1 : résolution de quelque CAN

### 1.3.3 Erreur de quantification :

Si on définit le pas de quantification «  $q$  » comme étant à l'intervalle de valeur de signal d'entrée qui a pour image le même code numérique de sortie, alors on peut dire que l'on connaît la valeur d'un signal numérisé avec une résolution de  $\pm \frac{q}{2}$ . En outre c'est l'écart entre la tension que l'on convertit (entrée du *CAN*) et la tension correspondant au code que l'on obtient (sortie du *CAN*). [16], [29], [28]

C'est une caractéristique en dent de scie à une valeur moyenne nulle de manière à minimiser son influence. Elle évolue entre  $\pm \frac{q}{2}$ . Comme le montre la *figure 1.6*.

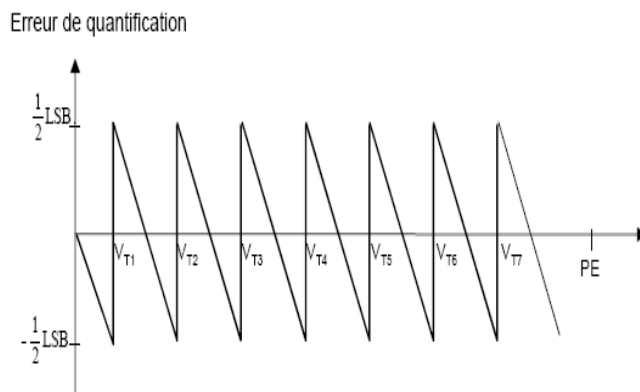


Figure 1.6 : Erreur de quantification

C'est une erreur qui est inhérente à toute numérisation, on ne peut pas l'éliminer.

### 1.3.4 Tension de référence :

Pour effectuer une conversion, le convertisseur analogique numérique a besoin d'une tension de référence à laquelle il compare les tensions à convertir. Cette tension est souvent intégrée directement dans le composant. On la notera  $V_{ref}$ . Sa stabilité est très importante car toute fluctuation de sa valeur peut entraîner des erreurs dans les conversions. [16], [29], [28]

### 1.3.5 Temps de conversions :

C'est le temps minimum nécessaire au convertisseur pour stabiliser une donnée numérique en sortie après avoir appliqué une tension analogique stable à l'entrée du *CAN*. Cette caractéristique fixe la fréquence maximale du travail. [16], [29], [28]

### 1.3.6 Le rapport signal sur bruit (SNR) :

Le rapport signal sur bruit est défini comme le rapport entre la puissance du signal sur la puissance de bruit. [16], [29], [28]

En général, le *SNR* d'un *CAN* est caractérisé par la numérisation d'un signal sinusoïdal pur d'amplitude pic à pic  $V_{pp}$ . Le *SNR* est alors obtenu en effectuant le rapport entre la puissance contenue dans l'harmonique fondamental du signal numérisé et celle contenue dans toutes les fréquences restantes. Le *SNR* est calculé en décibel (*dB*).

D'une façon générale on peut écrire le rapport signal sur bruit comme suit :

$$SNR(dB) = 6.02N + 1.76 \quad (1.2)$$

Cette valeur définit la valeur maximale de *SNR* que peut atteindre un *CAN* de résolution *N* bits.

## 1.4 Erreur de convertisseur analogique - numérique :

### 1.4.1 Erreur d'offset :

C'est le décalage entre la courbe de transfert idéal du convertisseur et la courbe de transfert réel.

Elle est due à la présence d'offset des amplificateurs opérationnels et comparateurs qui sont utilisés pour la réalisation du convertisseur. [16], [29], [28]

Elle est définie par l'écart existant sur le code nul (000.....0), comme

le montre la *figure 1.7*.

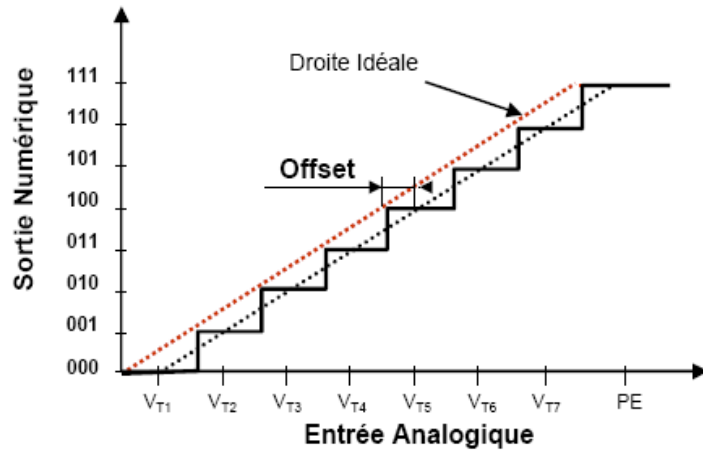


Figure 1.7 : Erreur d'offset

#### 1.4.2 Erreur de gain :

Le gain global d'un convertisseur analogique numérique correspond à la valeur de la pente de sa fonction de transfert. Elle quantifié la déviation de cette pente vis-à-vis de la pente idéal, [16], [29], [28] comme le montre la *figure 1.8*.

On la définit par rapport à la pleine échelle du convertisseur (*code 111 . . . . . 1*).

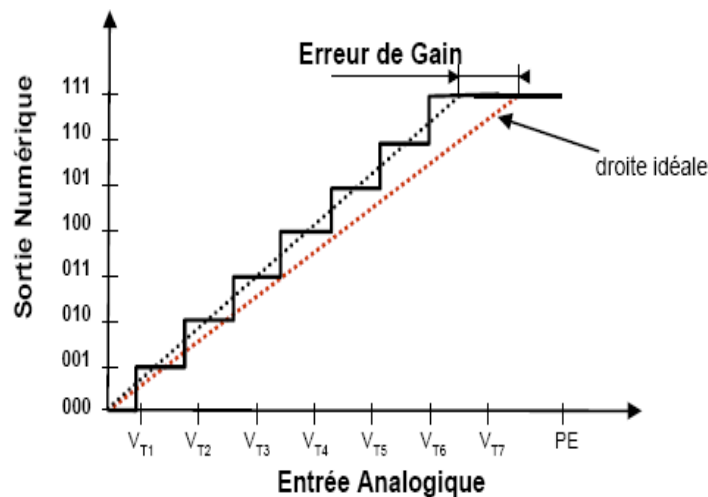


Figure 1.8 : Erreur de gain

L'erreur de gain peut être due à une erreur sur la référence de tension et sur les gains des amplificateurs utilisés.

### 1.4.3 Erreur de non linéarité différentielle (NLD) :

L'erreur de linéarité différentielle représente l'écart relatif entre la valeur effective du pas et la valeur théorique. Elle est définie pour chaque palier du convertisseur et elle représente la différence entre la largeur du palier réelle et la largeur idéale, [16], [29], [28] comme le montre la *figure 1.9*.

### 1.4.4 Erreur de non linéarité intégrale (NLI) :

Elle est définie par la position de la courbe réelle par rapport à la courbe idéale, lorsque la courbe reliant les milieux des paliers de caractéristique de transfert réelle n'est pas une droite, l'erreur de linéarité intégrale correspond à l'écart maximal entre cette courbe et le droite de caractéristique de transfert idéal, comme le montre la *figure 1.9*.

Une erreur de ce type affecte donc la correspondance entre la valeur numérique et la valeur analogique.

L'erreur de linéarité intégrale résulte de l'accumulation d'erreur de linéarité différentielle. [16], [29], [28]

La *figure 1.9* représente les deux erreurs de linéarité différentielle et intégrale.

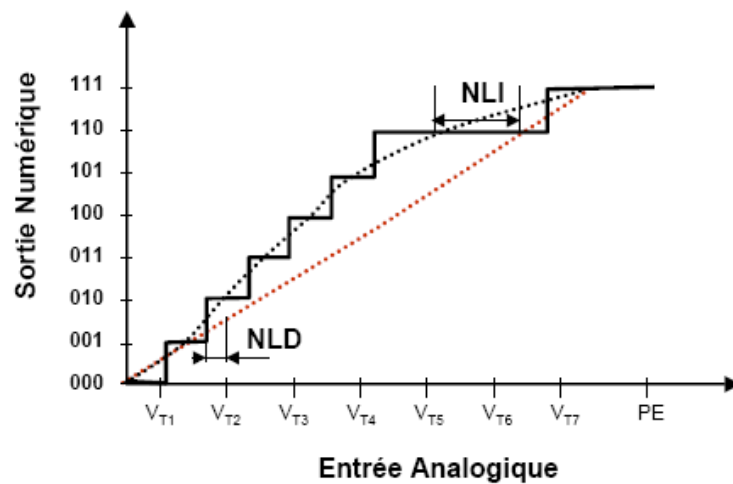


Figure 1.9 : Erreur de linéarité différentielle et intégrale

**1.4.5 Erreur total :**

Elle est définie par la différence maximum à chaque palier entre les flancs et le milieu d'un palier idéal, en fait cela représente la valeur maximum de la différence entre le signal reconstitué à un *CAN* parfait et la valeur analogique d'entrée.

Elle comprend les erreurs de non linéarité intégrale et différentielle, d'offset et de gain, mais aussi les erreurs de quantifications. [16], [29], [28]

**1.4.6 Erreur de monotonicité :**

La caractéristique de transfert d'un convertisseur doit assurer la croissance ou la décroissance de la sortie en fonction de l'entrée du code, une erreur de monotonicité arrive quand cette croissance ou décroissance n'est pas assurée. [16], [29], [28]

**1.4.7 Erreur de code manquant :**

Une erreur du code manquant signifie qu'un code n'est jamais présenté en sortie du convertisseur. Cette erreur est due à une erreur de non linéarité trop importante. Nous pouvons remarquer qu'un convertisseur dont les non linéarités différentielles sont comprises entre  $+1LSB$  et  $-1LSB$  ne peut pas comporter de code manquant. [16], [29], [28]

# Chapitre 2

## Les différents types de convertisseurs

Il existe de nombreux types de convertisseur analogique numérique et de multiples méthodes de conversion qui ont chacune des caractéristiques qui leur sont propres.

On peut classer les convertisseurs analogiques numériques en quatre grandes catégories selon leur fonctionnement et leur temps de conversion :

- *CAN* périodique ou d'intégration
- *CAN* à vitesse moyenne
- *CAN* à grande vitesse
- *CAN* à sur-échantillonnage

### 2.1 Convertisseur A/N à intégration ou périodique :

Les convertisseurs à intégration réalisent une conversion indirecte, le signal à convertir est d'abord transformé en une durée, cette durée est ensuite traduite en une valeur numérique en utilisant un compteur. [16], [29], [28], [11], [9]

L'intégration peut être effectuée en simple, double, triple ou même quadruple rampe.

On peut citer les principes de fonctionnement des deux premiers types qui sont connus et très utilisés.

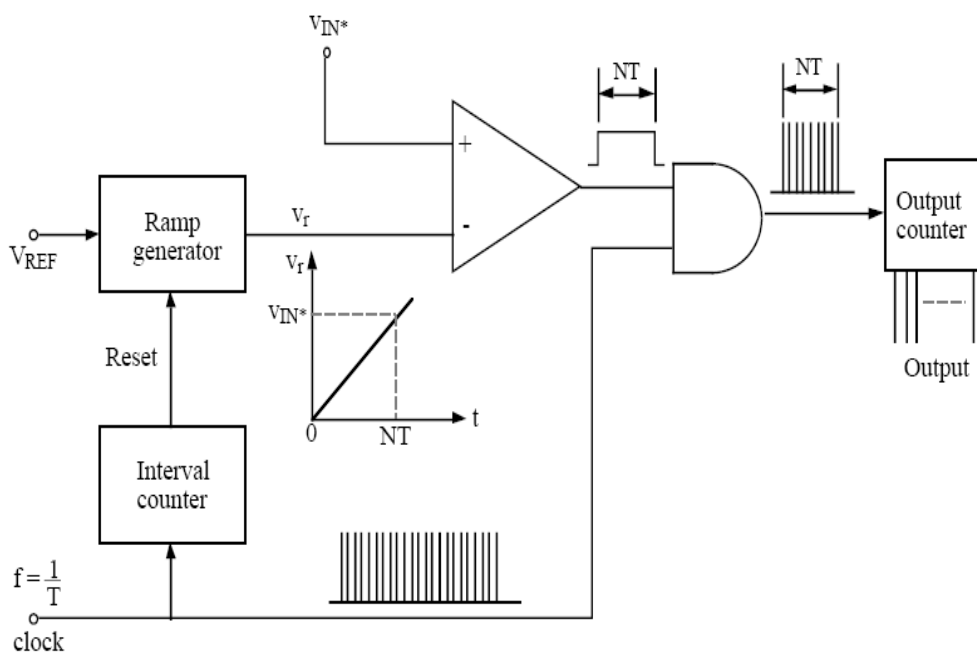


### 2.1.1 Convertisseur A/N à simple rampe :

Le principe de fonctionnement de ce type est basé sur : à la valeur de tension d'entrée on fait correspondre une impulsion générée par un générateur de rampe, dont la largeur est proportionnelle à cette tension pour créer un signal périodique à la sortie du comparateur. [24], [29], [28], [11], [9]

On génère ainsi le code binaire de sortie en comptant plus ou moins longtemps en fonction de l'amplitude du signal à convertir.

Le schéma de principe du convertisseur est illustré par la *figure 2.1*.



*Figure 2.1* : Schéma de principe d'un CAN à simple rampe

#### Avantage :

Simple et peu coûteux.

#### Inconvénient :

Temps de conversion lent car nécessite  $2N$  cycle d'horloge pour effectuer une conversion.

### 2.1.2 Convertisseur A/N à double rampe :

Le principe de fonctionnement de ce type de convertisseur est que : le signal d'entrée  $V_{in}$  est appliqué à un intégrateur. Au même instant, un compteur est initialisé et compte des impulsions d'horloge, au bout d'un temps  $T$  on arrête l'intégration : charge accumulée dans le condensateur de l'intégrateur est alors proportionnelle à la valeur moyenne de la tension d'entrée pendant cette période  $T$ .

A cet instant  $T$ , on applique alors une tension de référence  $V_{ref}$  sur l'intégrateur tandis que le compteur se remet à compter à partir de zéro, la polarité de la tension  $V_{ref}$  est inversée de celle de l'entrée, de sorte que la sortie de l'intégrateur revient à zéro.

Lorsque la sortie de l'intégrateur atteint zéro, on arrête le compteur, l'état du compteur est représentatif de la valeur d'entrée. [24], [29], [28], [11], [9]

Le schéma de principe est illustré par la *figure 2.2*

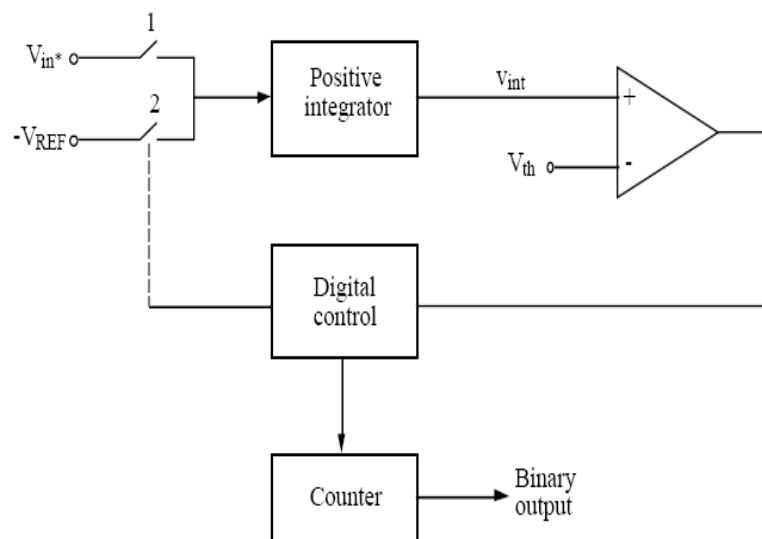


Figure 2.2 : Schéma de principe d'un CAN à double rampe

#### Avantage :

Très bonne résolution

#### Inconvénient :

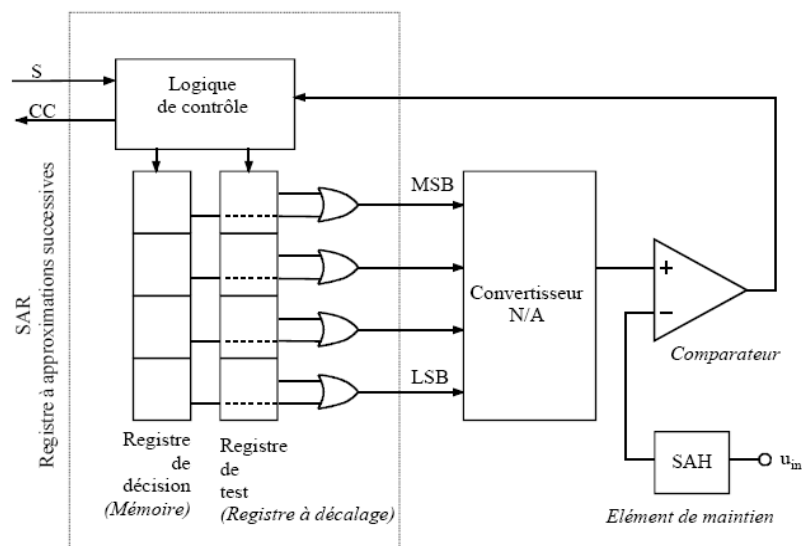
Très long temps de conversion  $2(2^N)T$ .

## 2.2 Convertisseur $A/N$ à rapidité moyenne :

Les convertisseurs à rapidité moyenne se sont des convertisseurs qui ont un temps de conversion moyen et une résolution moyenne on peut citer entre eux :  
Les convertisseurs  $A/N$  à approximations successives.

### 2.2.1 Convertisseur $A/N$ à approximations successives :

Les convertisseurs  $A/N$  à approximations successives sont des systèmes bouclés construits autour d'un convertisseur numérique analogique. Le principe est de déterminer les  $n$  bits du résultat en  $n$  coups d'horloge, l'opération consiste à déterminer successivement tous les bits du nombre représentatif de la tension d'entrée, en commençant par le bit de poids fort  $MSB$  et en finissant par le bit de poids faible  $LSB$ . Le schéma de principe est représenté sur la *figure 2.3*



*Figure 2.3* : Schéma de principe d'un CAN à approximations successives

En accord avec l'entrée de commande  $S$  (Start conversion), l'élément de maintien ( $SHA$  : Sample and Hold) est placé en mode mémorisation (Hold) et tout les bits du registre d'approximations successives ( $SAR$  : Successive Approximation Register) sont placés à "0", à l'exception du  $MSB$  qui lui est placé à "1". La sortie du registre d'approximations successives commande le convertisseur  $N/A$  par ses entrées digitales.

Si la sortie du convertisseur  $N/A$  est supérieure au signal analogique d'entrée, le *MSB* du *SAR* est placé à "0", ceci jusqu'à la fin de la conversion. Dans le cas inverse, il est maintenu à 1 jusqu'à la fin de la conversion. Le processus est répété pour chaque bit, dans le sens décroissance de leur poids. Une fois que tous les bits ont été testés et maintenus à la valeur appropriée, le *SAR* active un signal de fin de conversion *CC* (Conversion Complete). Le contenu du *SAR* correspond alors à la valeur numérique de conversion du signal d'entrée.

Une conversion de  $n$  bits demande au minimum  $n$  étapes, mais contrairement à ce que l'on pourrait croire, le temps de conversion d'un convertisseur 16 bits est beaucoup plus grand que le double de celui d'un convertisseur 8 bits. Plus le nombre de bit de conversion est élevé, plus le temps de conversion est important. En effet, la précision de la conversion dépend de la qualité du convertisseur  $N/A$ . Par conséquent plus le convertisseur ne contient de bits, plus le temps nécessaire à atteindre une précision équivalente demande de temps.[24], [29], [28], [11], [9]

La *figure 2.4* représente un exemple de parcours de décision et contenus successifs de registre pour une tension d'entrée quelconque.

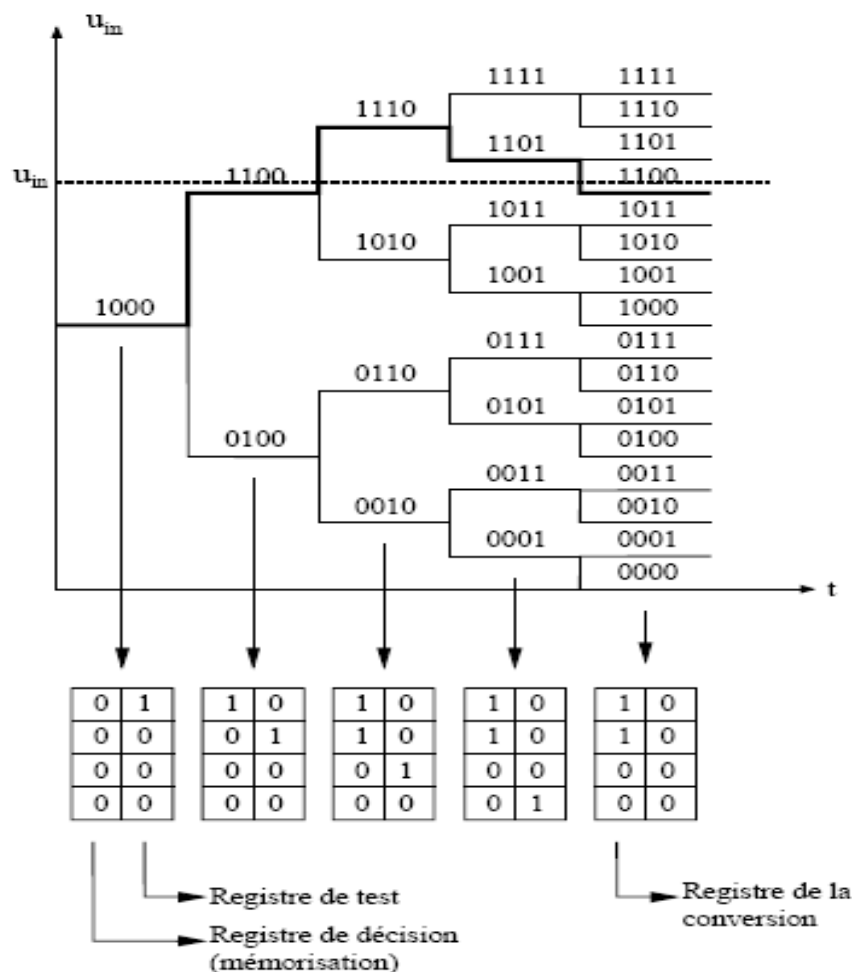


Figure 2.4 : Un exemple de sortie de registre du *CAN* à approximations successives

**Avantage :**

- Un excellent compromis précision/ vitesse/ prix
- Simple architecture

**Inconvénient :**

- Le temps de conversion un peut long car une conversion nécessite  $n$  cycles successifs pour  $n$  bits.
- La résolution typique se situ  dans la plage de 8   16 bits, elle d pend essentiellement du convertisseur num rique analogique utilis  dans le syst me.

## 2.3 Convertisseur $A/N$ rapide :

Les convertisseurs analogiques num riques rapides sont des convertisseurs qui travail   des fr quences  lev es et qu'ils imposent un grand nombre de composant pour r alis  ces structure on peut citer deux exemple de se types de convertisseurs :

- Les convertisseurs  $A/N$  flash
- Les convertisseurs  $A/N$  pipeline

### 2.3.1 Convertisseur $A/N$ flash :

L'architecture flash est celle qui permet d'atteindre les plus grandes vitesses de conversion car la conversion s'effectue en une seule  tape.

Un convertisseur flash est constitu  d'un r seau de comparateurs mis en parall le, un codage sur  $n$  bits nécessite  $2^n - 1$  de comparateur et signaux de r f rences. La *figure 2.5* repr sente un  $CAN$  flash 3 bits. Chacun des comparateurs compare le signal  chantillonn  avec un des  $2^n - 1$  signaux de r f rence. Ainsi, chacun des comparateurs g n re un signal de sortie qui indique si le signal est sup rieur ou inf rieur au signal de r f rence. Ces multiples comparaisons effectu es en parall le permettent de d terminer la plage dans laquelle se situe le signale   num ris . Les comparateurs fournissent une valeur num rique de la conversion analogique num rique qui doit  tre encod e pour  tre lisible en valeur binaire.[24], [29], [28], [11], [9]

Le principal inconv nient de ce type d'architecture et le nombre important de comparateurs et de r f rences qui sont n cessaires d s que la r solution souhait e est grande.

Les limitations de ce type de convertisseur sont dues   la complexit  de fabrication pour les convertisseurs plus pr cis. En effet, la pr cision maximum est de 10 bits en pratique, ce qui repr sente d j   $2^{10} - 1 = 1023$  comparateurs et signaux de r f rences.

En multiplions le nombre de comparateurs par la consommation de comparateurs haute vitesse et on obtient un circuit qui   une consommation de plusieurs Watts. De plus, pour telle r solution, les erreurs d'offset des comparateurs et des r f rences doivent  tre inf rieur   la r solution souhait . Tous sa explique que le

prix de se convertisseur devient trop cher dès qu'on cherche un grand nombre de résolution.

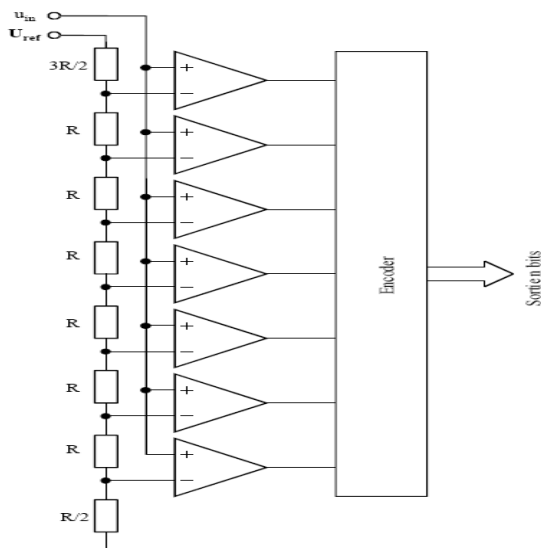


Figure 2.5 : Schéma de principe d'un CAN flash

### 2.3.2 Convertisseur Pipeline :

Un CAN pipeline est un autre type de convertisseur à multiples étages flash dont l'architecture a été modifiée pour augmenter la tolérance vis-à-vis des comparateurs, optimiser la vitesse d'échantillonnage et diminuer la consommation globale.

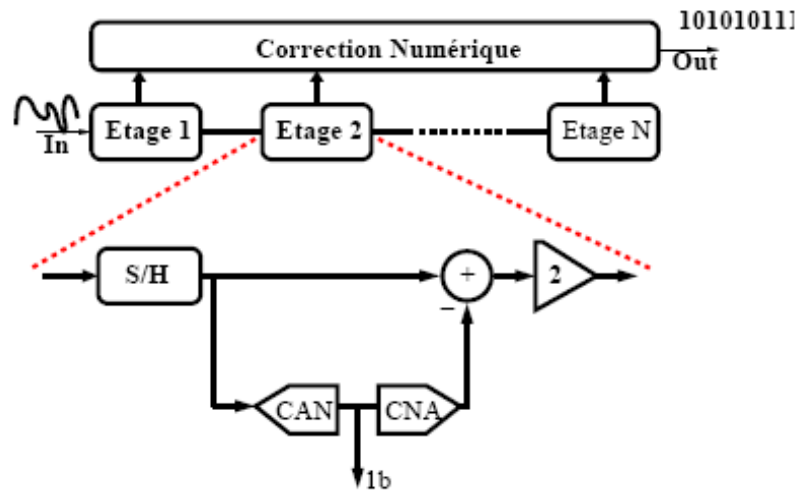
L'architecture de ce type de CAN est un ensemble de sous étages qui ont chacun une résolution assez faible (1 à 3 bits en général).

Chacun de ces étages possède son propre échantillonneur-bloqueur pour échantillonner le signal issu de l'étage précédent, signal que l'on appelle résidu. Cette spécificité permet à chaque étage d'échantillonner un nouveau signal dès que son résidu a été échantillonné par l'étage suivant. Par conséquent, la vitesse d'échantillonnage de ce type de convertisseur est indépendante du nombre d'étages utilisés. Par contre, le délai entre le moment où le signal entre dans le CAN et le moment où le mot numérique correspondant est disponible en sortie est proportionnel au nombre d'étages.

Le principe de fonctionnement de chaque étage est le suivant :

On suppose que chaque étage nous fournit un seul bit. En premier lieu, le signal d'entrée est échantillonné et comparé à un comparateur. Puis, de même que pour les CAN à multiples étages, un signal de référence obtenu grâce à un convertisseur numérique analogique guidé par le bit de ce comparateur est retranché ou additionné au signal échantillonné. En fin, le signal résultant de cette opération est amplifié d'un facteur  $G = 2$ . C'est ce signal amplifié que l'on appelle résidu. Cette amplification permet de relaxer d'autant la résolution des étages qui suivent. [24], [29], [28], [11], [9]

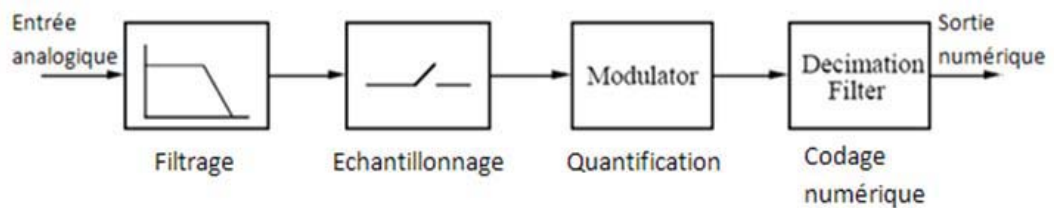
La *figure 2.6* présente le schéma de principe d'un convertisseur pipeline.



*Figure 2.6* : Schéma de principe d'un CAN Pipeline

## 2.4 Convertisseurs à sur-échantillonnage :

On a vu précédemment pour améliorer la précision d'un convertisseur analogique numérique, il faut augmenter le nombre de bits, par ailleurs le convertisseur à suréchantillonnage est basé sur un principe de conversion autre vue précédemment, au lieu de faire un échantillonnage normale du signal d'entrée à la fréquence  $\frac{F_c}{2}$ , on fait un suréchantillonnage et la quantification se fait à l'aide d'un modulateur. [25], [8], [6], [1], [9], [24] Comme le montre la *figure 2.7*



*Figure 2.7* : Les principales étapes d'une conversion à sur-échantillonnage

Tous cela est fait pour qu'on puisse s'étaler le spectre de bruit de quantification sur une grande gamme de fréquence, améliorant ainsi le rapport signal sur bruit.

Le bruit est repoussé en haute fréquence, diminuant d'autant ce bruit dans la bande passante.

C'est donc par un échantillonnage à haute vitesse que l'on augmente la précision.

### 2.4.1 Sur-échantillonnage :

Le sur-échantillonnage est une technique particulière d'échantillonnage. Elle consiste à échantillonner le signal à une fréquence très élevée, beaucoup plus que ne l'exigerait l'échantillonnage normal avec un facteur de

$$F_s = \left(\frac{F_e}{2}\right)K \quad (2.1)$$

Où :  $K$  : facteur de sur-échantillonnage.

### 2.4.2 Effet de sur-échantillonnage sur le bruit de quantification :

On peut améliorer la résolution d'un  $CAN$  en sur-échantillonnant le signal analogique d'entrée. Donc le bruit de quantification, uniformément repartie dans le domaine fréquentiel, et donc sa valeur efficace ne change pas ; par contre la distribution du bruit de quantification est différente puisqu'elle s'étale non plus de  $-\frac{F_e}{2}$  à  $+\frac{F_e}{2}$  mais de  $-\frac{KF_e}{2}$  à  $+\frac{KF_e}{2}$ . [25], [8], [6], [1], [9], [24]

Comme le montre la *figure 2.8*.

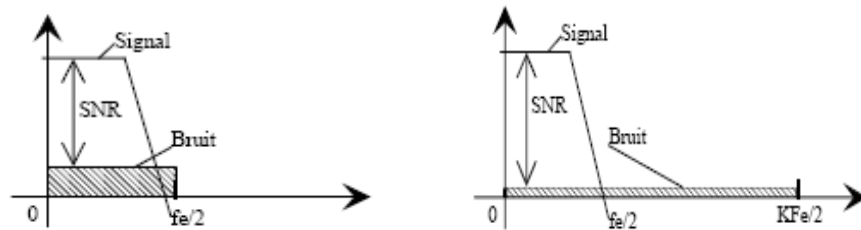


Figure 2.8 : Effet de sur-échantillonnage sur le bruit de quantification

Le bruit de quantification se caractérise par sa puissance de bruit :

$$P_b = \frac{q^2}{12} \quad (2.2)$$

Avec  $q$  : le pas de quantification

$$q = \frac{\Delta V_{max}}{2^N}$$

Ce qui donne un rapport signal sur bruit

$$SNR_{dB} = 10 \log \frac{P_s}{P_b} = 6.02N + 1.76 \quad (2.3)$$

La répartition spectrale de cette puissance de bruit donne une densité spectrale de puissance uniforme répartie entre  $-\frac{F_e}{2}$  et  $+\frac{F_e}{2}$  avec comme amplitude :

$$D_{sb}(f) = \frac{q^2}{12 F_e} \quad (2.4)$$



Si on échantillonne le même signal mais cette fois ci à une fréquence  $K$  fois supérieur, on va diviser d'autant la densité spectrale du bruit qui va cette fois s'étale entre  $-\frac{KF_c}{2}$  et  $+\frac{KF_c}{2}$ .

Ainsi dans la bande de fréquence  $[0 ; \frac{F_c}{2}]$  la puissance du bruit est donc diviser par  $K$ , soit un  $SNR$  :

$$SNR_{dB} = 6.02N + 1.76 + 10 \log (K) \quad (2.5)$$

Par cette technique on va pouvoir améliorer le  $SNR$  d'un  $CAN$  et soulager le filtre anti-repliement en entrée de  $CAN$ .

En effet il doit laisser passer jusqu'à  $F_{max}(\frac{F_c}{2})$  et couper au plus de  $\frac{KF_c}{2}$ .

### 2.4.3 Le modulateur :

Il existe deux modulateurs très connus soit le modulateur Delta soit le modulateur Sigma Delta.

#### Le modulateur Delta :

La modulation Delta est basée sur la quantification de la variation du signal entre deux échantillons successifs plutôt que sur la valeur absolue du signal à chaque échantillon. [25], [8], [6], [1], [9], [24]

La *figure 2.9* montre le schéma de principe d'un modulateur Delta et d'un démodulateur.

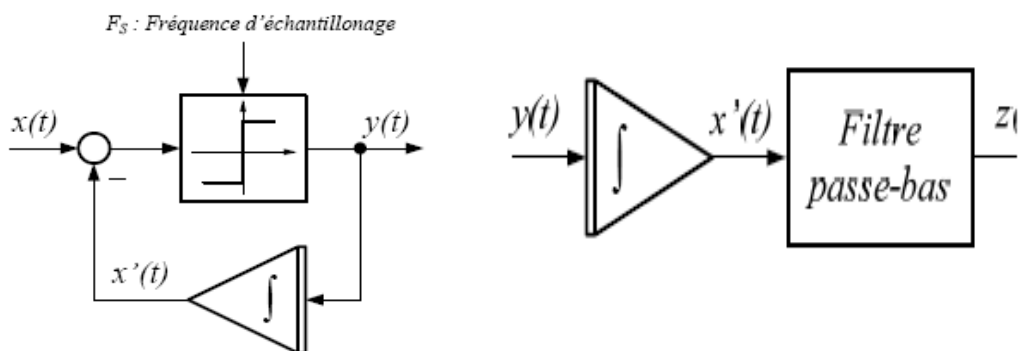


Figure 2.9 : Schéma de principe d'un modulateur Delta

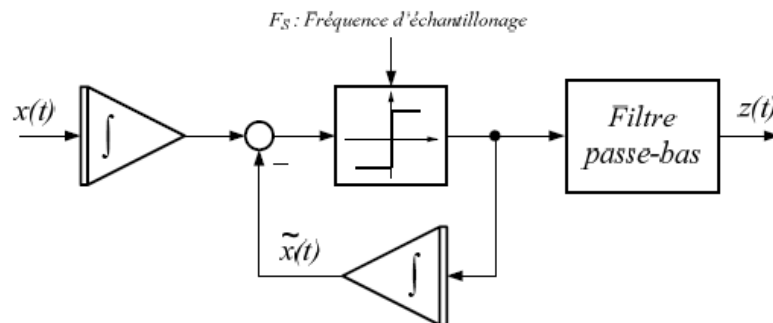
La sortie de l'intégrateur situé dans la boucle de rétroaction doit suivre, autant que faire ce peut le signal d'entrée. L'intégrateur fonctionne comme un prédicteur. L'erreur de prévision, dans la période d'échantillonnage courante est quantifiée et utilisée pour la prochaine période d'échantillonnage.

Pour la démodulation l'erreur de prévision quantifiée (sortie de modulateur Delta) est, comme pour la boucle de contre réaction, intégrée puis passée au travers d'un filtre passe bas.

Pour des signaux présentant des variations rapide, les modulateurs Delta n'arrivent plus à suivre le signal d'entrée, il y a donc saturation.

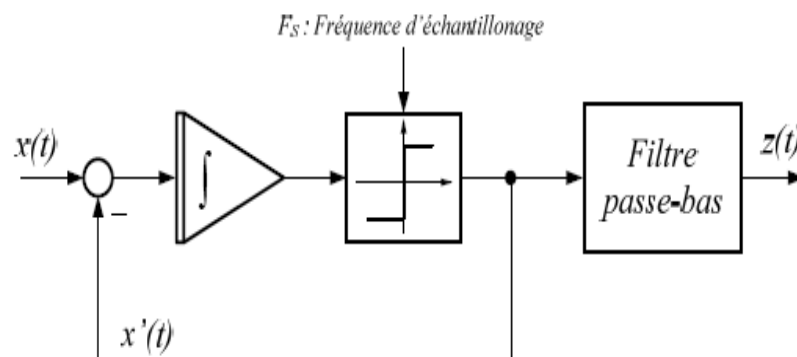
### Le modulateur Sigma Delta :

La structure du modulateur Sigma Delta découle du modulateur Delta, l'intégrateur de la démodulation est amené à l'entrée (avant le modulateur) son altérer le bon fonctionnement du système, le comparateur voit deux intégrateurs sur ses entrées, comme la montre la *figure 2.10*,



*Figure 2.10* : Schéma de principe d'un modulateur Sigma Delta

On voit d'après le schéma qu'il est possible de combiner les deux intégrateurs en un seul. C'est ce nouvel arrangement qui porte le nom de modulateur Sigma Delta. Comme la montre la *figure 2.11*.



*Figure 2.11* : Schéma réduit du Schéma de principe du modulateur Sigma Delta

Le nom de modulateur Sigma Delta vient de la position de l'intégrateur (Sigma) à l'entrée de la boucle du modulateur Delta.

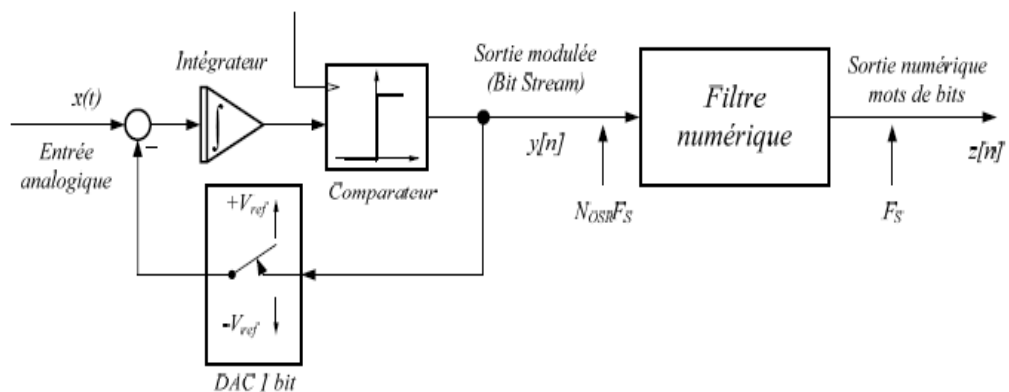
On s'assure que la valeur moyenne de la sortie Delta suit la valeur moyenne de la tension d'entrée. En cas d'écart, l'intégrateur vient compenser. La sortie est dans ce cas sur un bit en très haute fréquence. On associe au convertisseur un filtre numérique décimateur qui a pour objectif de fournir un signal numérique au format désiré et à la fréquence souhaité. De plus il élimine le bruit de la bande passante du signal.

La caractéristique du bruit de quantification du modulateur Sigma Delta est dépendante de la fréquence contrairement au cas de la modulation Delta.

Il existe plusieurs types de modulateur Sigma Delta selon l'ordre de la modulation on explique juste les deux premier ordres.[25], [8], [6], [1], [9], [24]

**Modulateur Sigma Delta 1<sup>er</sup> ordre :**

Le principe du convertisseur Sigma Delta et illustré par la *figure 2.12*, la première partie constituant ce convertisseur est un modulateur, à pour objectif de convertir le signal analogique d'entrée en une suite continue de 1 et 0 logique, à une cadence déterminée par la fréquence d'horloge à l'entrée du comparateur  $K F_e$ .



*Figure 2.12* : Schéma de principe d'un modulateur Sigma Delta 1<sup>er</sup> ordre

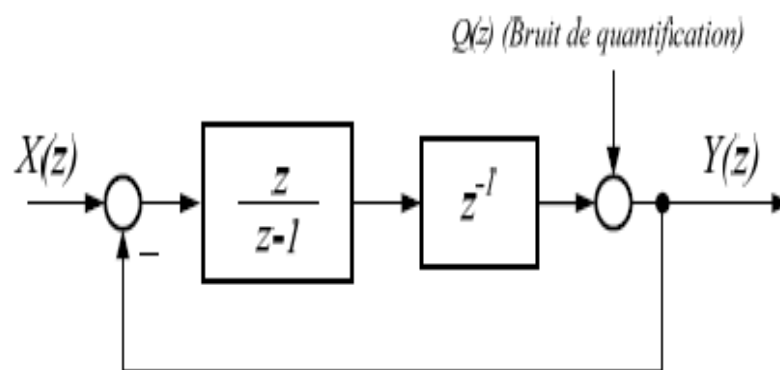
L'entrée de l'intégrateur du modulateur est la différence entre le signal analogique d'entrée et la valeur quantifiée de la sortie du convertisseur numérique analogique. A condition que le convertisseur numérique analogique soit parfait, et négliger le retard du signal, cette différence entre le signal d'entrée et le signal dans la boucle de retour à l'entrée de l'intégrateur est égale à l'erreur de quantification.

Cette erreur se diminue dans l'intégrateur et puis quantifiée par le CAN à 1 bit. Bien que l'erreur de quantification à chaque instant d'échantillonnage est grande due à la nature grossière du quantificateur à deux niveaux, l'action du modulateur Sigma Delta produit  $\pm 1$  à la sortie qui peut être ramené à une valeur moyenne au dessus de plusieurs périodes d'échantillonnages d'entrée pour produire un résultat très précis.

Analyse dans le domaine échantillonné :

L'attaque du comparateur avec un signal d'horloge à pour rôle de convertir le signal basse fréquence issue de la sortie d'intégrateur en un signal haute fréquence dont la distribution de 1 et 0 varie en fonction de la valeur moyenne du signal d'entrée. Le bruit effectif de quantification est ainsi fortement réduit pour les basses fréquences.

La *figure 2.13* illustre le schéma de bloc d'un convertisseur Sigma Delta 1<sup>er</sup> ordre



*Figure 2.13* : Schéma de bloc d'un convertisseur Sigma Delta 1<sup>er</sup> ordre

On peut facilement déterminer la fonction de transfert qui est la relation liant la grandeur de sortie  $Y(z)$  aux grandeurs d'entrée  $X(z)$  et le bruit de quantification  $Q(z)$  :

$$Y(z) = Q(z) + \frac{1}{z-1}(X(z) - Y(z))$$

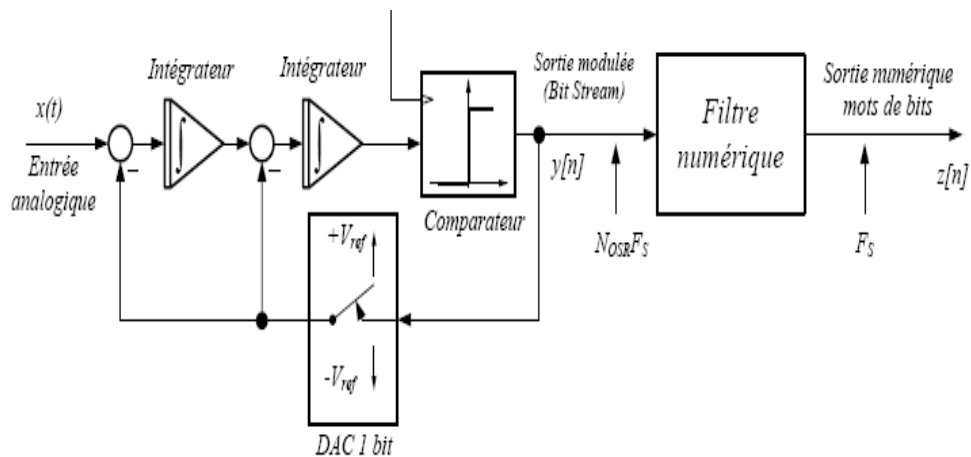
Et finalement :

$$Y(z) = \frac{z-1}{z}Q(z) + \frac{1}{z}X(z) = N(z)Q(z) + z^{-1}X(z) \quad (2.6)$$

Le bruit de quantification est un processus stochastique. Le différentiateur  $(1 - z^{-1})$  mis en évidence dans l'équation à pour rôle de doubler la puissance du bruit de quantification. Cependant, ce même différentiateur provoque un décalage de bruit vers des fréquences élevées. Par conséquent, à condition que le signal analogique d'entrée soit suréchantillonné, le bruit de quantification aux fréquences élevées peut être fortement réduit par le filtrage numérique sans affecter les caractéristiques de signal d'entrée résident dans la bande de base.

### Modulateur Sigma Delta 2<sup>ème</sup> ordre :

En à vu précédemment que le modulateur Sigma Delta 1<sup>er</sup> ordre nous donne la possibilité d'observer une modulation du bit stream à une fréquence comprise dans la bande passante. Ce comportement et le résultat d'une trop grande corrélation entre l'apparition de la suite de 1et 0 et le niveau de tension d'entrée. Dans le but de supprimer cette répétition, on peut utiliser un modulateur Sigma Delta d'ordre supérieur à 1. La *figure 2.14* représente le schéma de principe d'un convertisseur Sigma Delta dont le modulateur est de l'ordre 2.

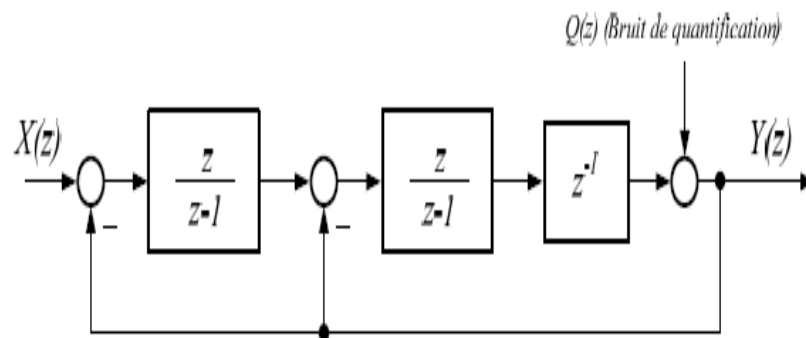


*Figure 2.14* : Schéma de principe d'un modulateur Sigma Delta 2<sup>ème</sup> ordre

On voit donc qu'il est tous simplement ajouter un autre intégrateur au début du convertisseur Sigma Delta 1er ordre, à pour objectif d'augmenter l'ordre du modulateur.

Analyse dans le domaine échantillonné :

Pour le convertisseur Sigma Delta du 2<sup>ème</sup> ordre le schéma de bloc est le suivant :



*Figure 2.15* : Schéma de bloc d'un convertisseur Sigma Delta 2<sup>ème</sup> ordre

On peut écrire la relation de la sortie en fonction de l'entrée et du bruit de quantification suivant le schéma de la *figure 2.15*.

$$Y(z) = Q(z) + \frac{1}{z-1} \left( \frac{z}{z-1} (X(z) - Y(z)) - Y(z) \right)$$

Et finalement :

$$Y(z) = \left( \frac{z-1}{z} \right)^2 Q(z) + z^{-1} X(z) \quad (2.7)$$

# Chapitre 3

## Conception et simulation

Notre *CAN* est dédié principalement à la mesure des deux grandeurs physiques : la pression et la température, or que ces dernières sont caractérisées par une relative faible variation en temps, en effet, en prendre en considération la précision plus que le temps de la mesure, à savoir que le temps de conversion reste acceptable. Comme nous avons déjà mentionné auparavant (Chapitre 2.4) que les convertisseurs type Sigma Delta du premier ordre, répond largement à notre besoin, à savoir les performances, l'espace disponible (surface occupée en silicium) et l'adaptation avec l'environnement composé par un ensemble des circuits analogiques et numériques.

Nous verrons dans ce chapitre les opérations principales de conception, commençant par les spécifications des performances, en suite les principes de base et en terminant par le choix des paramètres des composants électroniques.

### 3.1 spécifications des performances

Un enchaînement logique du flux de conception maîtrise la phase de spécification (cahier de charge) à la tête des opérations. Cette phase est gouvernée par les besoins techniques d'une cote et la limitation de la technologie d'autre part, en effet, le choix de ces paramètres est un compromis entre ces deux derniers.

Le tableau ci-dessous résume les principales performances ainsi que leurs marges de variation

paramètre	Min	Typ	Max	Unit
Tension plein échelle	0		2.5	V
Tension d'entrée minimale		20		mV
Tension d'alimentation	4.5	5	5.5	V
Température	-25	27	105	°C
Fréquence d'horloge	10	20	30	Mhz
Nombre de bits		10		LSB
erreur conversion maximale		< 1		LSB

Tableau 3.1 : Performance du CAN Sigma Delta

Pour faire une conception d'un tel convertisseur analogique numérique Sigma Delta du premier ordre on se base sur le principe suivant :

### 3.2 Principe :

Le convertisseur à modulateur Sigma Delta est une sorte de CAN à double rampe vu au chapitre précédent switchée continûment. La charge dans le condensateur est maintenue nulle en moyenne au moyen d'une boucle de contrôle.

Le schéma synoptique (figure 3.1), illustre les différents blocs constituant notre CAN.

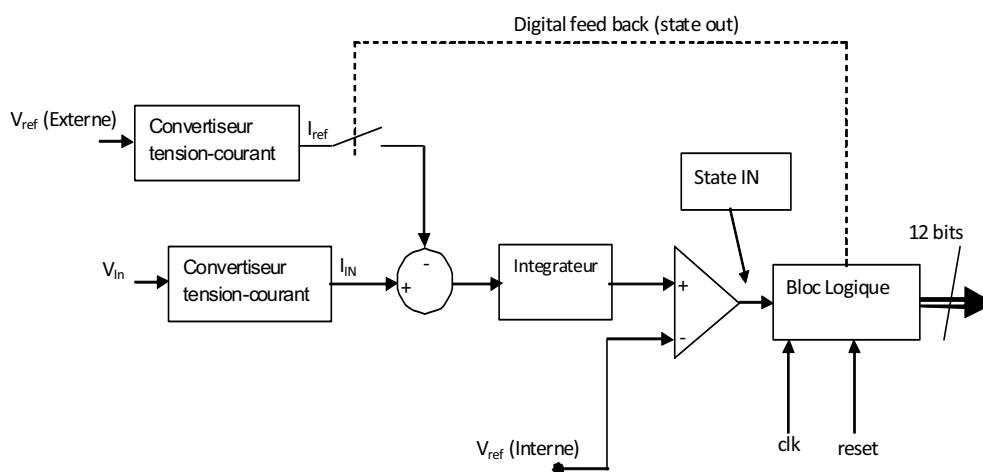


Figure 3.1 : Schéma de principe d'un CAN Sigma Delta

Nous avons donc deux convertisseurs tension courant, un soustracteur, un intégrateur, un comparateur et un bloc logique. Une conversion typique est donnée par l'enchaînement suivant : la tension à mesurer  $V_{IN}$  et la tension de référence  $V_{ref}$  sont converties en un courant par le biais d'un convertisseur tension courant,



le courant qui passe a travers l'intégrateur est commuté entre deux valeurs ( $I_{IN}, I_{ref} - I_{IN}$ ) par le biais du comparateur reliés au bloque logique, ainsi un signal a double rampes est généré. La valeur de la tension d'entre est relative au nombre de commutation par unité de temps.

Avec une tension d'entrée faible, la tension de sortie de l'intégrateur va augmenter lentement et il faudra un certain temps avant que le seuil supérieur du comparateur soit atteint. Lors de la commutation du comparateur, on se trouve avec un courant négatif très importante ( $I_{ref} - I_{IN}$ ) sur l'intégrateur, ce qui va précipiter la descente de sa tension de sortie jusqu'au seuil bas et le cycle recommence.

La valeur de sortie du comparateur, si on prélève à chaque coup d'horloge (déterminé par la circuiterie externe) va être une suite de "0" et de "1".

Dans se cas, le nombre de commutation "State out" est très faible alors en se retrouve dans le minimum. Dans le cas inverse (tension d'entrée importante) la sortie de l'intégrateur augmente rapidement quand a la descente elle sera très lente car le courant négative ( $I_{ref} - I_{IN}$ ) est très faible, se qui implique que le nombre de commutation est très important, c'est le cas maximal. Ce qui nous donne par la suite, c'est la densité de "0" ou de "1" (tout dépend de notre circuit), qui déterminera la valeur binaire de sortie.

### 3.3 La formulation mathématique de fonctionnement :

Un courant qui traverse un condensateur nous donne les relations suivantes :  
La tension aux bornes du condensateur :

$$V_c(t) = \frac{q(t)}{C} \quad (3.1)$$

Cela signifie que la différence de potentiel aux bornes du condensateur évolue proportionnellement à la charge dans le condensateur. Le facteur de proportionnalité est la valeur  $C$  de la capacité du condensateur.

Le courant qui traverse le condensateur :

$$i_c(t) = \frac{dq(t)}{dt} \quad (3.2)$$

Cela signifie que l'évolution du courant dans le condensateur dépend de la variation de charge dans celui-ci pendant un temps donné.

Les deux relations précédentes nous donnons :

$$I(t) = \frac{dq(t)}{dt} \Rightarrow q = \int I(t)dt \quad (3.3)$$

$$V_c(t) = \frac{1}{C} \int I(t)dt \quad (3.4)$$

Si  $I_0 = I = \text{constante}$  alors

$$V_c(t) = \frac{1}{C} I_0 t$$

On pose  $A = \frac{1}{C}$  constante d'intégral

Alors :

$$V_c(t) = A I_0 t \quad (3.5)$$

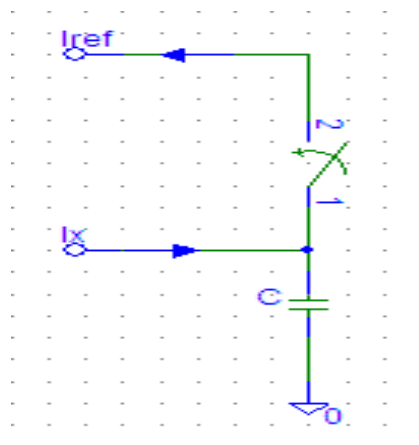


Figure 3.4 : Schéma de principe d'un intégrateur

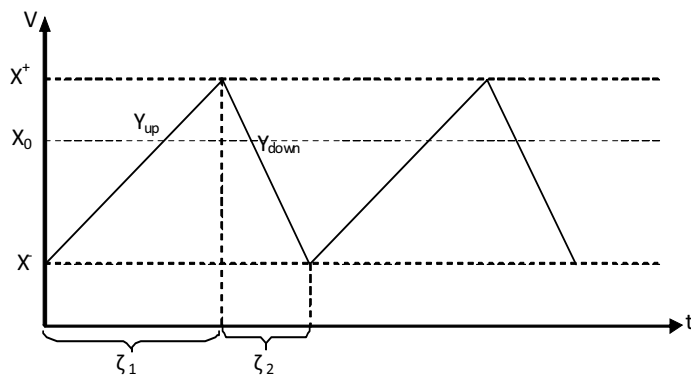


Figure 3.5 : Signaux de sortie d'un intégrateur

On a les relations suivantes des droites dans la figure

$$Y_{up} = X^- + (A I_X . t) \quad (3.6)$$

$$Y_{down} = X^+ + A(I_{ref} + I_X)t \quad (3.7)$$

Et on a toujours  $I_{ref} > I_X$

Alors on a pour la première étape :

Le commutateur est ouvert : un courant  $I_X$  traverse le condensateur on a une tension a ces bornes :  $V_c = Y_{up}$ .

La deuxième étape :

Le commutateur est fermé : la tension aux bornes du condensateur est :

$$V_c = Y_{down} \quad (3.8)$$

Le courant qui traverse le condensateur est  $(-I_{ref} + I_X)$  et il est toujours négatif.

Donc on peut écrire :

$$\zeta_1 = \frac{(X^+ - X^-)}{A.I_X} \quad (3.9)$$

$$\zeta_2 = \frac{(X^- - X^+)}{A.(-I_{ref} + I_X)} \quad (3.10)$$

Alors :

$$\frac{\zeta_1}{\zeta_2} = \frac{I_{ref} - I_X}{I_X} = \frac{I_{ref}}{I_X} - 1 \quad (3.11)$$

On peut représenter cette dernière relation sur le graphe de la *figure 3.6*

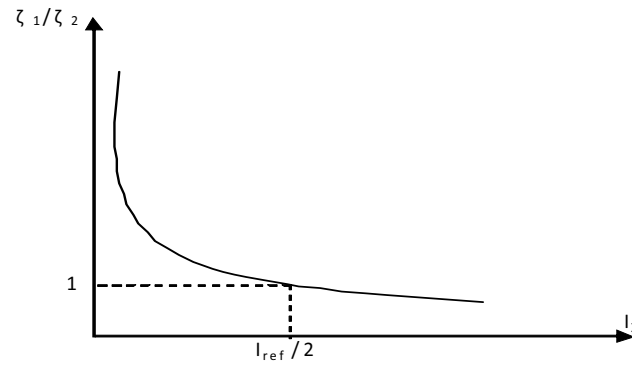


Figure 3.6 : Relation entre  $\frac{\zeta_1}{\zeta_2}$  et  $\frac{I_{ref}}{I_X} - 1$

Alors on peut dire :

Si  $I_X \rightarrow 0 \Rightarrow \frac{\zeta_1}{\zeta_2} \uparrow$  augmente  $\Rightarrow \zeta_1 \gg \zeta_2$

Et si  $I_X \rightarrow I_{ref} \Rightarrow \frac{\zeta_1}{\zeta_2} \downarrow$  diminue  $\Rightarrow \zeta_1 \ll \zeta_2$

On suppose maintenant pour la partie numérique

Que  $H$  est le nombre du cycle d'horloge  $H = 2^n$

$n$  : C'est le nombre de bit du convertisseur.

Par exemple on veut un convertisseur de 12 bits à sa sortie alors :

$$n = 12 \Rightarrow H = 2^{12} = 4096$$

Alors nous avons 4096 cycle d'horloge.

Supposant que :

$\Delta$  : est le temps d'horloge (période)

$m_1$  : est le compte des 1( $\zeta_1$ )

$m_2$  : est le compte des 0( $\zeta_2$ )

$T$  : est le temps total d'une conversion avec :

$$T = \Delta.2^n$$

Supposant :

$$K = \frac{T}{\zeta_1 + \zeta_2} \quad (3.12)$$

Alors pour comprendre ce qui se passe pendant une conversion on à la figure qui illustre les deux signaux de sortie l'un pour l'intégrateur et l'autre pour le bloc numérique.

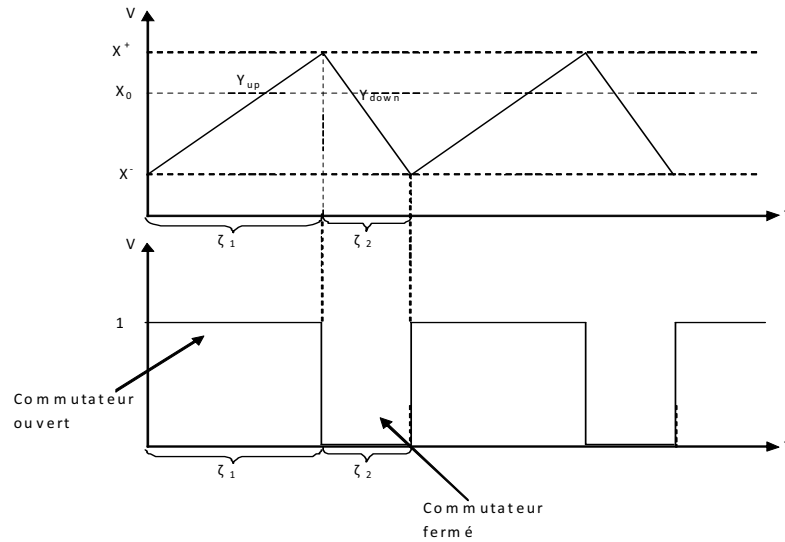


Figure 3.7 : Les signaux de sortie de l'intégrateur et de bloc numérique

Où  $K$  est une période le signal si dans une période on compte  $m_1$  pour des "1" et  $m_2$  pour des "0" on peut généraliser le cas et on obtient :

$$M_1 = m_1.K \quad (3.13)$$

$$M_2 = m_2.K \quad (3.14)$$

Et en à un autre côté :

$$m_1 = \frac{\zeta_1}{\Delta} \quad (3.15)$$

$$m_2 = \frac{\zeta_2}{\Delta} \quad (3.16)$$

$$K = \frac{T}{\zeta_1 + \zeta_2} = \Delta.2^n \quad (3.17)$$

Alors si on remplace dans (3.13) et (3.14) on trouve :

$$M_1 = \frac{\zeta_1}{\Delta} * \frac{\Delta.2^n}{\zeta_1 + \zeta_2} = \frac{\zeta_1}{\zeta_1 + \zeta_2}.2^n$$

$$M_2 = \frac{\zeta_2}{\Delta} * \frac{\Delta.2^n}{\zeta_1 + \zeta_2} = \frac{\zeta_2}{\zeta_1 + \zeta_2}.2^n$$

Remplacent  $\zeta_1$  et  $\zeta_2$  par ces valeurs trouvés dans les équations (3.11) on obtient :

$$M_1 = \left(1 - \frac{I_X}{I_{ref}}\right) \cdot 2^n \quad (3.18)$$

$$M_2 = \frac{I_X}{I_{ref}} \cdot 2^n \quad (3.19)$$

On peut remarquer que  $M_1$  et  $M_2$  sont complémentaires l'un à l'autre alors on peut prendre  $M_2$  comme une sortie numérique de notre convertisseur.

Si on prend

$$M_2 = c \cdot I_X$$

avec  $c = \frac{2^n}{I_{ref}}$  : est c'est une constante alors :

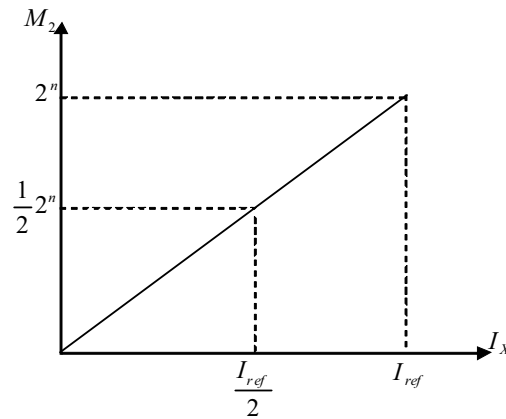
$$\text{Pour } I_X = 0 \Rightarrow M_2 = 0$$

$$\text{Et pour } I_X = \frac{1}{2} I_{ref} \Rightarrow M_2 = \frac{1}{2} \cdot 2^n$$

$$\text{Et pour } I_X = I_{ref} \Rightarrow M_2 = 2^n$$

Ce qui nous donne le graphe de la *figure 3.8* :

On constate que la variation du courant d'entrée en fonction de la sortie numérique est une variation linéaire.



*Figure 3.8* : La relation entre la sortie numérique et l'entrée en courant

Mais le problème consiste à ne pas avoir à la réalité un courant de référence constant alors on est ramené à multiplier le courant de référence par 4 ce qui nous donne le résultat suivant :

$$M_2 = \frac{I_X}{4 \cdot I_{ref}} \cdot 2^n \quad (3.20)$$

Alors :

$$M_2 = \frac{I_X}{I_{ref}} \cdot 2^{n-2} \quad (3.21)$$

Alors qui nous ramène à faire une conception d'un convertisseur à 12 bits mais le résultat sera et sur 10 bits les deux derniers bits seront pour connaître l'erreur

de quantification et pour avoir un convertisseur qui sera fiable à la relation d'erreur suivante :

$$L'erreur < 1LSB.$$

D'après sa on peut conclure que si on veut un convertisseur fiable de  $n$  bits il faut toujours ajouter deux bits qui seront réserver pour l'erreur de quantification.

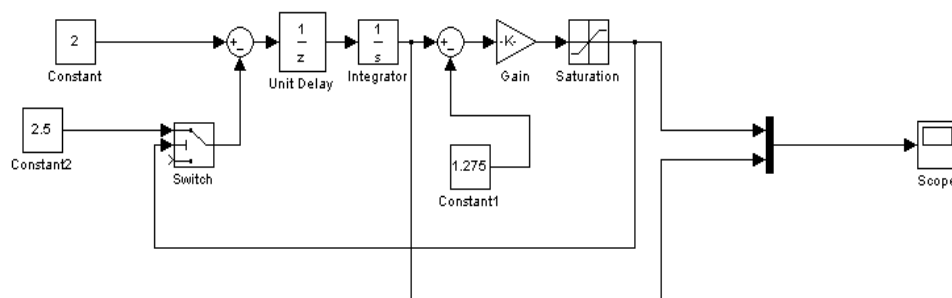
### 3.4 Simulation synoptique

Au premier lieu en va donc faire une petite simulation théorique avec le logiciel environnement Matlab pour voir comment notre circuit de principe fonctionne.

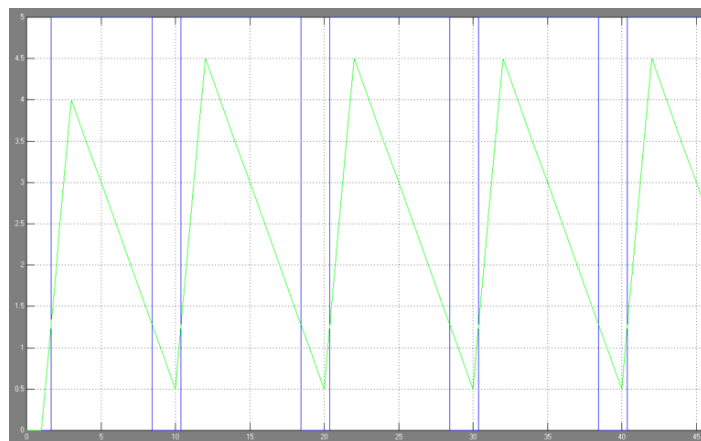
Le schéma de simulation sous Matlab est illustré par la *figure 3.9* :

On suppose que les deux valeurs des convertisseurs tension courant sont des constantes.

La sortie est montrée sur le graphe de la *figure 3.10*.



*Figure 3.9* : Schéma de simulation



*Figure 3.10* : Les signaux de sortie du système

Pour faire la conception du schéma de principe on va diviser se dernier en deux parties, une partie analogique et une numérique.

### 3.5 Conception de la partie analogique :

La partie analogique se compose des deux convertisseurs tension courant l'un pour la tension de d'entrée et l'autre pour la tension de référence, l'intégrateur et le comparateur.

Pour faire la conception on a utilisé la technologie *HHNEC*  $0.5 \mu m$  avec des transistors qui ont les caractéristiques suivant :

Transistor <i>NMOS</i>	Transistors <i>PMOS</i>
$K_N = 46 \times 10^{-6} A/V^2$	$K_p = 20 \times 10^{-6} A/V^2$
$\lambda_N = 0.021 V^{-1}$	$\lambda_p = 0.012 V^{-1}$
$V_{tN} = 0.8V$	$V_{tp} = -1.122V$

Tableau 3.2 : Les caractéristiques des transistors

#### 3.5.1 Convertisseur tension courant :

Pour faire la conversion tension courant on a utilisé le montage de base de la conversion tension courant illustré par la *figure 3.11*

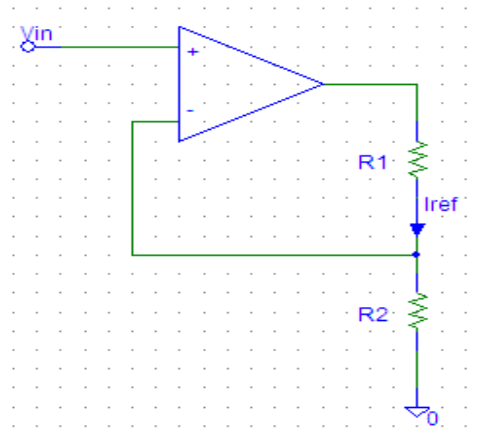


Figure 3.11 : Schéma de principe d'un convertisseur tension courant

Dans le but de convertir une tension d'entrée à un courant de sortie proportionnel à l'entrée.

Les performances du circuit convertisseur tension courant dépend souvent de l'amplificateur c'est pourquoi son architecture doit être choisie très soigneusement.

Donc on a intérêt à débuter notre étude du convertisseur tension courant par l'étude de l'amplificateur opérationnel utilisé.

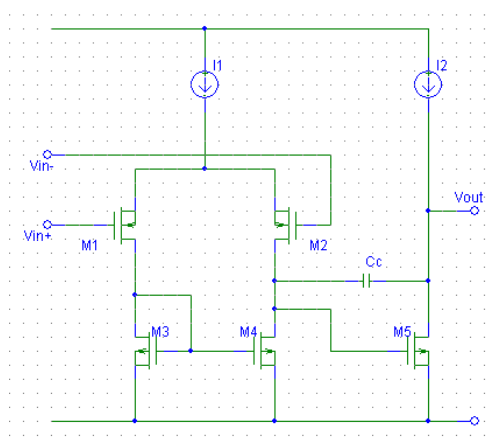
### Amplificateur opérationnel :

Pour l'amplificateur opérationnel on a choisi une structure d'un amplificateur transconductance (*OTA* : Operationnal Transconductance Amplifier) simple à deux étage.

Se chois est fait a cause des caractéristiques de ce dernier qui sont :

Un bon gain en tension, résistance de sortie plus élevée.

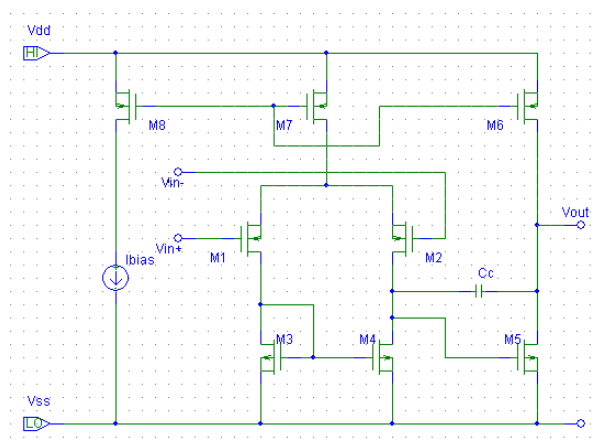
La *figure 3.12* illustre le schéma de principe de l'amplificateur opérationnel



*Figure 3.12* : Schéma de principe de l'amplificateur opérationnel

On peut remplacé les deux sources de courant avec deux miroir de courant simple comme le montre la *figure 3.13*.

On a  $M_8$  qui forme avec  $M_7$  la première miroir qui fourni un courant  $I_1$ , pour la paire différentielle, et la deuxième miroir est constituée avec  $M_8$  et  $M_6$  et qui délivre le courant  $I_2$ , pour l'étage de sortie.



*Figure 3.13* : Schéma de l'amplificateur opérationnel avec les sources de courant remplacées par des miroirs de courant



Et pour générer un courant de polarisation  $I_{bias}$  il suffit de remplacer le générateur de courant avec un miroir simple comme le montre la *figure 3.14*.

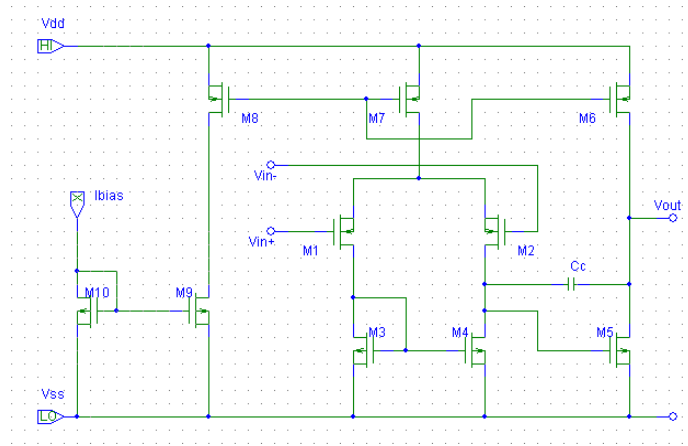


Figure 3.14 : Schéma de l'amplificateur opérationnel avec la génération du courant  $I_{bias}$

Après avoir choisi la structure du circuit d'amplificateur opérationnel on passe maintenant aux calculs des dimensions des transistors  $W$  et  $L$  constituant le circuit.

### Calculs des dimensions $W$ et $L$ :

Nous avons choisi cette structure d'amplificateur opérationnel, dans la dixième étape, il s'agit de calculer les dimensions ( $W$  et  $L$ ) des transistors  $MOS$  selon les caractéristiques souhaitées et qui sont indiqués dans le tableau 3.2.

Paramètres	Exigence
Puissance $P$	$\leq 300\mu W$
Gain $A$	$\geq 5000$
Tension de sortie maximale	$\geq 4.5V$
Tension de sortie minimale	$\geq 20mV$
Tension d'offset	$\leq 400\mu V$
Tension d'entrée en mode commun maximale	$\leq 4V$
Tension d'entrée en mode commun minimale	$\geq 100mV$
Marge de phase	$\geq 60^\circ$

Tableau 3.3 : Caractéristique de l'amplificateur opérationnel

Pour le dimensionnement de l'OTA on à un jeu d'équation à résoudre selon le tableau 3.2

**1- la puissance :**

$$P = V_{dd} \times (I_0 + I_1 + I_2) \quad (3.22)$$

**2- la dynamique d'entrée en mode commun :**

$$CMR_- > V_{tN3} - V_{tp1} + V_{ov3} - V_{ss} \quad (3.23)$$

$$CMR_+ < V_{dd} - V_{t1} - V_{ov1} - V_{ov7}$$

$$CMR_+ = V_{dd} - V_{t1} - \sqrt{\frac{2I_{D1}}{\frac{W_1}{L_1} \times K_p}} - \sqrt{\frac{2I_{D7}}{\frac{W_7}{L_7} \times K_p}} \quad (3.24)$$

**3- la dynamique de sortie :**

$$V_{out-} \geq V_{ov5} - V_{ss}$$

$$V_{out-} = V_{ov5} = \sqrt{\frac{2I_{D5}}{\frac{W_5}{L_5} \times K_n}} \quad (3.25)$$

$$V_{out+} = V_{dd} - V_{ov6}$$

$$V_{out+} = V_{dd} - \sqrt{\frac{2 \times I_{D6}}{\frac{W_6}{L_6} \times K_p}} \quad (3.26)$$

**4- tension d'offset :**

$$V_{off} = \frac{V_{tN} + V_{ov4} - V_{ss} - \frac{V_{dd} - V_{ss}}{2}}{A} \quad (3.27)$$

Avec

$$V_{ov4} = \sqrt{\frac{2I_{D4}}{\frac{W_4}{L_4} \times K_n}}$$

**5- le produit gain bande passante :**

$$GBW = \frac{gm_1}{2 \times \pi \times C_c} \quad (3.28)$$

**6- la marge de phase :**

$$PM = 90^\circ - \arctg\left(\frac{GBW}{f_1}\right) - \arctg\left(\frac{GBW}{f_2}\right)$$

Avec :

$$f_1 = \frac{gm_5}{2 \times \pi \times C_c}$$

$$f_2 = \frac{gm_5}{2 \times \pi \times C_L}$$

Donc :

$$PM = 90^\circ - \arctg\left(\frac{gm_1}{gm_5}\right) - \arctg\left(\frac{gm_1 \times C_L}{gm_5 \times C_c}\right) \quad (3.29)$$

Après la résolution du système d'équations on peut estimer les valeurs de  $W$  et  $L$  des transistors mais avec la simulation qu'on peut optimiser ces valeurs, et on a abouti au résultat suivant :

Transistors	Rapport $\left(\frac{W}{L}\right)$
$M_1=M_2$	$4 \cdot \left(\frac{50}{3}\right)$
$M_3=M_4$	$2 \cdot \left(\frac{50}{2}\right)$
$M_5$	$\left(\frac{100}{0.540}\right)$
$M_6$	$3 \cdot \left(\frac{40}{4}\right)$
$M_7$	$2 \cdot \left(\frac{20}{2}\right)$
$M_8$	$\left(\frac{20}{2}\right)$
$M_9=M_{10}$	$\left(\frac{20}{3}\right)$

Tableau 3.4 : Les dimensions des  $W$  et  $L$  en  $\mu m$

Les calculs effectués par les équations et la simulation ont donné les résultats ci-dessous :

Paramètres	simulation	Calcule
Puissance $P$	$300\mu W$	$300\mu W$
Gain $A$	5011	5000
Tension de sortie maximale $V_{out+}$	4.9V	4.8419V
Tension de sortie minimale $V_{out-}$	32mV	59.37mV
Tension d'offset $V_{off}$	200 $\mu V$	327 $\mu V$
Tension d'entrée en mode commun maximale $CMR_+$	3.150V	3.5674V
Tension d'entrée en mode commun minimale $CMR_-$	183mV	256mV
Marge de phase $PM$	87°	89.6°

Tableau 3.5 : Les résultat de la simulation et de calcule

La figure montre le circuit global de l'amplificateur opérationnel utilisé dans se projet

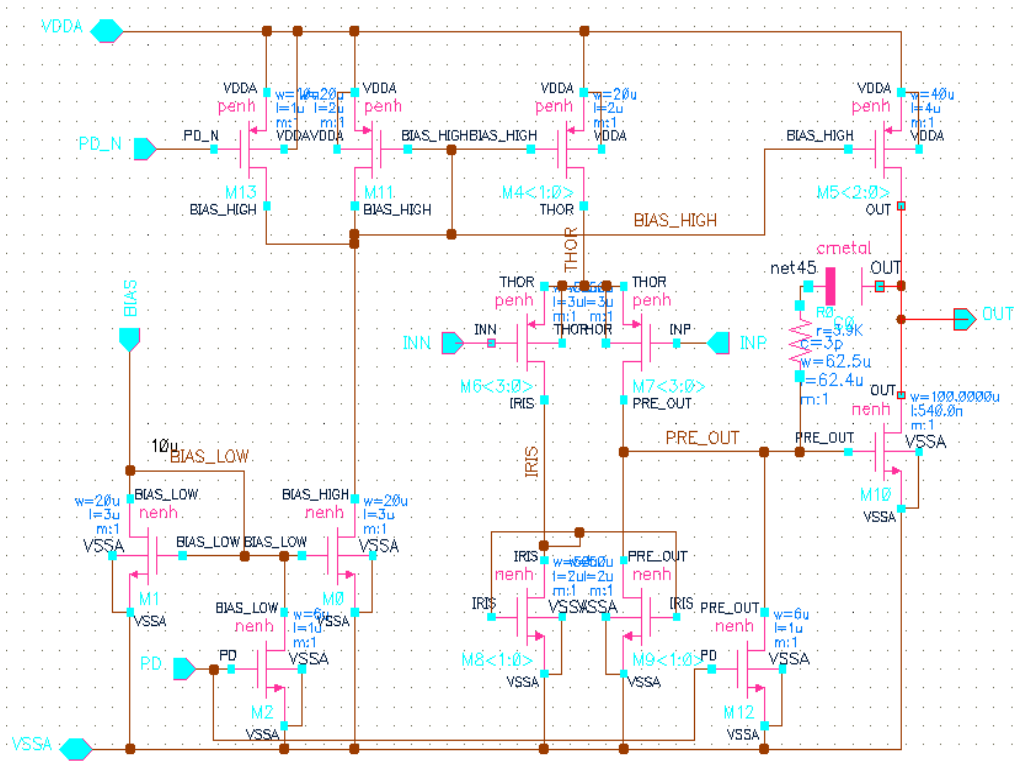


Figure 3.15 : Schéma global de l'amplificateur opérationnel

### 3.6 Résultat et simulation :

On fait une analyse fréquentielle de l'amplificateur pour vérifier les valeurs calculées et pour visualisée son comportement dans le domaine fréquentiel, pour cela on a deux principaux montage pour notre amplificateur un montage on boucle ouverte et l'autre on boucle fermée, et une dernière consiste à voir le comportement de l'amplificateur on domaine transitoire.

#### 3.6.1 L'amplificateur opérationnel en Boucle ouverte :

Notre amplificateur et monté en boucle ouverte comme le montre la *figure 3.16*

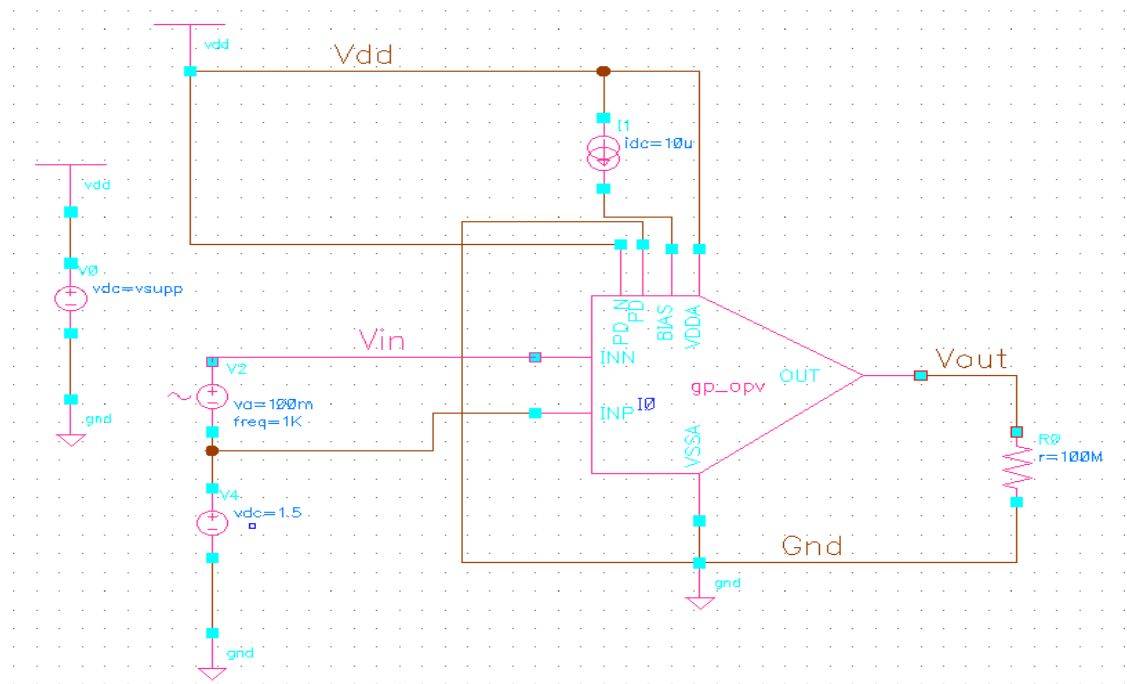


Figure 3.16 : L'amplificateur opérationnel monté en boucle ouverte

La simulation du circuit a été faite à une température ambiante de  $27^{\circ}$  et une tension d'alimentation de  $5V$ .

Au premier lieu on relève le gain en boucle ouverte et la phase comme le montre la *figure 3.17* et la *figure 3.18*.

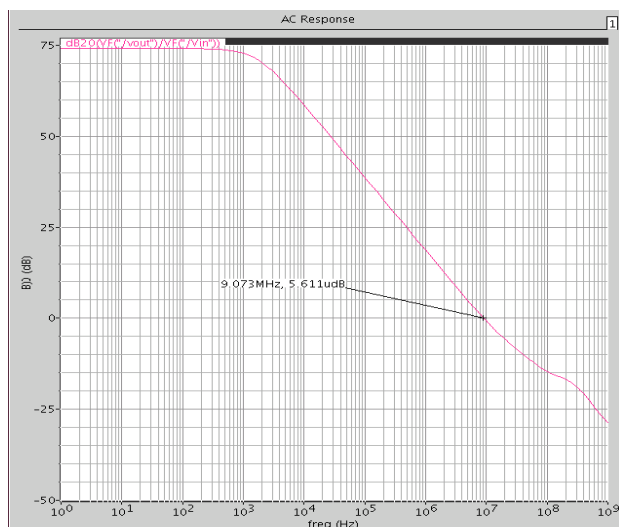


Figure 3.17 : Le gain en boucle ouverte

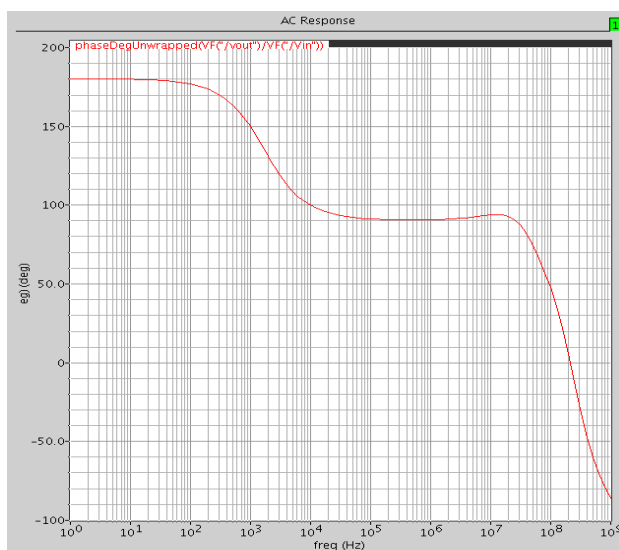


Figure 3.18 : La marge de phase en boucle ouverte

On peut calculer le gain en boucle ouverte pour comparer avec les résultats trouvés :

$$A_{vo(dB)} = 20 \cdot \log(A_{vo}) \quad (3.30)$$

$$A_{vo} = 10^{\frac{A_{vo(dB)}}{20}} \quad (3.31)$$

$$A_{vo} \approx 5011 \quad (3.32)$$

Se qui correspond à notre valeur calculé,  
Et pour la marge de phase :

La marge de phase correspond au déphasage supplémentaire négatif qu'il faut ajouter au signal de sortie pour qu'il représente un déphasage de  $-180^\circ$  à la fréquence unitaire.

La fréquence unitaire de notre système est de  $9\text{ MHz}$ .  
Alors le déphasage correspond est de  $87^\circ$ .

Pour voir le comportement de notre amplificateur dans les différentes tensions d'alimentation et différente température en a fait les simulations suivantes :

Au premier lieu en va varier la tension d'alimentation pour trois valeurs différentes  $3.5V$ ,  $4.5V$  et  $5.5V$  et on a relevé les courbes de la *figure 3.19* pour le gain et la *figure 3.20* pour la marge de phase.

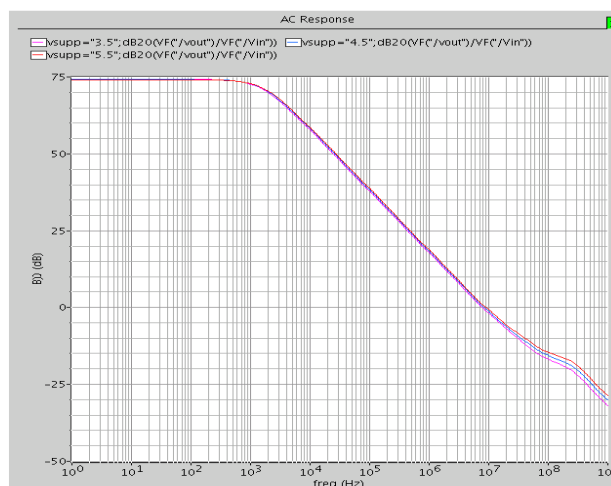


Figure 3.19 : Le gain en boucle ouverte

On constate que notre système reste stable en gain et on marge de phase malgré la variation de la tension d'alimentation comme le montre la *figure 3.16* et la *Figure 3.17*

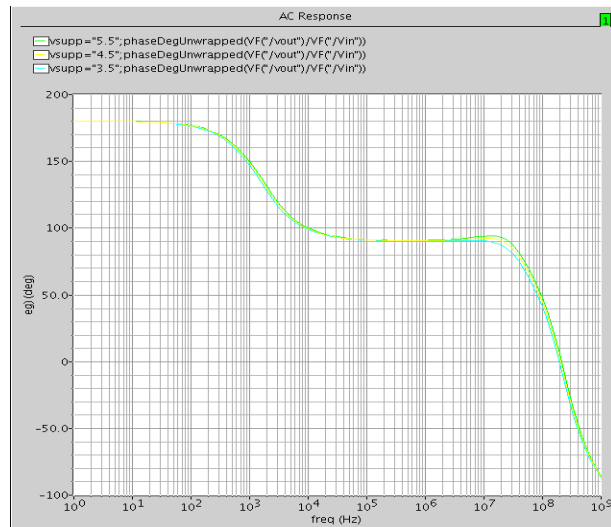


Figure 3.20 : La marge de phase en boucle ouverte

On va maintenant varier la température pour trois valeurs de  $0^\circ$ ,  $27^\circ$  et  $105^\circ$  et en garde la tension d'alimentation fixe à  $5V$ , et on relève le gain et la marge de phase de notre amplificateur.

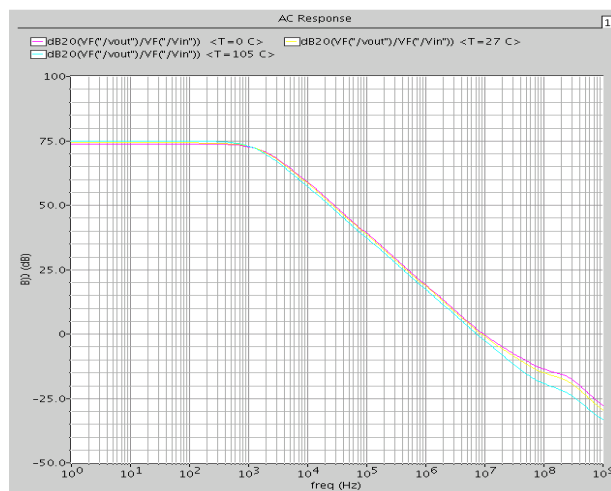


Figure 3.21 : Le gain en boucle ouverte



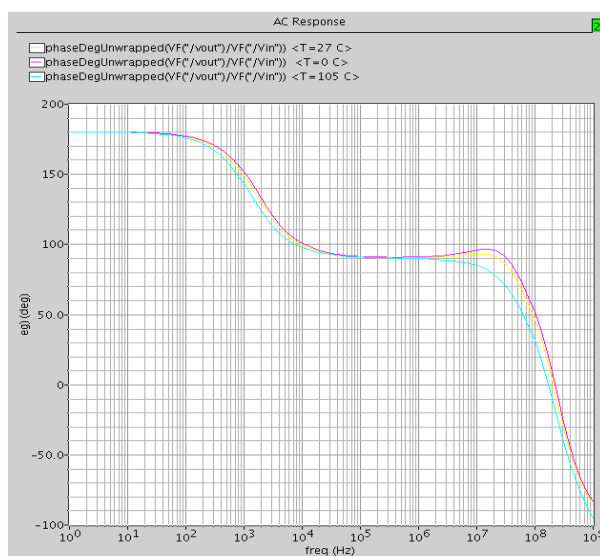


Figure 3.22 : La marge de phase en boucle ouverte

On constate que notre amplificateur reste stable même avec la variation de la température, donc on peut conclure que notre amplificateur est stable en varions soit la tension d'alimentation soit la température, ce qui implique que notre dimensionnement est bien fait.

On va maintenant relever le bruit en boucle ouverte et qui est montré par la figure 3.23

On voit que notre amplificateur à une densité de bruit faible et presque nul a des fréquences élevées.

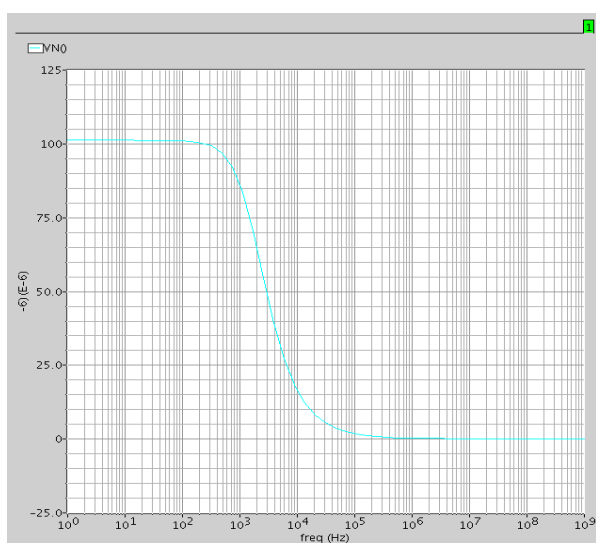


Figure 3.23 : Le bruit en boucle ouverte

On peut faire l'intégrale de la courbe de la figure 3.23. pour obtenir le bruit total est qui égale à  $5.270 \times 10^{-3} V$ . On voit que le bruit total est de l'ordre de

$10^{-3}V$ , et qui est important il est due à la valeur très grande du gain en boucle ouverte.

On fait maintenant varier la tension d'alimentation est on relève le bruit de la sortie, il est montré par la *figure 3.24*

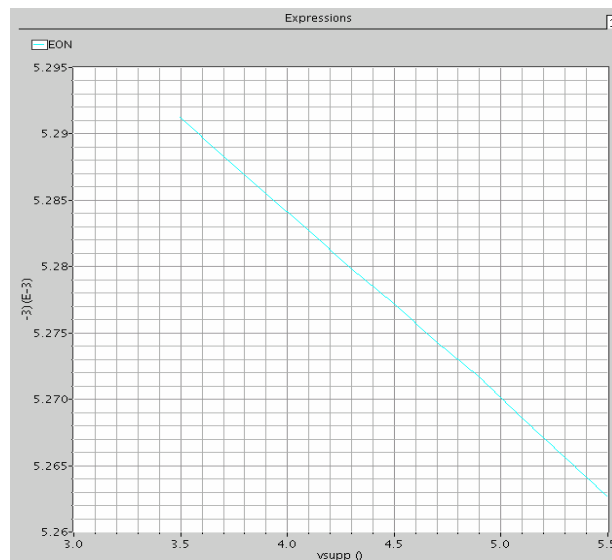


Figure 3.24 : Le bruit de la sortie en boucle ouverte

### 3.6.2 L'amplificateur opérationnel en Boucle fermée :

On va maintenant faire un circuit d'un amplificateur opérationnel on boucle fermée comme le montre la figure suivante :

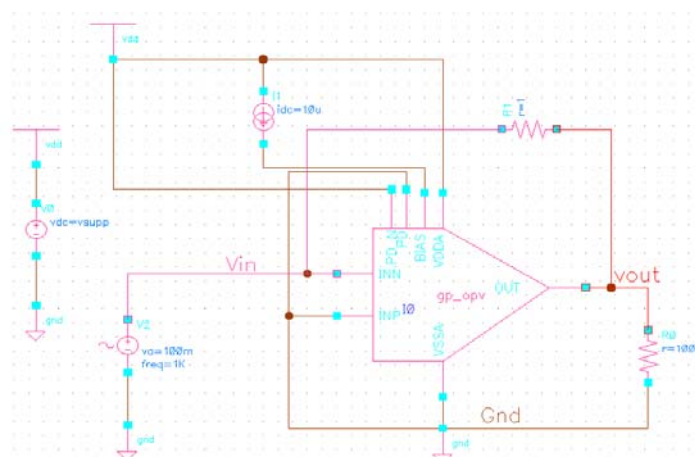


Figure 3.25 : L'amplificateur opérationnel monté en boucle fermée

Pour une tension d'alimentation fixe de  $5V$  et une température ambiante de  $27^\circ$ , on relève les deux caractéristiques principales qui sont le gain et la marge de

phase pour une variation fréquentielle de  $1\text{Hz}$  à  $1\text{GHz}$ , comme le montre les deux figures suivantes :

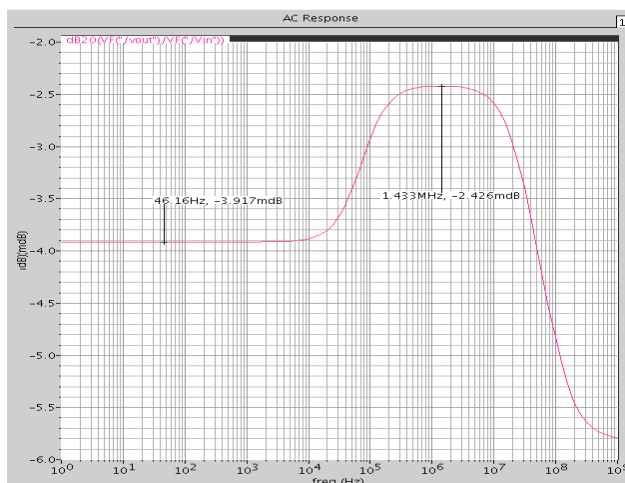


Figure 3.26 : Le gain en boucle fermée

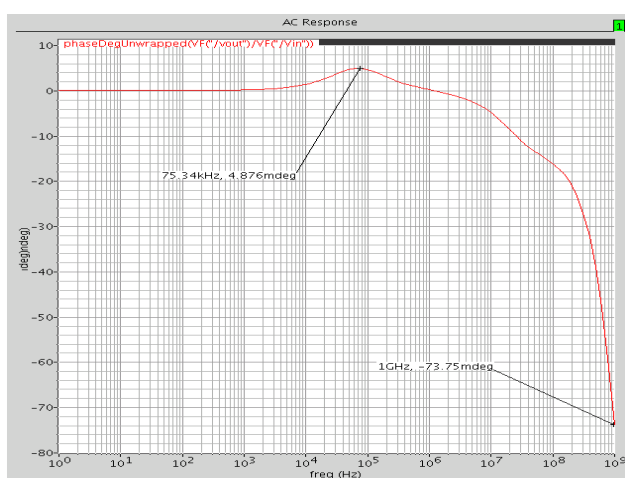


Figure 3.27 : La marge de phase en boucle fermée

On va maintenant voir le comportement du circuit si on fait varier la tension d'alimentation, et la température.

Au premier lieu on garde la température constante à une température ambiante et on fait varier la tension d'alimentation de trois valeurs  $3.5\text{V}$ ,  $4.5\text{V}$  et  $5.5\text{V}$  on obtient les deux figures suivantes du gain et de la marge de phase :

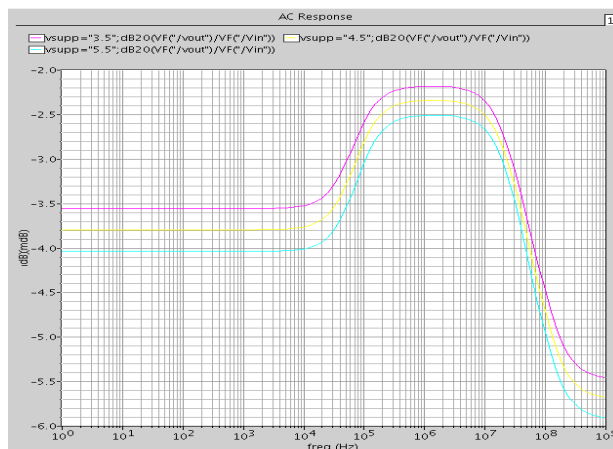


Figure 3.28 : Le gain en boucle fermée

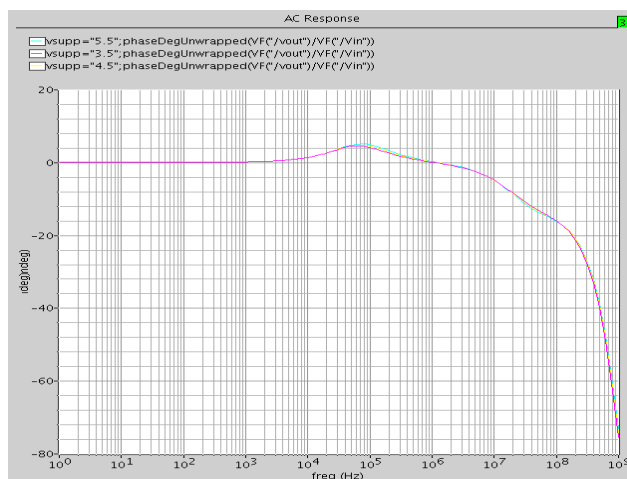


Figure 3.29 : La marge de phase en boucle fermée

On constate que notre amplificateur opérationnel reste stable on varie la tension d'alimentation.

Au deuxième lieu on fixe la tension d'alimentation à 5V et on fait varier la température de trois valeurs 0°, 27° et 105° et on relève le gain et la marge de phase du circuit comme le montre les deux figures suivantes :

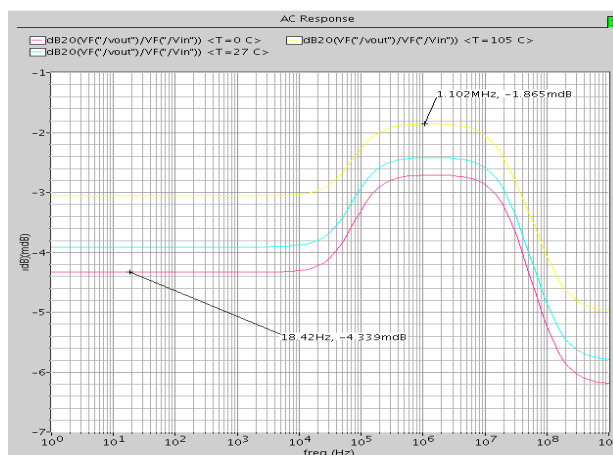


Figure 3.30 : Le gain en boucle fermée

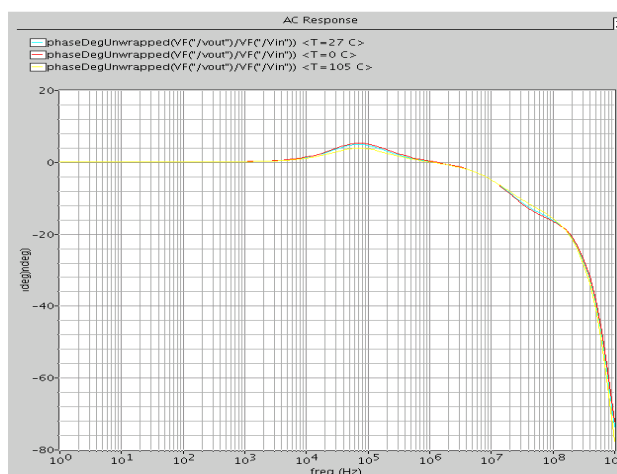


Figure 3.31 : La marge de phase en boucle fermée

On remarque qu'on a une légère variation du gain, elle est due à la présence d'une résistance et capacité qui se trouve dans le montage de l'amplificateur, mais le résultat du gain et de la marge de phase est satisfaisant dans les deux cas soit on varie la tension d'alimentation soit on varie la température, donc on peut conclure que l'amplificateur est stable en boucle fermée.

Il reste maintenant à relever la densité de bruit en boucle fermée et qui est montré par la *figure 3.32* suivante :

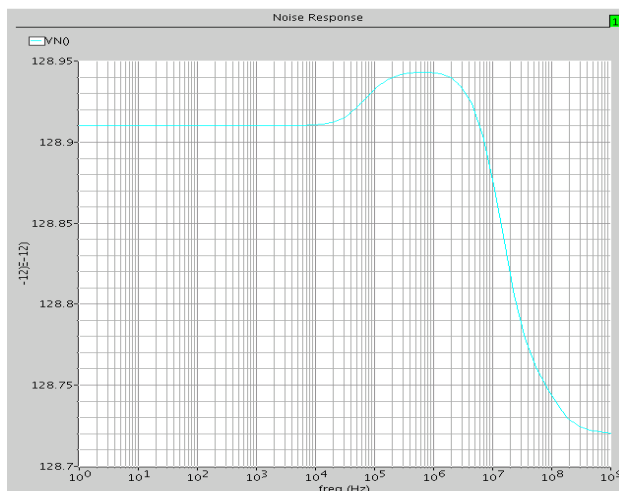


Figure 3.32 : Densité de bruit en boucle fermée

On remarque sur la figure que la densité de bruit est de l'ordre du  $10^{-12}$ , est une très faible valeur se qui satisfait notre conception. On peut faire l'intégrale de la courbe de la *figure 3.32* pour obtenir le bruit total est qui égale à  $4.071 * 10^{-6}V$ . On vois que le bruit total est de l'ordre de  $10^{-6}V$ , est qui n'ennuis pas notre système.

### 3.6.3 Analyse transitoire :

On va maintenant réaliser le circuit de la *Figure 3.33* pour voir le retard de sortie en fonction de l'entrée générer par l'amplificateur opérationnel.

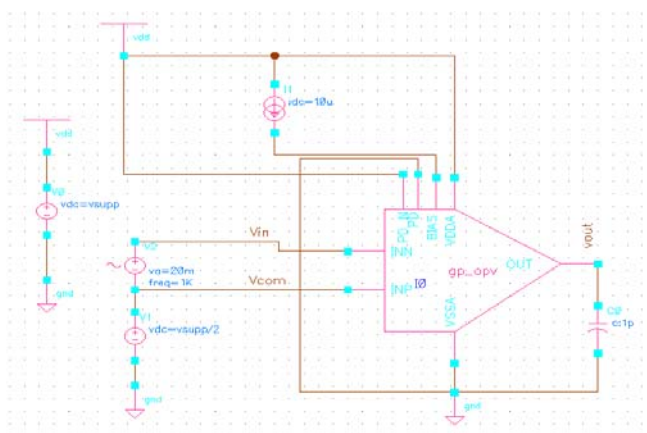
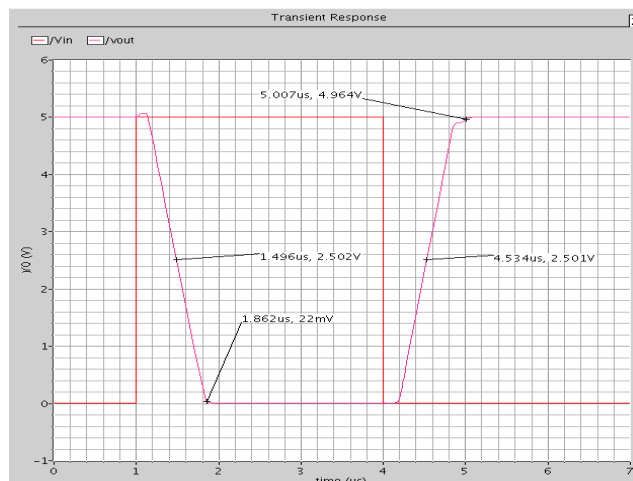


Figure 3.33 : L'amplificateur opérationnel

Le résultat de la simulation est montré par la *Figure 3.31*



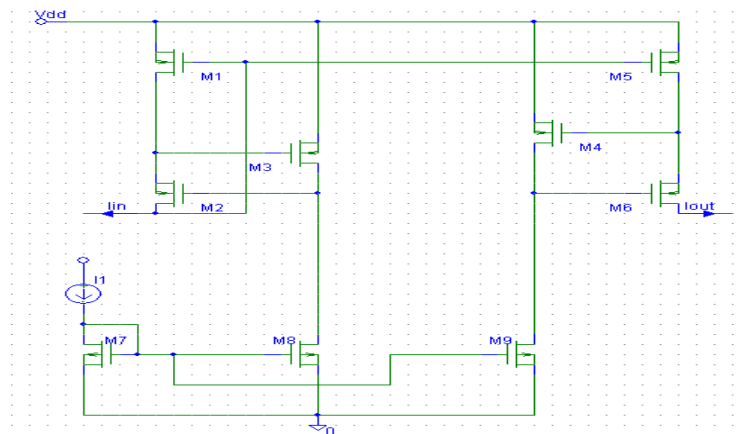
*Figure 3.34* : Le retard généré par l'amplificateur opérationnel entre l'entrée et la sortie

On remarque sur la *figure 3.34* que le signal de sortie est en retard du signal d'entrée de environ  $1\mu S$ , et qui est un résultat satisfaisant pour notre amplificateur opérationnel.

D'après ces simulation on peut conclure que notre amplificateur opérationnel est stable est bien conçu pour être monté en convertisseur tension courant.

### Miroir de courant :

Pour faire un bon convertisseur tension courant il nous faut un miroir de courant qui à une très grande résistance de sortie pour cela on à choisi le miroir de courant cascode régulé, la *Figure 3.35* illustre le principe de ce miroir.



*Figure 3.35* : Schéma du miroir de courant cascode régulé

Ce miroir de courant utilise des circuit Cascode régulé a pour principe avantage par rapport aux structures classiques (miroir simple, miroir Wilson et miroir Cascode) d'avoir une résistance de sortie en petits signaux très élevée :

$$r_{out} = \frac{(gm)^2 \cdot (r_{ds})^3}{2} \quad (3.33)$$

Et une résistance d'entrée :

$$r_{in} = \frac{1}{gm_7} \quad (3.34)$$

La tension d'entrée minimale :

$$V_{\min(N)} = V_t + V_{ov} \quad (3.35)$$

La tension de sortie minimale :

$$V_{\min(out)} = V_t + 2V_{ov} \quad (3.36)$$

D'après ces deux derniers équations en peut optimiser les valeurs des transistors pour

$$\begin{aligned} V_{\min(out)} &\geq 0.9v \\ V_{\min(in)} &\geq 1v \end{aligned}$$

Donc après optimisation et simulation on trouve :

$$M_1 = M_2 = M_3 = M_4 = M_5 = M_6 = \frac{15}{0.8} = 18.75$$

Et les deux résistances d'entrée et de sortie sont :

$$r_{out} = 2.312 \times 10^{12} \Omega \quad (3.37)$$

$$r_{in} = 10.425 \times 10^3 \Omega \quad (3.38)$$

$$M_8 = M_9 = 2M_7 = \frac{5}{1} \quad (3.39)$$

Après avoir fait les dimensionnement du miroir de courant cascode régulé on passe maintenant au convertisseur tension courant, on place deux miroir de courant cascode régulé avec l'amplificateur opérationnel, l'une pour faire la contre réaction pour l'amplificateur et l'autre pour la sortie en courant comme la montre la *figure 3.36*.



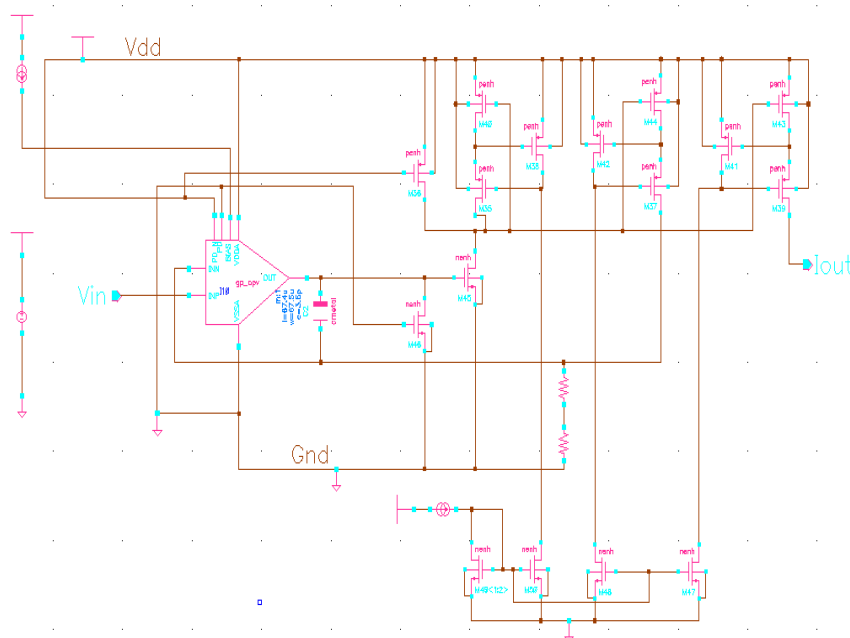


Figure 3.36 : Schéma du convertisseur tension courant

On va maintenant faire quelques simulations pour voir le comportement du convertisseur tension courant.

**Résultat et simulation :** Pour voir le comportement du convertisseur tension courant, il faut faire quelques simulations et à chaque fois on varie un des paramètres essentiels du convertisseur qui sont soit la tension d'entrée à convertir soit la tension d'alimentation soit la température.

La première simulation consiste à fixer la tension d'alimentation à  $5V$  et la température à  $27^\circ$  et on va varier la tension d'entrée de  $0V$  à  $2.5V$  se qui nous donne le résultat illustré par la figure suivante :

On voit sur la figure que le courant de sortie varie linéairement avec la tension de sortie de  $0$  à  $25\mu A$  pour une variation d'une tension d'entrée de  $0$  à  $2.5V$  se qui correspond que :

$$1V \rightarrow 10\mu A.$$

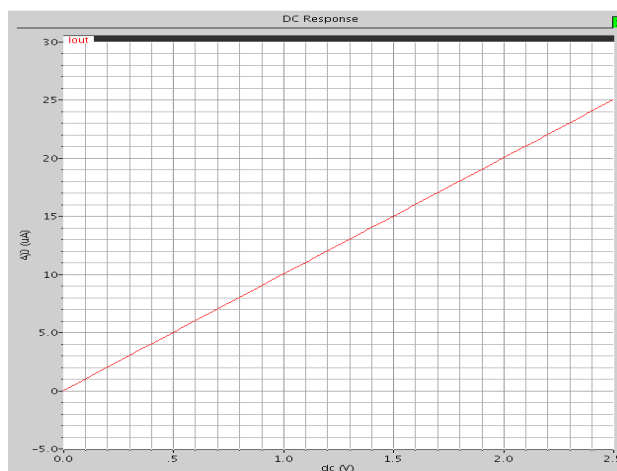


Figure 3.37 : Le courant de sortie en fonction de la tension d'entrée

La deuxième simulation consiste à varier la tension d'alimentation de  $3V$  à  $5.5V$  et de maintenir la température constante de  $27^\circ$  et la tension d'entrée constante de  $2.5V$ , on obtient les résultats de la figure 3.38

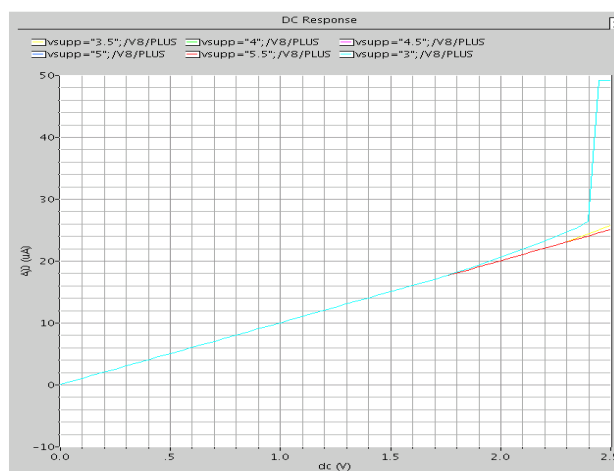
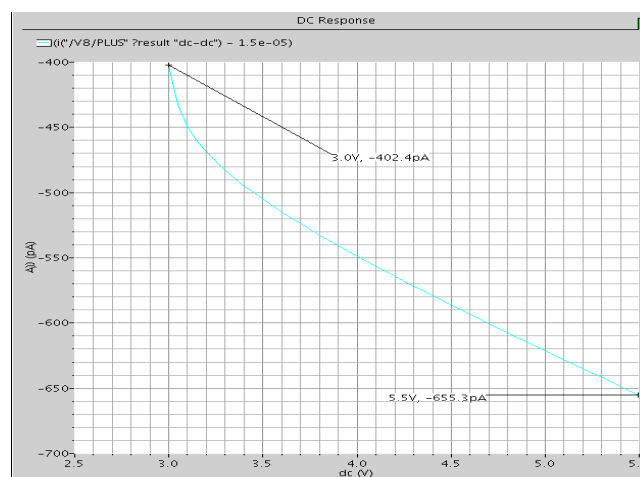


Figure 3.38 : La sortie en courant en fonction de l'entrée en tension avec différentes valeurs

La *figure 3.38* montre que malgré la variation de la tension d'alimentation notre sortie en courant en fonction de la tension d'entrée reste toujours la même, ce qui implique que notre convertisseur est stable en cas d'une variation de la tension d'alimentation.

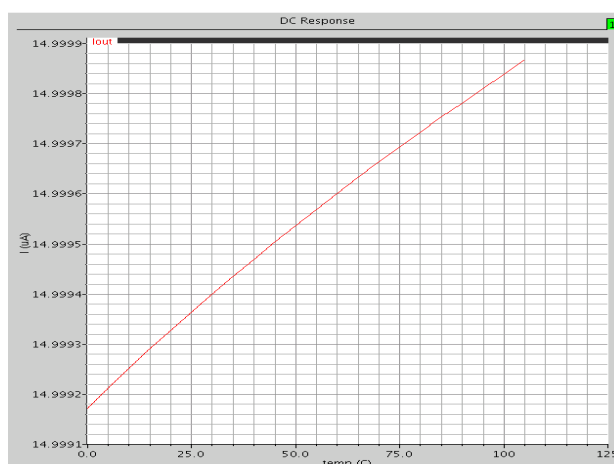
On va voir maintenant l'erreur due à la variation de la tension d'alimentation, illustré par la *figure 3.39* suivante :



*Figure 3.39* : L'erreur due à la variation de la tension d'alimentation

On voit sur la *figure 3.39* que l'erreur est minimum au pour une tension d'alimentation de  $3V$  est de  $402.4pA$  en valeur absolue, et au maximum pour une tension d'alimentation de  $5.5V$  est de  $655.3pA$ , mais cette erreur est acceptable.

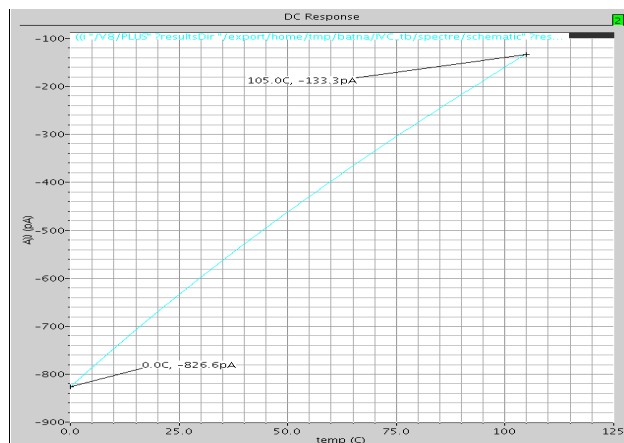
La troisième simulation consiste avoir le comportement de notre convertisseur si on varie maintenant la température de  $0^\circ$  à  $105^\circ$ , en gardons la tension d'alimentation constante à  $5V$  et l'entrée en tension constante à  $1.5V$ , le résultat de la sortie en courant et montré dans la *figure 3.40*



*Figure 3.40* : Comportement du convertisseur en variant la température

On voit d'après la *figure 3.40* que la sortie en courant reste pratiquement stable malgré la variation de la température sur une plage de  $0^\circ$  jusqu'à  $105^\circ$ .

Et après en relève l'erreur du au variation de la température illustré par la *figure 3.41* suivante :

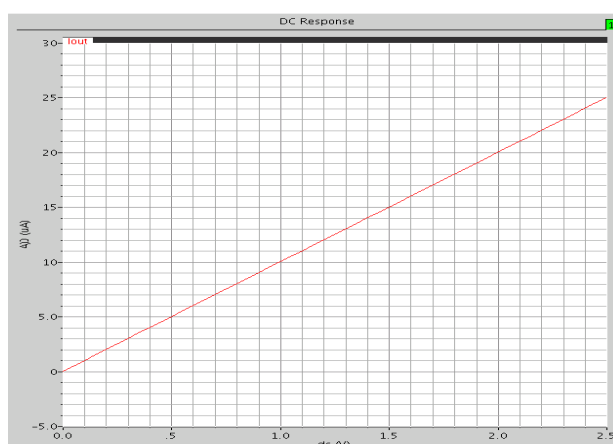


*Figure 3.41* : L'erreur du au variation de la température

On voit sur la *figure3.41* que l'erreur maximal est pour une température de  $0^\circ$  est de valeur absolu de  $826pA$ , et une valeur minimal pour la température de  $105^\circ$  de valeur de  $133.3pA$ .

Mais reste toujours que cette erreur est acceptable, parce que la variation du courant de sortie et de l'ordre du  $\mu A$ .

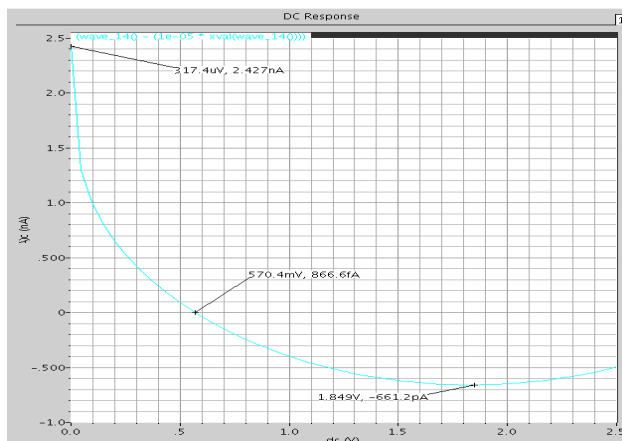
Reste maintenant à varier l'entrée en tension et fixé la tension d'alimentation à  $5V$  et la température à  $27^\circ$ , la *figure 3.42* suivante montre la variation de la sortie en courant en fonction de la tension d'entrée



*Figure 3.42* : La variation de la sortie en courant en fonction de la tension d'entrée

On voit sur la *figure 3.42* que la variation de sortie en fonction de l'entrée est une variation linéaire avec :  $1V \rightarrow 10\mu A$ .

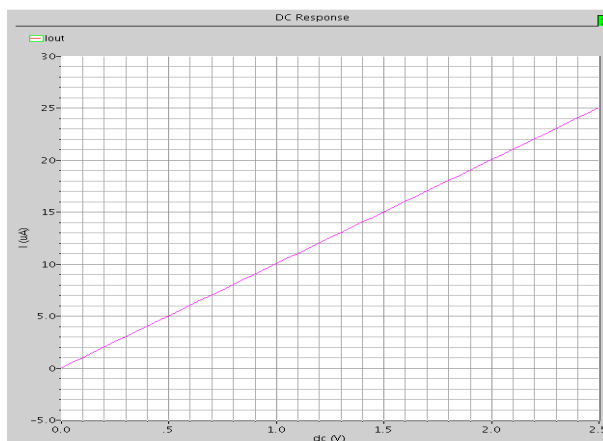
On va relever maintenant l'erreur entre la sortie idéale voulue et la sortie réelle, la *figure 3.43* illustre l'erreur entre la sortie idéale et la sortie réelle.



*Figure 3.43* : L'erreur entre la sortie idéale voulue et la sortie réelle

On voit d'après la *figure 3.43* que l'erreur est maximale à une entrée de  $0V$ , et minimale pour une valeur de tension d'entrée de  $1.85V$ .

On va maintenant faire la même simulation précédente sauf qu'on change la valeur de la température et on la augmente à  $105^\circ$ , et on va relever la variation de la sortie en fonction de l'entrée et puis l'erreur entre la sortie idéale et la sortie réelle, la *figure 3.44* illustre la variation du courant de sortie en fonction de la tension d'entrée.



*Figure 3.44* : La variation du courant de sortie en fonction de la tension d'entrée.

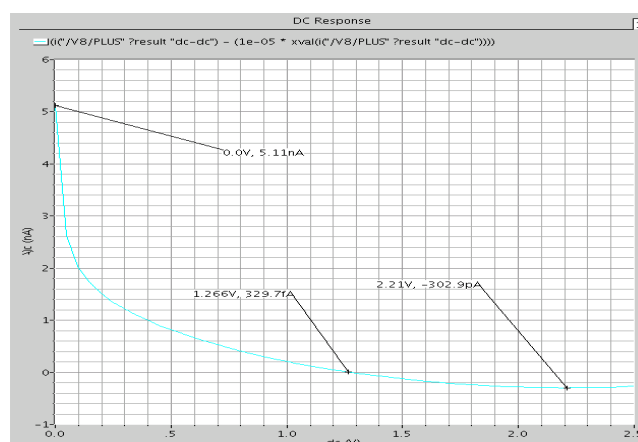


Figure 3.45 : L'erreur entre la sortie idéale voulue et la sortie réelle obtenue

La figure 3.45 illustre l'erreur entre la sortie idéale voulue et la sortie réelle obtenue on voit que l'erreur est maximale à une valeur d'entrée de  $0V$ , et minimale à une valeur d'entrée de  $2.2V$ . L'erreur est toujours acceptable.

Donc on peut conclure que notre convertisseur tension courant présente une erreur acceptable quelque soit le changement soit au niveau de la tension d'alimentation soit au niveau de la température soit au niveau de la tension d'entrée à convertir.

Et pour avoir un courant de référence qui égale à quatre fois le courant de référence convertis il suffit de multiplier les transistors de la sortie du miroir de courant cascode régulé par quatre comme le montre la figure suivante

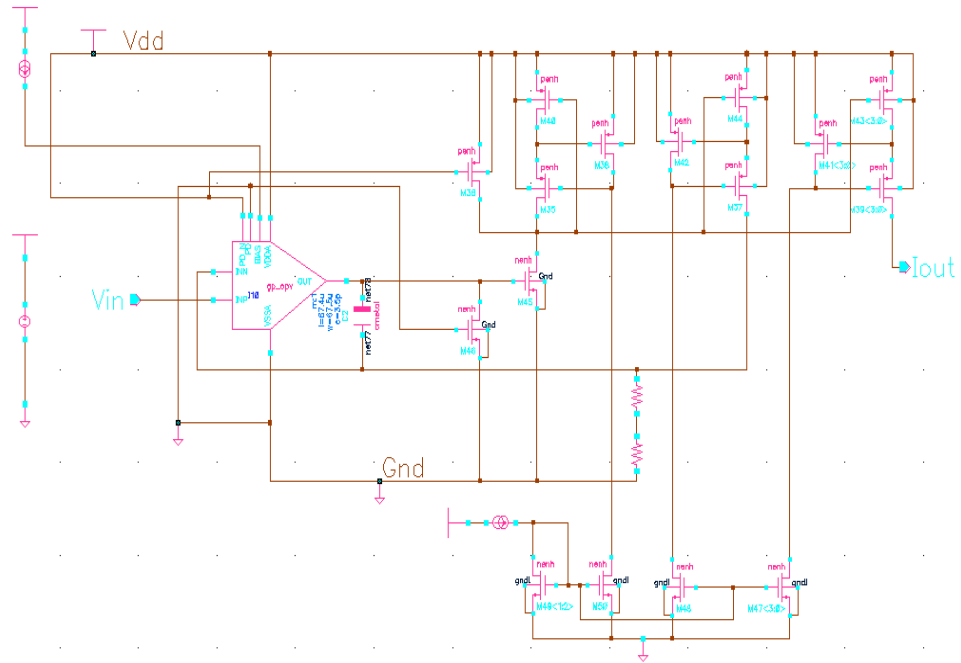


Figure 3.46 : Schéma du convertisseur tension courant pour le courant de référence

### 3.7 Le comparateur :

Pour réaliser un comparateur qui a pour rôle de comparer la tension de sortie de l'intégrateur avec une tension de référence interne, on a utilisé la même structure d'amplificateur opérationnel étudié précédemment sauf que à la sortie de la paire différentielle on a éliminé le condensateur de compensation et on a ajouté un autre étage d'amplification à la sortie, car pour avoir un très bon comparateur il faut avoir un très grand gain, la figure suivante illustre le schéma utilisé pour le comparateur.

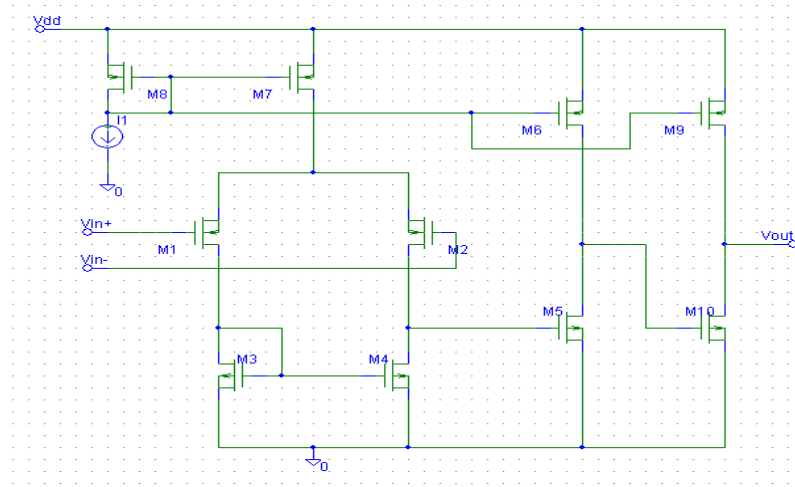


Figure 3.47 : Schéma du comparateur

Pour le dimensionnement du comparateur on utilise le même jeu d'équation utilisé pour l'amplificateur opérationnel

#### 1- la puissance :

$$P = V_{dd} \cdot (I_0 + I_1 + I_2) \quad (3.40)$$

#### 2- Le gain

$$A = G_1 \cdot G_2 \cdot G_3 \quad (3.41)$$

$$G_1 = \frac{gm_{1,2}}{gds_{1,2} + gds_{3,4}}$$

$$G_2 = \frac{gm_5}{gds_5 + gds_6}$$

$$G_3 = \frac{gm_{10}}{gds_{10} + gds_9}$$

#### 3- la dynamique de sortie :

$$V_{out-} \geq V_{ov10} - V_{ss} \quad (3.42)$$



$$\begin{aligned}
V_{out-} = V_{ov10} &= \sqrt{\frac{2I_{D10}}{\frac{W_{10}}{L_{10}} \times K_n}} \\
V_{out+} &= V_{dd} - V_{ov9} \\
V_{out+} &= V_{dd} - \sqrt{\frac{2I_{D9}}{\frac{W_9}{L_9} \times K_p}}
\end{aligned} \tag{3.43}$$

4- tension d'offset :

$$V_{off} = \frac{V_{tN} + V_{ov4} - V_{ss} - \frac{V_{dd} - V_{ss}}{2}}{A} \tag{3.44}$$

Avec

$$V_{ov4} = \sqrt{\frac{2I_{D4}}{\frac{W_4}{L_4} \times K_n}}$$

Après la résolution du système d'équations on peut estimer les valeurs de  $W$  et  $L$  des transistors mais avec la simulation qu'on peut optimiser ces valeurs, et on a abouti au résultat suivant :

Transistors	Rapport $\left(\frac{W}{L}\right)$
$M_1 = M_2$	$\left(\frac{10}{0.5}\right)$
$M_3 = M_4$	$\left(\frac{20}{1}\right)$
$M_6 = M_7 = M_8 = M_9$	$\left(\frac{10}{1}\right)$
$M_5 = M_{10}$	$\left(\frac{3}{0.75}\right)$

Tableau 3.6 : Les dimensions des  $W$  et  $L$  en  $\mu m$

Les calculs effectués par les équations et la simulation ont donné les résultats ci-dessous :

Paramètres	Exiger	Simulation	Calcule
Puissance $P$	$150\mu W$	$150\mu W$	$150\mu W$
Gain $A$	$\geq 10 \times 10^6$	$11.05 \times 10^6$	$13 \times 10^6$
Tension de sortie maximale $V_{out+}$	$\leq 5 V$	$4.12V$	$4.777V$
Tension de sortie minimale $V_{out-}$	$100mV$	$118mV$	$147mV$

Tableau 3.7 : Les résultat de la simulation et de calcule

### 3.8 La partie numérique :

On passe maintenant à la partie numérique qui sera une partie programmable, Pour notre convertisseur on a besoin au premier lieu de synchronisé la partie analogique, dont on utilise une bascule de type "D", qui a pour rôle de synchronise la partie analogique avec la partie numérique, ensuite la sortie de la partie analogique est injecter directement au compteur principale qui compte l'information et ensuite il transmit cette dernière à un registre.

Le registre pour qu'il délivre l'information à la sortie il attend le signal du comparateur, et pour que le comparateur donne le signal a se dernier il faut que le compteur de cycles d'horloge soit égale à la constante qui sera comparer avec, qui est dans notre cas :  $2^n = 4096$ .

La figure suivante illustre le schéma de principe de la partie numérique

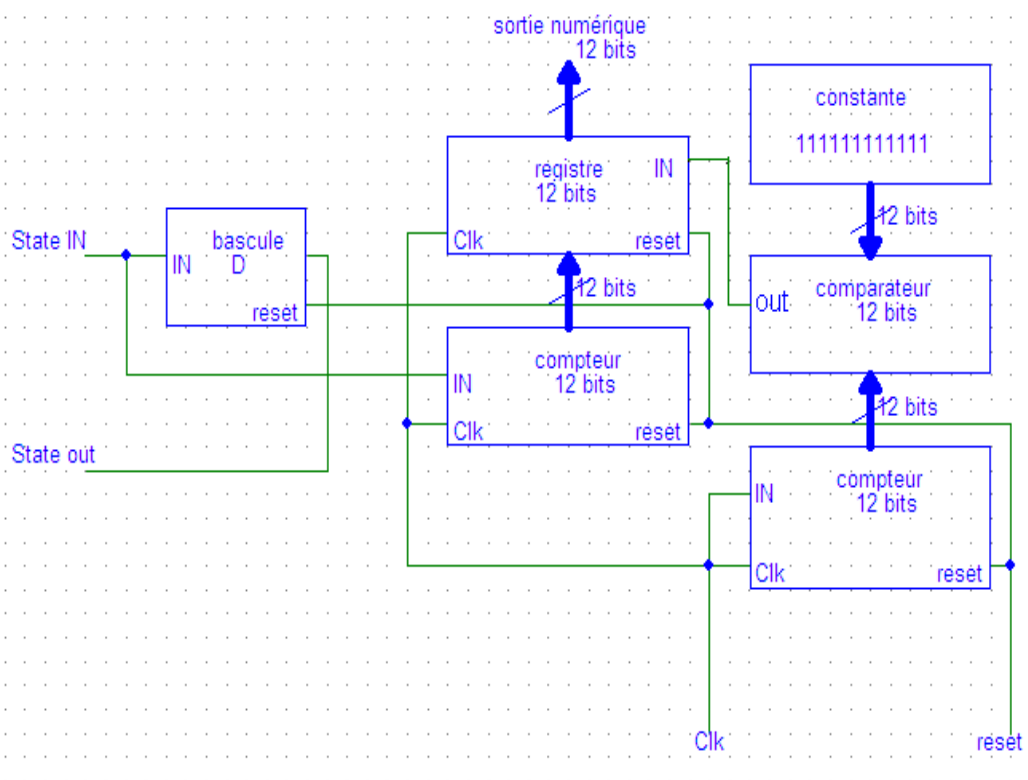


Figure 3.48 : Schéma de bloc de la partie numérique

Cette partie sera programmée avec le langage de programmation "Vériloge" comme le montre l'organigramme suivant :

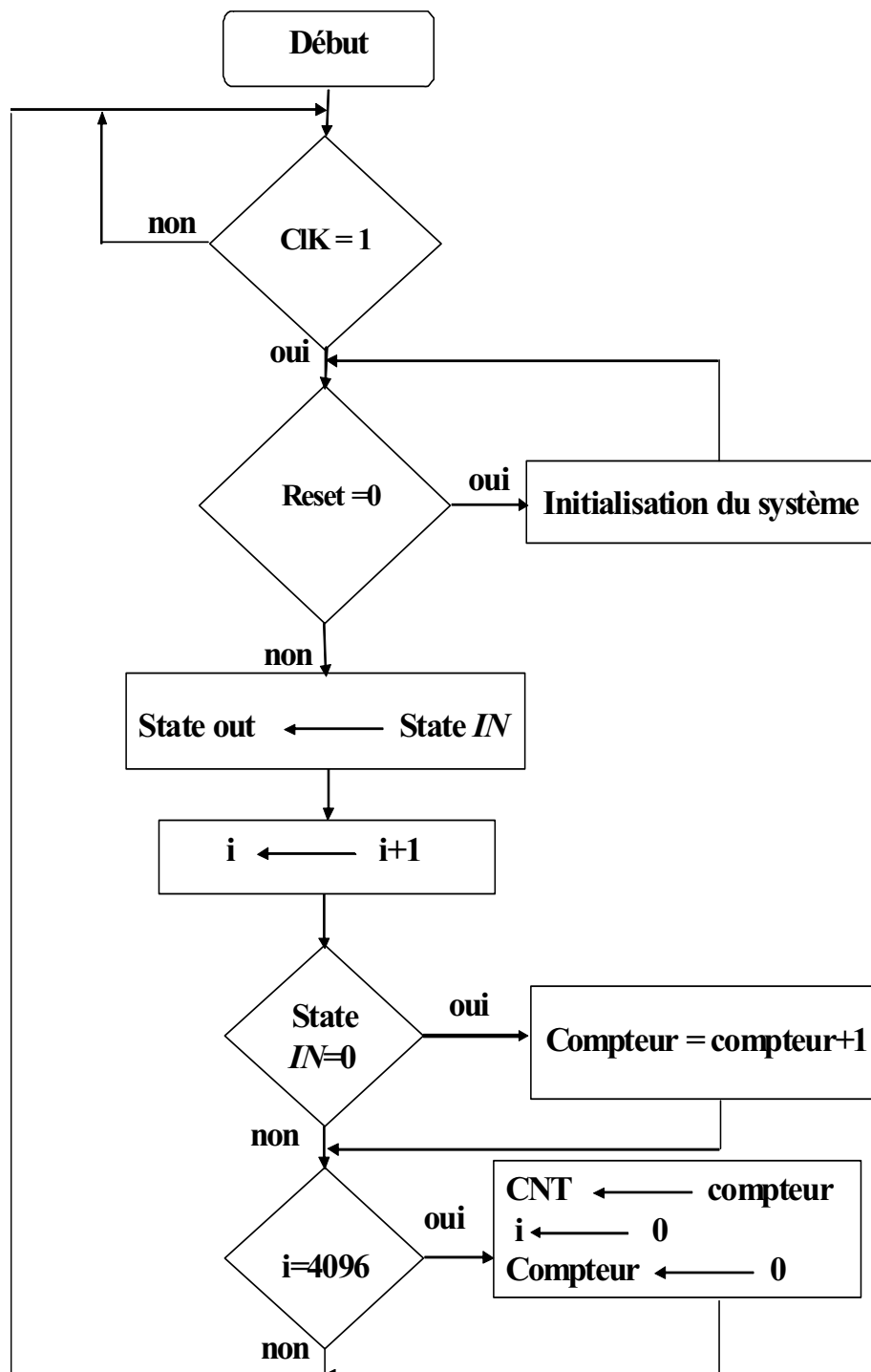


Figure 3.49 : Organigramme de la partie numérique

### 3.9 Circuit global du *CAN* Sigma Delta

Après avoir fait la conception de la partie analogique et la partie numérique en passe maintenant au circuit de notre convertisseur analogique numérique Sigma Delta global, la figure suivante illustre le schéma global du convertisseur

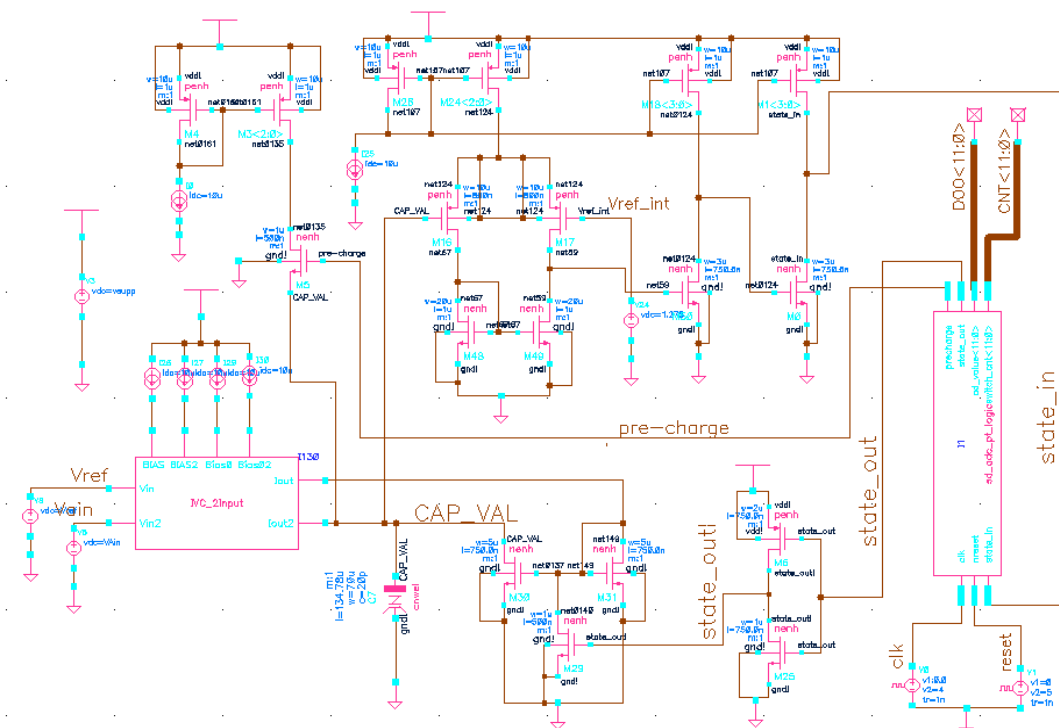


Figure 3.50 : Schéma global du convertisseur Sigma Delta

On va maintenant voir le résultat de notre circuit :

On va prendre une simulation fonctionnelle pour un cas ordinaire la tension d'alimentation et de 5V avec une température ambiante de 27°

Et avec une tension d'entrée de 1V et un temps d'horloge du système de  $50\text{ns}$ , la simulation est de type "time domain transit" pour un temps de  $250\mu\text{s}$  comme le montre la fenêtre de dialogue suivante :

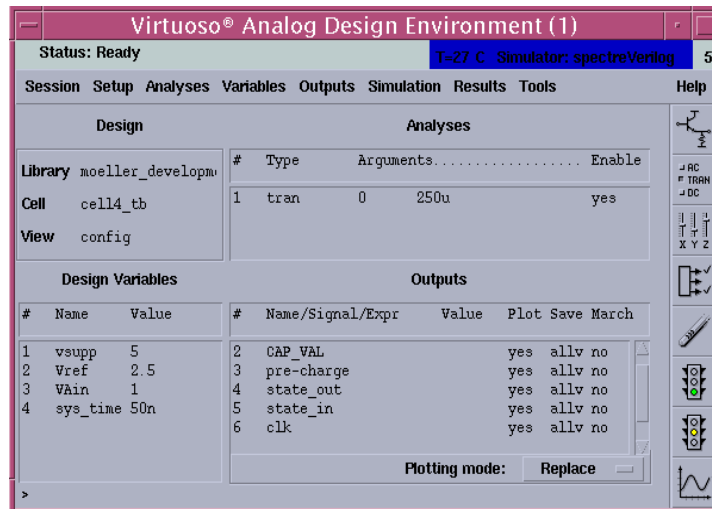


Figure 3.51 : Fenêtre de dialogue pour faire la simulation

Les résultats de la simulation sont les suivants : une au début l'autre au milieu et la troisième à la fin de la conversion comme le montre les figures suivantes :

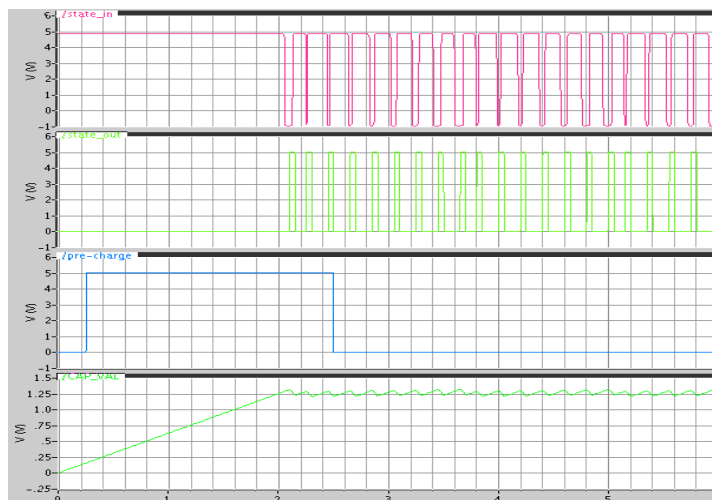


Figure 3.52 : Signaux de début pour la simulation

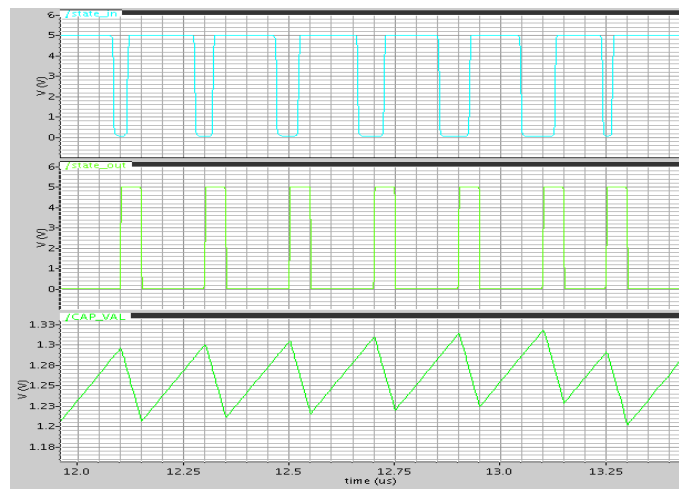


Figure 3.53 : Signaux du milieu

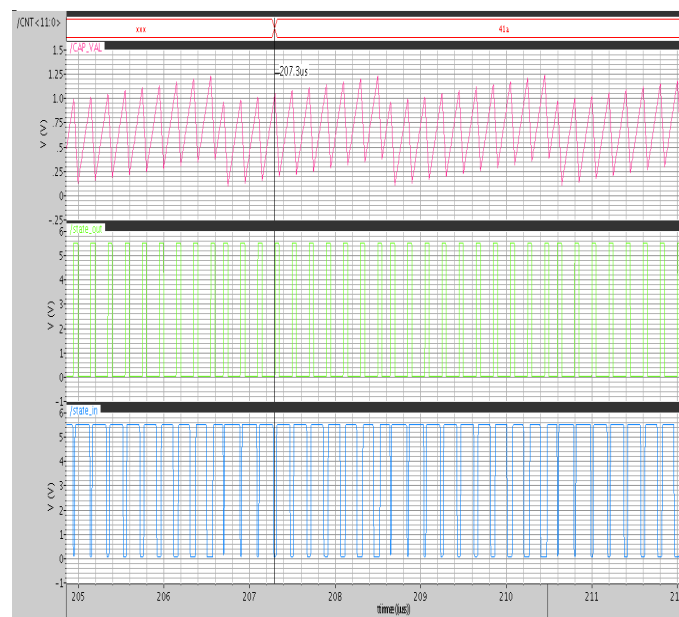


Figure 3.54 Signaux de la fin de conversion

Les tableaux suivant illustre les résultat de la simulation du circuit global du *CAN* pour 6 valeur de température différentes allons de  $-25^\circ$  jusqu'à  $105^\circ$ , pour chaque valeur de température en fait varié la tension d'alimentation de  $4.5V$ ,  $5V$  et  $5.5V$ , et on fait varier la tension d'entrée de 6 valeurs.

Température ( $T^\circ$ )	Tension d'alimentation ( $V_{dd}$ )	Tension d'entrée ( $V_N$ )	Sortie du CAN en décimal
$-25^0$	5.5	$200m$	84
		$500m$	210
		$1000m$	421
		$1500m$	630
		$2000m$	841
		$2500m$	1051
	5	$200m$	84
		$500m$	210
		$1000m$	421
		$1500m$	630
		$2000m$	841
		$2500m$	1050
	4.5	$200m$	84
		$500m$	210
		$1000m$	421
		$1500m$	630
		$2000m$	840
		$2500m$	1050

Tableau 3.8 : Résultat de la simulation pour une température de  $-25^\circ$

Température (T °)	Tension d'alimentation (V <sub>dd</sub> )	Tension d'entrée (V <sub>N</sub> )	Sortie du CAN en décimal
0°	5.5	200m	84
		500m	210
		1000m	421
		1500m	630
		2000m	841
		2500m	1051
	5	200m	84
		500m	210
		1000m	421
		1500m	630
		2000m	841
		2500m	1050
	4.5	200m	84
		500m	210
		1000m	421
		1500m	630
		2000m	840
		2500m	1050

Tableau 3.9 : Résultat de la simulation pour une température de 0°



Température (T °)	Tension d'alimentation (V <sub>dd</sub> )	Tension d'entrée (V <sub>N</sub> )	Sortie du CAN en décimal
25 <sup>0</sup>	5.5	200m	84
		500m	210
		1000m	421
		1500m	630
		2000m	841
		2500m	1051
	5	200m	84
		500m	210
		1000m	421
		1500m	630
		2000m	841
		2500m	1050
	4.5	200m	84
		500m	210
		1000m	420
		1500m	630
		2000m	840
		2500m	1050

Tableau 3.10 : Résultat de la simulation pour une température de 25°

Température ( $T^{\circ}$ )	Tension d'alimentation ( $V_{dd}$ )	Tension d'entrée ( $V_N$ )	Sortie du CAN en décimal
50°	5.5	200m	84
		500m	210
		1000m	421
		1500m	630
		2000m	841
		2500m	1051
	5	200m	84
		500m	210
		1000m	421
		1500m	630
		2000m	841
		2500m	1050
	4.5	200m	84
		500m	210
		1000m	420
		1500m	630
		2000m	840
		2500m	1049

Tableau 3.11 : Résultat de la simulation pour une température de 50°

Température (T °)	Tension d'alimentation (V <sub>dd</sub> )	Tension d'entrée (V <sub>N</sub> )	Sortie du CAN en décimal
75°	5.5	200m	84
		500m	210
		1000m	421
		1500m	630
		2000m	841
		2500m	1050
	5	200m	84
		500m	210
		1000m	420
		1500m	630
		2000m	840
		2500m	1050
	4.5	200m	84
		500m	210
		1000m	420
		1500m	630
		2000m	840
		2500m	1049

Tableau 3.12 : Résultat de la simulation pour une température de 75°

Température ( $T^0$ )	Tension d'alimentation $V_{dd}$	Tension d'entrée $V_N$	Sortie du <i>CAN</i> en décimal
95°	5.5	200m	84
		500m	210
		1000m	421
		1500m	630
		2000m	841
		2500m	1050
	5	200m	84
		500m	210
		1000m	420
		1500m	630
		2000m	840
		2500m	1050
	4.5	200m	84
		500m	210
		1000m	420
		1500m	630
		2000m	839
		2500m	1048

Tableau 3.13 : Résultat de la simulation pour une température de 95°

Température ( $T^0$ )	Tension d'alimentation $V_{dd}$	Tension d'entrée $V_N$	Sortie du <i>CAN</i> en décimal
105°	5.5	200m	84
		500m	210
		1000m	421
		1500m	630
		2000m	840
		2500m	1050
	5	200m	84
		500m	210
		1000m	420
		1500m	630
		2000m	840
		2500m	1050
	4.5	200m	84
		500m	210
		1000m	420
		1500m	630
		2000m	839
		2500m	1048

Tableau 3.14 : Résultat de la simulation pour une température de 105°

## Conclusion générale :

Malgré les différentes topologies des convertisseurs analogiques numériques disponibles, il était relativement simple de choisir qu'elle topologie employer pour ce projet.

Les tolérances de processus et les considérations de surface, cela laisse le choix à l'architecture de *CAN* Sigma Delta du 1<sup>er</sup> ordre.

Dans ce travail, le but est la conception d'un *CAN* 20MHz à 12-bits intégré, basée sur une architecture à modulateur Sigma Delta du 1er ordre pour l'utilisation dans un ASIC utilisé dans une chaîne de contrôle industrielle pour la conversion des grandeurs de température et de pression. Ce convertisseur assure un fonctionnement à faible puissance et de bonne précision voulue de conversion (précision de 10 bits). Après une analyse complète, le bloc a été simulé pour la vérification de fonctionnalité.

Notre offert dans cette conception été de comprendre le principe de fonctionnement de cette architecture, d'analyser les différentes issues pratiques qui limitent le fonctionnement et dégradent la performance du circuit, et ensuite, de détecter les sources des erreurs et les corriger ou faire des modifications si nécessaire, a fin de réaliser les exigences du circuit.

En effet, cette conception est non pas un travail théorique mais c'est une conception réelle, c-à-d : l'utilisation des technique avancées qui sont utilisées actuellement dans la conception des circuits mixtes, aussi la présence de compromis performance/coût qu'un produit doit réaliser. Ce travail nous a permis de vérifier le bon fonctionnement du convertisseur qui répond aux exigences du système à cause de l'efficacité de ces techniques.

Le tableau ci-dessous résume les performances réalisées par le convertisseur conçu.

Avec la technologie *HHNEC* 0.5 $\mu$ m.

paramètre	Min	Typ	Max	Unit
Tension plein échelle	0		2.5	V
Tension d'entrée minimale		20		mV
Tension d'alimentation	4.5	5	5.5	V
Température	-25	27	105	<sup>o</sup> C
Fréquence d'horloge	10	20	30	Mhz
Nombre de bits		10		LSB
erreur		< 1		LSB

Tableau : Les performances du convertisseur conçu

# Bibliographie

- [1] **Rudy van de Plassche**  
"CMOS Integrated Analog-to-Digital and Digital-to-Analog Converter" 2<sup>nd</sup> Edition KLUMER ACADEMIC PUBLISHERS **2003**.
- [2] **Seung-hoon Lee, Bang-sup Song**  
"Digital Domain Calibration of Multistep Analog-to-Digital Converters"  
IEEE journal of solid state circuit **1992**.
- [3] **Microchip**  
"Analog-to-Digital Converter Design" Guide Microchip Technology INC
- [4] **Vincenzo Peluso, Michiel Steyeartand, Will Sansen**  
"Design of low voltage low power CMOS Delta-Sigma A/D Converters"  
KLUMER ACADEMIC PUBLISHERS **1999**.
- [5] **B.Sc.Martin Gustafsson**  
"Front end Circuitry for Delta Modulator Analog-to-Digital Converter"  
Chalmer University of technology, Raport N° EX038/**2002**.
- [6] **ANALOG DEVICES**  
"Sigma-Delta ADCs and DACs"  
Application Note AN-283.
- [7] **Philip David Steiner**  
"Sigma-Delta Modulator for Integrated Circuit Analog-to-Digital Converters"  
These Doctorat Harvard University **2000**.

- 
- [8] **Songil Park**  
"Principle of Sigma-Delta Modulation for Analog-to-Digital Converters  
MOTOROLA Digital Signal Processors DSP APR8/D Rev<sub>1</sub>.
- [9] **Marc Correvon**  
"Systèmes Electroniques II"  
Haute Ecole Spécialisée de Suisse.
- [10] **Jean François Pochon**  
"Convertisseurs Analogique numérique"  
CPNV [www.electrons.ch](http://www.electrons.ch) **2005**.
- [11] **G. Courturier**  
"Echatillonnage, Quantification, Conversion Analogique-Numérique et  
Numérique-Analogique"  
(Vol<sub>3</sub>) Département GEII IUT Bordeaux I.
- [12] **Laurent Pichon**  
"Microélectronique : Introduction aux circuits intégrés analogiques"  
Université de rennes.
- [13] **Jean-marie Dilhac, Etienne Sicard**  
"Traitement de Signal"  
Institut national des sciences appliquées Toulouse **2006**.
- [14] **P. Nayman**  
"Certains Aspects du Traitement du Signal"  
LPNHE Paris **2003**.
- [15] **Friedel Gerfers, Yaonnos Monoli**  
"A Design Strategy for Low Voltage Low Power Continuous-time A/D Con-  
verters"  
University of Soarland, Germany **2001**.
- [16] **Serge Bernard**  
"Test Intégrés pour convertisseurs Analogique-Numérique"  
Thèse Doctorat University Montpellier II **2001**.
- [17] **Van Tam Nguyen**  
"High-Bass Modulator an dits Application to time-interleaved converter"  
Thèse Doctorat ENST France **2004**.
- [18] **Faouzi Chaahoub**  
"Etude des méthodes de conception et des outils de CAO pour la synthèse  
des circuits intégrés analogique"  
Thèse Doctorat Institut National Polytechnique de Grenoble **1999**.
- [19] **P.E.Allen**  
"Analog Integrated Circuits and System"  
ECE 4430 **2000**.



- 
- [20] **J.Sarao, Z.J.Wang, Y.L.Wu, H.L.Kwok**  
"An Improved Regulated Cascode Current Mirror"  
Solid State Electronics **2001**.
- [21] **P.R.Gray, P.J.Hurst, S.H.Lewis, R.G.Meyer**  
"Analysis and Design of Analog Integrated Circuits" Fourth Edition  
John Wiley & sons, INC **2001**.
- [22] **Behzad Razavi**  
"Design of Analog CMOS Integrated Circuits"  
Mc Graw Hill Higher Education **2001**.
- [23] **Chung-yu Wu**  
"Analog Integrated Circuits"  
IEEE 6703 **2000**.
- [24] **Allen and Holberg**  
"CMOS Analog Circuit Design"
- [25] **Maryam L'hernault**  
"Convertisseur reconfigurable pour une architecture de récepteur IF-zéro compatible GSM/EDGE-UMTS"  
Mémoire DEA Laboratoire de communication et électronique de l'ENST Paris **2003**.
- [26] **Alain Aubert**  
"Contribution à la conception d'un circuit analogique programmable en technologie CMOS :  
Conception et caractérisation d'une cellule de calcul analogique"  
Thèse doctorat Institut National des Sciences Appliquées de Lyon **2001**.
- [27] **O.Rossetto**  
"CONCEPTION DE SYSTEMES INTEGRES ANALOGIQUES"  
Université Joseph Fourier Grenoble **2000**.
- [28] **Olivier Bernal**  
"Conception de Convertisseurs Analogique-Numérique en technologie CMOS basse tension pour chaînes Vidéo CCD Spatiales"  
Thèse doctorat Institut National Polytechnique de Toulouse **2006**.
- [29] **Olivier Français**  
"Acquisition de données"  
ESIEE **2000**.
- [30] [http ://www.mathcad.com/Library/LibraryContent/MathML/opamp.htm](http://www.mathcad.com/Library/LibraryContent/MathML/opamp.htm)  
An Operational Amplifier for a CMOS VLSI Design.

## Résumé

Conception d'un convertisseur analogique numérique

Sigma Delta du 1<sup>er</sup> ordre à 12 bits

Par

**Abdelmadjid MIHOUBI**

Ingénieur en électronique

Laboratoire d'électronique avancée, Université de Batna, Algérie.

Prof. **Nour Eddine BOUGUECHAL**, laboratoire d'électronique avancée, Université de Batna, Algérie.

Prof. **OTTO MANCK**, Institut de microélectronique, Université technique de Berlin, Allemagne.

Un CAN de type Sigma Delta du 1<sup>er</sup> ordre à 12 bits conçu pour l'utilisation dans un ASIC utilisé dans une chaîne de contrôle industrielle pour la conversion des grandeurs de température et de pression est présenté. Cet ASIC de contrôle à pour rôle le traitement des données issue du capteur de température et de pression dont l'architecture et l'algorithme sont ceux proposées et développées par *MAZ*<sup>1</sup>. L'ASIC a besoin de convertir les données analogiques sortie des capteurs en données numériques pour faciliter leurs traitement. Ce travail décrit la conception d'un CAN pour répondre aux besoins uniques de l'ASIC selon les spécifications primaires délivrées par le client. Le CAN conçu est de type Sigma Delta qui fait partie à des CAN suréchantillonnage, le mieux adopté à la conversion de ses deux paramètres qui sont la température et la pression. Ce CAN à 12 bits fonctionne sous tension de 5V et une fréquence de 20 MHz. Le CAN et tout l'ASIC seront fabriqués dans une technologie *HHNEC* 0.5µm. Le projet sera fabriqué en collaboration entre *MAZ* et *HHNEC*<sup>2</sup>.

---

<sup>1</sup> *MAZ* : Mikroelektronik-Anwendungszentrum GmbH. Allemagne ; société dans les technologies d'automatisme industriel et communications.

<sup>2</sup> *HHNEC* : Chine ; société spécialisée dans le développement et fabrication des ASIC dans une technologie CMOS analogique, numérique et mixte.

# Abstract

A 12-bits ADC Sigma Delta 1<sup>st</sup> order

By

**Abdelmadjid MIHOUBI**

Electronics Engineer

Advanced Electronics Laboratory, University of Batna, Algeria.

Prof **Nour Eddine BOUGUECHAL**, Advanced Electronics Laboratory, University of Batna, Algeria.

Prof **OTTO MANCK**, Microelectronics Institute, Technical University of Berlin, Germany.

A 12-bits ADC of the type Sigma Delta of the 1st order conceived for the use in a ASIC used in an industrial control line for conversion of the sizes of temperature and pressure is presented. This ASIC of control with for role processing the data exit of the pressure and temperature gauge whose architecture and algorithm those proposed and are developed by *MAZ*<sup>1</sup>. The ASIC with need to convert the analogical data exit of the sensors into numerical data for facility their treatment. This work describes the design of an ADC to meet the single needs for the ASIC according to primary specifications delivered by the customer. The ADC designed is of type Sigma Delta which forms part with ADC oversampling, best adopted with the conversion of its two parameters which are the temperature and the pressure. This ADC has 12 bits functions under tension of 5V and a frequency of 20 MHz. The ADC and all the ASIC will be made in a technology *HHNEC* 0.5 $\mu$ m. The project will be developed in collaboration between *MAZ* and *HHNEC*<sup>2</sup>.

---

<sup>1</sup> *MAZ* : Mikroelektronik-Anwendungszentrum GmbH. Germany ; company specialized in the technologies of industrial automatism and communications.

<sup>2</sup> *HHNEC* : China ; company specialized in the development and fabrication of ASIC in analog digital and mixed CMOS technology.

## ملخص

محول تماثلي-رقمي سيغما دلتا من الدرجة 1 ذو 12 وحدة ثنائية

قدم من طرف

عبد المجيد ميهوبي

مهندس في الإلكترونيك، مخبر الإلكترونيك المتقدمة، جامعة باتنة، الجزائر

الأستاذ/ نورالدين بوقشال، مخبر الإلكترونيك المتقدمة، جامعة باتنة، الجزائر

الأستاذ/ أوتو مانك، معهد الميكروإلكترونيك، الجامعة التقنية برلين، ألمانيا

يقدم هذا العمل محولا تماثلي-رقمي من نوع سيغما دلتا من الدرجة الأولى ذو 12 وحدة ثنائية موجه للاستعمال لسلسلة مراقبة صناعية لتحويل قياسات الحرارة و الضغط. هذه الدارة المتكاملة للتطبيق المخصص ASIC للمراقبة لها دور معالجة المعلومات المنحدرة من ملاقط الحرارة و الضغط و ذلك بالاعتماد على آلة المعالجة الرقمية المصممة من طرف شركة MAZ<sup>1</sup>. الدارة المتكاملة للتطبيق المخصص يجب عليه تحويل المعطيات التماثلية إلى معطيات رقمية لتسهيل عملية المعالجة. من خلال هذا العمل نقدم دراسة تصميم محول تماثلي-رقمي من أجل تأمين احتياجات الدارة المتكاملة للتطبيق المخصص وذلك حسب متطلبات الزبون. المحول المدروس في هذا العمل هو من نوع سيغما دلتا من الدرجة الأولى الذي ينتمي إلى المحولات مضاعفة مجموعة عينات. هذا المحول ذو 12 وحدة ثنائية يعمل تحت تغذية 5 فولت، و تردد 20 ميغاهرتز. سوف يتم إنجاز المحول و الدارة المتكاملة للتطبيق المخصص ككل في تكنولوجيا HHNEC<sup>2</sup> 0.5 ميكرومتر. هذا المشروع هو عمل مشترك بين شركات MAZ و HHNEC.

---

<sup>1</sup> MAZ : Mikroelektronik-Anwendungszentrum GmbH. Germany. شركة ألمانية متخصصة في تكنولوجيايات الاتصالات و الآليات الصناعية

<sup>2</sup> HHNEC : China. شركة صينية متخصصة في صناعة الدوائر المتكاملة ASIC في تكنولوجيا تماثلية رقمية و مختلطة للتطبيق المخصص.