

REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE

MINISTERE DE L'ENSEINEMENT SUPERIEUR

ET DE LA RECHERCHE SCIENTIFIQUE

UNIVERSITE DE BATNA

FACULTE DES SCIENCES DE L'INGENIEUR

MEMOIRE

Présenté au

DEPARTEMENT D'ELECTRONIQUE

Pour l'obtention du diplôme de

MAGISTER EN MICROELECTRONIQUE

Option : IC Design

Par

Abdelghani DENDOUGA

Ingénieur, institut d'Electronique-Université de Batna

Intitulé

***Caractérisation et layout d'une bascule
C²MOS différentielle faible puissance
en technologie CMOS 0.35µm***

Devant le jury constitué de :

Dr. HOBAR Farida

Prof. U. Constantine

Président

Dr. BOUGUECHAL Nour-Eddine

Prof. U. Batna

Rapporteur

Dr. DIBI Zohir

M.C. U. Batna

Examineur

Dr. HAFDI Zoubeida

M.C. U. Batna

Examineur

Dr. BENHAYA Abdelhamid

M.C. U. Batna

Examineur

A mes chers parents

Remerciements

Je tiens tout d'abord à remercier Le Professeur Nour Eddine BOUGUECHAL, le doyen de la faculté des sciences de l'ingénieur à l'université de Batna. Pour son travail d'encadrement, ses conseils, et pour qu'il m'a été permis de savoir de tout près la conception réelle dans l'industrie électronique. Je lui suis très reconnaissant pour ses qualités rares tant au niveau humain que scientifique que j'ai pu entrevoir dans les déplacements que nous avons été amenés à effectuer ensemble. Je lui dois les remerciements les plus sincères.

Je tiens particulièrement à remercier Mr. Otto MANCK, directeur général de la société MAZ, et professeur à l'université technique de Berlin en Allemagne, où nous avons effectué une grande partie de ce travail, pour la confiance qu'il m'a témoignée en m'accueillant dans son équipe à Berlin et pour ce captivant sujet de recherche proposé.

Mes vifs remerciements à Mme. Farida HOBAR, professeur à l'université de Constantine, pour avoir accepté de présider le jury et à bien voulu prendre le temps de s'intéresser au sujet du présent mémoire.

De même à Mr. Zohir DIBI, docteur et chef du département d'électronique de l'université de Batna, pour son aide, ces conseils ont été d'une grande valeur, aussi m'a-t-il honoré de faire partie du jury.

Je tiens à remercier vivement Mme. Zoubida HAFDHI, docteur et chargé de cours à l'institut d'électronique à l'université de Batna, pour m'avoir honoré par sa présence au jury.

Je remercie également Mr Benhaya ABDELHAMID, chargé de cours à l'institut d'électronique, pour son aide, pour l'honneur qu'il me fait en figurant dans la composition du jury.

Un grand merci à ma petite famille, à ma grande famille, à toutes mes aimées et à tous les collègues du laboratoire de l'électronique avancée à Batna pour leur dynamique.

Mr Abdelghani DENDOUGA

Résumé

La basse consommation est devenue en quelques années, l'un des enjeux majeurs de la micro-électronique notamment grâce à l'émergence de l'électronique portable grand public : pagers, téléphones, ordinateurs, appareils médicaux. La tendance actuelle de Système sur une seule puce (System On Chip), conduit les concepteurs de circuits à rassembler sur une seule puce, un maximum de composants de différents types. L'évolution effrénée de la complexité des appareils portables s'accompagne d'une augmentation de la consommation d'énergie qui rend l'autonomie de ces appareils très limitée.

La conception de circuits par des outils de synthèse logique à partir de bibliothèques de cellules standards nécessite une caractérisation des pires et meilleurs cas de fonctionnement (temps de propagation, consommations statique et dynamique...) des portes logiques en fonction des signaux d'entrée, des capacités de charge, des tensions d'alimentation, de la température et des paramètres liés au procédé de fabrication.

Mots-clés : C²MOS, faible puissance, Caractérisation de cellules standards, temps de propagation, temps de préparation, temps de maintien.

Abstract

The low consumption was become in recent years, one of the major challenges of microelectronics in particular thanks to the emergence of portable electronic: pagers, telephones, computers, medical equipment. The current trend of System On Chip SoC, led the circuit designers to work together on a single chip, a maximum of components of different types. The evolution of the complexity unbridled portable devices is accompanied by an increase in energy consumption which makes the autonomy of these devices very limited.

The circuit design by logic synthesis tools from libraries of standard cells requires a characterization of the worst and best case of functioning (propagation delay time, consumption static and dynamic...) logic gates depending on the input signals, load capacity, supply voltage, temperature and parameters related to the manufacturing process.

Keywords : C²MOS, low power, Characterization of standard cells, propagation delay, setup time, hold time.

Table des matières

Introduction generale	1
-----------------------------	---

Chapitre I: Généralités

I.1. Introduction	4
I.2. Consommation dynamique	5
I.2.1. Consommation liée à la charge et à la décharge d'une capacité	5
I.2.2. Consommation liée au courant de court-circuit.....	6
I.2.3. Réduction de la consommation dynamique.....	7
I.3. Sources de la consommation statique	8
I.3.1. Courant de polarisation de diode en inverse.....	9
I.3.2. Courant sous le seuil.....	10
I.4. Le transistor MOS	10
I.4.1. Structure interne	11
I.4.2. Principe de fonctionnement.....	11
I.5. Transitions sur les signaux	13
I.6. Delai de propagation d'une composante	14
I.7. Temps de preparation et de maintien.....	15
I.7.1. Le temps de préparation (<i>setup time</i> – t_{su}).....	15
I.7.2. Le temps de maintien (<i>hold time</i> – t_h)	15
I.8. La bascule D a verrouillage ou D latch	15
I.9. Fonctionnalite de la D latch.....	16
I.10. Structure de la bascule D latch.....	17
I.11. Analyse temporelle du comportement du D latch.....	19
I.11.1. Temps de propagation	20
I.11.2. Contraintes sur les entrées	20
I.12. La bascule D a declenchement sur front ou D flip-flop.....	21
I.13. Structure et analyse du comportement de la bascule D flip-flop	22
I.14. Analyse temporelle du comportement de la D flip-flop	23

I.14.1. Temps de propagation	23
I.14.2. Contraintes sur les entrées	23
I.15. Conclusion	24

Chapitre II: Latches et bascules C²MOS

II.1. Introduction	26
II.2. Structure de base.....	26
II.2.1. Multiplexeurs à base de portes de transmission.....	29
II.2.2. La porte OR à base de portes de transmission	30
II.2.3. Registres à portes de transmissions.....	31
II.3. Bascule C ² MOS.....	32
II.4. Conclusion.....	35

Chapitre III: Conception assistée par ordinateur

III.1. Introduction.....	37
III.1.1. Caractéristiques importantes:.....	37
III.2. Ou trouver les cellules?.....	38
III.2.1. Bibliothèque du fournisseur d'ASIC	38
III.2.2. Bibliothèque d'un fournisseur de bibliothèques	39
III.2.3. Bibliothèque maison	39
III.3. Flot de conception standard cell	40
III.4. Spécification d'un asic ou d'une cellule	40
III.4.1. Spécifications fonctionnelles	41
III.4.2. Spécifications opératoires:.....	41
III.4.3. Spécifications technologiques.....	41
III.5. Autres étapes logiques	42
III.5.1. Contraintes temporelles	42
III.5.2. Saisie du design	42
III.5.3. Simulation pré-synthèse ou comportementale.....	42
III.5.4. Synthèse.....	42
III.5.5. Simulation post-synthèse	42
III.5.6. Analyse de consommation.....	43
III.5.7. Analyse préliminaire du minutage.....	43
III.6. Etapes physiques.....	43
III.6.1. Partitionnement.....	43

III.6.2. Répartition “floorplanning”	43
III.6.3. Placement.....	43
III.6.4. Routage	43
III.6.5. Extraction.....	43
III.6.6. DRC (<i>Design Rule Check</i>) ou vérification des règles de conception	44
III.6.7. Simulation post-routage.....	44
Chapitre IV: Caractérisation de la bascule	
IV.1. Introduction.....	46
IV.2. Structure et analyse du comportement de la bascule D flip-flop	46
IV.3. Isolation d’horloge	47
IV.4. Fonctionnement de l’ensemble	48
IV.5. Analyse temporelle du comportement de la bascule.....	49
IV.5.1. Délai de propagation d’une composante	49
IV.5.2. Temps de préparation et de maintien.....	54
IV.6. Calcul des capacités d’entrees et de charges.....	61
IV.6.1. Capacité d’entrée (<i>input capacitance</i>).....	61
IV.6.2. La capacité maximal de charge (<i>maximum load capacitance</i>).....	64
IV.7. Caractérisation en puissance	66
IV.7.1. Energie interne (<i>internal energy</i>)	67
IV.7.2. Courant de fuite (<i>leakage power</i>)	70
IV.8. Dessin des masques (<i>layout</i>).....	71
IV.9. Conclusion	75
Conclusion Generale	75
Annexe A	78
Annexe B	82
Annexe C	86
Bibliographie.....	89

Introduction générale

Introduction générale

Le souci de diminuer l'énergie nécessaire pour effectuer une opération (ou une action) donnée n'est pas uniquement lié à la microélectronique. C'est une constante de l'histoire des technologies. Ainsi, à près de 5000 ans d'intervalle, la roue et le transistor s'inscrivent dans la même lignée.

Depuis l'invention du transistor en 1947 le nombre d'opérations par Joule effectuées par un circuit a augmenté de plusieurs ordres de grandeur. Cela est lié aux besoins croissants en outils portables (outils de communication ou simplement de travail).

La portabilité d'un outil est liée à son poids, et donc à la quantité d'énergie embarquée. C'est la raison pour laquelle nous focaliserons sur la réduction de l'énergie consommée et non pas de la puissance. La puissance est une moyenne dans le temps de l'énergie consommée, et de ce fait contient moins d'informations. D'ailleurs le terme "consommation de puissance" trop courant dans la littérature est abusif. Contrairement à l'énergie, la puissance ne peut pas être consommée. Comme illustration prenons l'exemple d'une voiture : elle consomme une certaine quantité de carburant (énergie chimique) par kilomètre qui est liée au nombre de chevaux vapeur (puissance), mais en aucun cas la consommation d'un véhicule ne se mesure en chevaux [1].

Les appareils d'aujourd'hui utilisent des circuits intégrés synchrones. C'est-à-dire, qu'il s'agit de circuits dont le contrôle est effectué à l'aide d'une horloge. Cependant, la caractérisation de blocs logiques est une étape indispensable afin de permettre aux concepteurs des parties numériques de connaître le comportement de chaque bloc.

Dans le cadre de la collaboration entre l'**Université de Batna** et l'**Université Technique de Berlin (TUB)**, Nous avons participé à la réalisation du chip (*UltraSonic Low Voltage SAP for General Electric Medical*), conçu pour traiter des informations provenant d'un capteur ultra sonique. Ou il nous a été assigné la caractérisation d'une bascule C²MOS avec son dessin des masques « layout ».

Dans le premier chapitre de ce travail nous nous intéressons à la consommation et les sources de consommations, avec un rappel sur le transistor MOS, puis nous nous intéressons à la définition des différents paramètres temporels qui caractérisent une bascule.

Le deuxième chapitre est consacré à l'étude des Latches et des bascules C²MOS, en passant par l'étude d'une classe des circuits logiques CMOS qui sont basés sur le concept 'porte transmission (*transmission gate*)'.

Le troisième chapitre est un aperçu sur l'ensemble des techniques et des technologies manufacturières nécessaires à la fabrication des circuits intégrés à base des matériaux et des composants associés spécifiques, et les circuits entièrement conçus au niveau du transistor (*Full Custom*).

Pour le quatrième chapitre nous présentons les différentes simulations faites, les différents résultats et les paramètres qui caractérisent cette cellule, avec une présentation du layout de l'ensemble des étages de la bascule.

Chapitre I

Généralités

I.1. Introduction

La fin du XX^{ième} siècle a vu l'apparition d'une variété importante d'appareils électroniques portables (téléphones cellulaires, PC bloc-notes, mini-PC) intégrant des fonctionnalités de plus en plus complexes et diverses à des fréquences d'horloge de plus en plus élevées. La complexité grandissante de ces appareils s'est accompagnée d'une augmentation préjudiciable de la consommation d'énergie à tel point que l'autonomie de ces appareils est devenue un facteur limitant pour la viabilité de ces circuits.

La recherche réalisée pour l'amélioration des batteries d'alimentation est déjà très avancée. La densité d'énergie des accumulateurs NiMH (nickel métal hybride), Li-ion (lithium ion) et NiCd (nickel cadmium) ne devrait plus changer notablement et les autres idées émises dans ce domaine sont encore très loin d'être commercialisables. C'est donc aux concepteurs de circuits intégrés de se pencher sur de nouvelles méthodes pour réduire la consommation d'énergie. C'est devenu ces dernières années un axe de recherche prioritaire des laboratoires de conception de circuits intégrés dans le monde. Réduire la consommation d'énergie des circuits intégrés qui composent un appareil portable se traduit naturellement par un accroissement de l'autonomie de ces appareils, cela permet en plus une diminution de la taille de ces appareils car la taille des sources d'alimentation se voit réduite [2].

Les appareils d'aujourd'hui utilisent des circuits intégrés synchrones. C'est-à-dire, qu'il s'agit de circuits dont le contrôle est effectué à l'aide d'une horloge. Cependant, on sait pertinemment que la logique synchrone dissipe beaucoup d'énergie (pour ne pas dire la plupart) dû à l'activité ininterrompue de ce signal d'horloge lors du fonctionnement d'un appareil. A cette dissipation propre à l'horloge s'ajoute la consommation sans cesse de l'ensemble du circuit qui dans la plupart des cas ne fait aucun traitement effectif.

Une autre solution est apparue, elle utilise de la logique permettant fronts de l'horloge. Cette solution est à première vue très avantageuse puisqu'elle permet de réduire de moitié le nombre de commutations de l'horloge. Cependant, elle nécessite l'utilisation d'une logique qui est plus complexe pour permettre la détection des deux fronts. La réduction de la consommation d'énergie de l'activité de l'horloge se voit rapidement surpasser par la consommation induite par ces cellules complexes [3].

I.2. Consommation dynamique [4]

I.2.1. Consommation liée à la charge et à la décharge d'une capacité

La consommation dynamique dans les technologies CMOS apparaît à chaque commutation d'au moins une des entrées d'une porte. Pour la porte représentée à la figure 1.1, l'activation d'une des entrées A_i provoque le passage d'un courant i_c de l'alimentation V_{dd} vers la charge de sortie C_L . Pendant la charge de la capacité de sortie C_L , l'énergie tirée de l'alimentation est :

$$E_s = \int_{t_0}^{t_1} V i_c(t) dt \quad 1.1$$

$$\text{Avec } i_c = C_L \frac{dv_c(t)}{dt}$$

Si comme condition initiale on impose $V_C(t_0) = 0$, et qu'à la fin de la charge $V_C(t_1) = V_{dd}$, alors l'équation 1.1 devient :

$$E_s = C_L V \int_{t_0}^{t_1} \frac{dv_c(t)}{dt} dt = C_L V \int_0^{V_{dd}} dv_c = C_L V_{dd}^2 \quad 1.2$$

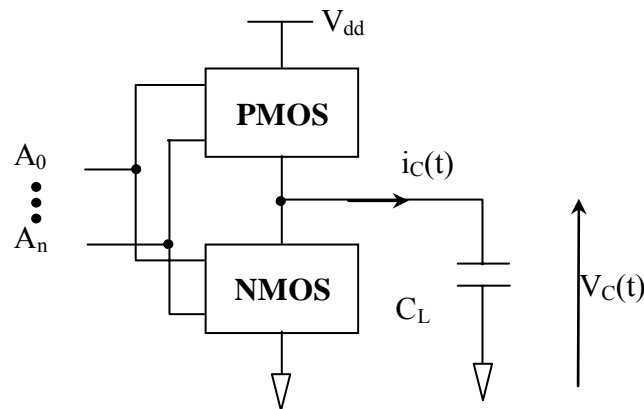


Figure 1.1. : Modélisation de la consommation dynamique pour les portes CMOS

Une partie de l'énergie est dissipée dans le réseau de PMOS, alors que l'autre est utilisée pour charger la capacité de sortie. A la fin de la charge, l'énergie stockée dans la capacité s'écrit :

$$E_{\text{cap}} = \int_{t_0}^{t_1} v_c(t) i_c(t) dt = C_L \int_{t_0}^{t_1} v_c(t) \frac{dv_c(t)}{dt} dt = C_L \int_0^V v_c dv_c = \frac{1}{2} C_L V_{dd}^2 \quad 1.3$$

Si lors de l'utilisation du circuit, la capacité est chargée puis déchargée successivement à la fréquence f , d'après l'équation 1.2, la puissance dissipée par le circuit s'écrit [7]:

$$P = E_s f = C_L V_{dd}^2 f \quad 1.4$$

I.2.2. Consommation liée au courant de court-circuit

Lors de la commutation d'une porte CMOS, il arrive un moment où les transistors des réseaux PMOS et NMOS (Figure 1.1) sont passant en même temps ce qui crée un courant de court-circuit entre l'alimentation et la masse. Au premier ordre, la variation du courant de court-circuit dans le temps, pendant la transition du signal en entrée, est donnée, pour un inverseur, à la figure 1.2.

Lorsque le signal d'entrée est inférieur à V_{tn} ou bien supérieur à V_{tp} , le courant de court-circuit est nul. Il augmente lorsque la tension d'entrée dépasse V_{tn} et diminue au fur et à mesure que la tension d'entrée se rapproche de V_{tp} .

Dans ce cas, l'énergie consommée par ce courant de court-circuit est égale à

$$E_{cc} = \frac{\beta}{12} \tau (V_{tp} - V_{th})^3 \quad 1.5$$

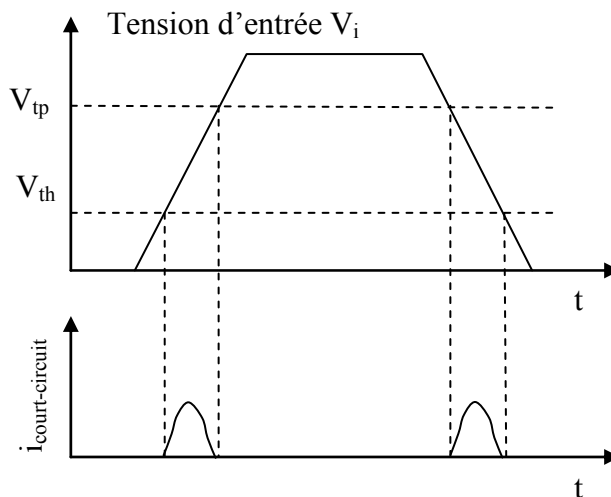


Figure 1.2. : Courant de court-circuit d'un inverseur pendant la transition du signal d'entrée

Avec β , la taille des transistors considérée comme identique, τ , les temps de montée et de descente eux aussi considérés comme égaux et V_{tp} et V_{tn} les tensions de seuil respectives

des transistors PMOS et NMOS. En réalité, l'équation 1.5 est plus complexe puisqu'elle est donnée ici, pour une charge nulle en sortie : le courant de court-circuit dépend en effet de la durée et de la pente du signal d'entrée, des caractéristiques des transistors et de la charge de sortie. De manière à pouvoir négliger l'énergie de court-circuit il est recommandé d'avoir des temps de montée et de descente rapides pour les entrées et les sorties. Cependant, si la sortie est fortement chargée, le temps de montée ou de descente du signal de sortie sera grand devant celui du signal d'entrée : ainsi, les entrées ont le temps de changer d'état avant que la sortie commute totalement, ce qui rend le courant de court-circuit négligeable.

I.2.3. Réduction de la consommation dynamique

Cette réduction passe par :

- **L'abaissement de la tension d'alimentation** : étant donné que la tension est un terme quadratique dans l'expression de la puissance (Eq. 1.4), il est important de la diminuer. Cependant, cela a pour effet de ralentir la vitesse du circuit pour une technologie donnée. Si en revanche, cette réduction de tension s'accompagne d'une diminution des géométries (Changement de technologie), les délais ne seront pas réduits. Les tableaux 1.1 et 1.2 montrent l'abaissement de la tension d'alimentation des circuits respectivement pour les technologies actuelles et pour les technologies à venir [7].

Technologie (μm)	0.7	0.5	0.35	0.25	0.18
Tension d'alimentation (V)	5.0	3.3	3.3	2.5	1.8

Tab 1.1 : tensions d'alimentation usuelles en fonction de technologie

Technologie (μm)	0.13	0.10	0.07	0.05	0.035
Année	2002	2005	2008	2011	2014
Tension d'alimentation (V)	1.5	1.2	0.9	0.6	0.6

Tab 1.2: tensions d'alimentation pour les technologies à venir [7]

- **La diminution de la fréquence d'activation** : au niveau architectural, on réduit la fréquence d'accès en partitionnant le circuit en blocs et n'activant que ceux nécessaires à l'opération que l'on veut réaliser. Cette réduction passe aussi par le conditionnement de portes (*Gated clock*).
- **La diminution des capacités de sortie** : au niveau du layout, on dessine des drains les plus petits possible pour une largeur de transistor donnée. Au niveau du dimensionnement des portes, on choisit des tailles petites pour la vitesse souhaitée : on réduit ainsi les capacités de grille et de drain. Enfin, au niveau architectural, la hiérarchisation permet de réduire les capacités qui commutent lorsque le circuit est activé.

I.3. Sources de la consommation statique

Jusqu'à présent la puissance consommée liée aux courants de fuite a été négligée dans les études globales de puissance puisque elle était quantitativement faible vis-à-vis des autres sources de consommation. Avec l'apparition conjointe des nouvelles technologies submicroniques, et des dispositifs embarqués, alimentés sur batteries, les courants de fuite deviennent une source de préoccupations majeures. Il s'agit là d'un nouveau défi, et ce particulièrement pour le design des mémoires [4]. Les courants de fuite deviennent critiques quand le circuit passe beaucoup de temps en mode repos ou bien lorsque son activité dynamique est faible. Si en revanche, si toutes les parties d'un circuit sont constamment activées, la consommation statique reste faible devant la consommation dynamique.

Les courants de fuite peuvent se décomposer en cinq catégories:

- Le courant de polarisation de diode en inverse (*Reverse biased pn junction current*).
- Le courant sous le seuil (*Subthreshold current*).
- Courant de Drain Induit par la Grille (*Gate Induced Drain Leakage (GIDL)*).
- Le courant de perçage (*Drain source punch through current*).
- Le courant à travers la grille (*Gate tunnelling current*).

Cette taxinomie n'est pas définitive car certains effets électriques submicroniques sont découverts au fur et à mesure de l'apparition de nouvelles technologies aux dimensions encore plus réduites.

I.3.1. Courant de polarisation de diode en inverse

Il existe dans les diodes formées entre le substrat et l'implant, un courant de polarisation inverse, comme le montre le schéma de la figure 1.3.

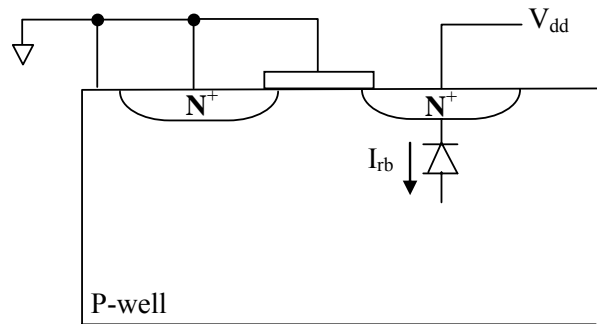


Figure 1.3. : Courants de polarisation inverse à travers un transistor N

L'expression du courant direct, à travers une diode est donnée, au premier ordre, par :

$$I_D = I_S \left(\exp \frac{V_{DS}}{\Phi_t} - 1 \right) \quad 1.6$$

Avec:

- I_S : le courant de saturation.
- V_{DS} : la tension de polarisation.
- Φ : la tension thermique.

On a $\Phi_t = \frac{kT}{q}$, avec la constante de IS le courant de saturation Boltzmann $k=1.38 \times 10^{-23} \text{J}/^\circ\text{K}$ la température de jonction T [K], et la charge d'un électron $q=1.6 \times 10^{-19} \text{C}$. Si les diodes sont polarisées en inverse, la tension de polarisation VDS est négative. D'après les valeurs prises par VDS et par T (tableau 1.3), le terme exponentiel devient négligeable devant 1.

Temp. [$^\circ\text{C}$]	-55	0	25	40	85	100	125
Φ_t [mV]	18.82	23.56	25.72	27.01	30.89	32.18	34.34

Tab. 1.3 – Valeurs prises par Φ_t dans une gamme de températures usuelles

Ainsi, l'équation 1.6 devient :

$$I_{rb} = -I_S \quad 1.7$$

Le courant de polarisation inverse peut aussi s'exprimer de la façon suivante :

$$I_{rb} = A_{D/S} \cdot J_{S_{D/S}} + P_{D/S} \cdot I_{P_{D/S}} \quad 1.8$$

Avec $A_{D/S}$ l'aire de drain/source du transistor, $P_{D/S}$ le périmètre du transistor et J_S la densité de courant par unité de surface et I_P la contribution périmétrique. D'après, pour un procès $1.2\mu\text{m}$, cas typique, à 25°C , J_S a une valeur d'environ $1 - 5 \text{ pA}/\mu\text{m}^2$, cette valeur doublant à chaque fois que la température augmente de 9°C .

En conclusion, le courant de polarisation inverse est indépendant de la tension d'alimentation V_{DS} . En revanche, il dépend des géométries des transistors.

I.3.2. Courant sous le seuil

Le courant sous le seuil est un courant qui circule entre la source et le drain du transistor alors que la tension V_{GS} est inférieure à la tension de seuil V_t , comme décrit sur la figure 1.4.

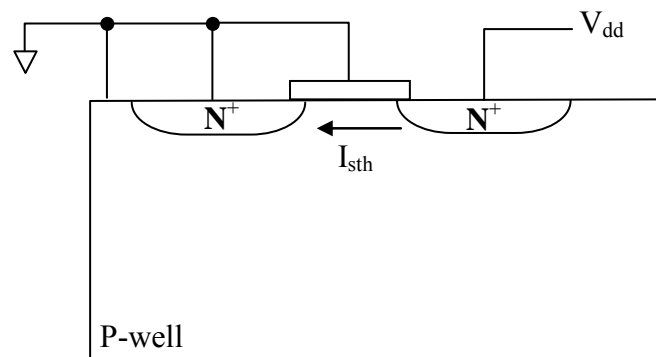


Figure 1.4. : Courant sous le seuil dans un transistor N

Le comportement de ce courant a évolué au fur et à mesure de l'apparition des technologies submicroniques, c'est pourquoi, il convient de distinguer 2 cas selon la largeur du canal du transistor.

I.4. Le transistor MOS

Le transistor MOSFET ("*Metal Oxide Semiconductor Field Effect Transistor*") appelé également MOST ou simplement MOS ressemble, par son principe de fonctionnement, au

JFET. Dans ce type de transistor, la grille ne forme pas une jonction avec le canal drain-source (comme dans le cas du JFET) mais est isolée de celui-ci par un dépôt d'oxyde de silicium [5].

I.4.1. Structure interne [6]

Le transistor MOSFET, pour Metal Oxide Silicon Field Effect Transistor, est aussi appelé transistor à effet de champ, dont le fonctionnement est basé sur la modulation du courant par des effets électrostatiques (c'est-à-dire le principe simple d'une capacité). Un seul type de porteur intervient : les porteurs de charges majoritaires.

La structure interne est représentée sur la figure 1.5: on implante un substrat (bloc de Si) deux régions de type opposé (source et drain) et recouvertes par du métal (connexions avec l'extérieur). La région de substrat entre S et D est recouverte d'une couche d'oxyde de Si (SiO_2) isolante, elle-même recouverte de métal : c'est la grille G. De manière générale, le substrat constitue une 4ème électrode qui peut être indépendamment polarisée.

Le transistor porte le nom correspondant au type de la source et du drain.

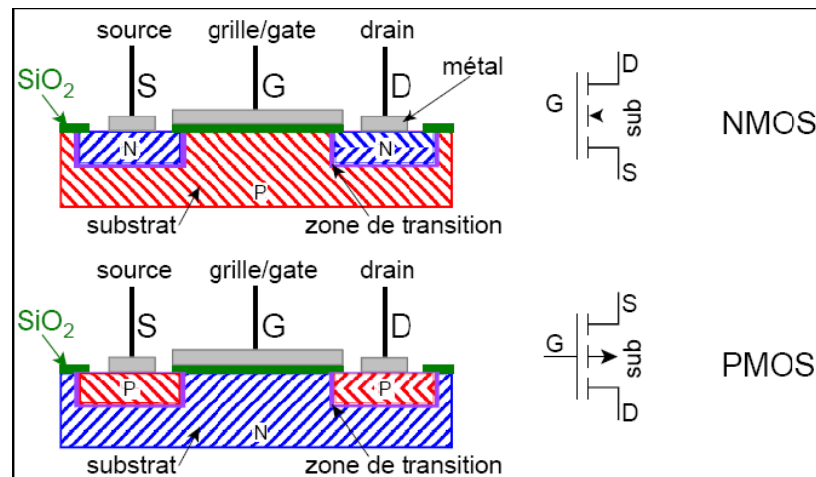


Figure 1.5. : Structure interne du transistor NMOS et PMOS

I.4.2. Principe de fonctionnement

En l'absence de stimulation à l'entrée G, il ne peut y avoir une excitation suffisante permettant des va-et-vient des électrons depuis la source vers le drain. Ainsi, la jonction GS peut être polarisée en direct mais la jonction GD sera alors polarisée en inverse, agrandissant

la zone de transition et empêchant donc le passage du courant. A tension nulle, le courant de drain traversant le MOS est nul.

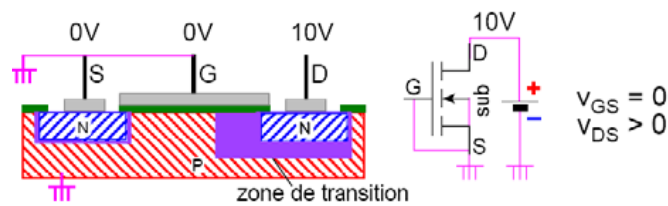


Figure 1.6. : Etat du transistor en l'absence de la tension de polarisation

Par contre, si on polarise la grille, l'ensemble grille-oxyde-substrat va se comporter comme un condensateur et il va s'accumuler des charges positives en G, et des charges négatives en dessous de l'oxyde (provenant de S et D). Le champ électrique transversal va repousser les trous majoritaires du substrat, ce qui fait que, si la tension est suffisamment élevée, on va avoir une mince couche N, appelée zone d'inversion, reliant S et D (d'autant plus large que le potentiel de grille est élevé).

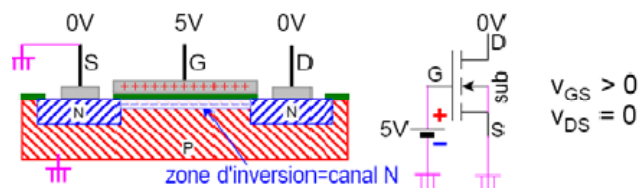


Figure 1.7. : Comportement en présence d'une faible tension en G

Si maintenant, on polarise le drain, on va approfondir le canal du côté de la source et le rétrécir du côté du drain. Lorsqu'on arrive au point $V_{DS}=V_{GS}$, le rétrécissement est compensé par une accélération des charges, et pour toutes les valeurs V_{DS} plus grandes que V_{GS} , le courant de drain devient indépendant de V_{DS} : on est dans la zone de pincement.

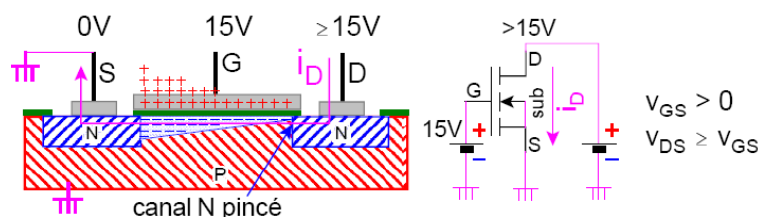


Figure 1.8. : Régime de pincement

Il existe cependant un seuil $V_{GS,TH}$ en-dessous duquel le transistor n'est pas passant (il varie alors de quelques dixièmes de volts à quelques volts).

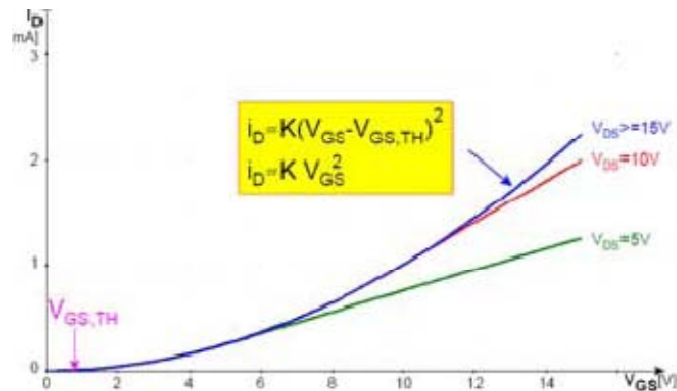


Figure 1.9. : Tension de seuil V_{TH}

Les logiques MOS ont un facteur de mérite très élevé, et sont faciles à fabriquer.

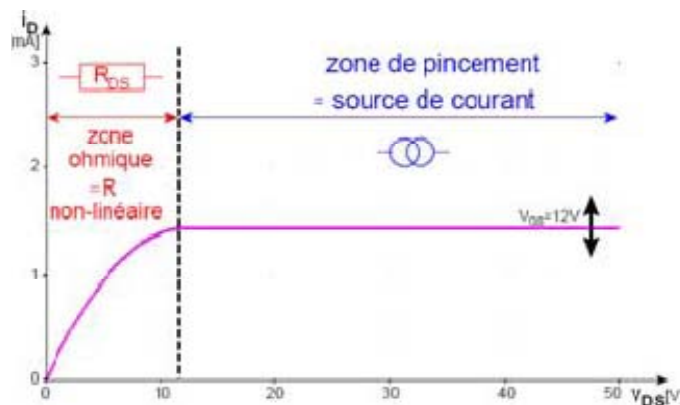


Figure 1.10. : Différents régimes de fonctionnement du transistor MOS

I.5. Transitions sur les signaux

Dans les circuits logiques, les signaux intermédiaires et de sortie sont souvent en transitions au fil des changements des signaux d'entrées. Par exemple, pour un inverseur, quand l'entrée passe de 1 à 0, la sortie doit passer de 0 à 1. Cette transition ne se fait pas instantanément [7].

On définit les paramètres suivants pour quantifier les transitions sur les signaux :

- **Temps de descente (fall time - t_f)** : le temps nécessaire au signal pour passer de 90% à 10% de sa valeur maximale;

- **Temps de montée (*rise time* – t_r)** : le temps nécessaire au signal pour passer de 10% à 90% de sa valeur maximale;
- **Délai de descente (*propagation delay, High to Low* – t_{PHL})** : le temps écoulé entre un changement sur un signal d'entrée et un changement correspondant de 1 à 0 du signal de sortie, mesuré aux points de 50% d'intensité des deux signaux; et,
- **Délai de montée (*propagation delay, Low to High* – t_{PLH})** : le temps écoulé entre un changement sur un signal d'entrée et un changement correspondant de 0 à 1 du signal de sortie, mesuré aux points de 50% d'intensité des deux signaux.

Ces paramètres sont influencés en général par trois critères :

- La charge capacitive à mener (dépend du nombre de composantes menées par le circuit ainsi que la longueur des interconnexions);
- La résistance des conducteurs (dépend surtout de la longueur des interconnexions); et,
- La dimension des transistors.

I.6. Délai de propagation d'une composante

Chaque fois qu'un signal doit changer l'état de la sortie d'une bascule, on observe un retard entre le moment où le signal est appliqué et le moment où le changement apparaît en sortie. Une illustration des retards de propagation affectant la réponse à un front montant d'horloge est donnée sur le dessin suivant [7]:

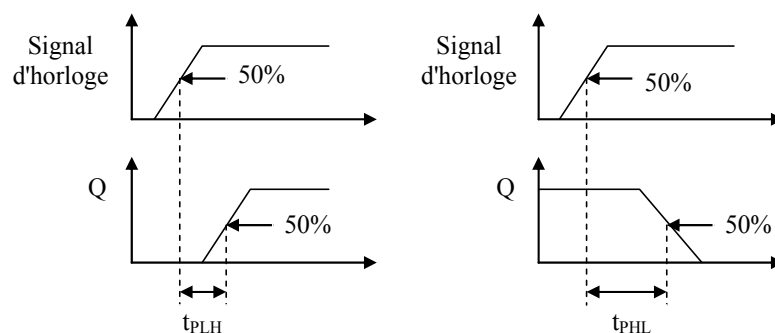


Figure 1.11. : Délai de propagation d'une composante

I.7. Temps de préparation et de maintien [8]

Pour qu'une bascule ou un latch fonctionne correctement, il faut que le signal d'entrée soit stable pendant une période définie avant et après la transition active de l'horloge.

I.7.1. Le temps de préparation (*setup time* – t_{su})

C'est le temps minimal pendant lequel le signal d'entrée de la bascule ou du latch ne doit pas changer avant la transition active de l'horloge.

I.7.2. Le temps de maintien (*hold time* – t_h)

C'est le temps minimal pendant lequel le signal d'entrée de la bascule ou du latch ne doit pas changer après la transition active de l'horloge.

La Figure 1.12 illustre une situation où les temps de préparation et de maintien sont respectés pour une bascule D activée sur une transition positive de l'horloge [1].

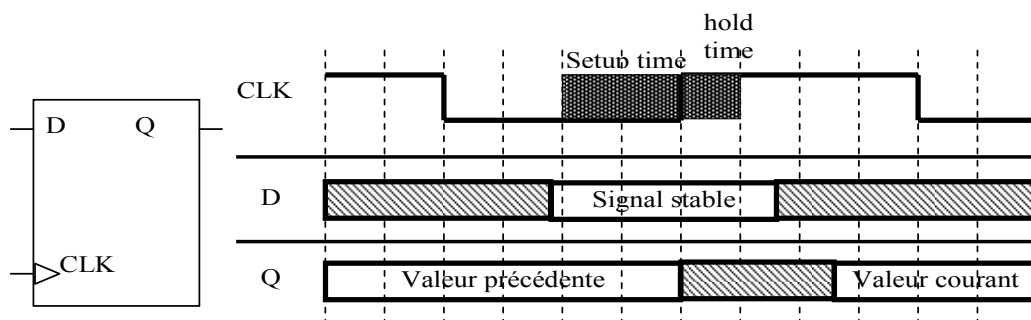


Figure 1.12. : Temps de préparation et de maintien

Si le temps de préparation ou le temps de maintien ne sont pas respectés, alors la bascule ou le loquet risquent d'entrer dans un état métastable, c'est-à-dire que leur sortie aura un niveau imprévisible entre 0 et 1.

I.8. La bascule D a verrouillage ou D latch

La bascule D Latch permet de faire un premier pas vers la synchronisation du point mémoire. Ainsi que le montre la figure 1.13, la bascule D Latch dispose de 2 entrées, comme la bascule RS, mais celles-ci jouent des rôles fort différents [9].

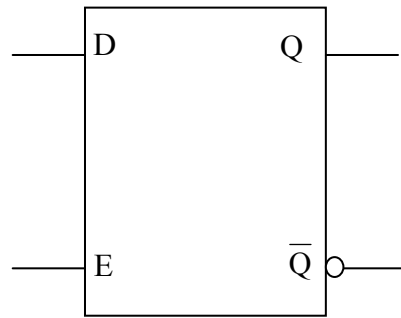


Figure 1.13. : Bascule D a verrouillage ou D latch

I.9. Fonctionnalité de la D latch

Le fonctionnement de la bascule D latch est régi par les équations suivantes :

$$Q^+ = ED + \bar{E}Q$$

$$\bar{Q}^+ = E\bar{D} + \bar{E}\bar{Q}$$

Le tableau 5.3 donne la table de transition correspondante.

E	D	Q^+	\bar{Q}^+
0	0	Q	\bar{Q}
0	1	Q	\bar{Q}
1	0	0	1
1	1	1	0

Cette table permet de distinguer deux modes de fonctionnement de cette bascule, commandés par l'entrée E :

- Si $E = 1$, $Q^+ = D$. Le signal présent sur l'entrée D est copié sur la sortie Q. La bascule est alors en mode transparent ou mode d'acquisition.
- Si $E = 0$, $Q^+ = Q$. La sortie Q garde sa valeur quelle que soit la valeur du signal présent sur l'entrée D. La bascule est alors en mode mémorisation.

On dispose, avec la D latch, d'un moyen de définir les instants où la bascule est autorisée à évoluer, c'est le concept de synchronisation. Il s'agit ici d'une synchronisation sur niveau : la bascule est autorisée à évoluer (mode transparent) lorsque le signal de validation E est au niveau logique 1.

Les deux entrées E et D ont des rôles très différents :

- L'entrée D (Data) est dite entrée de donnée car elle fournit à la bascule la donnée à mémoriser. Cette entrée n'a aucune influence sur le mode de fonctionnement de la bascule.
- L'entrée E (Enable) commande le mode de fonctionnement de la bascule, c'est une entrée de contrôle ou de commande [5].

I.10. Structure de la bascule D latch

Une réalisation possible d'une bascule D latch consiste à utiliser une bascule RS-NOR et à trouver les équations $R = f(E, D)$ et $S = g(E, D)$. On établit, pour cela, la correspondance entre les différents modes des deux types de bascules :

Mode mémorisation

D latch: $E = 0$

Bascule RS: $R = S = 0$

Mise à zéro

D latch : $E = 1$ et $D = 0$

Bascule RS : $R = 1$ et $S = 0$

Mise à un

D latch : $E = 1$ et $D = 1$

Bascule RS : $R = 0$ et $S = 1$

On en déduit :

R $\bar{E}\bar{D}$

S ED

La figure 1.14 présente une réalisation possible de la bascule D latch à partir d'une bascule RSNOR.

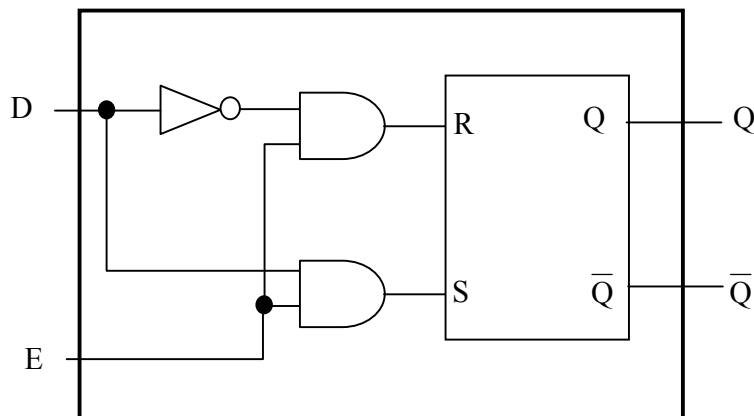


Figure 1.14. : Bascule D latch à partir d'une bascule RSNOR

Cependant, en logique CMOS, ce type de structure est peu utilisé car trop encombrante. On lui préfère généralement une structure à base d'interrupteurs. En effet, l'équation $Q^+ = ED + \bar{E}Q$ montre que la bascule D latch peut être réalisée à partir d'un multiplexeur 2 vers 1 (2.5).

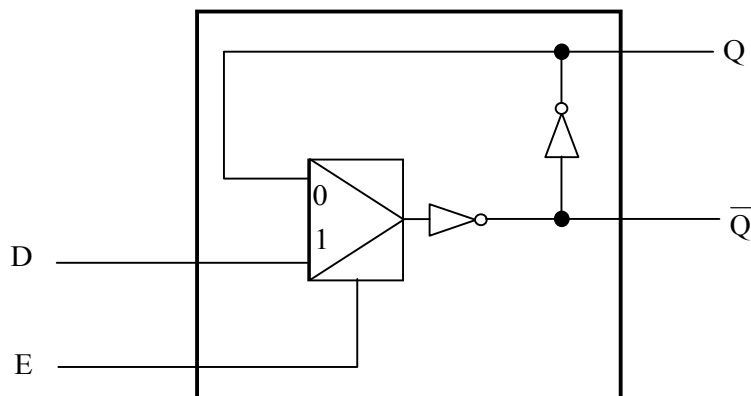


Figure 1.15. : Bascule D latch à partir d'un multiplexeur 2 : 1

La figure 1.16 propose une structure détaillée à base d'inverseurs et d'interrupteurs de cette bascule.

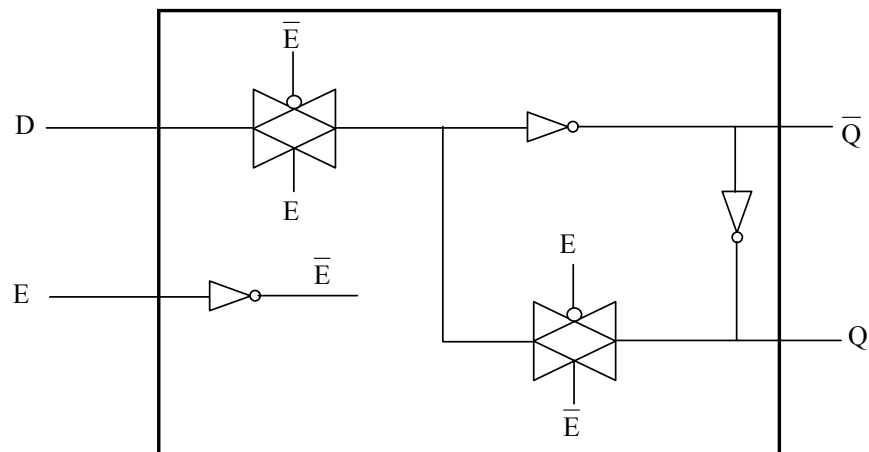


Figure 1.16. : Structure de bascule D latch à base d'inverseurs et d'interrupteurs

N.B : Pour réaliser une latch active sur niveau bas, il suffit d'inverser les commandes E et \bar{E} des portes de transmission dans le schéma de la figure 1.16.

I.11. Analyse temporelle du comportement du D latch

La figure 1.17 présente un chronogramme typique de la D latch, avec les principaux paramètres temporels correspondants.

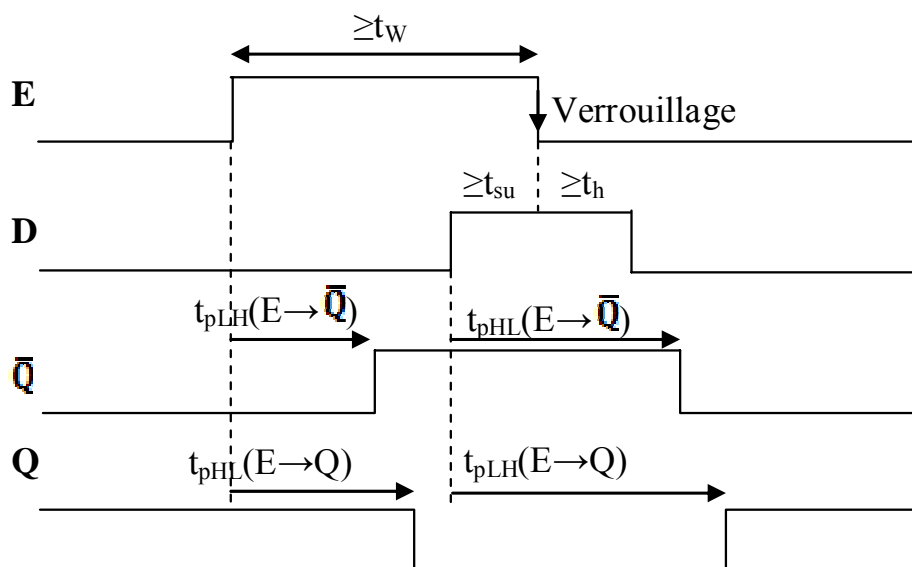


Figure 1.17. : Chronogramme typique de la D latch, avec les principaux paramètres temporels correspondants

I.11.1. Temps de propagation

Lorsque la bascule est en mode transparent ($E = 1$), si D change de valeur, les sorties commutent avec un retard $t_p (D \rightarrow Q)$ pour Q et $t_p (D \rightarrow \bar{Q})$ pour \bar{Q} . Lorsque la bascule passe du mode mémorisation au mode transparent, si les valeurs de D et Q sont différentes, les sorties commutent avec un retard $t_p (E \rightarrow Q)$ pour Q et $t_p (E \rightarrow \bar{Q})$ pour \bar{Q} . La valeur de ces temps de propagation est obtenue en sommant les temps de propagation des opérateurs élémentaires situés sur le chemin entre l'entrée considérée et Q ou \bar{Q} .

N.B : Suivant que les sorties commutent de 1 vers 0 ou de 0 vers 1, il faut considérer les temps de propagation à la montée t_{pLH} ou à la descente t_{pHL} . Tous les cas de transitions HL et LH sur les sorties ne sont pas montrés sur la figure 1.17.

I.11.2. Contraintes sur les entrées

Pour qu'une opération de mémorisation dans la bascule se déroule correctement, deux types de contraintes sont à respecter sur l'application des entrées :

- D'une part, lorsque la bascule passe en mode transparent, l'entrée E doit rester à 1 assez longtemps pour que la valeur de D présente à l'entrée puisse se propager dans la boucle de rétroaction. Il faut donc respecter une durée minimale d'impulsion t_w sur E .
- Lors du verrouillage de la bascule (passage du mode transparent $E = 1$ au mode mémorisation $E = 0$), la mémorisation de la valeur de D ne se déroule correctement que si l'entrée D reste stable pendant un certain temps avant et après le verrouillage.
 - Le temps t_{su} , appelé temps de préparation ou setup time, désigne la durée minimale pendant laquelle l'entrée D doit rester stable avant le verrouillage de la bascule.
 - Le temps t_h , appelé temps de maintien ou hold time, désigne la durée minimale pendant laquelle l'entrée D doit rester stable après le verrouillage de la bascule.

I.12. La bascule D à déclenchement sur front ou D flip-flop

Le mode de fonctionnement de la bascule D flip-flop est lié à l'état de l'entrée d'horloge ou de synchronisation CLK (*Clock*). On distingue les bascules dites à déclenchement sur front montant ou « *positive edge triggered* » et les bascules à déclenchement sur front descendant ou « *negative edge triggered* » (figure 1.18) [9].

Les bascules à déclenchement sur front se caractérisent par le fait que leurs sorties ne peuvent commuter que lors du passage du front actif (montant ou descendant) de l'horloge. Le tableau 1.4 donne la table de transition d'une bascule D à déclenchement sur front montant.

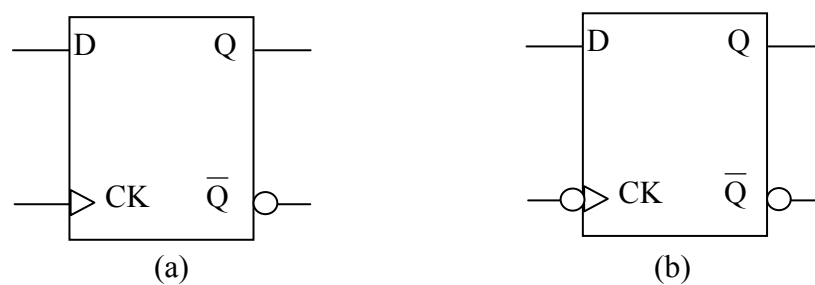


Figure 1.18. : Représentation symbolique de la bascule D (a) à déclenchement sur front montant (b) à déclenchement sur front descendant

CK	D	Q^+	\bar{Q}^+
0	X	Q	\bar{Q}
1	X	Q	\bar{Q}
\uparrow	0	0	1
\uparrow	1	1	0

Cette table représente la table de transition de la bascule D à déclenchement sur front montant.

Si on ne prend en compte que le comportement purement synchrone de la bascule, c'est-à-dire son évolution aux fronts actifs de l'horloge CK, ses équations séquentielles s'écrivent $Q^+ = D$ et $\bar{Q}^+ = \bar{D}$. Avec ce formalisme, l'action de l'horloge est implicite.

I.13. Structure et analyse du comportement de la bascule D flip-flop

La réalisation la plus courante des bascules à déclenchement sur front fait appel à une structure dite maître-esclave qui utilise deux latches (figure 1.19).

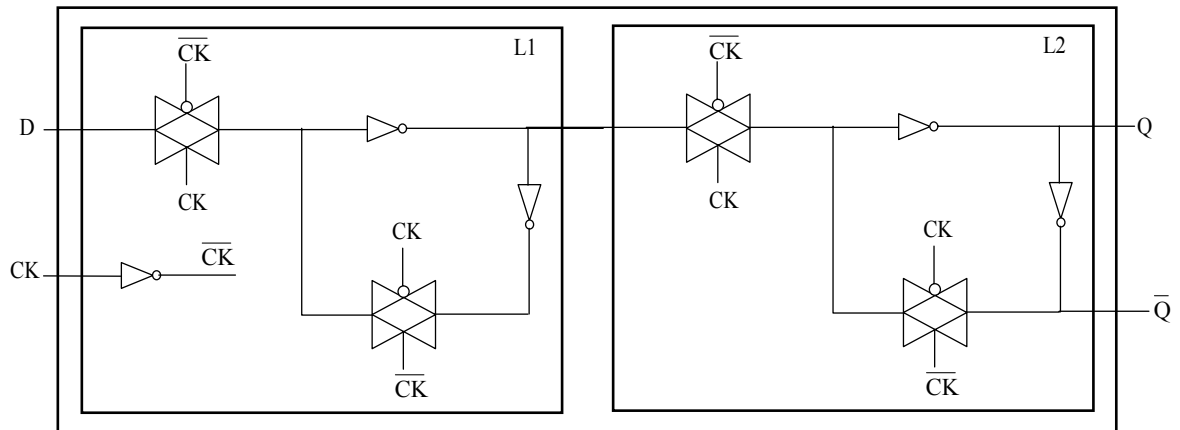


Figure 1.19. : Structure d'une bascule D à déclenchement sur front montant

Le mode de fonctionnement de chacune des deux latches est lié à l'état de l'horloge CK :

CK = 0

La bascule L1 est en mode transparent et la bascule L2 est verrouillée. Ainsi, la sortie de L1 suit l'entrée D, à une inversion près, mais la sortie de L2 reste bloquée.

CK = 1

Lorsque CK passe à 1, la bascule L1 se verrouille, et mémorise la valeur de D alors présente à l'entrée. D'autre part, la bascule L2 passe en mode transparent et affiche la valeur de D mémorisée par L1 sur la sortie Q.

Pour résumer, la bascule L1 est chargée de faire l'acquisition, sur niveau bas de CK, de la valeur de D à mémoriser. Elle est appelée bascule d'enregistrement, d'acquisition ou bascule maître. La bascule L2 a pour rôle d'afficher sur les sorties Q et \bar{Q} la valeur acquise par L1, lorsque CK passe à 1. Elle est appelée bascule d'affichage ou bascule esclave. Puisque, lorsque CK = 1 ou CK = 0, l'une des deux latches est bloquée, un changement d'état sur D ne peut pas être répercuté sur les sorties. La valeur présente sur l'entrée de donnée D n'est

recopiée en sortie qu'à l'instant où CK passe de 0 à 1. Tout se passe donc comme si la copie de D sur la sortie Q avait lieu au moment du front montant de CK [5].

Dans le cas où les commandes des interrupteurs sont inversées par rapport au schéma de la figure 1.19, la bascule effectue la copie de D sur les fronts descendants de l'horloge.

I.14. Analyse temporelle du comportement de la D flip-flop

Les principaux paramètres temporels qui caractérisent le comportement dynamique de la bascule D flip-flop sont représentés sur la figure 1.20.

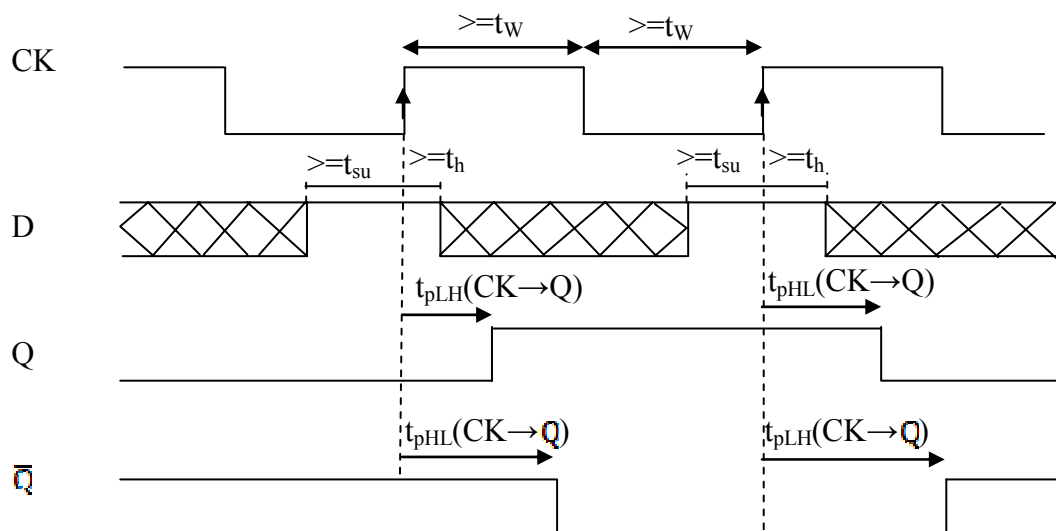


Figure 1.20. : Caractéristiques temporelles d'une D flip-flop à déclenchement sur front montant

I.14.1. Temps de propagation

A la différence de la bascule D latch, tous les temps de propagation de la bascule flip-flop sont référencés par rapport aux fronts actifs de l'horloge (fronts montants dans l'exemple de la figure 1.20).

I.14.2. Contraintes sur les entrées

En pratique, pour que la copie de D sur Q (et \bar{Q}) se déroule correctement, il est nécessaire, comme dans le cas de la D latch, de respecter certaines contraintes temporelles sur les entrées.

- Durée minimale de stabilité de l'entrée D au voisinage du front actif de l'horloge:
 - D'une part, pour une acquisition correcte de la valeur de D dans L1, l'entrée D doit être stable pendant un temps minimum avant le front actif de CK. Il s'agit du temps de prépositionnement ou setup time t_{su} de la bascule.
 - D'autre part, pour un affichage correct en sortie de la bascule, il est nécessaire que D reste stable pendant un temps minimum après le front actif de l'horloge. Il s'agit du temps de maintien ou hold time t_h de la bascule.
- Il faut également respecter une durée minimale d'impulsion t_w sur les deux niveaux de l'horloge pour garantir le bon fonctionnement des deux latches.

I.15. Conclusion

L'équilibre correct de la basse consommation d'énergie et les excellentes propriétés de synchronisation permettent plus de degrés de liberté pour des concepteurs et des architectes de système au niveau plus élevé de l'abstraction.

La synchronisation est une question très importante dans le système et la conception de circuit séquentiel. La raison de ceci est que tous les circuits réalisables ont un inhérent retard, signifiant que le temps d'arrivée réelle pour des signaux d'entrée peut ne pas être identique comme le temps prévu dans des circuits idéaux, qui ont des sorties qui changent instantanément avec l'entrée.

Chapitre II

Latches et bascules C²MOS

II.1. Introduction

Les portes logique statiques conventionnelles fournissent la base pour beaucoup de conceptions de système CMOS, cependant, le concepteur tient compte pour choisir parmi plusieurs différents types de circuits logiques. Certains fournissent une plus grande flexibilité tandis que d'autres donnent une performance supérieure. Dans ce chapitre nous examinerons une classe des circuits logiques CMOS qui sont basés sur le concept d'un commutateur idéal utilisant une paire de transistors MOSFET en parallèle pour former une porte de transmission (*transmission gate*).

II.2. Structure de base

La structure d'une porte de transmission CMOS est montrée sur la figure 3.1. Elle se compose d'un NMOS M_n en parallèle à un PMOS M_p tels que les grilles sont commandées par des tensions complémentaires. V_G appliqué au NMOS, et $(V_{DD}-V_G)$ appliqué au PMOS

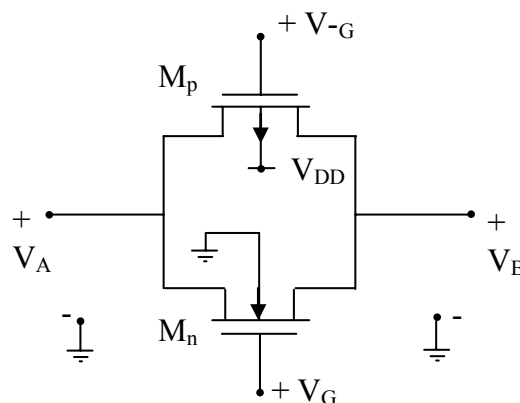


Figure 2.1. : Porte de transmission CMOS

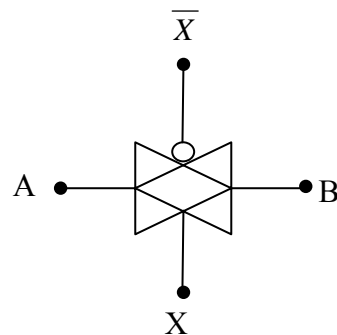
La porte de transmission est conçue pour agir en tant que commutateur commandé par tension. Quand V_G est à niveau haut, les deux transistors M_n et M_p sont saturés et le switch est fermé. Si V_G est à niveau bas, alors les deux MOSFET sont bloqués et le switch est ouvert.

Rappeler qu'un nFET ne peut pas passer fortement le niveau logique 1, alors qu'un pFET ne peut pas passer fortement le niveau logique 0. En mettant en parallèle les deux dispositifs, toute la gamme de tension de 0v à V_{DD} peut être transmettre. Posons $V_G = V_{DD}$ donne la situation idéale ou V_B attendra la même valeur que V_A [9].

La figure 3.2 montre le symbole logique de la porte de transmission qui sera utilisé. Il est créé en utilisant un pair de triangles opposés pour montrer que le dispositif est bidirectionnel. Du point de vue circuit, ceci signifie que le courant peut circuler dans les deux directions. La conduction d'un côté à l'autre est commandée par les signaux de commutation complémentaires X et \bar{X} qui sont appliqués aux grilles du nFET et pFET, respectivement; dans le symbole, le petit cercle indique la grille du pFET. Par définition, la porte de transmission est l'équivalent d'un commutateur fermé quand $X = 1$ et un commutateur ouvert quand $X = 0$. Ceci peut être exprimé par :

$$X = 1 : A \rightarrow B$$

Qui donne la condition $X = 1$ du premier membre pour obtenir l'action de transfert $A \rightarrow B$.



(a) symbole de la porte de transmission

X	A	B
1	0	0
1	1	1
0	0	?
0	1	?

(b) fonctionnement

Figure 2.2. : La porte de transmission en tant que contrôleur trois états

Avant de progresser dans l'analyse, il est utile d'examiner la porte de transmission dans le contexte des circuits logique statique. La figure 2.2 montre un inverseur trois états qui est contrôlé par la variable X .

Ce circuit est l'équivalent d'un inverseur quand $X=1$, et en haute impédance (Hi-Z) quand $X = 0$.

Les modes de fonctionnement du circuit sont résumées dans la figure 2.3. Quand $X=1$, les deux transistors FETs centraux M_{nX} et M_{pX} sont saturés, et la tension de sortie est fixé par la valeur du V_{in} . Dans ce cas le circuit est un inverseur avec des sources parasites dus à M_{nX} et M_{pX} .

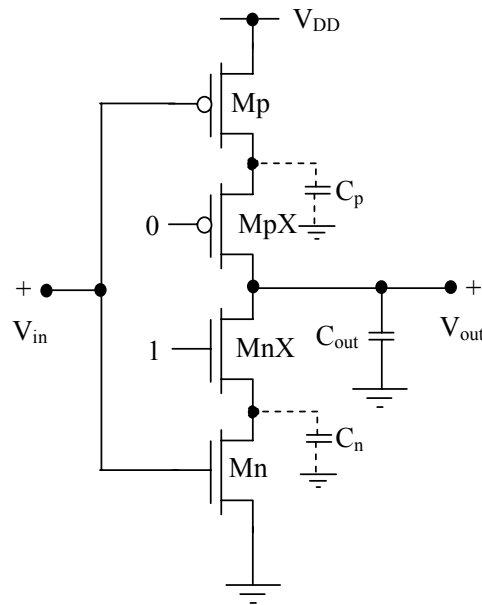


Figure 2.3. : Inverseur trois états contrôlé par la variable X

D'autre part, si $X = 0$ alors les deux transistors MnX et MpX sont bloqués, isolant le nœud de sortie. Ceci est illustré dans la figure 2.4 (a) ci-dessus. La relation de la porte de transmission de la figure 2.4(b) est que nous avons connectés les nœuds a et b pour avoir un inverseur avec une sortie contrôler par une porte de transmission. La porte de transmission peut donc être utilisée comme un interrupteur pour contrôler le flux de données dans un réseau logique statique.

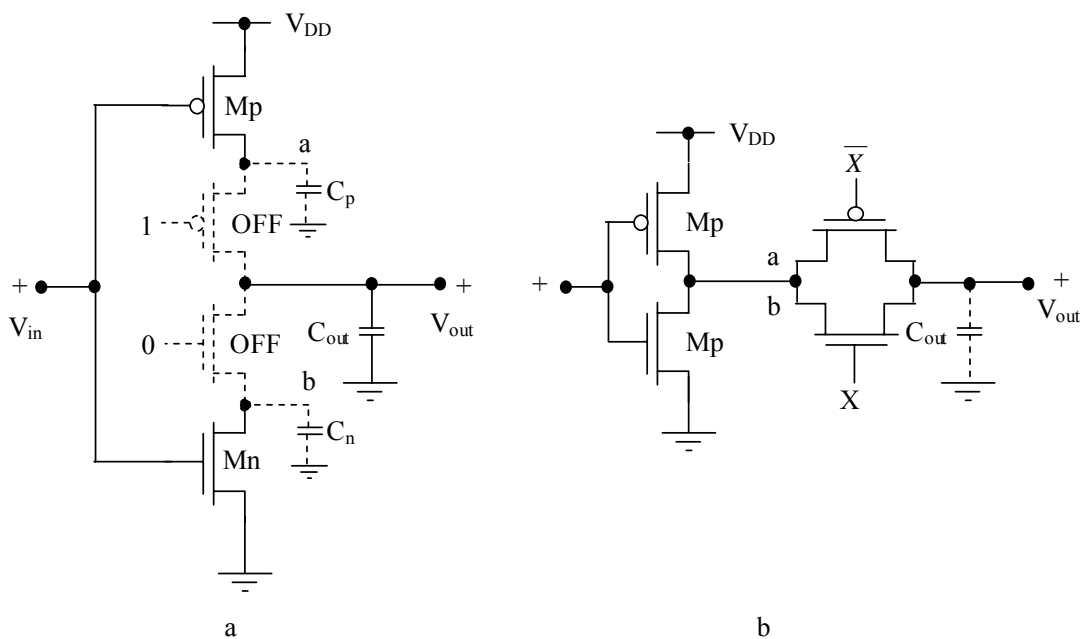


Figure 2.4. : Etat haute impédance et analogie porte de transmission

II.2.1. Multiplexeurs à base de portes de transmission

Un multiplexeur 2-entrées peut être créé utilisant le circuit représenté dans la figure 3.5. Dans ce circuit, les lignes de données P0 et P1 sont commandés par la variable S :

$$f = P_0 \cdot \bar{S} + P_1 \cdot S$$

Quand $S = 0$, la sortie est $f = P_0$, et pour une valeur de $S=1$, $f = P_1$. Du point de vue logique, ce circuit donne la même fonction qu'un simple MUX 2:1. Cependant, l'utilisation des portes de transmission assure que la sortie est capable de fournir une tension de 0v jusqu'à V_{DD} .

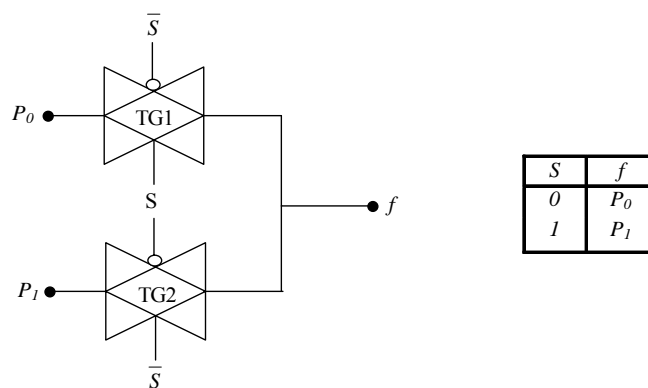


Figure 2.5. : Multiplexeurs à base de portes de transmission

Le concept peut être prolongé pour créer le MUX 4:1 représenté sur la figure 2.6. Dans ce cas, la valeur décimale du mot de commande binaire (S_1S_0) choisit l'entrée selon l'expression logique :

$$f = P_0 \cdot (\bar{S}_1 \cdot \bar{S}_0) + P_1 \cdot (\bar{S}_1 \cdot S_0) + P_2 \cdot (S_1 \cdot \bar{S}_0) + P_3 \cdot (S_1 \cdot S_0)$$

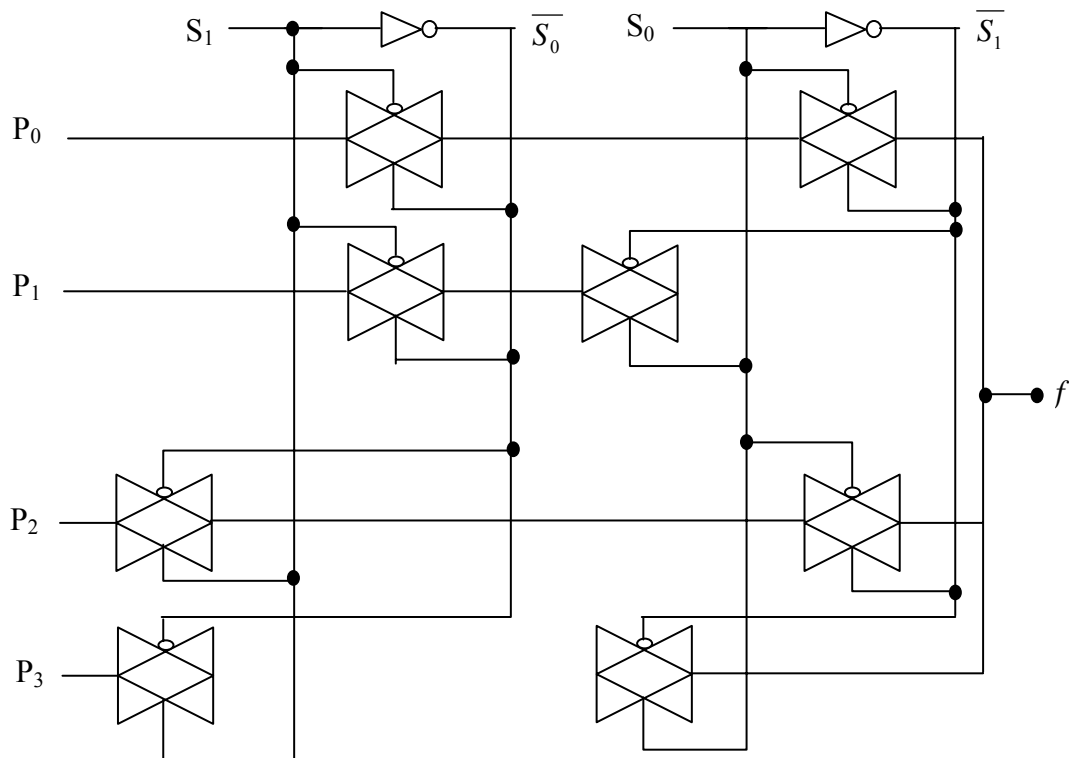


Figure 2.6. : Multiplexeur 4 :1 à base de portes de transmission

II.2.2. La porte OR à base de portes de transmission

Le circuit à porte de transmission rapporte directement la porte logique OU à l'aide du circuit représenté sur la figure 2.7. L'entrée variable A et son complément \overline{A} sont employés pour commander le transistor PMOS et la porte de transmission. La branche supérieure passe quand $A = 1$, alors que le circuit inférieur transmet B à la sortie quand $A=0$.

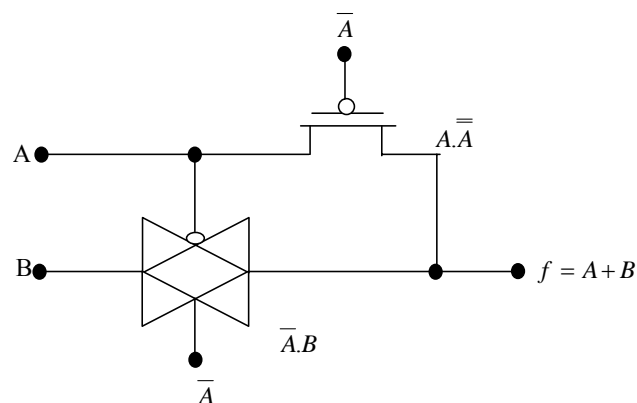


Figure 2.7. : La porte OR à base de portes de transmission

II.2.3. Registres à portes de transmissions

Les portes de transmission peuvent être utilisées en tant que commutateurs simples pour créer les circuits qui ont au moins deux modes opérationnels distincts.

Load – charger la valeur D, employée comme entrée au circuit, et,

Hold - l'entrée est déconnectée du circuit, et la valeur est tenue.

Ceci nous permet de créer les circuits mémoire qui peuvent être utilisés en latches, des registres, et d'autres éléments d'état. La figure 2.8 montre le circuit de base pour un latch D. L'opération est commandée par la valeur du signal LD.

LD = 1 l'entrée D passe dans le réseau,

LD = 0 permet au circuit de tenir la valeur.

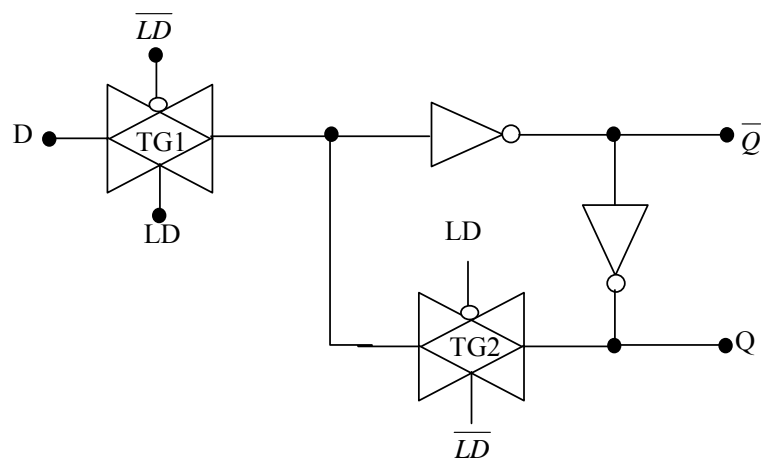
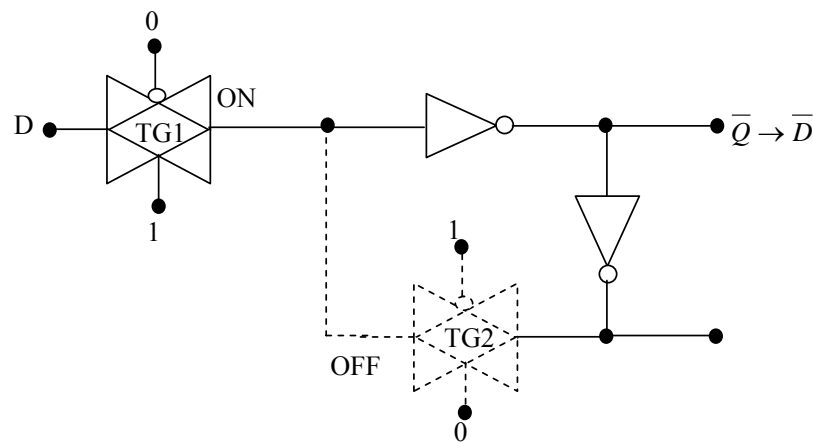


Figure 2.8. : Latch à base de portes de transmission

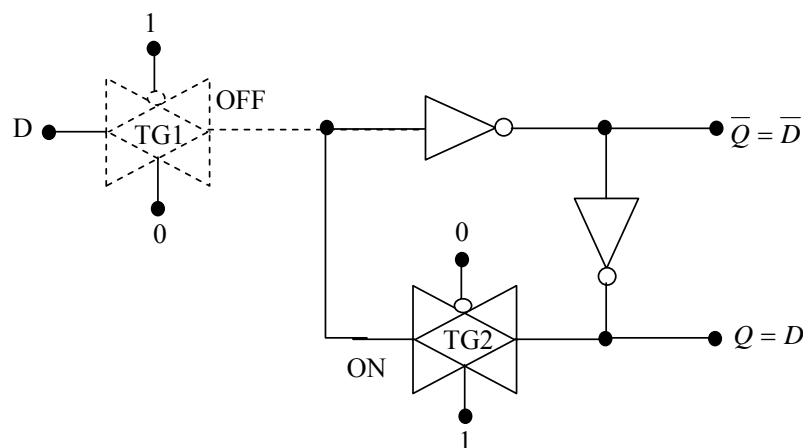
Le fonctionnement du latch est détaillé sur la figure 2.9. L'opération de chargement est montrée sur la figure 2.9(a). Quand LD = 1, la porte de transmission d'entrée TG1 comporte en tant que commutateur fermé, alors que TG2 est ouvert. La valeur du bit d'entrée D est disponible aux sorties Q et \bar{Q} puisque les sorties changent en réponse à un changement du D, le latch serait transparent.

L'opération de prise se produit quand LD= 0, donnant le circuit sur la figure 2.9(b). Dans ce cas-ci, TG1 est ouvert, démontant la ligne d'entrée du circuit, le nouveau signal d'entrée A n'est pas pris par le circuit. La porte de transmission TG2 est fermée, et accomplit la boucle de rétroaction entre les inverseurs, et le circuit sera un circuit bistable qui peut

stocker des 0 ou 1. La valeur réelle dans le circuit est D, celle a été acquise quand le signal LD a changé d'un 1 en 0.



(a) Opération de chargement avec LD=1



(b) Opération de prise avec LD=0

Figure 2.9. : Fonctionnement du D-latch à base de portes de transmission

II.3. Bascule C²MOS [9]

Beaucoup de circuits CMOS emploient un signal d'horloge $\Phi(t)$ comme représenté sur la figure 3.10 pour leur fonctionnement. L'horloge fournit une manière simple pour synchroniser les opérations dans un réseau numérique relativement à une base de temps absolue.

La période de l'horloge est T secondes, correspondant à une fréquence $f = (1/T)$ Hz. le complément $\bar{T}(t)$ est également montrée dans la figure. Puisque les portes de transmissions peuvent être contrôlées avec un signal complémentaire, le signal d'horloge fournit une

méthode pour synchroniser un flux de données. C'est une technique commune dans la conception classique CMOS, et est une application qui démontre l'utilité d'un TG dans des circuits synchronisés.

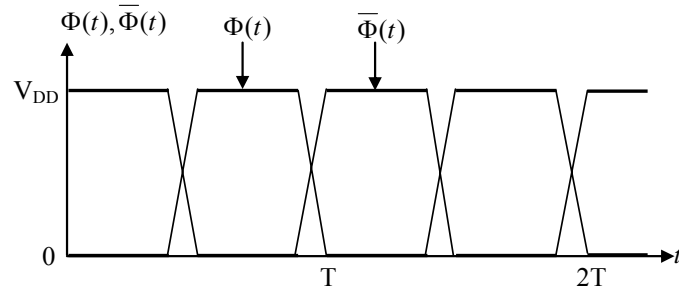


Figure 2.10. : Signal d'horloge

Nous créerons une bascule D (DFF) à déclenchements sur front, en cascadeant deux latches D comme représenté sur la figure 2.11.

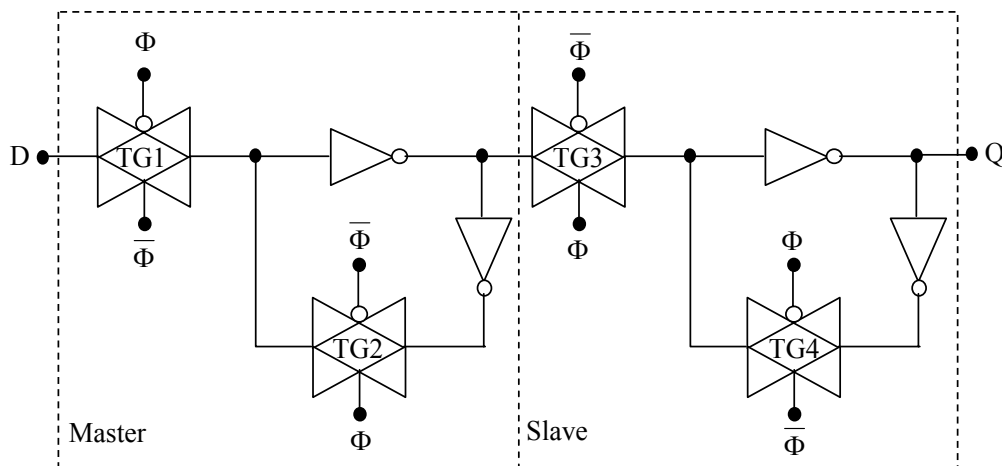


Figure 2.11. : Bascule maître-esclave à base de portes de transmissions

Le fonctionnement du circuit peut être compris utilisant les circuits représentés sur la figure 2.12.

Quand l'horloge est à une valeur de $\Phi = 0$ ($\bar{\Phi} = 1$) TG1 est en mode de conduction et passe D dans le premier latch (master), comme le montre la figure 2.12(a). Depuis TG2 et TG3 sont les deux ouverts pendant ce temps, aucun autre transfert de données ne se fait. Quand l'horloge fait une transition à $\Phi = 1$ ($\bar{\Phi} = 0$), TG1 sera un circuit ouvert, et bloque tout changement de données sur D. Pendant ce temps, TG2 se ferme et accomplit la rétroaction verrouillant le circuit, tandis que TG3 est fermé permettant à la donnée d'être transmise au

deuxième latch (slave), figure 2.12 (b). La sortie Q actuellement est la valeur D, cela était présent quand l'horloge a fait une transition à partir $\Phi = 0$ à $\Phi = 1$, qui rend la bascule D à déclenchement sur front un élément de stockage. La figure 3.13 montre le symbole et chronogramme de la bascule.

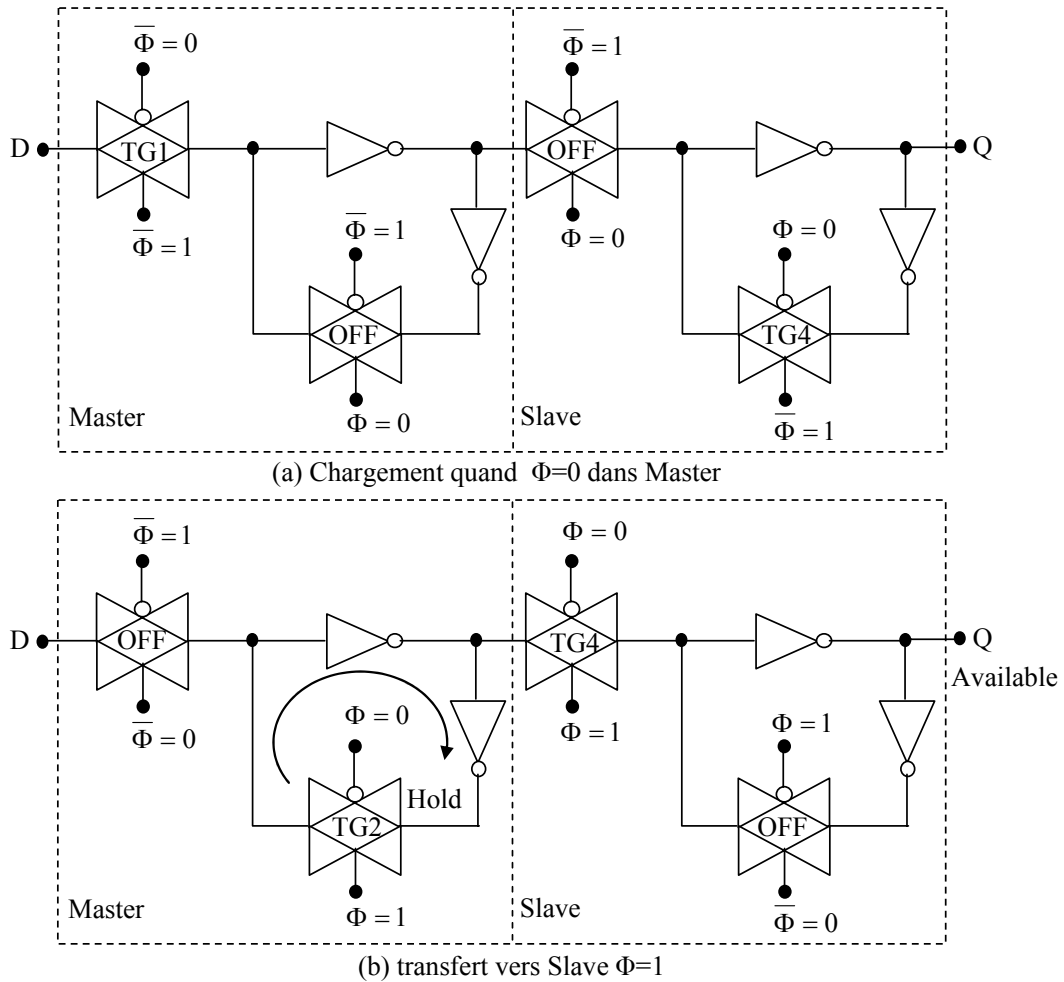


Figure 2.12. : Fonctionnement de bascule à base de porte de transmission

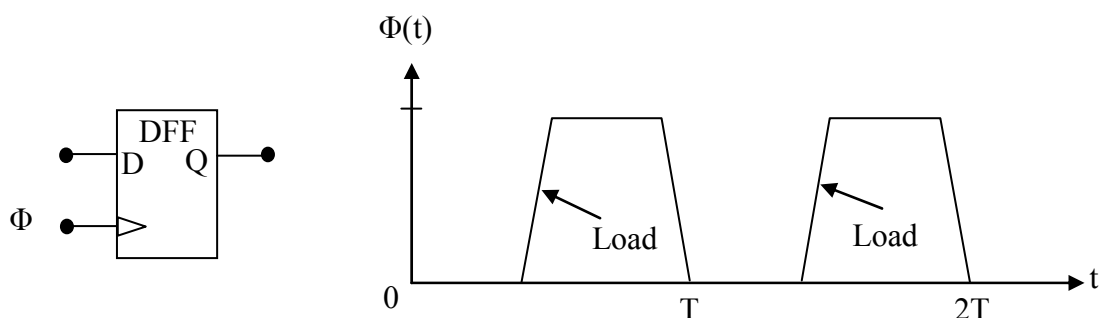


Figure 2.13. : Chronogramme de fonctionnement de la bascule

II.4. Conclusion

Beaucoup de manuels sur la conception numérique discutent souvent les paramètres fondamentaux qui déterminent les propriétés des bascules. Tandis que cette métrique sert souvent de bon point de départ aux conceptions simples, les systèmes complexes exigent des mesures plus robustes qui encapsulent les résultats des paramètres de niveau de système.

Chapitre III

Conception assistée par ordinateur

III.1. Introduction

Les circuits entièrement conçus au niveau du transistor (*Full Custom*) sont trop onéreux et trop longs à développer. A l'autre extrême, les FPGAs sont déficients en performance, consommation et coût à la pièce.

Juste milieu? *standard cell* ou *cell-based integrated circuit (CBIC)*, la conception s'appuie sur un ensemble de cellules pré-conçues, pré-routées et pré-testées.

Le concepteur se concentre essentiellement sur le choix, l'agencement et le routage entre les différentes cellules.

III.1.1. Caractéristiques importantes [10]

- Tous les masques sont spécifiques au projet (aucun masque générique comme dans les réseaux de portes (GA)).
- Des cellules conçues sur mesure peuvent être incorporées.
- Une cellule peut avoir différents degrés de complexité, de la simple porte logique au microprocesseur.
- La plupart des cellules sont conçues pour être disposées en rangées de hauteur constante qu'on appelle blocs flexibles.
- Un rail VDD est disposé en haut d'une telle rangée, un rail VSS en bas. Le routage interne des cellules est en conséquence. Les cellules plus grandes sortent de ce cadre; ce sont les méga-cellules, blocs fixes, macros système ou noyaux (cores).
- Les méga-cellules peuvent très bien être constituées elles mêmes de cellules.

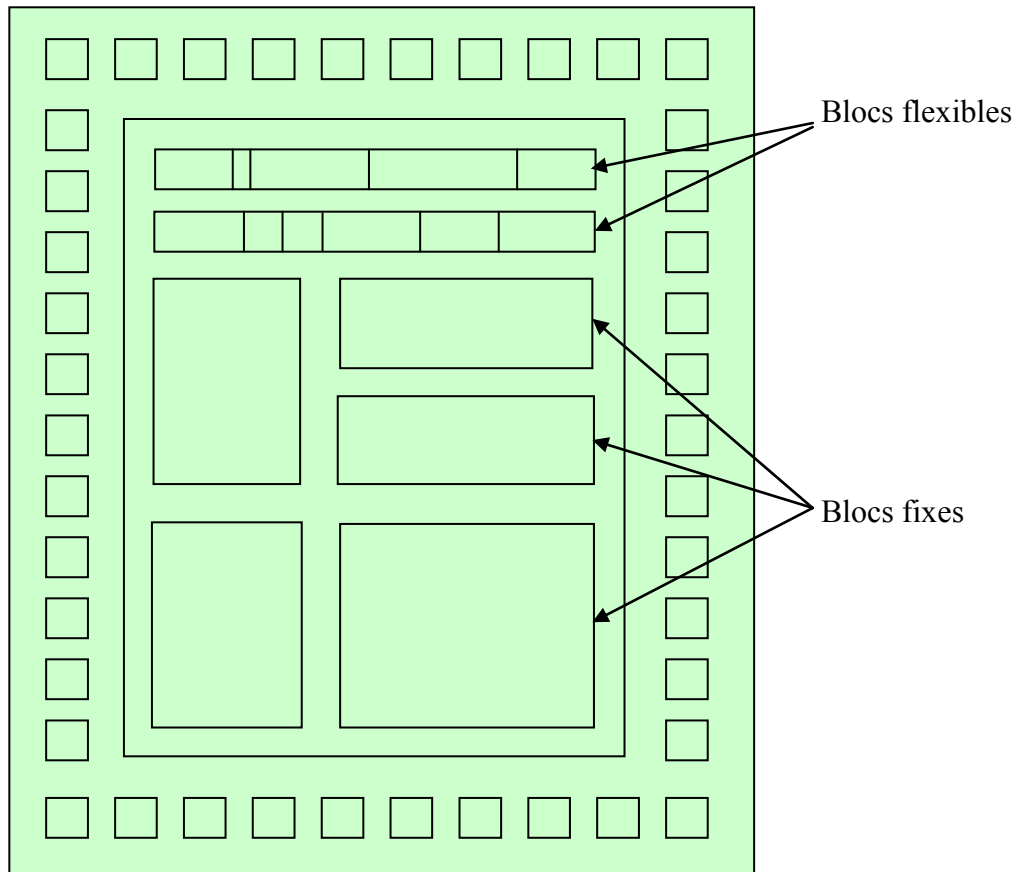


Figure 3.1. : Circuit standard cell

III.2. Où trouver les cellules?

Pour un circuit standard cell, la bibliothèque de cellules peut provenir de 3 sources:

- Les fournisseurs d'ASIC (qui fabriquera éventuellement votre puce) vous fournit une bibliothèque standard.
- Vous pouvez acheter une bibliothèque de cellules d'une tierce-partie, un fournisseur de bibliothèques.
- Vous créez vous-même votre bibliothèque.

III.2.1. Bibliothèque du fournisseur d'ASIC

Cette option nécessite l'achat d'un ensemble d'outils de CAO approuvés par le fournisseur, ainsi que la bibliothèque. Ces coûts sont donc incorporés au NRE (cout d'ingénierie non-récurrent).

La bibliothèque du fournisseur d'ASIC est composée normalement de cellules fantômes, c.-à-d. des boîtes noires qui contiennent juste assez d'information pour le routage. Juste avant la fabrication, le fabricant remplace les boîtes noires par les tracés correspondants et complète ainsi le design. Le client ne possède pas les masques (*tooling*) utilisés dans la fabrication.

III.2.2. Bibliothèque d'un fournisseur de bibliothèques

Si on achète une bibliothèque, on génère et on possède les éventuels masques servant à la fabrication (*COT Customer-Owned Tooling*). Le fournisseur développe sa bibliothèque grâce à de l'information sur un procédé provenant d'une fonderie d'ASIC. Une fonderie d'ASIC se distingue du fournisseur d'ASIC par le fait qu'elle n'offre que des services de fabrication physique et n'intervient pas dans la conception. Si la bibliothèque fournie rencontre les spécifications de la fonderie, c'est une bibliothèque de cellules qualifiée ("*qualified cell library*"). Une telle bibliothèque peut être très coûteuse (> 100 000 USD). Si elle est qualifiée auprès de plusieurs fonderies, elle permet de choisir les conditions et les coûts de fabrication les plus attrayants.

III.2.3. Bibliothèque maison

La conception de cellules est un art délicat, encore largement fait à la main lorsque la densité et / ou la performance l'exige. Presque toutes les grandes compagnies qui conçoivent des puces développent leurs propres bibliothèques.

Peu importe la méthode de création, une cellule doit comprendre les éléments suivants:

- un tracé physique;
- un modèle comportemental;
- un modèle Verilog / VHDL;
- un modèle de minutage détaillé;
- un banc d'essai ou procédure de test;
- un schéma;
- un icône de cellule;
- un modèle de charge (entrance et sortance);

- un modèle de routage.

III.3. Flot de conception standard cell

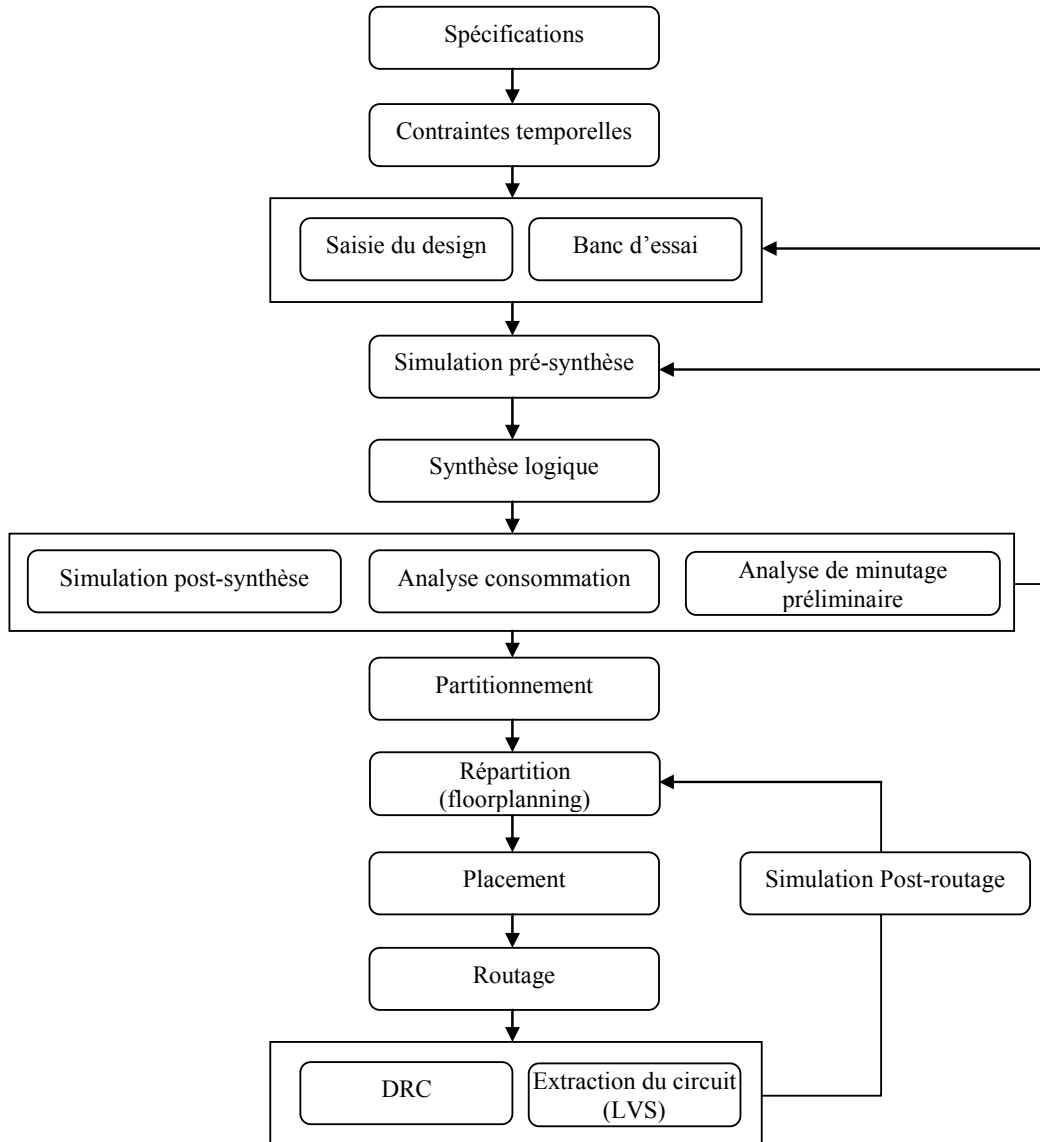


Figure 3.2. : Flot de conception de cellules standards.

III.4. Spécification d'un ASIC ou d'une cellule

Les spécifications constituent le document de base décrivant la puce à concevoir. Elles caractérisent la composante de l'extérieur... et définissent surtout le QUOI (ce que fait la composante) et non le COMMENT (les détails précis d'implantation).

Les spécifications sont étroitement liées à la faisabilité; en effet, il peut ne pas être possible de réaliser la fonction X avec une performance Y pour un coût Z. Il faut donc s'assurer que les spécifications sont réalistes. Trois volets:

- Spécifications fonctionnelles;
- Spécifications opératoires;
- Spécifications technologiques.

III.4.1. Spécifications fonctionnelles

Description des fonctions que doit assurer le circuit ou la cellule

- Description algorithmique / comportementale (i.e. pseudo-code, VHDL / Verilog de haut niveau)
- Equations logiques, tables de vérité
- Chronogrammes, diagrammes d'état
- Réseaux de Petri, réseaux de files d'attente en couches (LQN)
- Modèle mathématique

III.4.2. Spécifications opératoires

Manière dont une fonction doit opérer, conditions et domaines de fonctionnement

- Type, taille et précision des quantités impliquées dans les spécifications fonctionnelles
- Pistes de solutions à partir de projets précédents dans l'entreprise ou ailleurs
- Types de tests à élaborer pour valider l'éventuel circuit

III.4.3. Spécifications technologiques

Précisions concernant la réalisation matérielle

- Nature électrique des entrées / sorties (niveaux logiques, types de pilotes, entrance / sortance, etc.)

- Performances (e.g. rapidité, flexibilité) / contraintes (e.g. consommation, complexité, EMC)
- Spécifications de réalisation (taille, coût de développement et de fabrication, technologie, type de boîtier)
- Nature de l'environnement d'opération (radiation? température? humidité? vibrations?)
- Nature des circuits de test à inclure.

III.5. Autres étapes logiques

III.5.1. Contraintes temporelles

A partir des spécifications, on établit les contraintes temporelles sur les entrées et sorties de la puce (délais de propagation entrée / sortie, temps de préparation (*setup time*), etc.)

III.5.2. Saisie du design

Un modèle de haut niveau décrivant le comportement (algorithmes, etc.) du circuit est développé à partir de schémas et / ou de langages de description (VHDL, Verilog).

III.5.3. Simulation pré-synthèse ou comportementale

Les diverses fonctions sont simulées de manière algorithmique, comme un logiciel.

III.5.4. Synthèse

En utilisant comme base une bibliothèque de cellules prédéfinies, un outil de synthèse produit à partir du modèle comportemental une description au niveau des portes logiques.

III.5.5. Simulation post-synthèse

Simulation au niveau des portes logiques ("*gate-level simulation*")

III.5.6. Analyse de consommation

Comme on connaît à ce stade tous les éléments logiques de base, les interconnexions et que la simulation nous donne la fréquence des transitions affectant chacun des éléments, il est possible d'estimer avec une bonne précision la consommation.

III.5.7. Analyse préliminaire du minutage

On peut, à ce stade, évaluer les délais de propagation dus au nombre d'étages logiques traversés et aux charges d'entrée / sortie. Cependant, on ne connaît pas les délais associés aux interconnexions.

III.6. Étapes physiques

III.6.1. Partitionnement

Division de la puce en blocs / fonctions propices à l'implantation sur ASIC

III.6.2. Répartition "floorplanning"

Planification préliminaire de l'agencement physique des blocs de haut niveau.

III.6.3. Placement

Détermination de l'emplacement des cellules dans les blocs en vue du routage.

III.6.4. Routage

Établissement des connexions entre les blocs et les cellules, complétant ainsi les tracés (dessins de masques).

III.6.5. Extraction

A l'aide d'un outil LVS (*Layout Vs. Schematic*), un circuit (portes logiques et connexions) est extrait du tracé, y compris les capacités et résistances parasites des interconnexions. Ce circuit peut être comparé à celui produit par l'outil de synthèse pour vérifier la concordance. Il sert également à la simulation post-routage.

III.6.6. DRC (*Design Rule Check*) ou vérification des règles de conception

Vérification automatisée des largeurs et des espaces minimaux sur toutes les couches.

III.6.7. Simulation post-routage

Vérification du fonctionnement correct du circuit lorsqu'on tient compte des charges additionnelles du réseau d'interconnexions.

Chapitre IV

Caractérisation de la bascule

IV.1. Introduction

Une bibliothèque de cellules standards contient le délai, la pente des signaux de sortie et la puissance dissipée, pour chaque porte, en fonction des conditions de caractérisation. Celles-ci comprennent :

- la tension d'alimentation,
- la température,
- le type de procédé des transistors : typique, pire cas, meilleur cas ;
- la gamme des capacités de charge, variant en fonction des capacités de sortance des portes,
- et la gamme de pentes d'entrée.

Généralement, une bibliothèque est caractérisée dans les conditions, cas typique, pire cas et meilleur cas.

IV.2. Structure et analyse du comportement de la bascule D flip-flop

La réalisation la plus courante des bascules à déclenchement sur front fait appel à une structure dite maître-esclave qui utilise deux latches (figure 4.1).

Considérons le circuit montré de la figure 4.1. Le circuit est composé de deux étages dont le premier (étage a) joue le rôle du maître et le deuxième (étage b) joue le rôle de l'esclave. Les entrées CI et CN sont complémentaires.

Quand l'horloge est à un niveau logique haut (CI=0 et CN=1), MP112 et MN103 sont saturés, TG1 est en mode de conduction et passe \bar{D} au premier latch (master), comme le montre la figure 4.1. Depuis TG2 et TG3 sont les deux ouverts pendant ce temps, aucun autre transfert de données ne se fait. Quand l'horloge fait une transition à (CI=1 et CN=0), TG1 sera un circuit ouvert, et bloque tout changement de données sur D. Pendant ce temps, TG2 se ferme et accomplit la rétroaction verrouillant le circuit, tandis que TG3 est fermé permettant à la donnée d'être transmise au deuxième latch (slave). La sortie Q actuellement est la valeur D cela était présent quand l'horloge a fait une transition de 0 à 1, qui rend La bascule D à déclenchement sur front un élément de stockage.

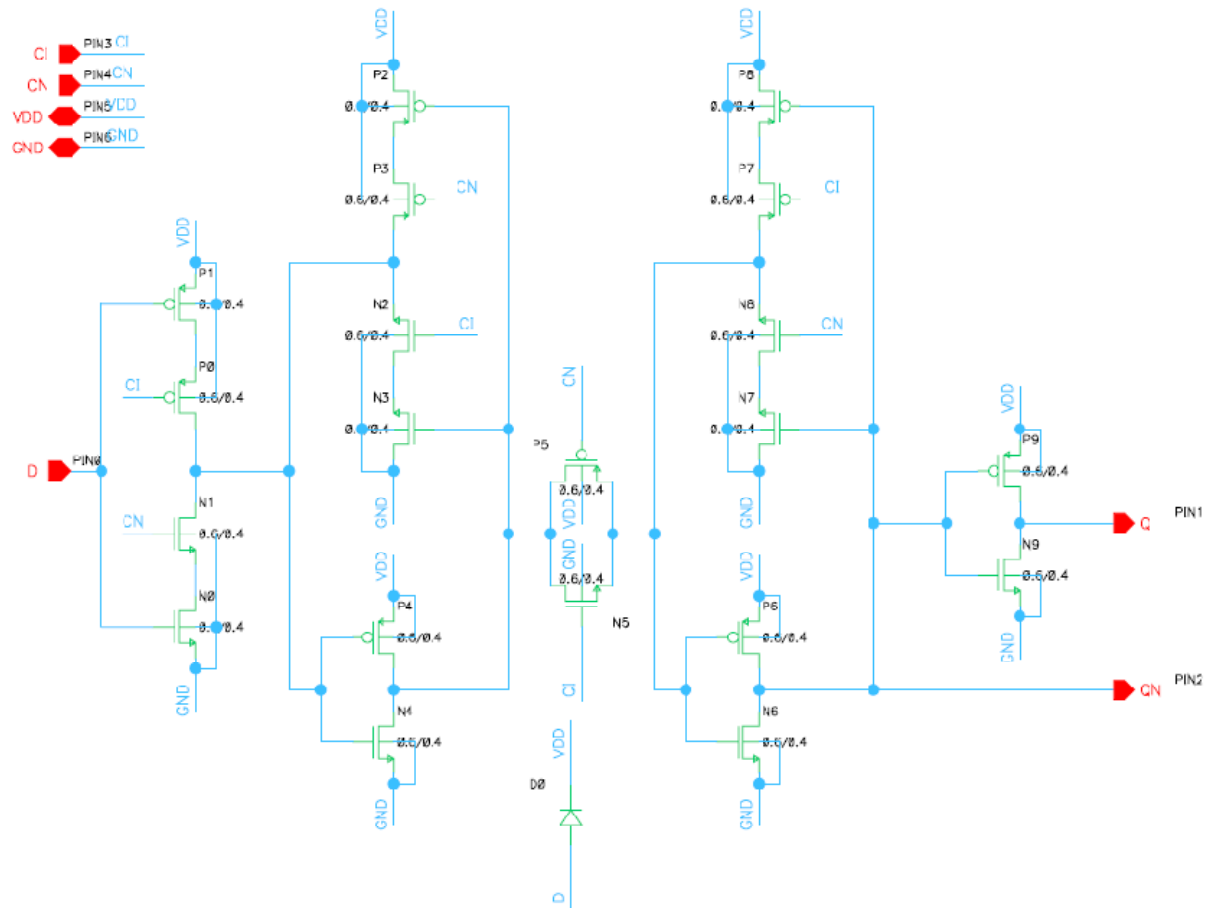


Figure 4.1. : Structure interne de la bascule

IV.3. Isolation d’horloge

Dans les systèmes synchrones, qui représentent la quasi-totalité des circuits actuels, la technique pour réduire l’activité inutile, en dehors des transitions parasites, consiste à stopper localement les horloges des blocs qui sont en veille ou qui doivent seulement maintenir une information : cette technique est appelée *clock gating* ou *gated clock* en anglais. Activer sélectivement des horloges locales est très important pour économiser l’énergie, notamment dans les processeurs à usage général, car les différents systèmes qui les composent ne sont activés qu’une fraction du temps.

Le principe de l’isolation d’horloge est d’associer à chaque élément séquentiel un bloc de contrôle CG qui inhibe le signal d’horloge lorsque la condition VEILLE est vraie (dans notre cas $D = Q$ et $\bar{D} = \bar{Q}$). Le moyen le plus simple pour l’implémenter dans un circuit à base de bascules est montré dans la Figure 4.2 : il s’agit d’une simple porte NAND.

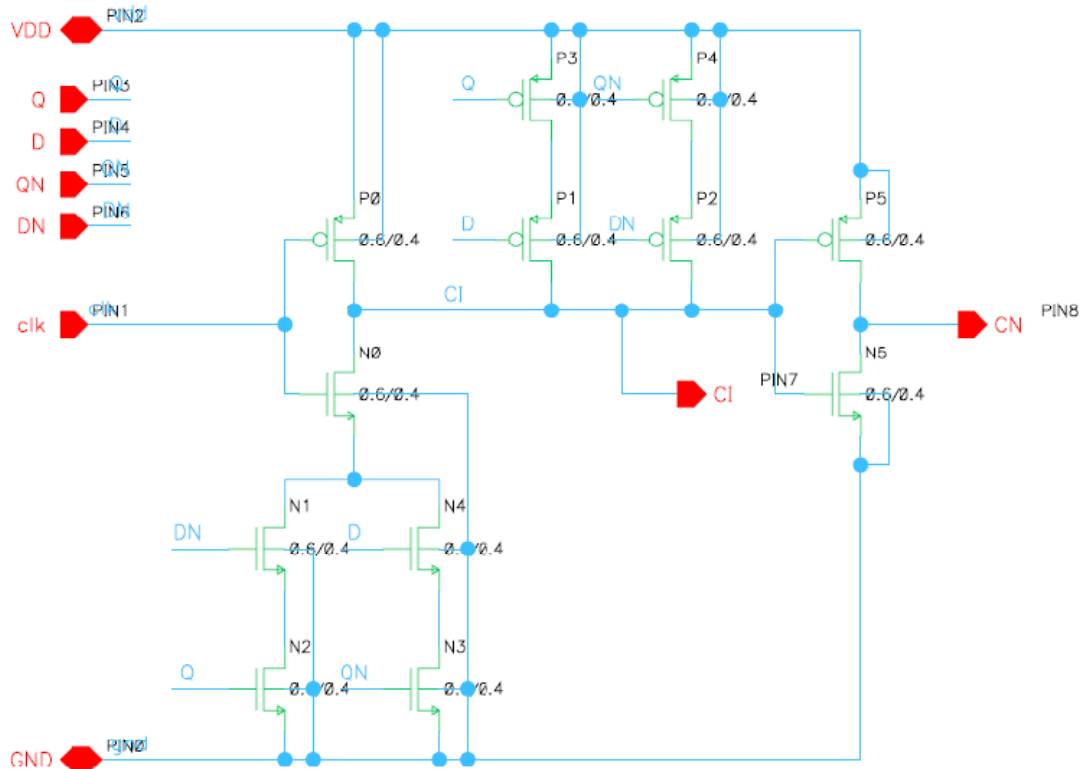


Figure 4.2. : Schéma du circuit de verrouillage

IV.4. Fonctionnement de l'ensemble

La figure 4.3 montre la bascule reliée avec le circuit de verrouillage.

Le circuit de verrouillage prélève le signal d'entrée D et le signal de sortie Q de la bascule, il fait une comparaison entre les deux signaux D et Q, s'ils sont de même niveau logique il inhibe les signaux CI et CN, dans le cas inverse; il les passe à l'entrée de la bascule.

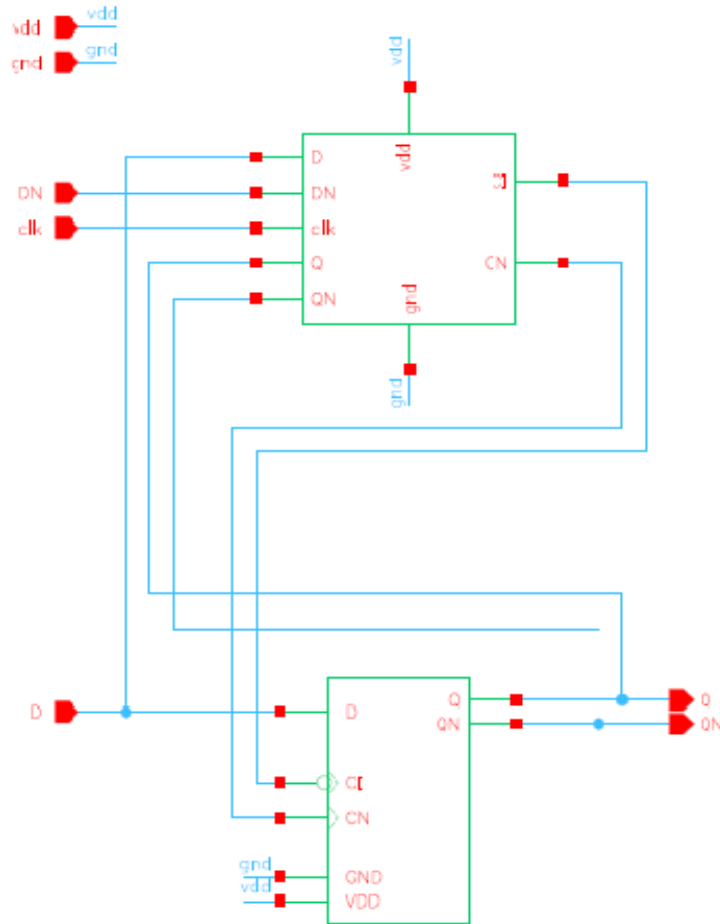


Figure 4.3. : Le schéma complet de la bascule

IV.5. Analyse temporelle du comportement de la bascule

Les principaux paramètres temporels qui caractérisent le comportement dynamique de la bascule D sont les suivants.

IV.5.1. Délai de propagation d'une composante

Dans cette partie, nous allons étudier le temps de propagation de la bascule, t_{pHL} et t_{pLH} , qui est le temps séparant le passage de la tension d'entrée par $V_{DD}/2$ du passage de la sortie par $V_{DD}/2$, respectivement dans le cas de la décharge et de la charge de la capacité de sortie. Le temps de propagation d'une bascule dépendant de la pente du signal d'entrée et de la capacité de charge.

En particulier, il ne faut pas commander les entrées de la bascule directement par signal idéal. Pour la même raison, il faut charger les sorties de la bascule analysée par des capacités de valeurs variables.

Pour cela, nous avons fait une série de simulations toutes en variant les pentes de signaux d'entrées, les valeurs des capacités de charges, dans les conditions, cas typique, pire cas et meilleur cas.

La configuration utilisée pour la simulation du temps de propagation est montrée sur la figure 4.4. La bascule est commandée par les sorties des sources V2 et V5, qui génèrent les signaux D et DN. Des capacités de charges sont connectées aux sorties Q et QN.

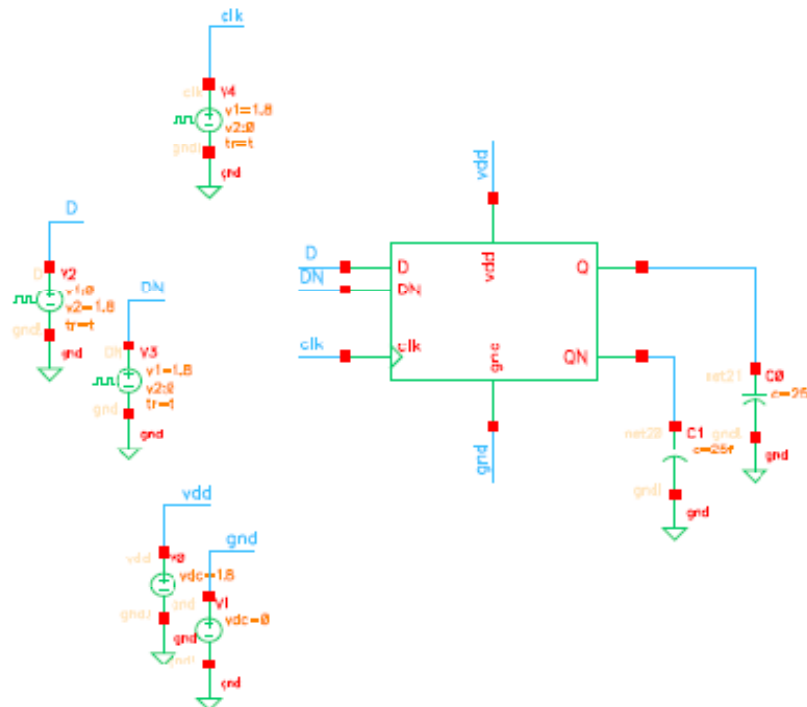
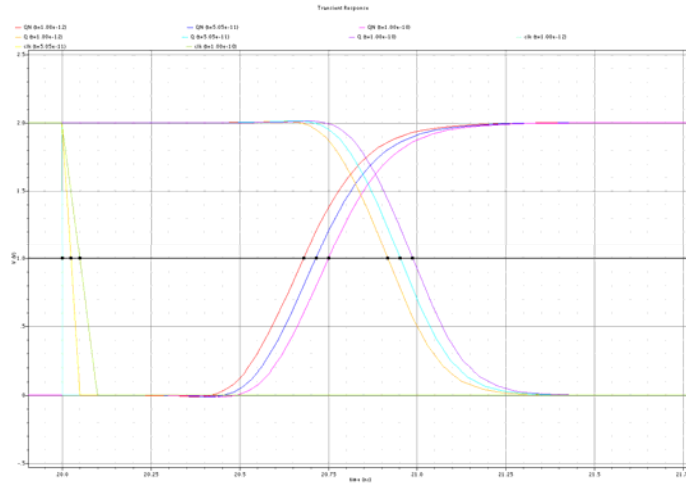


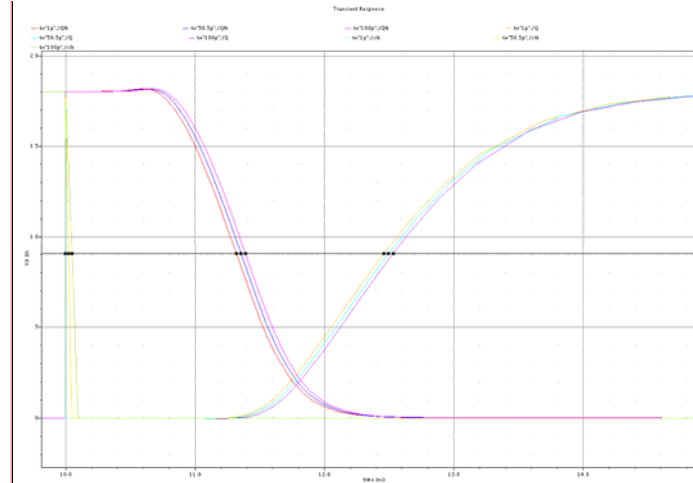
Figure 4.4. : Testbench du délai de propagation

La bascule est simulée on présentant aux entrées des signaux avec des transitions de 1ps, 25ps, et 50ps. Pour des valeurs des capacités de charges de 10fF, 20fF, et 25fF. Dans les conditions, cas typique, pire cas et meilleur cas. Pour une sortie de la bascule montante ou descendante.

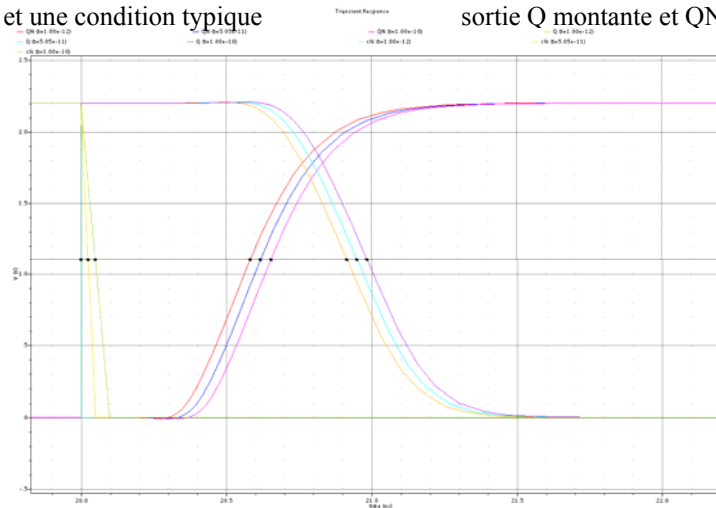
La figure 4.5 montre trois exemples de résultats.



Résultat de simulation pour des capacités de charges de 10fF, pour la sortie Q descendante et QN montante, et une condition typique



Résultat de simulation pour des capacités de charges de 20fF, pour la sortie Q montante et QN descendante, et une condition pire cas



Résultat de simulation pour des capacités de charges de 25fF, pour la sortie Q descendante et QN montante, et une condition meilleur cas

Figure 4.5. : Quelques simulations pour les différentes conditions

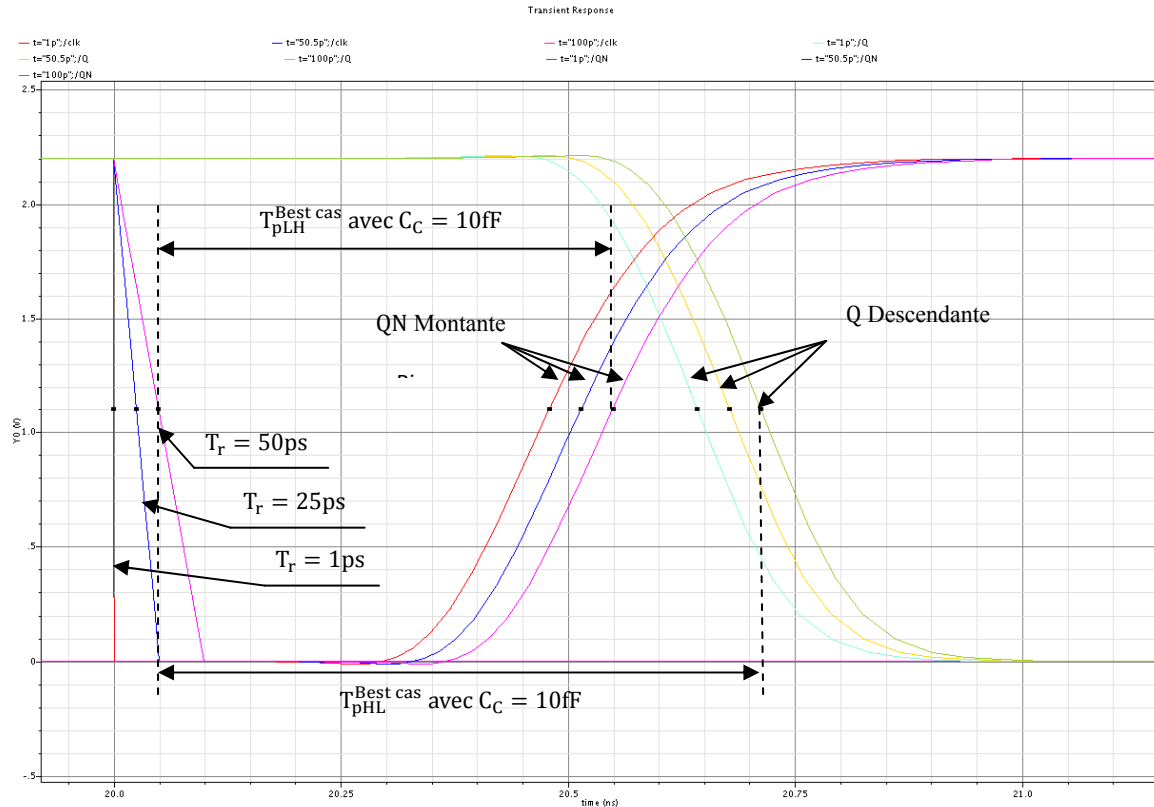


Figure 4.6. : Temps de propagation des sorties Q et QN pour différents valeurs de temps de transition du signal d'horloge

Nous avons fait une série de simulations, afin d'obtenir une formule du délai de propagation en fonction de la capacité de charge, du temps de transition des signaux d'entrées, dans les conditions, cas typique, pire cas et meilleur cas.:

- **meilleur cas (Best case)** : VCC = 2.2V et T = -40°C.
- **cas typique (Nominal case)** : VCC = 2V et T = 25°C.
- **pire cas (Worst case)** : VCC = 1.8V et T = 105°C.

Les tableaux dans l'annexe A résument les résultats de différentes simulations faites :

Les fonctions de délai de propagation obtenues sont résumées dans le tableau suivant :

Evènement	Best 2.2 V (-40°C)	Nominal 2V (25°C)	Worst 1.8V(105°C)
$T_{pHL}^Q (ps)$	$0.4 \times (T_r) + 18.27$ $\times (C_C) + 459.33$	$0.4 \times (T_r) + 25.53$ $\times (C_C) + 661.67$	$0.4 \times (T_r) + 35.07$ $\times (C_C) + 964.33$
$T_{pLH}^Q (ps)$	$0.4 \times (T_r) + 34.07$ $\times (C_C) + 583.33$	$0.4 \times (T_r) + 46.6$ $\times (C_C) + 833$	$0.4 \times (T_r) + 63.53$ $\times (C_C) + 1180.67$
$T_{pHL}^{QN} (ps)$	$0.4 \times (T_r) + 8.33$ $\times (C_C) + 482.67$	$0.4 \times (T_r) + 11.93$ $\times (C_C) + 689.67$	$0.4 \times (T_r) + 16.87$ $\times (C_C) + 980.33$
$T_{pLH}^{QN} (ps)$	$0.4 \times (T_r) + 7$ $\times (C_C) + 409$	$0.4 \times (T_r) + 9.33$ $\times (C_C) + 586.66$	$0.4 \times (T_r) + 12.53$ $\times (C_C) + 833.67$

IV.5.2. Temps de préparation et de maintien

Caractériser avec précision le temps préparation et le temps de maintien des registres et des verrous à une importance cruciale pour l'analyse temporelle des circuits numériques.

Nous allons ici rappeler les définitions des paramètres temporels d'une bascule tels qu'ils ont été définis. Ces paramètres sont au nombre de trois :

- **délai Clk-Q** : temps de propagation entre le terminal de l'horloge Clk et le terminal de sortie Q, en considérant que l'entrée D est restée stable suffisamment longtemps avant le front d'horloge (déjà simulé) ;
- **temps de préparation (*setup time* t_{su})** : temps minimum pendant lequel l'entrée D doit rester stable avant un front de l'horloge, de manière à assurer que la sortie Q deviendra égale à la nouvelle valeur de l'entrée D ;
- **temps de maintien (*hold time* t_h)** : temps minimum pendant lequel l'entrée D doit rester constante après un front de l'horloge, de manière à assurer que la sortie Q restera stable.

Les nouvelles données doivent être évaluées aussi près que possible d'un front d'horloge pour exploiter au maximum la période d'horloge.

✓ Le temps de préparation (*setup time* t_{su})

La configuration utilisée pour la simulation du temps de préparation est montrée sur la figure 4.7. La bascule est commandée par les sorties des sources V2 et V5, qui génèrent les signaux D et DN, et V6 délivre le signal d'horloge.

Pour cela, une série de simulations ont été faites toutes en fixant pour un premier cas le temps de transition de l'horloge, et on varie le temps de transition des entrées. Puis on passe à une autre valeur du temps de transition de l'horloge et ainsi de suite. Pour les conditions, cas typique, pire cas et meilleur cas.

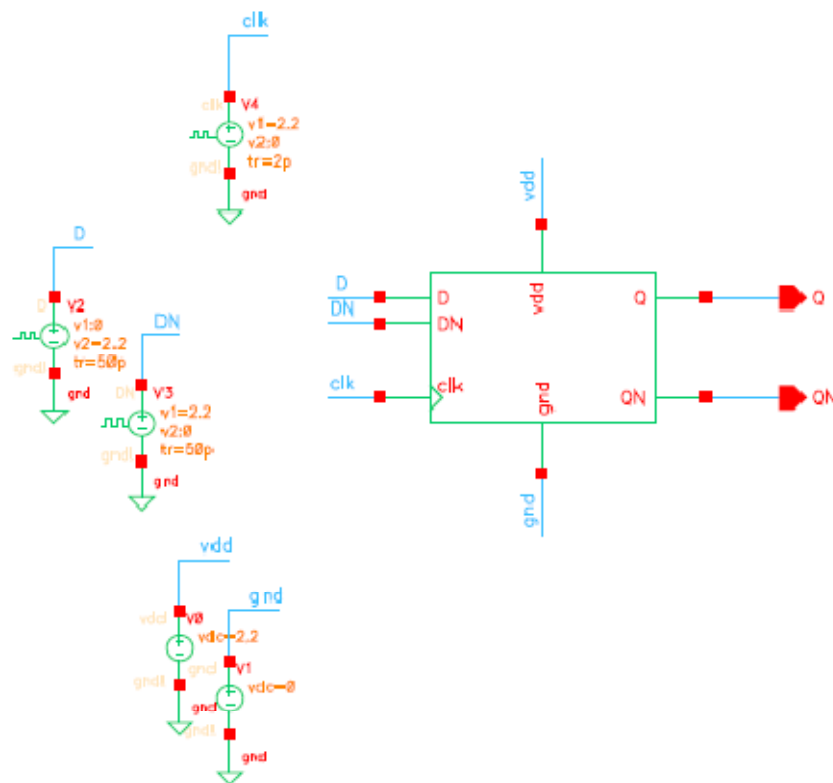
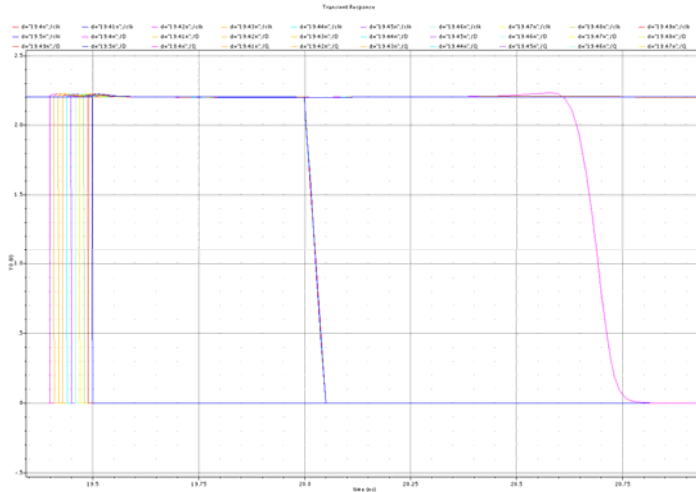
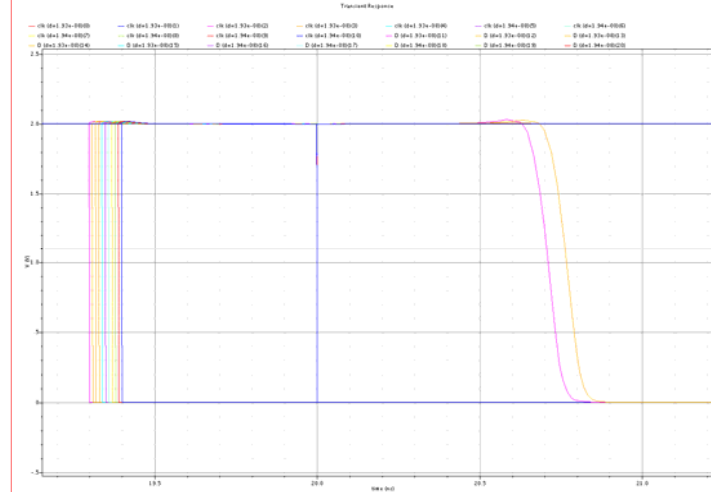


Figure 4.7. : Testbench pour le calcul du temps de préparation

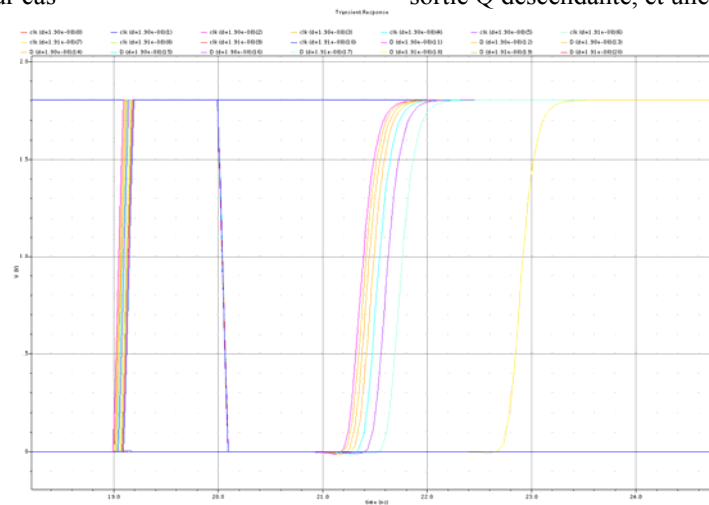
La figure suivante représente quelques résultats simulations.



Résultat de simulation pour $T_r^{CP} = 25ps$, $T_r^D = 1ps$, pour la sortie Q descendante, et meilleur cas



Résultat de simulation pour $T_r^{CP} = 1ps$, $T_r^D = 1ps$, pour la sortie Q descendante, et une condition typique



Résultat de simulation pour $T_r^{CP} = 50ps$, $T_r^D = 50ps$, pour la sortie Q montante, et pire cas

Figure 4.8. : Quelques résultats de simulation

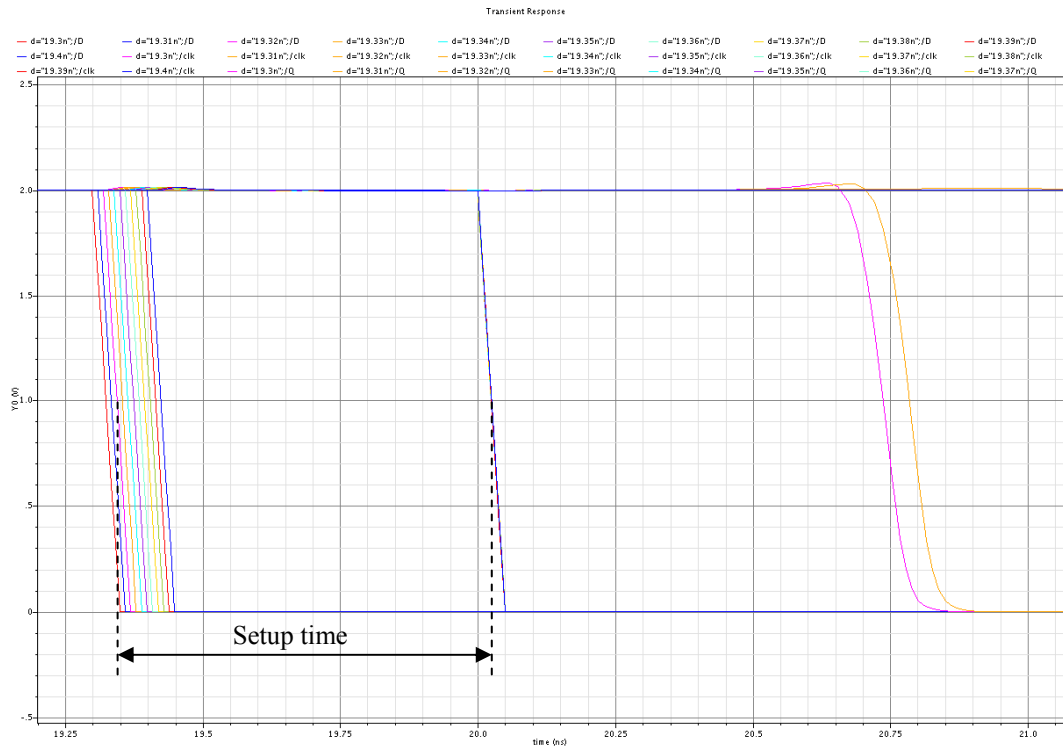


Figure 4.9. : Temps de préparation (setup time t_{su})

Les tableaux de l'annexe B résument les résultats de simulation :

✓ **Le temps de maintien (hold time – t_h)**

C'est le temps minimal pendant lequel le signal d'entrée de la bascule ou du latch ne doit pas changer après la transition active de l'horloge.

Le circuit utilisé pour la simulation du temps de maintien est montré sur la figure 4.10. La bascule est commandée par les sorties des sources V2 et V5, qui génèrent les signaux D et DN, et la source V6 génère le signal d'horloge.

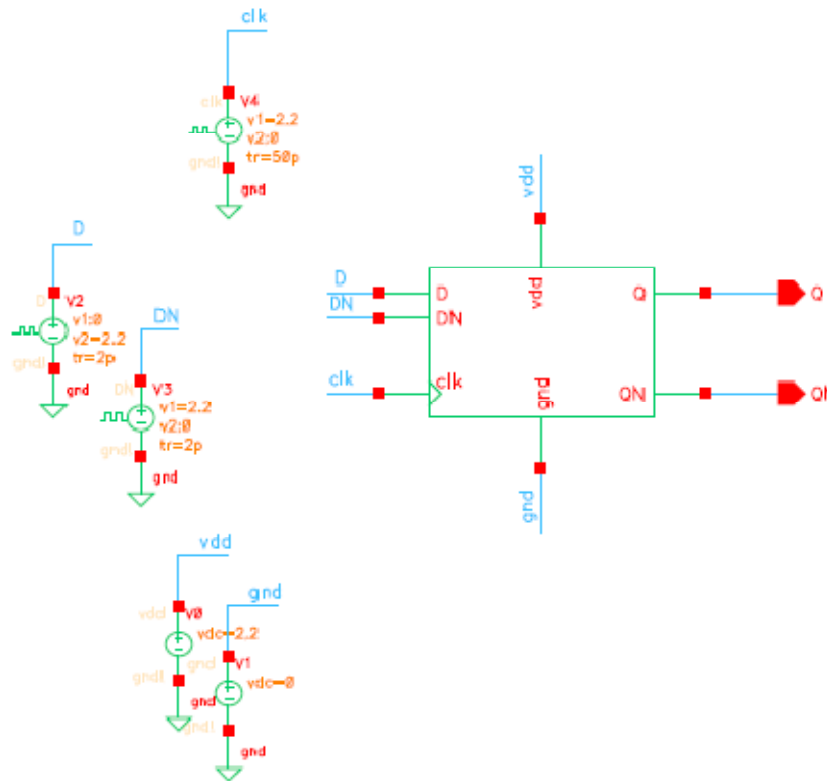
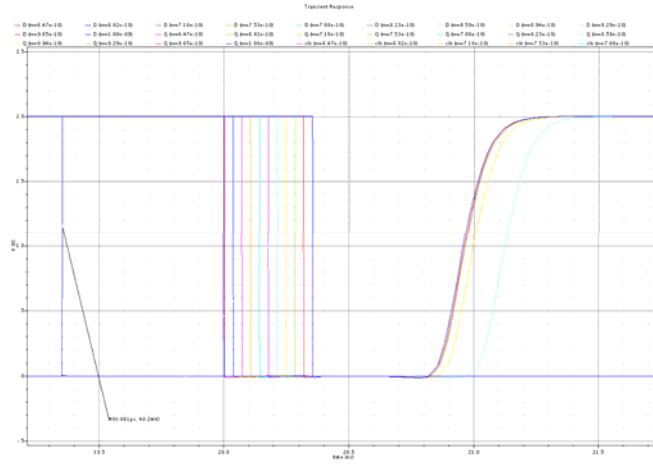
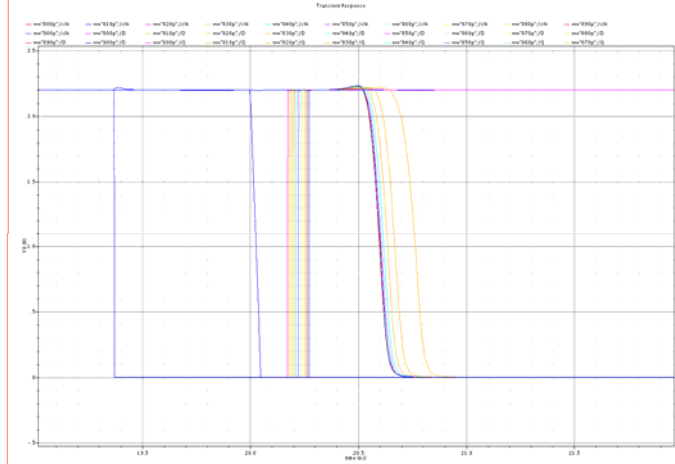


Figure 4.10. : Circuit de simulation du temps de maintien

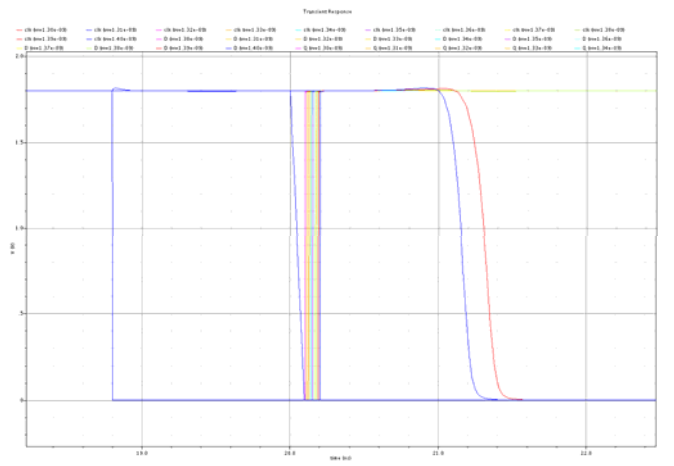
Les figures suivantes représentent quelques résultats de simulation du temps de maintien :



Résultat de simulation pour $T_r^{CP} = 25ps$, pour la sortie Q montante, et une condition typique



Résultat de simulation pour $T_r^{CP} = 25ps$, pour la sortie Q descendante, et meilleur cas



Résultat de simulation pour $T_r^{CP} = 25ps$, pour la sortie Q descendante, et pire cas

Figure 4.11. : Exemples de résultats de simulation du temps de maintien

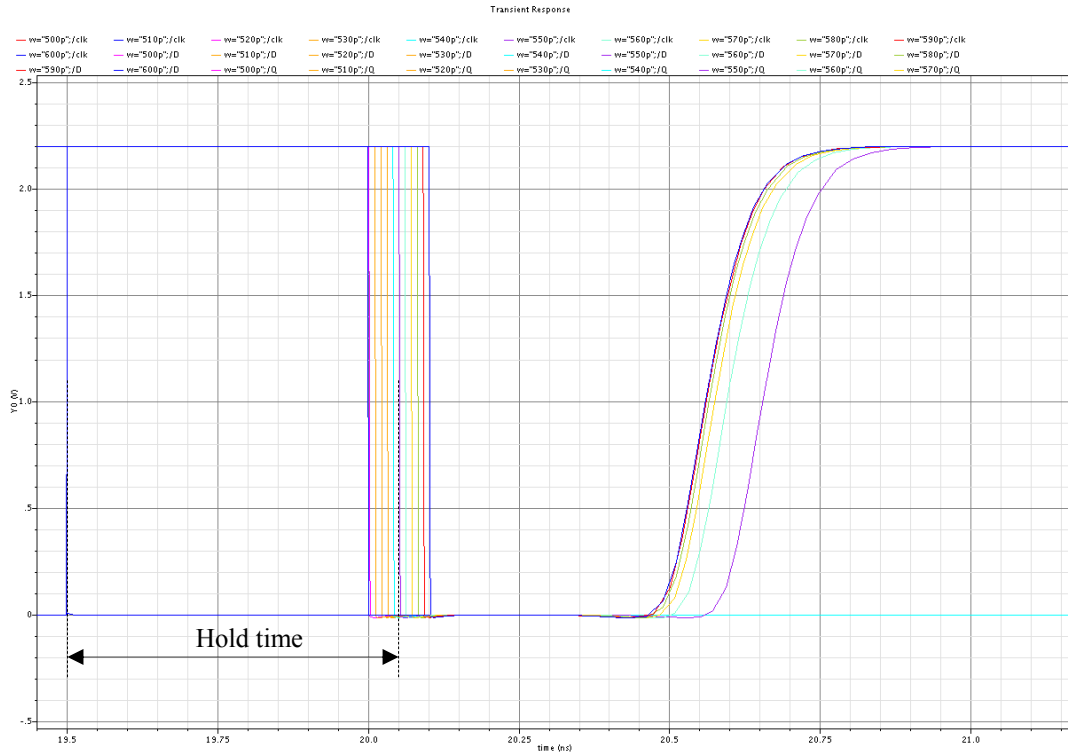


Figure 4.12. : Temps de maintien (hold time t_h)

Les dans l'annexe C montrent les résultats de simulation :

Après avoir collecté toutes ces valeurs du temps de préparation et du temps de maintien nous les avons formalisé sous forme d'équations en fonction du temps de monté de l'horloge et l'entrée D dans le tableau suivant :

Setup/hold times	Best 2.2V -40°C	Nominal 2V 25°C	Worst 1.8V 105°C
D_CP_HOLD (fall) T_h^{fall} (ps)	$1.22 \times T_r^{\text{CP}} + 18.77$	$0.33 \times T_r^{\text{CP}} + 87.30$	$0.81 \times T_r^{\text{CP}} + 49.10$
D_CP_HOLD (rise) T_h^{rise} (ps)	$-0.4 \times T_r^{\text{CP}} + 50$	$-0.81 \times T_r^{\text{CP}} + 69.18$	$-0.4 \times T_r^{\text{CP}} + 50$
D_CP_SETUP (fall) $T_{\text{su}}^{\text{fall}}$ (ps)	$0.40 \times T_r^{\text{D}} - 0.20 \times T_r^{\text{CP}} + 400$	$0.20 \times T_r^{\text{D}} - 0.40 \times T_r^{\text{CP}} + 690$	$0.20 \times T_r^{\text{D}} - 0.20 \times T_r^{\text{CP}} + 1020$
D_CP_SETUP (rise) $T_{\text{su}}^{\text{rise}}$ (ps)	$0.20 \times T_r^{\text{D}} - 0.40 \times T_r^{\text{CP}} + 460$	$0.40 \times T_r^{\text{D}} - 0.4 \times T_r^{\text{CP}} + 620$	$0.4 \times T_r^{\text{D}} - 0.2 \times T_r^{\text{CP}} + 930$

IV.6. Calcul des capacités d'entrées et de charges

La capacité de l'entrée d'horloge d'une cellule standard et de leur entrées de données, aussi bien que la capacité de charge, sont des paramètres d'interface incontestables à la caractérisation des cellules standards combinatoires et séquentielles.

IV.6.1. Capacité d'entrée (*input capacitance*)

La configuration utilisée pour la simulation de la capacité d'entrée est montrée sur la figure 4.13. La bascule est commandée par les sorties des sources V6 et V9, qui génèrent les signaux D et DN, V7 qui génère le signal d'horloge. Des capacités sont branchées entre les sorties des sources de signaux et les entrées de la bascule.

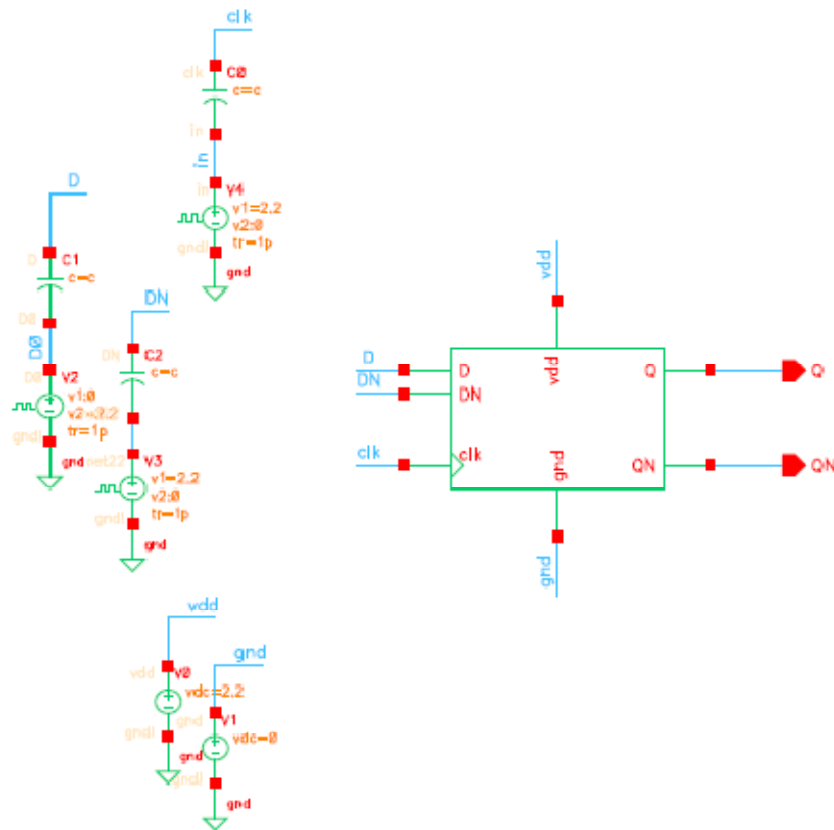
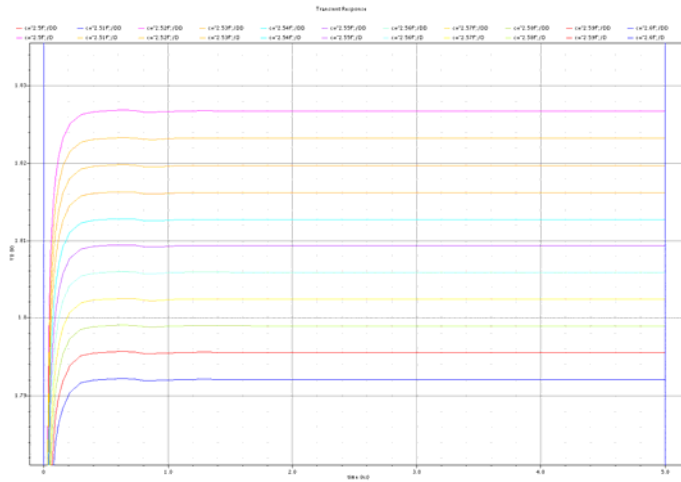
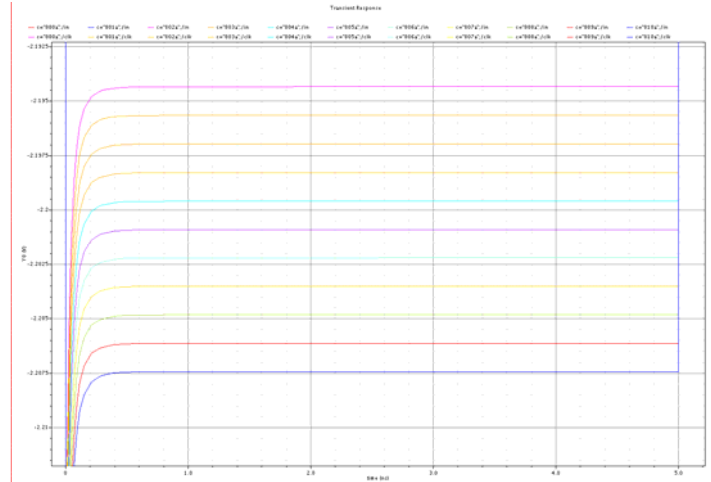


Figure 4.13. : Circuit de simulation des capacités d'entrées

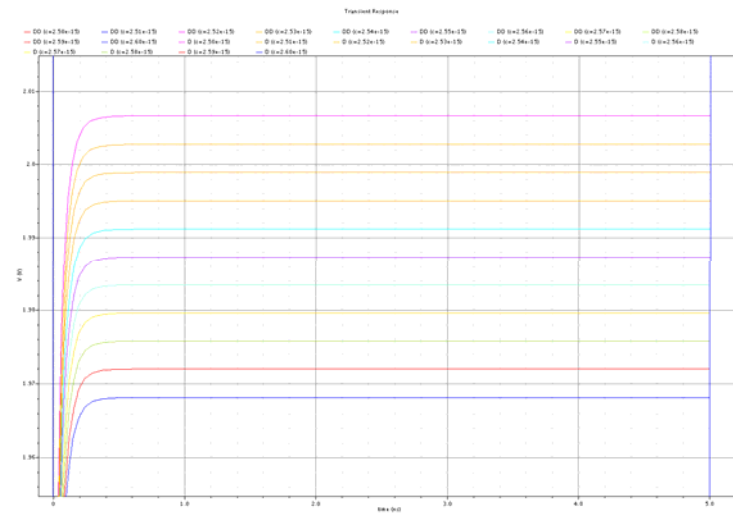
La bascule est simulée en variant les capacités branchées aux entrées de la bascule. Pour des valeurs des tensions d'entrées fixes. Dans les conditions, cas typique, pire cas et meilleur cas. Pour cela une simulation paramétrique a été faite (le paramètre est la capacité C), afin d'avoir une capacité pour la quelle la tension au niveau des entrées égale à $\frac{V_{CC}}{2}$.



Résultat de simulation pour condition typique



Résultat de simulation pour meilleur cas



Résultat de simulation pour pire cas

Figure 4.14. : Exemples de résultat de simulation

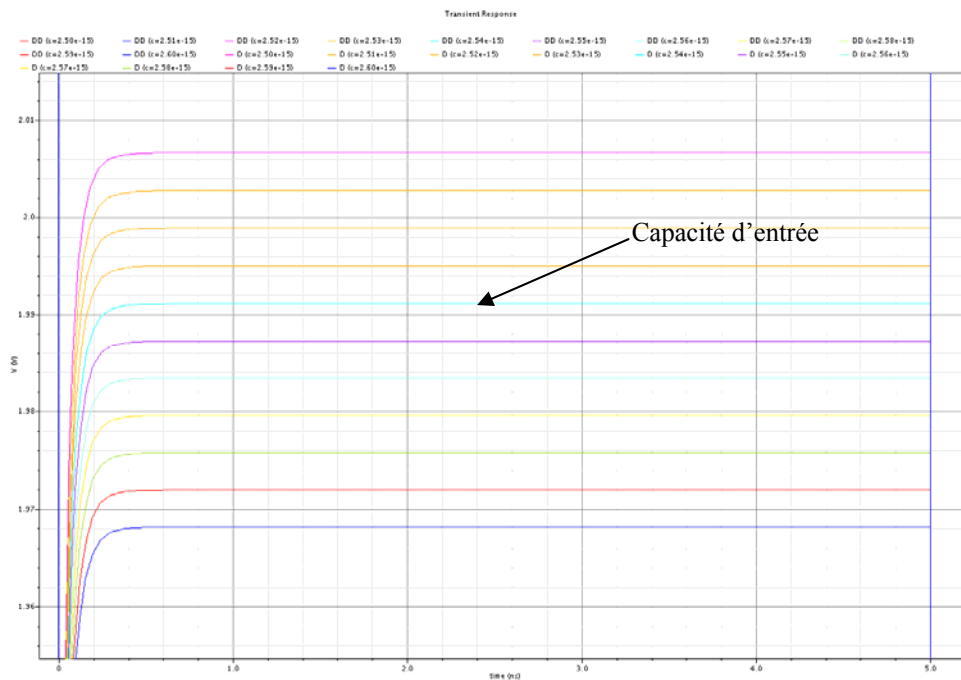


Figure 4.15. : Capacité d'entrée (Input capacitance)

IV.6.2. La capacité maximal de charge (maximum load capacitance)

C'est la capacité maximale qu'on peut monter à la sortie de la bascule sans que le signal de sortie n'attienne pas sa valeur finale avant l'impulsion d'horloge suivante, la figure 4.16 représente le circuit de test utilisé :

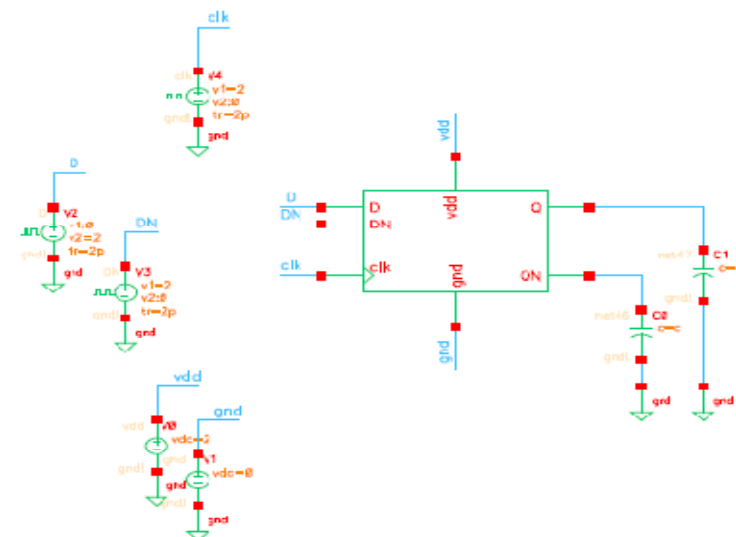
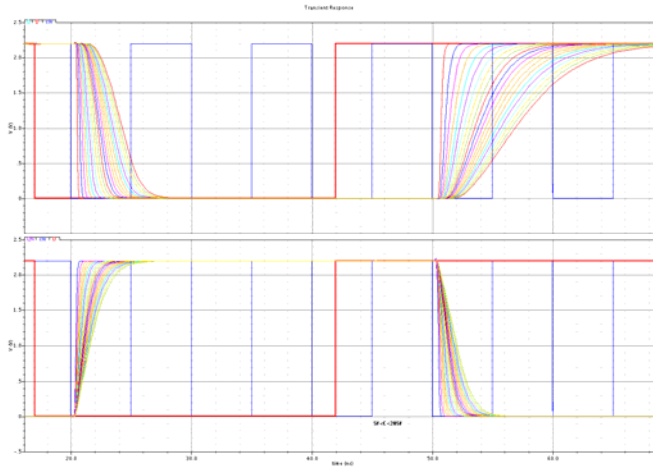
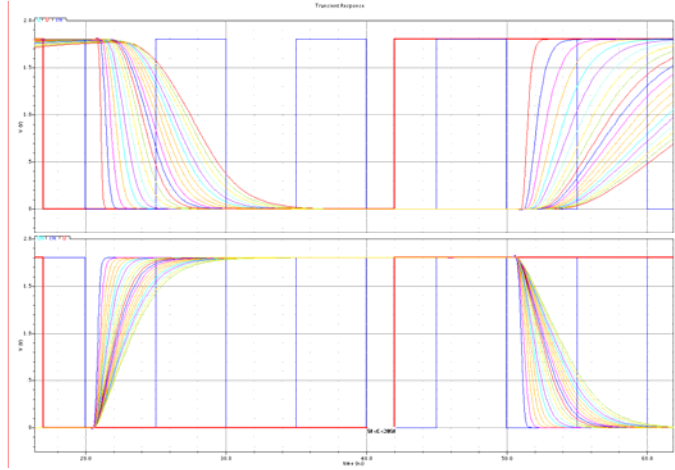


Figure 4.16. : Circuit de simulation de la charge maximal

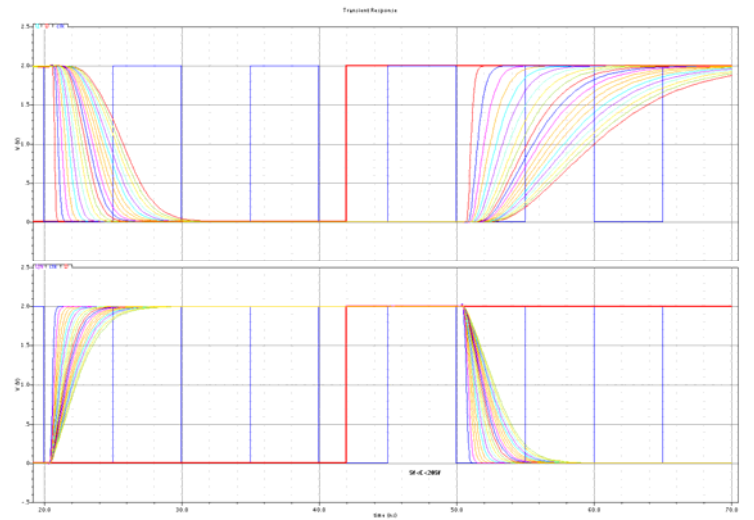
Un exemple de courbes obtenues dans cette simulation est donné dans la figure 4.18



Résultat de simulation pour condition typique



Résultat de simulation pour meilleur cas



Résultat de simulation pour pire cas

Figure 4.17. : Exemples de résultat de simulation

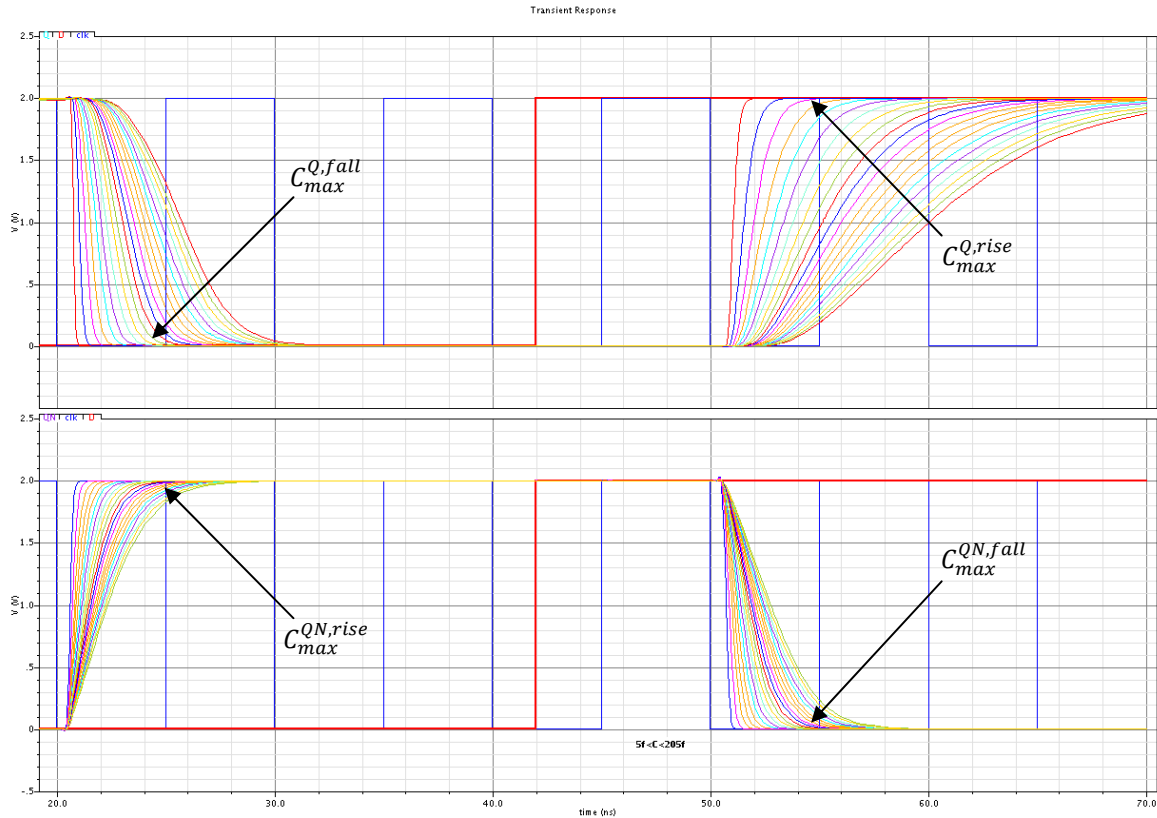


Figure 4.18. : Exemple de résultat de simulation (maximum load capacitance)

Le tableau suivant donne les valeurs des capacités d’entrées de charges pour les différents cas (nominal, best, et worst cases) :

Capacité	Best 2.2V -40°C	Nominal 2V 25°C	Worst 1.8V 105°C
QN max LOAD (fF)	21	19.6	21
CP input cap (fF)	0.75	0.70	0.75
D input cap (fF)	2.35	2.40	2.40
Q max load (fF)	21	19.6	21

IV.7. Caractérisation en puissance

Deux types de puissance sont donnés dans la bibliothèque : la puissance statique due aux courants de fuite et la puissance dynamique. La puissance statique est mesurée pour toutes les combinaisons possibles en entrée, en additionnant le courant provenant de

l'alimentation et de toutes les entrées. La puissance dynamique est la puissance dissipée à l'intérieur de la bascule lorsqu'une entrée varie : elle provient du courant de charge des nœuds internes et des courants de fuite, puisqu'il n'y a pas de courant de court-circuit à la tension d'alimentation à laquelle nous travaillons. Nous excluons de cette mesure le courant de charge de la capacité de sortie.

La puissance interne est mesurée pour les deux gammes de pente et de charge.

IV.7.1. Energie interne (*internal energy*)

La consommation interne de la bascule est calculée en mesurant le courant provenant de l'alimentation et en y soustrayant le courant consommé par la capacité de sortie.

Le montage utilisé pour obtenir une simulation de l'énergie interne de la bascule est représenté dans la figure suivante :

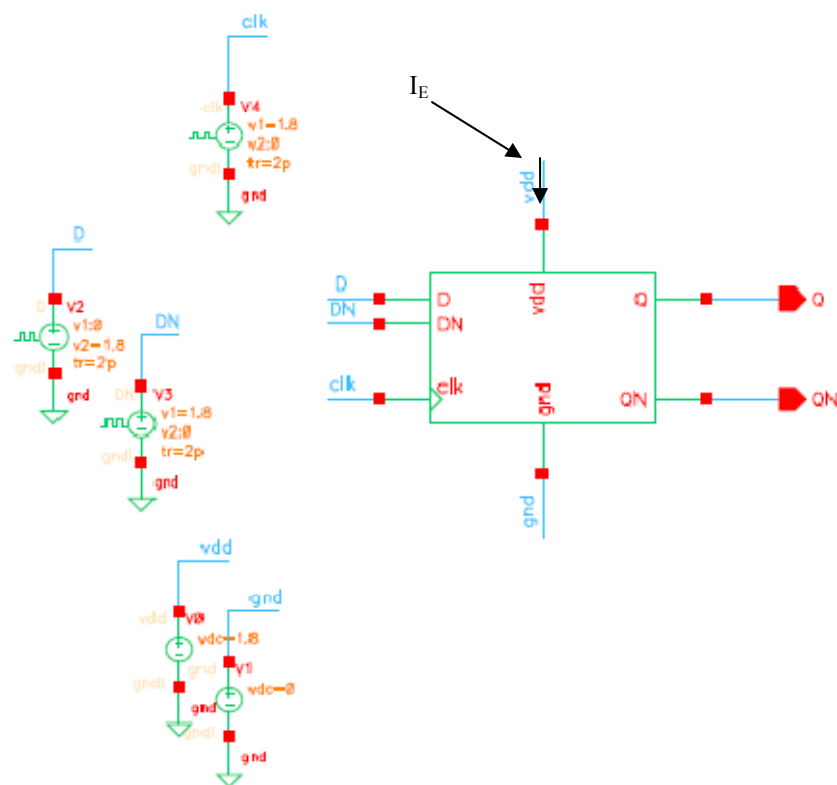
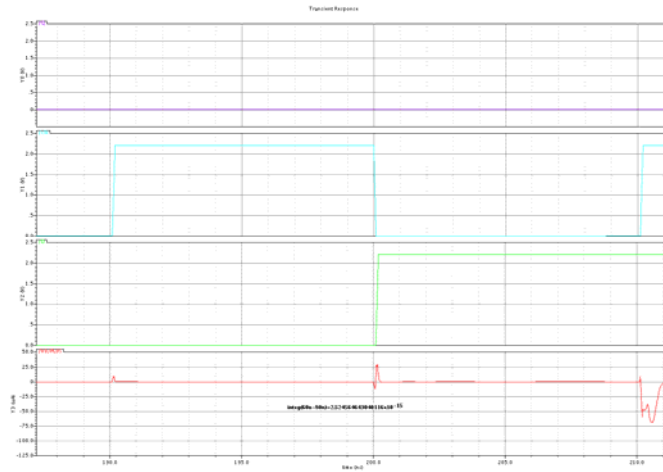
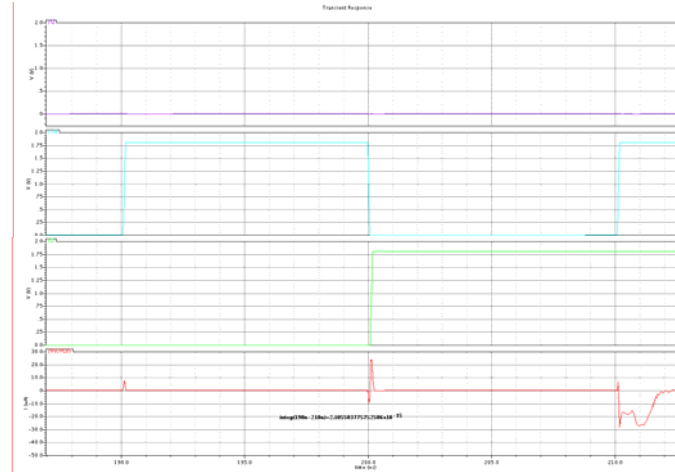


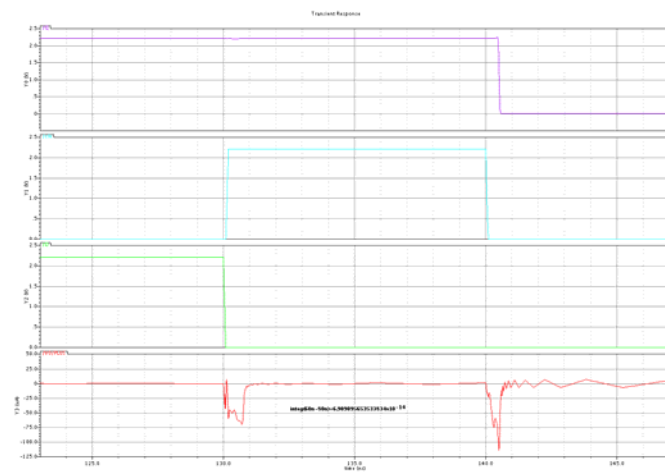
Figure 4.19. : Montage de simulation de l'énergie interne de la bascule



Résultat de simulation pour CP/D toggling, la sortie Q stable, et pire cas



Résultat de simulation pour CP/D toggling, la sortie Q stable, et meilleur cas



Résultat de simulation pour la sortie Q toggling, CP/D stable, et pire cas

Figure 4.20. : Exemples de résultats simulation de l'énergie interne de la bascule

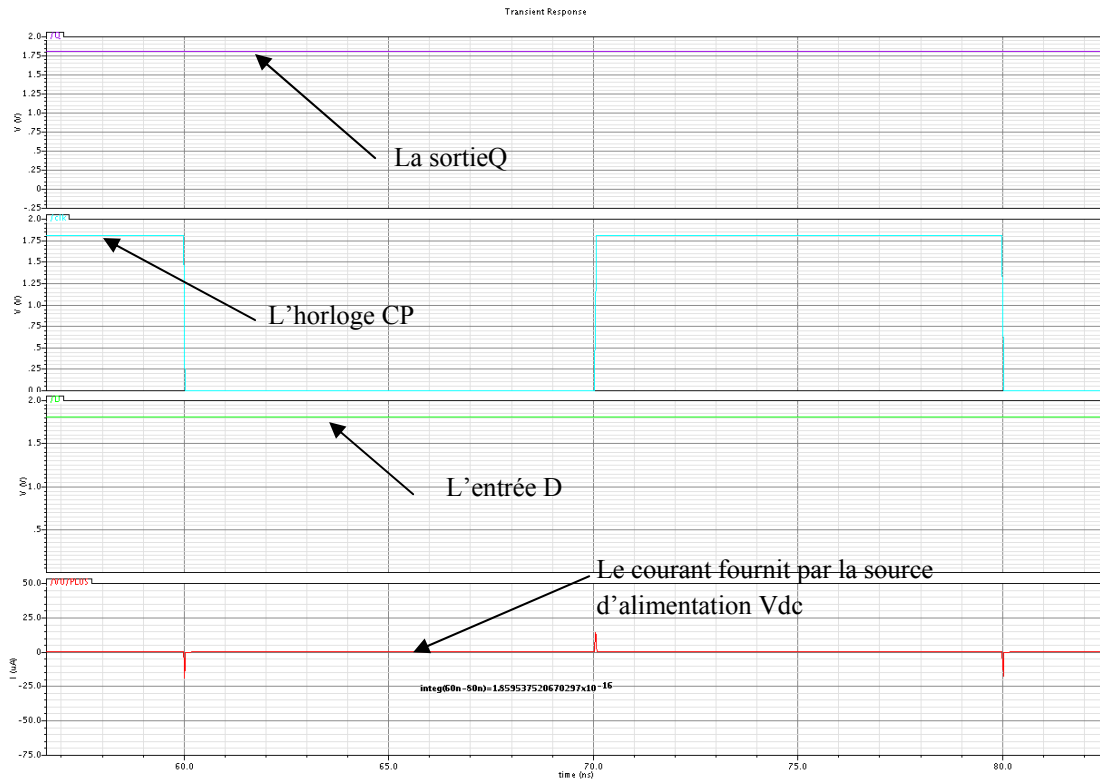


Figure 4.21. : Les différents vecteurs utilisés en entrées et le courant fournit par l'alimentation

On utilise la formule suivante pour calculer l'énergie interne de la bascule :

$$\text{Energie interne} = V_{DD} \times I_E$$

La bascule est simulée pour les conditions, pire cas et meilleur cas.

Evènement sur les pins	meilleur cas 2.2V -40°C	pire cas 1.8V 105°C
CP toggling/Output stable(w)	2.345×10^{-16}	2.214×10^{-16}
D toggling/Output stable(w)	3.155×10^{-14}	2.526×10^{-15}
D/CP-Output toggling (w)	6.515×10^{-14}	6.176×10^{-14}

IV.7.2. Courant de fuite (*leakage power*)

Un transistor n'est pas un interrupteur idéal, non seulement sa résistance n'est pas nulle lorsqu'il est passant, mais elle n'est pas non plus infinie lorsqu'il est bloqué. Il existe un courant I_{OFF} lorsque le transistor est dans un état bloqué. Ce qui implique une consommation d'énergie même si la cellule est en repos.

La figure suivante représente le circuit de simulation du courant de fuite :

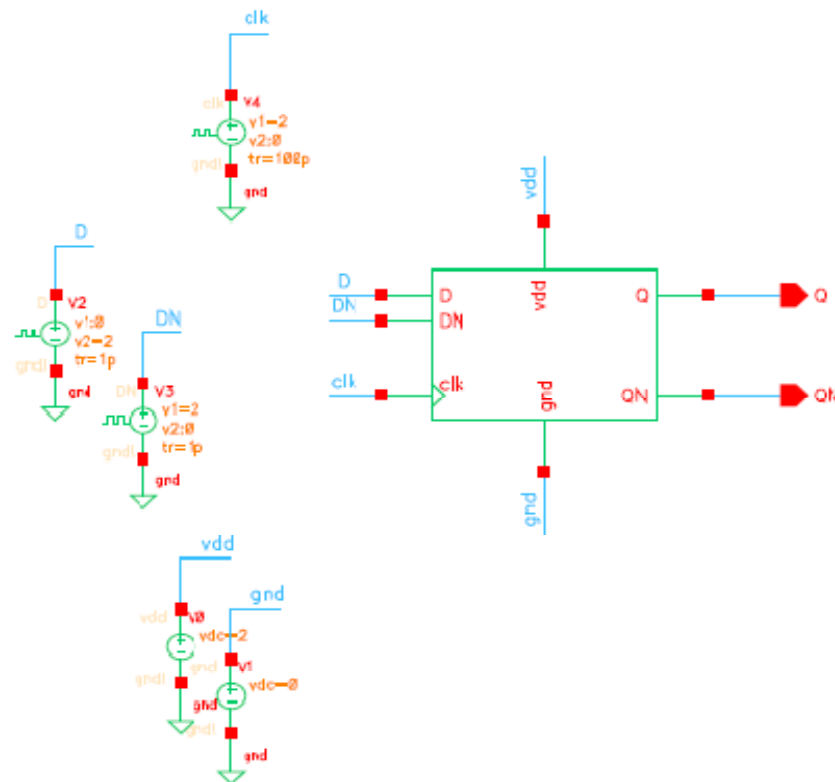


Figure 4.22. : Circuit de simulation de la puissance de fuite de la bascule

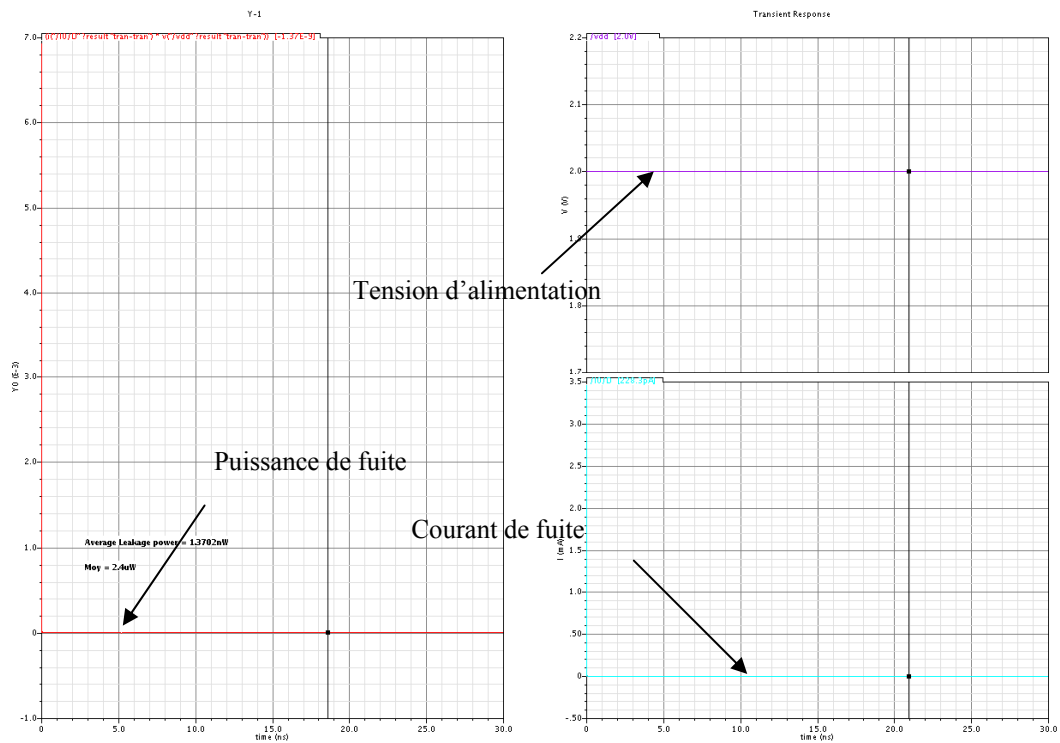


Figure 4.23. : Exemple de résultat de simulation de courant fuite

La puissance due au courant de fuite de la bascule est de 1.37 nW

IV.8. Dessin des masques (*layout*)

La conception d'un circuit est suivie par l'étape de dessin des masques employés dans la fabrication (*layout*). Dans cette étape, la représentation de chaque composant du circuit est convertie en une représentation géométrique, les connections entre les différents composants sont également exprimées en tant que des modèles géométriques. Lors de la conception de *layout*, il y a deux buts à considérer : une surface de circuit compact, et une méthode pour l'inclusion des parasites précise de *layout* dans la synthèse de circuit. Les détails exacts d'un *layout* dépendent des règles de conception, qui sont des directives basées sur les limitations du processus de fabrication et les propriétés électriques des matériaux de fabrication.

Le *layout* d'un circuit est un processus très complexe, en conséquence, il est toujours décomposé en diverses étapes secondaires afin de manipuler la complexité du problème.

Les fonctions logiques peut être implémentée par la combinaison des blocs logiques fondamentaux, La partie numérique représentée par la logique de commande est conçue à partir de cellules standards. Les différentes cellules voient leurs entrées, sorties, masse et

lignes d'alimentation dans les mêmes emplacements, pour réaliser un routage propre et aussi pour une meilleure optimisation de la taille occupée par le circuit. Afin de minimiser le bruit de la partie numérique sur la partie analogique, la partie numérique est dotée de sa propre alimentation DVDD et DGND. Aussi, les éléments de cette librairie possèdent une connexion substrat pour ainsi minimiser le risque du latch-up [22].

Notre bascule sera utilisée dans la partie numérique du circuit intégré avec un très grand nombre (plus de 3000 bascules), c'est pour cette raison que le layout de la bascule doit être très compacte. Ce qui exige l'utilisation la technique 'layout full costum (*compact layout*)', c'est-à-dire que les transistors ne sont pas utilisés a partir de la bibliothèque du logiciel.

Compacter au maximum la cellule selon l'axe horizontal (dans ce projet on a figé les dimensions verticales pour permettre l'aboutement latéral avec d'autres cellules de la bibliothèque.

La figure 4.24 représente le layout du circuit de verrouillage :

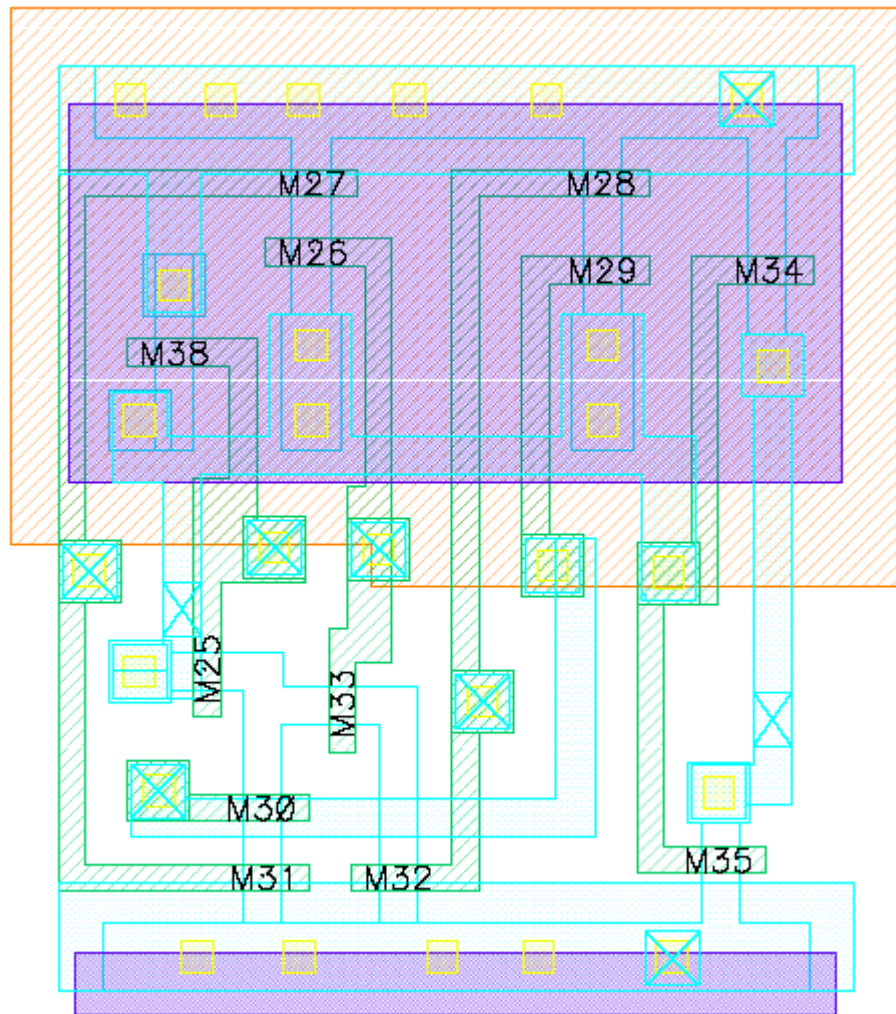


Figure 4.24. : Layout du circuit de virouillage

La figure suivante montre le layout de la bascule :

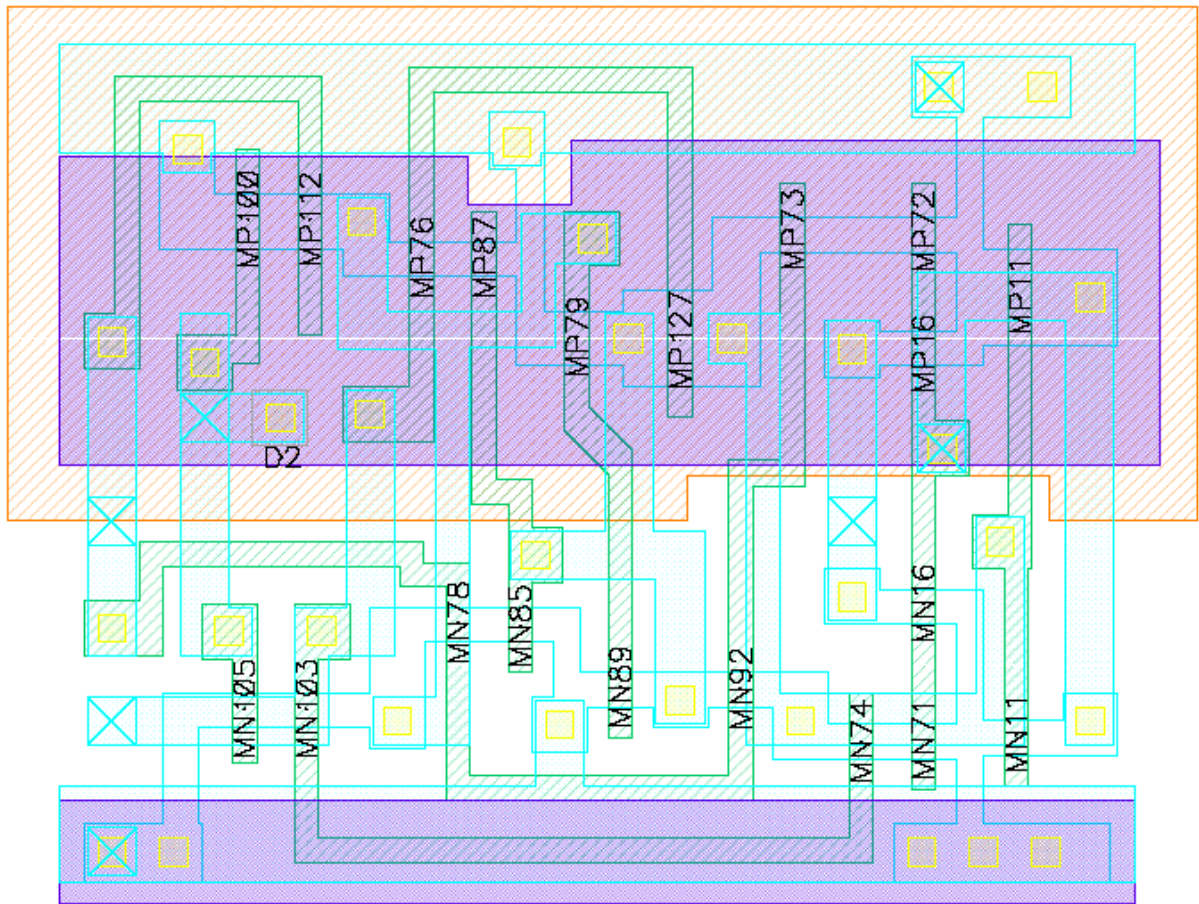


Figure 4.25. : Layout de la bascule

La figure suivante représente le layout complet de la bascule :

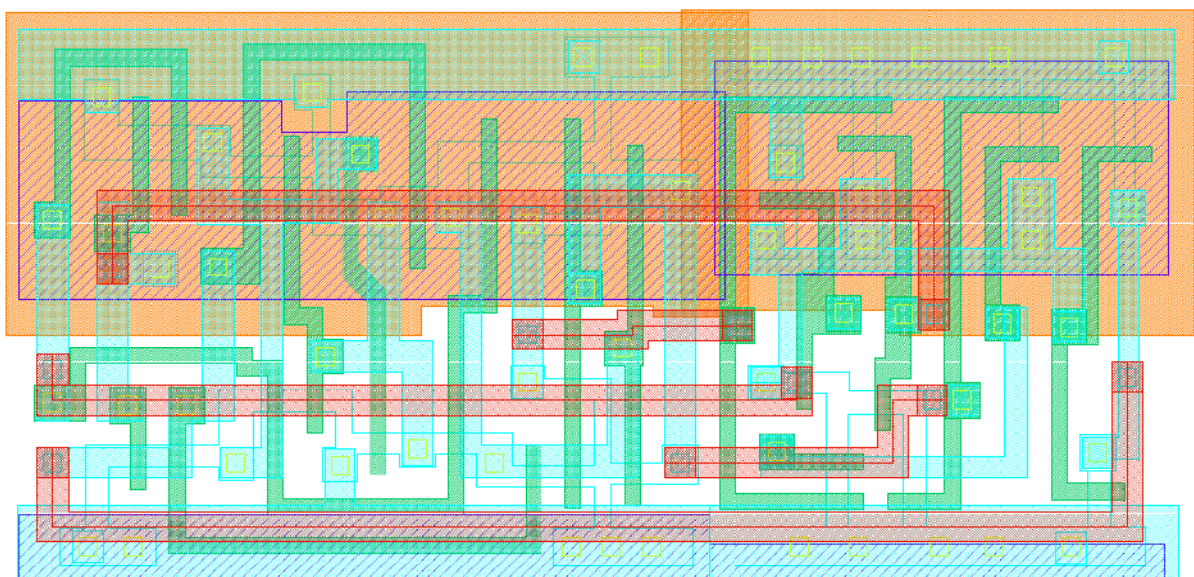


Figure 4.26. : Layout complet de la bascule

Afin de permettre de bonnes conditions de fonctionnement nous avons utilisé une gard ring pour empêcher l'injection de charges.

La figure suivante représente le layout de la bascule avec une gard ring ;

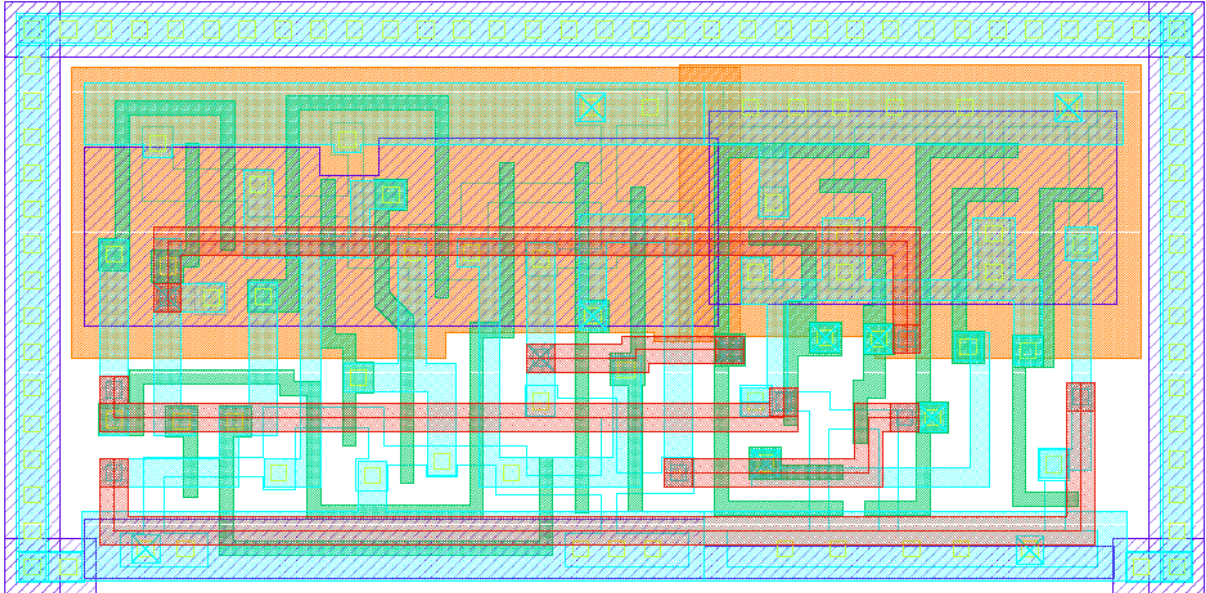


Figure 4.27. : Layout de la bascule avec une gard ring

IV.9. Conclusion

Pour mesurer les performances d'une bascule, le seul paramètre Clk-Q 'temps de propagation' n'est pas suffisant. En effet, il ne tient pas compte du temps de setup nécessaire pour que la sortie acquière la bonne valeur. La nouvelle donnée doit pouvoir être évaluée aussi près que possible d'un front d'horloge pour exploiter au maximum la période d'horloge. Ainsi, le temps de setup doit être comptabilisé dans le délai total de l'élément mémoire, si bien que l'on choisit le délai D-Q pour en évaluer les performances.

Conclusion générale

Conclusion générale

Dans les conceptions VLSI d'hier, le rôle du concepteur de système et du concepteur de circuit ont été clairement définis. Un concepteur de système son rôle est principalement au niveau architectural, tandis que le concepteur de circuits manipule des transistors et des portes. N'importe quelle optimisation serait faite strictement à leurs niveaux hiérarchiques appropriés. Aujourd'hui, les rôles ont changé considérablement et la distinction entre les deux disparaît lentement. Les concepteurs de circuit doivent comprendre les issues critiques au niveau de système afin de concevoir correctement leurs circuits pour une adaptation optimale, rapportant, ainsi les caractéristiques désirées (fonctionnement plus puissance).

Dans cette thèse nous avons présenté une architecture de bascule destinée à des applications basse consommation, en utilisant une technique indépendante de la technologie. De manière à caractériser précisément les caractéristiques temporelles et de puissance, nous avons utilisé plusieurs structures de test.

Les outils automatiques de synthèse utilisent une conception basée sur les bibliothèques de cellules standards pour faciliter l'optimisation des blocs numériques, comme l'évaluation de vitesse et de puissance. En même temps, modéliser des cellules standard devrait être simple pour éviter une longue durée d'exécution. Dans notre travail, nous avons utilisé une méthode linéaire pour la caractérisation des cellules de bibliothèques en termes de caractéristiques temporelles.

Comme précédemment mentionné, notre travail été concentré sur un modèle linéaire, qui fournit une différence raisonnable entre la simplicité et l'exactitude. Dans un modèle linéaire, le temps de propagation d'une cellule est une fonction linéaire en fonction de la capacité de charge et du temps de transition des signaux d'entrées et du signal d'horloge. Le temps de préparation est une fonction linéaire en fonction des temps de transition des signaux d'entrées et du signal d'horloge. Le temps de maintien est une fonction du temps de transition d'horloge.

Annexe A

Résultats de simulation du temps de propagation

Best case C = 10fF

Temps de transition des signaux d'entrées Tr (ps)	Capacité de charge (fF)	Temps de propagation pour la sortie Q (ps)		Temps de propagation pour la sortie QN (ps)	
		T_{pLH}^Q	T_{pHL}^Q	T_{pLH}^{QN}	T_{pHL}^{QN}
1	10	924	642	479	566
25	10	934	652	489	577
50	10	944	663	500	587

Best case C = 20fF

Temps de transition des signaux d'entrées Tr (ps)	Capacité de charge (fF)	Temps de propagation pour la sortie Q (ps)		Temps de propagation pour la sortie QN (ps)	
		T_{pLH}^Q	T_{pHL}^Q	T_{pLH}^{QN}	T_{pHL}^{QN}
1	20	1267	826	549	652
25	20	1277	836	551	662
50	20	1287	846	560	672

Best case C = 25fF

Temps de transition des signaux d'entrées Tr (ps)	Capacité de charge (fF)	Temps de propagation pour la sortie Q (ps)		Temps de propagation pour la sortie QN (ps)	
		T_{pLH}^Q	T_{pHL}^Q	T_{pLH}^{QN}	T_{pHL}^{QN}
1	25	1435	916	584	691
25	25	1445	926	594	701
50	25	1454	936	604	711

Nominal case C = 10fF

Temps de transition des signaux d'entrées Tr (ps)	Capacité de charge (fF)	Temps de propagation pour la sortie Q (ps)		Temps de propagation pour la sortie QN (ps)	
		T_{pLH}^Q	T_{pHL}^Q	T_{pLH}^{QN}	T_{pHL}^{QN}
1	10	1299	917	680	809
25	10	1309	927	690	819
50	10	1320	938	700	830

Nominal case C = 20fF

Temps de transition des signaux d'entrées Tr (ps)	Capacité de charge (fF)	Temps de propagation pour la sortie Q (ps)		Temps de propagation pour la sortie QN (ps)	
		T_{pLH}^Q	T_{pHL}^Q	T_{pLH}^{QN}	T_{pHL}^{QN}
1	20	1767	1174	776	932
25	20	1777	1184	786	942
50	20	1787	1194	796	953

Nominal case C = 25fF

Temps de transition des signaux d'entrées Tr (ps)	Capacité de charge (fF)	Temps de propagation pour la sortie Q (ps)		Temps de propagation pour la sortie QN (ps)	
		T_{pLH}^Q	T_{pHL}^Q	T_{pLH}^{QN}	T_{pHL}^{QN}
1	25	1998	1300	820	988
25	25	2008	1310	830	998
50	25	2019	1321	841	1008

Worst case C = 10fF

Temps de transition des signaux d'entrées Tr (ps)	Capacité de charge (fF)	Temps de propagation pour la sortie Q (ps)		Temps de propagation pour la sortie QN (ps)	
		T_{pLH}^Q	T_{pHL}^Q	T_{pLH}^{QN}	T_{pHL}^{QN}
1	10	1816	1297	959	1149
25	10	1827	1308	969	1160
50	10	1836	1318	980	1170

Worst case C = 20fF

Temps de transition des signaux d'entrées Tr (ps)	Capacité de charge (fF)	Temps de propagation pour la sortie Q (ps)		Temps de propagation pour la sortie QN (ps)	
		T_{pLH}^Q	T_{pHL}^Q	T_{pLH}^{QN}	T_{pHL}^{QN}
1	20	2459	1650	1087	1323
25	20	2468	1661	1098	1333
50	20	2481	1671	1108	1343

Worst case C = 25fF

Temps de transition des signaux d'entrées Tr (ps)	Capacité de charge (fF)	Temps de propagation pour la sortie Q (ps)		Temps de propagation pour la sortie QN (ps)	
		T_{pLH}^Q	T_{pHL}^Q	T_{pLH}^{QN}	T_{pHL}^{QN}
1	25	2769	1823	1147	1402
25	25	2781	1833	1156	1413
50	25	2790	1844	1167	1423

Annexe B

Résultats de simulation du temps de préparation

Best case

Temps de transition du signal d'horloge T_r^{CP} (ps)	Temps de transition des l'entrées D et DN T_r^D (ps)	Temps de préparation pour Q montante T_{su}^{rise} (ps)	Temps de préparation pour Q descendante T_{su}^{fall} (ps)
1	1	400	460
	1	405	465
	1	420	470
25	25	395	445
	25	400	450
	25	415	465
50	50	390	440
	50	395	445
	50	400	450

Nominal case

Temps de transition du signal d'horloge T_r^{CP} (ps)	Temps de transition des l'entrées D et DN T_r^D (ps)	Temps de préparation pour Q montante T_{su}^{rise} (ps)	Temps de préparation pour Q descendante T_{su}^{fall} (ps)
1	1	620	690
	1	625	695
	1	630	700
25	25	605	675
	25	620	690
	25	625	695
50	50	600	670
	50	605	675
	50	620	680

Worst case

Temps de transition du signal d'horloge T_r^{CP} (ps)	Temps de transition des l'entrées D et DN T_r^D (ps)	Temps de préparation pour Q montante T_{su}^{rise} (ps)	Temps de préparation pour Q descendante T_{su}^{fall} (ps)
1	1	930	1020
	1	945	1035
	1	975	1040
25	25	925	1015
	25	930	1020
	25	945	1035
50	50	920	1010
	50	925	1015
	50	930	1020

Annexe C

Résultats de simulation du temps de maintien

Best case

Temps de transition du signal d'horloge T_r^{CP} (ps)	Temps de transition du signal d'entrée T_r^D (ps)	Temps de maintien pour Q montante T_h^{rise} (ps)	Temps de maintien pour Q descendante T_h^{fall} (ps)
1	1	550	770
	1	550	770
	1	550	770
25	25	540	800
	25	540	800
	25	540	800
50	50	530	830
	50	530	830
	50	530	830

Nominal case

Temps de montée du signal d'horloge (ps)	Temps de montée de l'entrée D (ps)	Temps de maintien pour Q montante (ps)	Temps de maintien pour Q descendante (ps)
1	1	870	890
	1	870	890
	1	870	890
25	25	840	890
	25	840	890
	25	840	890
50	50	830	900
	50	830	900
	50	830	900

Worst case

Temps de montée du signal d'horloge (ps)	Temps de montée de l'entrée D (ps)	Temps de maintien pour Q montante (ps)	Temps de maintien pour Q descendante (ps)
1	1	1250	1350
	1	1250	1350
	1	1250	1350
25	25	1240	1370
	25	1240	1370
	25	1240	1370
50	50	1230	1390
	50	1230	1390
	50	1230	1390

Bibliographie

Bibliographie

- [1] ABOU-SAMRA Selim Joseph ‘*Conception pour la faible consommation en technologie SOI 2D et 3D : Application à l’arithmétique.*’ Thèse doctorat. Institut national polytechnique de GRONOBLE. Déc.1998.
- [2] Kamel SLIMANI ‘*Une méthodologie de conception de circuits asynchrones à faible consommation d’énergie application au microprocesseur MIPS.*’ Thèse doctorat. Institut national polytechnique de GRONOBLE. Déc. 2004.
- [3] RABAEY Jan M., CHANDRAKASAN Anantha, and KIKOLIC Borivoje ‘*Digital Integrated Circuits—A Design Perspective (2nd Ed).*’ Lavoisier. Jul. 2002.
- [4] Arnaud TURIER ‘*Etude, conception et caractérisation de mémoires CMOS, faible consommation, faible tension en technologies submicroniques.*’ Thèse doctorat. Université de PARIS VI. Dec 2000.
- [5] St-Imier ‘*MICRO-ELECTRONIQUE.*’ EISI / GH. ’ Nov. 2000.
- [6] Jonathan Verlant-Chenet ‘*Electronique Numérique.*’ Oct. 2006.
- [7] Alexandre VALENTIAN ‘*Etude de la technologie SOI partiellement désertée à très basse tension pour minimiser l’énergie dissipée et application à des opérateurs de calcul.*’ Thèse doctorat. École Nationale Supérieure des Télécommunications. Mai 2005.
- [8] Dejan Marković ‘*Analysis and Design of Low-Energy Clocked Storage Elements.*’ Thèse de Magister. University of California at Berkeley. Déc. 2000.
- [9] John P. Uyemura ‘*CMOS LOGIC CIRCUIT DESIGN.*’ Kluwer Academic Publishers. NEW YORK. 2002.
- [10] Sébastien Roy courriel ‘*Micro-électronique.*’ Département de génie électrique et informatique Université Laval. Hiver 2007.
- [11] Randall L. G, Phillip E. A, and Noel R. S. ‘*VLSI DESIGN TECHNIQUES FOR ANALOG AND DIGITAL CIRCUITS.*’ McGraw-Hill Publishing Company. 1990.
- [12] JOS B. SULISTYO and DONG S. HA. ‘*A New Characterization Method for Delay and Power Dissipation of Standard Library Cells.*’. VLSI Design. Vol. 15 (3), pp. 667–678., 2002

- [13] Rolando Ramirez Ortiz. ‘*Circuit Design Rules for Mixed Static and Dynamic CMOS Logic Circuits.*’ Ph.D. Thesis. Ottawa-Carleton Institute for Electrical Engineering, Department of Electronics, Carleton University, Jan. 1999.
- [14] Abdellatif Bellaouar, and Mohamed I. Elmasry. ‘*LOW-POWER DIGITAL VLSI DESIGN CIRCUITS AND SYSTEMS.*’ Kluwer Academic Publishers. 1993.
- [15] François BERRY. ‘*Initiation à la conception numérique par cellules précaractérisées Chaîne de conception CADENCE.*’
- [16] R. Ramanarayanan, V. Degalahal, N. Vijaykrishnan, M. J. Irwin and D. Duarte. ‘*Analysis of Soft Error Rate in Flip-Flops and Scannable Latches.*’ Pennsylvania State University, PA 16802.
- [17] Shweta Srivastava and Jaijeet Roychowdhury. ‘*Interdependent Latch Setup/Hold Time Characterization via Euler-Newton Curve Tracing on State-Transition Equations.*’ DAC 2007. San Diego, California, USA., June, 2007.
- [18] M. RENAUDIN, avec la participation de J.-B. RIGAUD. ‘*ETAT DE L’ART SUR LA CONCEPTION DES CIRCUITS ASYNCHRONES : PERSPECTIVES POUR L’INTEGRATION DES SYSTEMES COMPLEXES.*’ TIMA Lab. Research Reports. Jan. 2000
- [19] Gilbert Kowarzyk. ‘*Dessins des masques.*’ ELE4304 Laboratoire 2. Automne 2007.
- [20] STANLEY I. HURST. ‘*VLSI CUSTOM MICROELECTRONICS DIGITAL, ANALOG, AND MIXED-SIGNAL.*’ MARCELO EKKERI, N C. NEW YORK – BASEL. 1999
- [21] R. Jacob Baker, Harry W. Li and David E. Boyce. ‘*CMOS Circuit Design, Layout, and Simulation.*’ The Institute of Electrical and Electronics Engineers, Inc., New York. 1998.
- [22] Samia KHALDI. ‘*Conception et Layout d’un CNA pour un capteur de pression intelligent.*’ Thèse de magister. Université de Batna, 2005.