

REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE

MINISTERE DE L'ENSEIGNEMENT SUPERIEUR

ET DE LA RECHERCHE SCIENTIFIQUE

UNIVERSITE DE BATNA

FACULTE DES SCIENCES DE L'INGENIEUR

MEMOIRE

Présenté au

DEPARTEMENT D'ELECTRONIQUE

Pour l'obtention du diplôme de

MAGISTER EN MICROELECTRONIQUE

Option : Technologie des composants semiconducteurs et dispositifs photovoltaïques

Par

Anouar Essadate AOUF

Ingénieur, département d'Electronique-Université de Batna

Intitulé

Modélisation et simulation du Nano-transistor de puissance

Devant le jury constitué de :

BENHAYA . A	M.C .U. Batna	Président
DIBI .Z	M.C .U. Batna	Rapporteur
CHAABI.A	Pr.U. Constantine	Examineur
DJEFFAL. F	M.C. U. Batna	Examineur
MAHAMDI .R	M.C. U. Batna	Examineur

2008/2009

Je dédie ce travail à :

Ma chère mère,

Mon cher père,

Les enfants de gaza,

Mes frères,

Mes sœurs,

Toute ma famille et tous mes collègues.

Remerciements

*En premier lieu j'exprime mes sincères remerciements et profonds à **M. DIBI Zohir**, chef du département d'électronique et Maître de conférences à l'université de Batna, membre du Laboratoire de l'Electronique Avancée (**LEA**), et directeur de ce mémoire qui a encadré mes travaux.*

*Je tiens à remercier très vivement à **M. BENHAYA Abdelhamid**, maître de conférences à l'université de Batna, membre du Laboratoire de l'Electronique Avancée (**LEA**), d'avoir accepté de présider le Jury de ce mémoire.*

*J'adresse mes plus vifs remerciements également à **M. DJEFFAL Fayçal**, maître de conférences à l'université de Batna, membre du Laboratoire de l'Electronique Avancée (**LEA**).*

*J'aimerais également remercier chaleureusement à **M. MAHAMDI Ramdane**, maître de conférences à l'université de Batna, membre du Laboratoire de l'Electronique Avancée (**LEA**).*

*Je suis heureux que Monsieur le professeur **CHAABI.A** de l'université de Constantine me fassent l'honneur de participer au jury.*

Mes remerciements chaleureux sont également adressés à mes amis doctorants et magistères du laboratoire LMD, pour la bonne ambiance de travail durant ces deux années. Merci pour leur aide précieuse, leur bonne humeur et je leur souhaite bonne chance.

Enfin, je remercie de tout mon cœur mes parents et mes frères pour le soutien, l'écoute et la patience qu'ils m'ont accordés afin de continuer à réaliser mes ambitions.

Anouar-Essadate Aouf

Sommaire

Nomenclature

Introduction générale

Chapitre I Architectures et comportement DC des transistors de puissance

1.1. Introduction	2
1.2. Transistor MOSFET : Principe et architecture	2
1.2.1. Principe de fonctionnement et architecture générale	2
1.2.2. Régimes de fonctionnement	3
1.2.3 Dérivation des caractéristiques I(V)	6
1.2.3.1. Densité de charge du canal	6
1.2.3.2 Le Courant de drain	7
1.2.3.3 Les régions de linéaire et de saturation	10
1.3. Comportement du transistor MOSFET pour des applications de puissance	11
1.3.1. Phénomène d'avalanche	11
1.3.2 Perçage	12
1.4 Les structures des transistors MOS de puissance	13
1.4.1 Le transistor VDMOS	13
1.4.2 Le transistor LDMOS	15
1.4.2.1. Le transistor LDMOS LOCOS	17
1.4.2.2 Le LDMOS Resurf (Reduced surface field)	17
1.5 Avantages des transistors DMOS	18
1.6 Comportement de DC des Transistors de puissance	19
1.7 Conclusion	22

Chapitre II Modèle analytique du LDMOSFET

2.1 Introduction	24
2.2 Modèle explicite du potentiel de surface :	24
2.3. Description du modèle de courant de drain	32
2.4 Tension de quasi-saturation	34
2.5 Conclusion	37

Chapitre III Modélisation de l'effet d'auto-échauffement

3.1 Introduction	39
3.2 Modélisation de l'effet d'Auto-échauffement	39
3.3 Résultats de simulation d'effet d'auto-échauffement	42
3.4 Oxydes à fortes permittivités et leurs intégration dans la microélectronique	43
3.5 Choix des oxydes étudiés et de la méthode de croissance associée	44
3.6 La capacité MOS avec oxyde de valeur de permittivité élevée « High-k »	46
3.7 Modélisation de l'effet de High-k (HfO ₂)	47
3.8. Conclusion	49

Chapitre IV Hacheur à base du nanotransistor de puissance

4.1 Introduction	51
4.2 Etude théorique du convertisseur DC-DC	51
4.2.1 L'hacheur	52
4.2.2 Le principe fonctionnement du hacheur à quatre quadrants	52
4.2.2.1 Les interrupteurs bidirectionnels	52
4.2.2.2 Analyses du fonctionnement hacheur	53
4.3 La Modélisation Comportementale :	56
4.3.1 Présentation du simulateur ORCAD-PSPICE	57
4.3.2 Les ABM	58
4.4 Modélisation du transistor LDMOSFET par ORCAD-PSPICE	58
4.5 Validation du modèle PSPICE (mesures de la caractéristique I(V))	59
4.6 Modélisation du hacheur	61
4.7 Conclusion	65

Conclusions et perspectives

Conclusions et perspectives	67
Bibliographie	70

C_{ox}	Capacité d'oxyde
Si	Silicium
VLSI	Very Large Scale Integration
q	Charge élémentaire électrostatique
SiO ₂	Oxyde de silicium (isolant)
ϵ_{ox}	La permittivité électrique d'oxyde de silicium
t_{ox}	Epaisseur d'oxyde mince de grille (SiO ₂)
ϵ_{si}	La permittivité électrique de silicium
V_{ds}	Tension Drain-Source
V_{gs}	Tension Grille- source
V_{th}	Tension de seuil
I_{ds}	Courant de drain
V_{FB}	La tension de bonde plate
μ	Mobilité de porteurs dans le canal
μ_0	Mobilité de porteurs dans le canal à la température d'environnement
L_d	Longueur de la région drift
W	La largeur de canal
L	Longueur du canal
N_A	Concentration en dopants de type P
N_D	Concentration en dopants de type N
ψ_s	Le potentiel de surface
ψ_{sL}	Le potentiel de surface à la fin de drain
ψ_{s0}	Le potentiel de surface à la source
V_{DB}	Tension drain substrat (bulk)
V_{SB}	Tension source substrat (bulk)
ψ^*	Le potentiel de surface empirique simple
ϕ_F	Potentiel de Fermi dans le substrat
ϕ_B	Une tension égale à deux de ϕ_F
ϵ	Facteur doux, est fixe à une valeur commode du 2.10^{-2}
n_i	Densité de porteur intrinsèque
u_t	La tension thermique
γ	Le facteur de corps
V	Le potentiel de référence de substrat
ψ_{ssi}	Le potentiel de surface à forte (strong) inversion
ψ_{swi}	Le potentiel de surface à forte faible (weak) d'inversion
Q_{ss}	La charge par unité de surface
t_{eff}	Epaisseur d'oxyde avec couche de High-k
t_{High-k}	Epaisseur de couche de High-k
MOSFET	Transistor à effet de champ
P(N)	Dopage par les trous (électrons)
N^+ (P^+)	Fortement dopées par les électrons(les trous)
NMOS	Transistor à canal N
PMOS	Transistor à canal P
CMOS	Complementary Metal Oxide Semiconductor
v	La vitesse des charges libres
E	Le champ électrique parallèle à la direction source-drain

n	Concentration en électrons libres
V_{DSsat}	Valeur de V_{DS} pour saturation de courant I_{ds}
I_{off}	Le courant à l'état bloqué
I_{on}	Le courant à l'état passant
V_{DD}	Tension d'alimentation de drain
ϵ_{highk}	La permittivité électrique d'oxyde à haute permittivité high-k
k	Constant de Boltzmann donné en (Jol/K^0)
I_{diff}	Courent de diffusion
I_{dirf}	Courent de drift
f	Une fonction pour facilite le calcul de Ψ_s
T	La température
Q	Densité de charge
C	Capacité de grille par unité de longueur
V	La déference de tension
Q_B	La charge su substrat
I	Courant
m	Un paramètre convenable empirique qui prend des valeurs entières
dx	Variation de la longueur
N^-	en légèrement enduite de N^- drift
R_{on}	La résistance à l'état passant
l	La longueur utile
S	La surface efficace de coupe
T_0	La température d'environnement ($300K^0$)
R_{TH}	La résistance thermique
P_{diss}	Puissance dissipe
ρ	La résistivité thermique du matériau
c	Une constante ($c=3.1e-5$ pour le silicium)
V_{DBx}	Fonction de lissage
V_{FB}	Tension de bande plate
V_{GB}	Tension Grille- Bulk
V_A	Constante d'early
E_c	L'énergie de la bande de conduction
E_i	L'énergie de niveau intrinsèque
E_v	L'énergie de la bande de valence
E_F	L'énergie de fermi
u_c	Tension aux bornes de la charge
i_c	Courant qui traverse la charge
V_e	Tension d'entrée
V_s	Tension de sortie
R	Résistance de la charge



INTRODUCTION
GENERALE

Introduction générale

En électronique de puissance, les concepteurs de convertisseurs statiques tendent à concevoir des systèmes de puissance de plus en plus compacts, ou intégrés. Les composants de puissance jouent, en général, le rôle d'interrupteurs de commande et de transfert d'énergie électrique. Les principales caractéristiques d'un interrupteur de puissance sont : la tension de claquage, le courant admissible, la "commandabilité", la résistance à l'état passant (qui traduit les pertes par conduction dans l'interrupteur) et la rapidité. Plusieurs composants de puissance sont commercialisés couvrant une large gamme de puissance électrique et de tension de claquage. Parmi ces dispositifs de puissance, on trouve : les transistors bipolaires, les thyristors, les GTO (Gate Turn-Off Thyristor), les DMOS (Double-Diffused Metal Oxide Semiconductor) et les IGBTs (Insulated Gate Bipolar Transistor). Le choix du composant de puissance est lié à l'application de puissance visée.

Depuis leur apparition dans les années 1970, les dispositifs MOSFET (Metal Oxide Semiconductor Field Effect Transistor) de puissance ont été intégrés avec des fonctions de plus en plus complexes. Cela a conduit au début des années 1990 à l'idée de la technologie "smart power". Cette technologie a été créée pour fournir l'interface entre le contrôle logique digitale et la charge de puissance. Elle intègre les dispositifs de puissance avec des fonctions de contrôle, protection et logique intégrée. Le but est de produire des composants de puissance de plus en plus petits, à basse consommation et à bas coût. Ces dispositifs innovants, qui sont un sujet de recherche porteur pour l'industrie de la microélectronique, doivent être modélisés en SPICE. La modélisation est essentielle afin de pouvoir simuler le comportement des circuits intégrés avant de les dessiner et de les intégrer.

Puisque le prototypage répété d'un convertisseur de puissance coûte cher (coût des dispositifs à semi-conducteur ainsi que ceux des techniques d'assemblage ou de refroidissement), le recours aux outils de conception assistée par ordinateur devient indispensable pour prévoir le comportement électrique des circuits envisageables. Dans ce contexte, des modèles analytiques ont été développés en utilisant des hypothèses simplificatrices du potentiel de surface. Tout en restant proche de la physique, les modèles analytiques sont meilleurs en temps de calcul, mais leur précision reste limitée.

Dans ce mémoire, notre objectif porte sur la modélisation électrique précise du transistor LDMOSFET et en particulier simuler l'effet d'auto-échauffement sur la réponse et son fonctionnement. Le premier chapitre de ce mémoire, est tout naturellement consacré à une présentation des architectures des transistors MOSFET simples et de puissance, afin de mieux comprendre les paramètres qui influent sur l'étude des transistors de puissance. Nous terminons ce chapitre par une présentation des principaux effets dans le régime continue DC (Direct Current). Au deuxième chapitre, on a donc tout un intérêt à développer un modèle analytique précis pour le transistor LDMOS. Ce modèle analytique est basé sur l'étude du potentiel de surface. Nous explicitons dans un premier temps la forme implicite de potentiel de surface et sa résolution numérique, puis le modèle analytique explicite utilisant des approximations. Nous appliquons ensuite ces principes pour calculer le courant du drain dans un transistor LDMOS. Le troisième chapitre aborde l'effet d'auto-échauffement dans ce type de comportements en quantifiant l'effet dans l'élévation de température.

L'objectif de notre projet est d'améliorer la prise en compte du phénomène d'auto-échauffement dans les modèles des MOS de puissance. Cela implique d'une part, évaluer les méthodes de modélisation publiées dans la littérature et de proposer des améliorations. D'autre part, afin de déterminer le plus finement possible les paramètres relatifs à l'auto-échauffement du modèle, il est essentiel d'évaluer aussi les méthodes d'extraction de ces paramètres. Le but de cette analyse est de présenter l'impact de cet effet sur le comportement du transistor LDMOS. Pour terminer, le quatrième chapitre présente une étude théorique d'un hacheur. Nous utiliserons à cet effet le modèle analytique du transistor LDMOS que nous avons élaboré et modélisé.

CHAPITRE I

*Architectures et comportement DC des
transistors de puissance*

1.1. Introduction

La technologie utilisée pour la production d'une puce VLSI (Very large scale integration) moderne est en évolution depuis plus de quarante ans, et à bien des égards, elle évolue à un rythme exponentiel. Inventé en 1947, le transistor est à l'origine de la majorité des appareils électroniques, depuis la radio jusqu'à l'ordinateur. Aujourd'hui, il fait partie de presque toutes les technologies utilisées dans l'industrie, la médecine et l'informatique. Le transistor est un composant électronique formé par la jonction de cristaux de germanium, de silicium ou d'autres matériaux semblables (semi-conducteurs). Seul, le transistor peut amplifier l'énergie électrique et interrompre rapidement le passage du courant électrique à haute vitesse, tout en consommant lui-même une quantité moindre d'énergie. Dans ce chapitre, nous présentons l'état de l'art du transistor MOSFET et le transistor de MOSFET de puissance, nous analysons la structure du dispositif MOSFET et son fonctionnement dans les différents régimes.

Aujourd'hui, les transistors de puissances sont intensivement utilisés dans toutes sortes de circuits de puissance intégrés, tel que les alimentations, les convertisseurs, les circuits de commutation et les amplificateurs de puissance. En outre, les dispositifs DMOS fournissent une nouvelle technologie pour les circuits intégrés intelligents de puissance. La discussion dans ce chapitre sera concentrée sur des différentes architectures de MOSFET de puissance et les effets spéciaux ayant lieu dans ces dispositifs.

1.2. Transistor MOSFET : Principe et architecture

1.2.1. Principe de fonctionnement et architecture générale

Le transistor MOSFET est la brique élémentaire de la technologie CMOS (Complementary Metal Oxide Semiconductor). Son principe de fonctionnement repose sur la modulation d'une densité de porteurs d'une couche semi-conductrice par un champ qui lui est appliqué perpendiculairement. Ce transistor comprend deux réservoirs de porteurs de charge : le drain et la source qui sont séparés par un canal de conduction où règne une barrière de potentiel dont la hauteur est contrôlée par la tension appliquée sur la grille. Si cette hauteur est suffisamment élevée, les porteurs ne peuvent pas passer de la source au drain alors le transistor est bloqué. Mais si elle est basse, un canal à l'interface semi-conducteur isolant se forme, Figure.1.1.a le transistor est donc passant. Le passage des porteurs d'un réservoir à l'autre peut alors avoir lieu si nous appliquons une tension sur le

drain c'est-à-dire une création d'un champ électrique latéral qui va amener les porteurs de la source au drain, d'où la notion de polarisation de drain [1].

Le transistor assure donc la transition d'un état bloqué $V_{gs} = 0V$ pour lequel le courant de drain est équivalent au courant de fuite I_{OFF} , à un état passant pour lequel la polarisation de grille V_{gs} est égale à celle du drain V_{ds} , $V_{gs} = V_{ds}$, permettant ainsi le passage du courant de drain à I_{ON} , Figure.1.1.b. Le passage du premier état au second est effectif lorsqu'un nombre suffisant de porteurs est présent dans le canal, c'est-à-dire quand une tension de grille V_{gs} est supérieure à une certaine valeur appelée tension de seuil notée V_{th} .

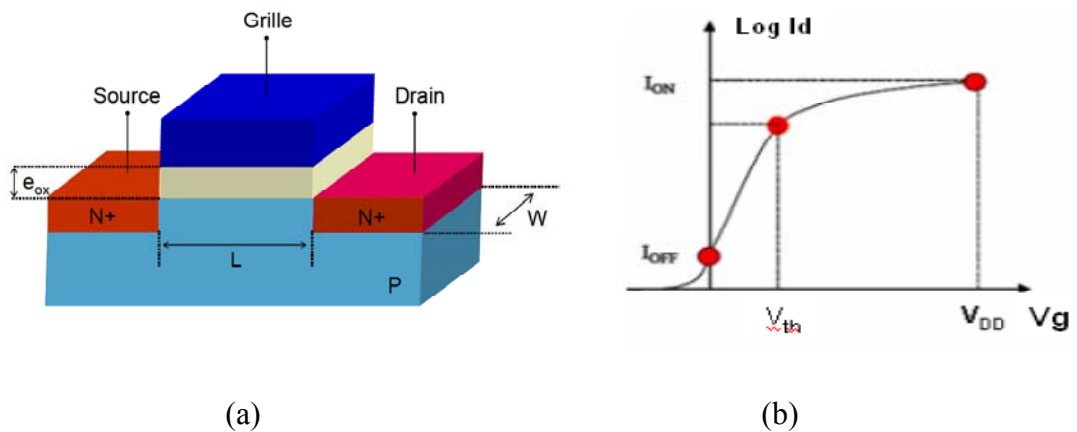


Figure 1.1 : a) Coupe schématique d'un transistor nMOSFET

b) Caractéristique de sortie $I_d (V_g)$ d'un transistor nMOSFET

1.2.2. Régimes de fonctionnement

Dans ce paragraphe nous essayons d'étudier les mécanismes physiques au niveau de l'interface à l'échelle microscopique qui sont fortement liés à la tension V_{gs} appliquée sur la grille du transistor MOSFET. Cette tension peut prendre des valeurs particulières correspondantes aux différents régimes de fonctionnement.

Nous commençons par présenter le diagramme de bandes du transistor MOSFET idéal en condition de bandes plates pour un substrat de type P, Figure.1.2.a. Ce diagramme reprend l'ensemble des notions qui seront utilisées par la suite pour caractériser l'empilement grille-canal, nous pouvons citer celles qui sont les plus récurrentes :

Le potentiel de volume du semi-conducteur Φ_F qui définit le niveau d'énergie de Fermi donné par l'expression de l'équation 1.1.

$$E_F = E_i - q \cdot \phi_F \quad 1.1$$

Ce paramètre peut être obtenu en résolvant rigoureusement l'équation d'électroneutralité. Un tel calcul dans l'approximation de Boltzmann valable pour des dopages modérés en impuretés accepteurs N_A pour le transistor nMOSFET [2] nous amène à définir d'une autre manière l'expression de Φ_F selon l'équation.1.2 [3].

$$\phi_F = \frac{kT}{q} \ln \left(\frac{N_A}{n_i} \right) = \frac{1}{q} (E_i - E_F) \quad 1.2$$

Où k , N_A , n_i et E_F représentent respectivement la constante de Boltzmann, densité de dopants accepteurs, densité intrinsèque d'électrons et énergie de Fermi.

Le potentiel à l'interface semi-conducteur-isolant Ψ_S qui peut être défini pour le régime forte inversion ($\Psi_S = 2\Phi_F$) est exprimé par la relation de l'équation.1.1 [4]:

$$\phi_F = 2 \cdot \phi_F + \frac{kT}{q} \ln \left(\frac{N_D}{N_A} \right) \quad 1.3$$

Où N_D et N_A étant respectivement la concentration de dopants dans les zones source et drain et dans le canal pour un transistor nMOS.

La tension de seuil V_{th} d'une capacité MOS est définie comme la tension de grille V_g telle que la condition $\Psi_S = 2\Phi_F$ soit remplie, cette tension est donnée suivant la relation:

$$V_{th} = V_{FB} - \frac{Q_{dep}}{C_{ox}} + 2 \cdot \phi_F \quad 1.4$$

Q_{dep} , la charge de la zone de déplétion dans le substrat, et C_{ox} la capacité de l'oxyde de grille SiO_2 .

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} \quad 1.5$$

La tension de seuil V_{th} pour un transistor MOSFET serait défini au moment où la hauteur de la barrière source-canal devient nulle, c'est-à-dire $\Phi_D = \Psi_S$. La tension de bande

plate V_{FB} : est la tension de grille V_g qu'il faut appliquer pour que le potentiel Ψ_s à l'interface semi-conducteur-isolant (c'est-à-dire la courbure de bande entre la surface et le volume du semi-conducteur) soit nul. La Figure.1.2 présente le diagramme des bandes du transistor nMOSFET pour les trois régimes de fonctionnement.

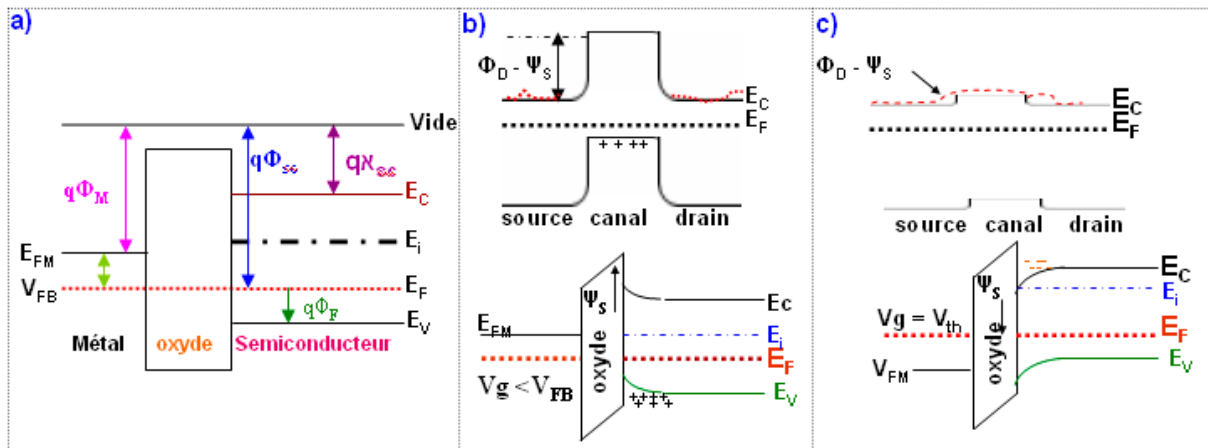


Figure 1.2 : Diagramme des bandes du transistor nMOSFET pour les trois régimes de fonctionnement.

La création d'une barrière d'énergie potentielle de hauteur Φ_D apparaît entre le canal et les régions source et drain (correspondant à la barrière de potentiel d'une jonction N+P) dû à la nature différente des dopants du transistor. Cette barrière empêche le passage des porteurs entre la source et le drain si aucune polarisation n'est appliquée sur la grille du dispositif, Figure.1.2.b. Les différents régimes de fonctionnement du transistor nMOSFET sont ensuite définis selon la valeur de la tension de grille V_g appliquée :

1.2.2.1. Condition de régime d'accumulation soit $-V_{gs} < V_{FB}$ et $\psi_s < 0$

Un appel de porteurs majoritaires (trous pour le substrat de type P) se produit au voisinage de l'interface semi-conducteur-isolant. La hauteur de la barrière de potentiel côté source vue par les électrons est important et vaut alors $\Phi_D - \Psi_s$, le transistor est alors à l'état bloqué.

1.2.2.2. Condition de régime de déplétion ou de désertion $-V_{gs} < V_{FB}$ soit $0 < \psi_s < \Phi_F$

Φ_F

Les porteurs majoritaires sont repoussés de la surface du semi-conducteur ce qui provoque la formation d'une zone désertée en porteurs et le transistor ne conduit pas encore.

1.2.2.3. Condition de régime d'inversion faible $-V_{FB} < V_g \leq V_{th}$ soit $\Phi_F \leq \psi_s < 2\Phi_F$.

Cette condition traduite par l'égalité entre potentiel à l'interface semi-conducteur-isolant et le potentiel de volume du semi-conducteur ($\Psi_s = \Phi_F$) qui correspond au seuil de l'inversion faible :

En surface de semi-conducteur les concentrations de porteurs majoritaires et minoritaires sont égales à n_i (n_i : concentration intrinsèque de porteurs).

1.2.2.4. Condition de régime d'inversion forte $-V_g > V_{th}$ soit $\Psi_s > 2\Phi_F$.

Dans ce cas la concentration des porteurs minoritaires en surface devient supérieure à celle des porteurs majoritaires dans le volume, ce qui provoque la formation d'une couche ne contenant que des charges fixes négatives que nous appelons Q_{dep} . La hauteur de barrière de potentiel $\Phi_D - \Psi_s$ coté source pour les électrons dans le canal (à la surface de semi-conducteur) devient faible, Figure.1.2.c et par suite ils affluent dans le canal et vont se sentir attirés par le drain sous l'effet du champ électrique latéral. Alors le transistor est passant.

1.2.3 Dérivation des caractéristiques I(V)

Avec l'étude qualitative antérieure, nous pouvons maintenant formuler le comportement des transistors MOSFET en termes de leurs tensions des bornes.

1.2.3.1. Densité de charge du canal

Nos dérations exigent une expression pour la charge de canal (c.-à-d, les électrons libres) par unité de longueur, a également appelé la "densité de charge $Q=C.V$, nous notons que si C est la capacité de la grille par unité de longueur et V la différence de tension entre la grille et le canal, alors Q est la densité de charge désirée. On dénote la capacité de la grille par unité de superficie par C_{ox} (exprimé en F/m² ou fF/m²), nous écrivons $C=W.C_{ox}$ pour considérer la largeur du transistor figure. 1.3. De plus nous avons $V=V_{gs}-V_{th}$ parce qu'aucune charge mobile n'existe pour $V_{gs}<V_{th}$ [5]. (Ci-après, nous

dénotons les deux tensions de la grille et du drain par rapport à la tension de la source). Elle suit cela :

$$Q = W \cdot C_{ox}(V_{gs} - V_{th}) \tag{1.6}$$

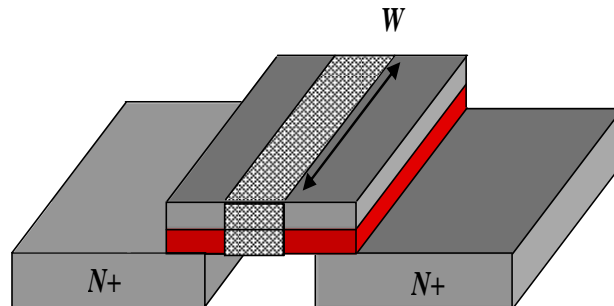


Figure 1.3 : Illustration de capacité par unité de longueur [5].

La tension de canal change sur la longueur du transistor, et la densité de charge diminue tout le long du canal. Ainsi, Equation 1.6 est valide seulement près de la borne de source, où le potentiel de canal demeure de près de zéro. Comme montré sur la figure 1.4 [5], nous dénotons le potentiel de canal à x par $V(x)$ et écrire [6] :

$$Q(x) = W \cdot C_{ox} \cdot [V_{gs} - V(x) - V_{th}] \tag{1.7}$$

Notons que $V(x)$ va de zéro à V_D si le canal n'est pas pincé.

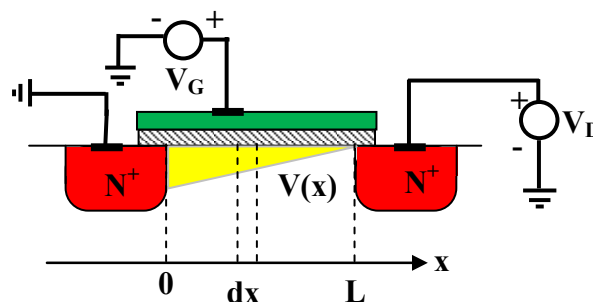


Figure 1.4 Dispositif qui illustre le calcul de courant de drain [5]

1.2.3.2 Le Courant de drain

Pour extraire la relation entre la densité de charge mobile et le courant on considère une barre du semi-conducteur ayant un égal uniforme de densité de charge (par unité de longueur) égal à Q et portant un courant I figure. 1.5.

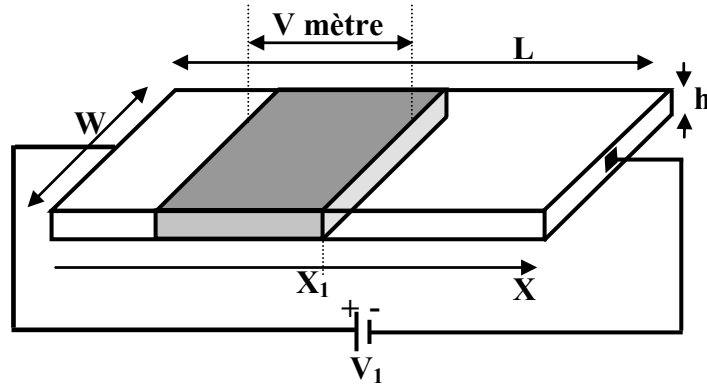


Figure 1.5 Relation entre densité de charge et le courant [5]

Il est donné par toute la charge qui traverse une section de la barre dans une seconde, et si les porteurs se déplacent avec une vitesse de V (m/s), alors la charge incluse dans V mètres le long de la barre, et traverse le secteur dans une seconde. Puisque la charge incluse dans V mètres est égal à $Q.V$, nous avons :

$$I = Q.V \tag{1.8}$$

Et on a

$$V = -\mu_n E; \tag{1.9}$$

$$V = +\mu_n \frac{dV}{dx} \tag{1.10}$$

Où dV/dx dénote la dérivée de la tension à un point donné.

Nous combinons (1.7), (1.8), et (1.10), nous obtenons l'équation (1.11) [6].

$$I_{ds} = WC_{ox} [(V_{gs} - V(x) - V_{th}) \mu_n \frac{dV(x)}{dx}] \tag{1.11}$$

Puisque I_D doit demeurer constant le long du canal, $V(x)$ et $dV(x)/dx$ doivent varier tels que le produit $V_{gs}-V(x)-V_{th}$ et dV/dx est indépendant de x . Tandis qu'il est possible de résoudre l'équation ci-dessus pour obtenir $V(x)$ en fonction de I_D , notre besoin immédiat doit trouver une expression pour I_D en fonction des tensions des bornes, a cet effet, nous écrivons[6] :

$$\int_{x=0}^{x=L} I_{ds} dx = \int_{V(x)=0}^{V(x)=V_{ds}} \mu_n C_{ox} W [V_{gs} - V(x) - V_{th}] dV \quad 1.12$$

$$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} [2(V_{gs} - V_{th})V_{ds} - V_{ds}^2] \quad 1.13$$

Nous examinons maintenant cette équation importante de différentes perspectives pour gagner plus de précision. D'abord, la dépendance linéaire de I_{ds} sur le μ_n , le C_{ox} , et le W/L doit être prévue : une mobilité plus élevée rapporte a un plus grand courant pour une tension donnée de drain -source ; une capacité plus élevée Grille d'oxyde mène à un plus grande densité d'électrons dans le canal pour une tension donnée de grille -source ; et un plus grand W/L (appelé le dispositif à aspect de rapport) est équivalent à placer plus de transistors en parallèle.

En second lieu, pour un V_{gs} constant, I_{ds} varie paraboliquement avec V_{ds} figure. 1.6, atteignant un maximum de [6] :

$$I_{ds,max} = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{gs} - V_{th})^2 \quad 1.14$$

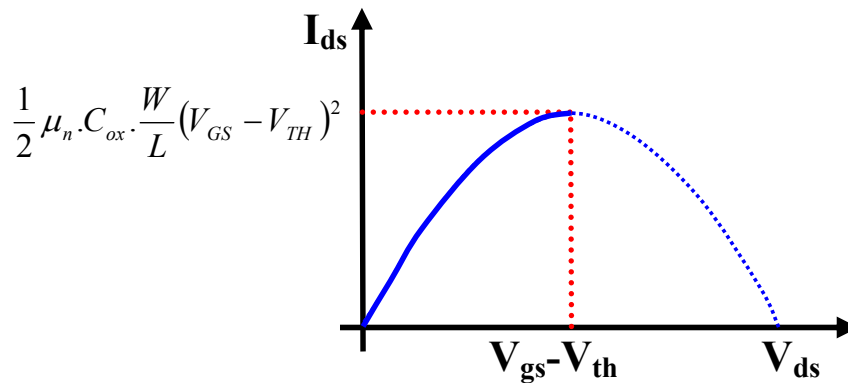


Figure 1.6 Caractéristique parabolique de I_{ds} - V_{ds} [6].

À $V_{ds}=V_{gs}-V_{th}$. Il est courant d'écrire W/L comme rapport deux valeurs par exemple, $5\mu m / 0.18\mu m$ (plutôt que 27.8) pour insister sur l'importance du choix de W et de L . Tandis que seulement le rapport apparaît dans beaucoup d'équations de MOS, la valeur individuelle de W et L devient également critique dans la plupart des cas. Par exemple, si les deux valeurs de W et le L sont doublées, le rapport demeure sans changement mais une augmentation de capacité de grille.

La relation non linéaire entre l'identification et le V_{ds} indique que le transistor ne peut pas généralement être modelé comme résistance linéaire simple [6].

Cependant, si $V_{ds} \ll 2(V_{gs} - V_{th})$, Equation 1.13 réduit à :

$$I_{ds} \approx \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{gs} - V_{th}) V_{ds} \quad 1.15$$

I_D - V_{DS} s'expose un comportement linéaire pour un V_{gs} donné. En fait, la résistance équivalente est donnée par V_{ds}/I_{ds} [6] :

$$R_{on} = \frac{1}{\frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{gs} - V_{th})} \quad 1.16$$

1.2.3.3 Les régions de linéaire et de saturation

L'équation 1.12 exprime le courant de drain en fonction des tensions des bornes de dispositif, impliquant que le courant commence à chuter pour $V_{ds} > V_{gs} - V_{th}$. Nous disons que le dispositif fonctionne dans "la région de linéaire" si $V_{ds} < V_{gs} - V_{th}$ (la section montée de la parabole). Nous employons également le terme "région de linéaire profonde" pour $V_{ds} \ll 2(V_{gs} - V_{th})$, où le transistor fonctionne comme une résistance [7].

En réalité, le courant de drain atteint, "la saturation " c'est-à-dire, devient constant pour $V_{ds} > V_{gs} - V_{th}$ figure. 1.7.

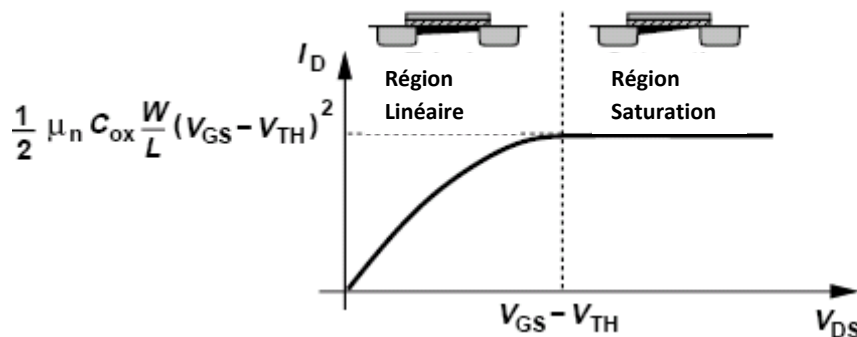


Figure 1.7: Caractéristique globale du MOS [6].

Pour comprendre pourquoi, se rappeler de la figure 1.7 que le canal éprouve le pincement si $V_{ds} = V_{gs} - V_{th}$. De plus un accroissement de V_{DS} décale simplement le point de pincement légèrement vers le drain. En outre, se rappeler que les équations 1.11 et 1.12 sont valide seulement où la charge de canal existe.

Elle confirme que l'intégration dans 1.7 doit entourer seulement le canal, c.-à-d., de $x=0$ à $x=L$ dans figure 2.6 (b), et soit modifiée selon l'équation 1.17 [6]:

$$\int_{x=0}^{x=L_1} I_{ds} dx = \int_{V(x)=0}^{V(x)=V_{GS}-V_{TH}} \mu_n C_{ox} W [V_{GS} - V(x) - V_{TH}] dV \quad 1.17$$

Les limites supérieures correspondent au point de pincement du canal. En particulier, l'intégrale du côté droit est évaluée jusqu'à $V_{gs} - V_{th}$ plutôt qu'à V_{DS} .

Par conséquent, le courant i_d sera comme suit [6] :

$$I_{ds} = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{gs} - V_{th})^2 \quad 1.18$$

Le résultat est indépendant de V_{DS} et identique à I_D max dans (1.9), si nous assumons $L_1 \approx L$. la quantité $V_{gs} - V_{th}$ appelé la "tension de overdrive", joue un rôle principal dans les circuits MOS. Des transistors MOSFET s'appellent parfois les dispositifs "loi carrée" pour souligner le rapport entre I_D et l'overdrive. Pour la brièveté, nous dénotons ci-après L_1 avec L .

1.3. Comportement du transistor MOSFET pour des applications de puissance

Les équations exposées précédemment correspondent au fonctionnement idéal du transistor MOS qui sont basées sur de nombreuses approximations. Les MOSFET dédiés aux applications de puissance ont leurs performances limitées par les phénomènes d'avalanche (jonction substrat-drain) et de perçage source-drain. Le paragraphe suivant expose ces différents phénomènes.

1.3.1. Phénomène d'avalanche

L'avalanche dans un transistor MOSFET a lieu dans la diode formée entre le drain et le substrat Figure 1.8.a. Elle se produit dans la zone désertée du substrat car celle-ci est plus importante que celle du drain en raison d'un dopage moindre avec un champ électrique maximal localisé en surface de l'interface P/N côté drain Figure 1.8.b. C'est dans cette zone et à mesure que la tension appliquée V_{ds} augmente que le phénomène de multiplication des porteurs apparaît jusqu'à ce que se déclenche l'avalanche. La tension de drain correspondant à l'avalanche est appelée tension d'avalanche BV (breakdown voltage). Plus le canal du transistor diminue plus le champ électrique sur le bord du canal, côté drain, sera très élevé pour des tensions relativement faibles. Par conséquent, le champ électrique qui déclenche l'avalanche est atteint pour de faible valeur de V_{ds} phénomènes spécifiques aux MOS de puissance [3].

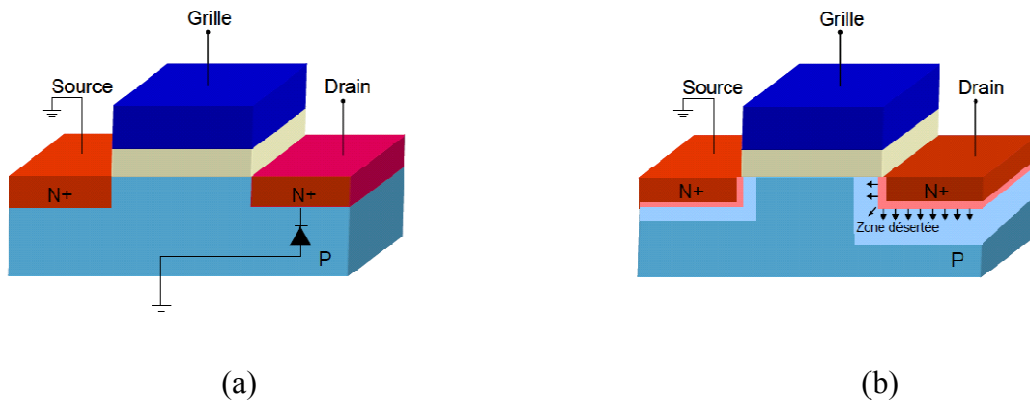


Figure 1.8 : a)Représentation schématique du MOS en mode d’avalanche (jonction)

b) Illustration du MOSFET et de ses zones désertées avec l’application d’une tension V_d à V_{gs} nul [3].

1.3.2 Perçage

Un autre phénomène peut apparaître dans les transistors à faible longueur de canal. A mesure que la tension de drain augmente, la zone de charge d’espace côté drain ne cesse d’augmenter jusqu’à rencontrer la zone désertée côté source Figure 1-9. Des valeurs élevées de V_{ds} peuvent même entraîner une jonction entre les deux zones : c’est le phénomène du perçage. Le comportement du transistor est complètement dégradé et si la longueur de grille est très faible, une injection de porteurs peut avoir lieu entre la source et le drain. Principe de fonctionnement du transistor MOSFET [3].

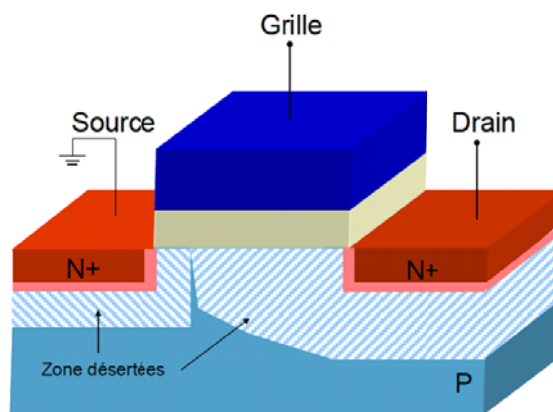


Figure 1.9: Illustration du phénomène de perçage sur un MOSFET en coupe [3].

Les phénomènes d’avalanche et de perçage sont des facteurs limitant la tension maximale de drain du dispositif. Cependant, les transistors MOSFET de puissance

nécessitent à la fois de faibles longueurs de canal et des valeurs de tension de drain élevées [3]. Il existe des solutions d'ordre technologique permettant d'éviter l'apparition prématurée de ces phénomènes. Ces solutions sont exposées dans le paragraphe suivant.

1.4 Les structures des transistors MOS de puissance

Des structures ont été élaborées afin de pouvoir réaliser des transistors MOS de puissance tout en remédiant à l'apparition des phénomènes d'avalanche et de perçage. Deux grandes familles de transistor MOS de puissance sont référencées : les MOSFET de puissance verticale (VDMOS) et les MOSFET de puissance latérale (LDMOS).

1.4.1 Le transistor VDMOS

Les premiers transistors de puissance développés au début des années 70 étaient des VMOS Figure 1-10 Ces transistors étaient élaborés à partir de sillons en forme de V gravés par attaque anisotrope du silicium. Elle consiste à attaquer chimiquement, suivant les plans $\langle 111 \rangle$, une couche N⁻ épitaxiée sur un substrat N⁺. La zone active est formée le long d'un sillon qui fait un angle de 54° avec la surface [9].

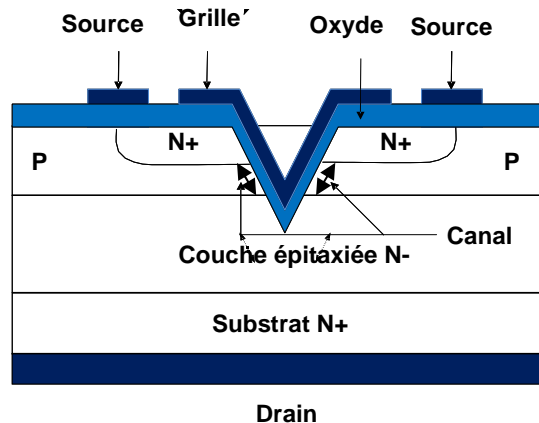


Figure 1.10: Coupe schématique d'un VDMOS de puissance [9].

Par rapport au transistor MOS plan « classique », le progrès essentiel consiste en l'utilisation du volume du semi-conducteur pour former l'électrode de drain (plan inférieur du substrat). Cette disposition permet une plus grande densité d'intégration puisque seulement deux électrodes –les électrodes de grille et de source- sont localisées sur la face supérieure de la puce.

À l'état passant, la tension grille-source V_{gs} est supérieure à la tension de seuil V_{th} et un canal d'inversion de type N est ainsi formé en surface de la zone du canal permettant le passage du courant entre le drain et la source. Ce courant passe, en grande partie, dans le volume de la structure à travers la zone de drift N^- . Une partie de ce courant passe en surface dans le canal et dépend de la mobilité des électrons dans la couche inversée [9].

La résistance du canal d'inversion est une limitation supplémentaire dans le cas des transistors VDMOS basse tension. La zone de drift N^- assure au transistor VDMOS la faculté de bloquer la tension à l'état bloqué. Pour une structure VDMOS bien optimisée [10], la tension de claquage dépend du dopage et de l'épaisseur de la zone de drift. En effet, pour bloquer des tensions très élevées, la zone de drift doit être faiblement dopée et suffisamment large pour permettre à la zone de charge d'espace de s'étendre. Par conséquent, cette zone large et faiblement dopée devient, à l'état passant, une résistance très grande que l'on ne peut réduire que par augmentation de la surface active du composant ou par utilisation de nouveaux concepts comme le concept de la superjonction par exemple. L'utilisation de matériaux de forte énergie d'ionisation peut aussi être une très bonne solution à ce problème [10]. Il existe donc un compromis entre la résistance à l'état passant et la tension de claquage des transistors VDMOS de puissance.

On peut remarquer aussi que l'électrode de grille joue ici le rôle d'une plaque de champ et réduit le champ électrique à la surface de la jonction "P-body/N- drift". Ceci n'est pas sans conséquence car cette électrode de grille étalée sur toute la surface intercellulaire entre les diffusions P source introduit une capacité parasite MOS entre la grille et le drain. Cette capacité, connue sous le nom de capacité Miller, cause une contre-réaction entre la sortie et l'entrée du composant et réduit considérablement la fréquence de transition du transistor. Pour remédier à ce problème, on peut par exemple éliminer une partie de la grille [8][9] au dessus de la couche épitaxiée N^- . Dans ce cas, une augmentation significative de la fréquence de transition du transistor peut être obtenue. Toutefois, cette élimination d'une partie de la grille provoque une réduction de la tension de claquage du dispositif, à cause du fort champ électrique à la fin de métallisation de grille, et une augmentation de la résistance à l'état passant car la longueur de la zone accumulée est réduite.

D'autre part, la résistance équivalente du transistor VDMOS est composée de plusieurs résistances en série : résistance du canal, résistance accumulée à la surface de la zone intercellulaire entre les diffusions P source adjacentes, résistance JFET (Junction Field Effect Transistor) de la région entre les diffusions P source adjacentes, résistance de la zone volumique de drift N-, résistance de substrat et résistances de contact. L'effet résistif de la zone de JFET entre les diffusions P source est d'autant plus grand que le dopage de la zone épitaxiée est faible, cas des transistors prévus pour fonctionner en hautes tensions, ou si la distance entre les diffusions P source est très faible. C'est ce dernier phénomène, augmentation de la résistance JFET en diminuant la distance intercellulaire, qui limite la densité d'intégration des composants MOS de puissance.

En 1970, le transistor UMOS a été proposé [9]. Sa structure figure 1-12 reprend celle du VMOS mais la forme du sillon est différente. Le front de pénétration de l'attaque anisotrope est arrêté prématurément, créant ainsi un fond plat dans le sillon qui permet de diminuer le champ électrique. Les mêmes difficultés technologiques ayant été rencontrées pour ce composant, il n'y eut pas de développement industriel significatif.

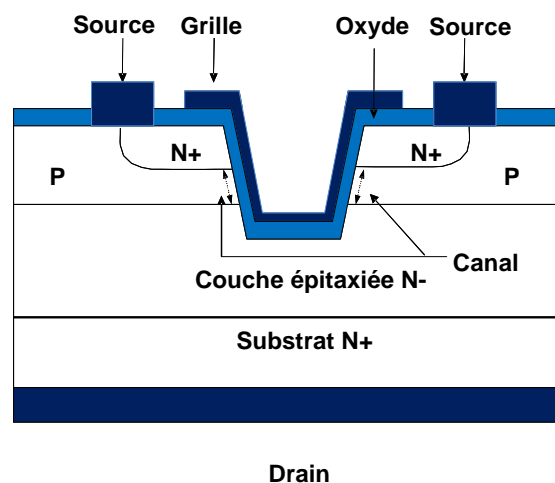


Figure 1.12: Coupe schématique d'un UDMOS de puissance [9].

1.4.2 Le transistor LDMOS

Ces structures de puissances sont réalisées comme pour le VDMOS par les procédés de double-diffusion et d'auto-alignement sur grille en poly-silicium. Le transistor LDMOS possède l'avantage par rapport au transistor à configuration verticale VDMOS d'avoir intrinsèquement ses trois électrodes coplanaires, ce qui le rend favorable à l'intégration. Il est également compatible avec les technologies BiCMOS (contraction de Bipolar-CMOS) avancées, ce qui fait de lui un candidat idéal pour assurer la partie

puissance (c'est-à-dire interrupteur) dans un circuit intégré [9]. Dans ces technologies les dispositifs de puissance sont des structures latérales LDMOS, c'est-à-dire que le courant traverse la structure par le drain situé à la surface de la puce, traverse le canal, puis la source elle aussi située à la surface de la puce comme le représente la figure 1.13 [9].

La tension de claquage est limitée dans cette structure à des tensions de l'ordre de 250 Volts. En effet, le claquage dans cette structure se produit généralement à la fin de la métallisation de grille (à cause de la faible épaisseur de l'oxyde de grille) ou à la jonction cylindrique PN⁻. Il dépend principalement du dopage de la zone de drift et de la distance L_d entre la fin de la métallisation de grille et le début de l'ouverture de la diffusion de drain [12][13]. La couche enterrée N⁺ permet de limiter l'extension de la zone de charge d'espace dans la région N⁻ et d'éviter le perçage du substrat P. Elle peut permettre aussi d'annuler le gain du transistor parasite PN⁻P entre le substrat et la diffusion P source du transistor MOS de puissance. Le courant électrique passe en surface de la structure et dépend de la distance L_d ; cette distance est appelée aussi longueur de la zone de drift. Plus cette distance est faible et plus la résistance à l'état passant du composant est faible. Malheureusement, la tension de claquage diminue quand L_d diminue. Il existait une distance de drift optimale assurant une tension de claquage maximale pour un dopage de drift donné. Ceci limite donc la densité d'intégration car le choix de la distance de drift, qui se trouve en surface de la structure, sera imposé par le compromis entre la tension de claquage et la résistance passante spécifique. De plus, la présence des trois électrodes sur la face supérieure de la puce ne facilite pas la densification des cellules mises en parallèle pour former le transistor LDMOS de puissance. La source et le drain se présentent le plus souvent sous forme de bandes parallèles interdigitées [10].

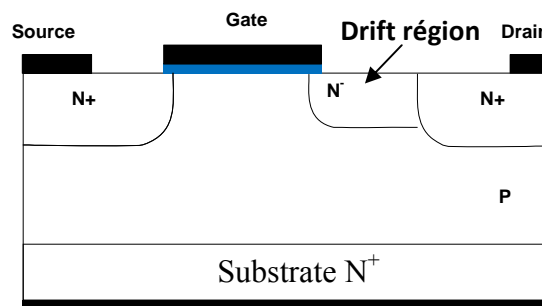


Figure 1-13 Coupe schématique d'un LDEMOS de type N en configuration standard [9].

De nombreuses variantes de la structure du transistor LDMOS ont été proposées pour améliorer sa tension de claquage ; on peut citer par exemple :

1.4.2.1. Le transistor LDMOS LOCOS

(LOCAl Oxidation in Silicon) : dans cette structure, le champ électrique à la fin de la métallisation de grille est fortement réduit grâce à une oxydation locale du silicium. Le problème majeur de cette structure est la dégradation de la surface de passage du courant à l'état passant et, par conséquent, une augmentation significative de la résistance passante spécifique comparée à celle des structures LDMOS classiques [10].

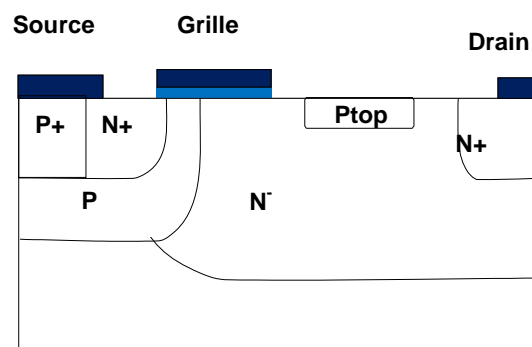


Figure 1-14 Coupe schématique d'un LDMOS LOCOS de type N en configuration standard [9].

1.4.2.2 Le LDMOS Resurf (Reduced surface field)

Cette structure est obtenue en remplaçant l'épitaxie N- sur substrat N+ par une couche épitaxie N- sur un substrat P-. Le substrat P- doit être relié à la source, à travers la diffusion P source, pour que la diode plane ainsi formée soit polarisée en inverse et soutienne, dans certaines conditions, la tension drain source. Si la structure Resurf est bien conçue, la zone N- doit être complètement délimitée avant que la zone de surface n'ait un point où le champ atteigne le champ critique de claquage. Si, en plus, la distance entre la source et la diffusion N+ de drain est telle que le perçage de la zone N+ drain soit effectif, le claquage peut s'opérer à la jonction plane N-P permettant ainsi d'améliorer nettement la tension de claquage par rapport à la structure LDMOS classique. Un autre avantage de cette structure est que la résistance à l'état passant reste identique à celle de la structure LDMOS classique alors que la tension de claquage est nettement améliorée. Cette

technique a permis aux circuits intégrés de puissance monolithiques de dépasser des tensions de claquage de 250 Volts [10].

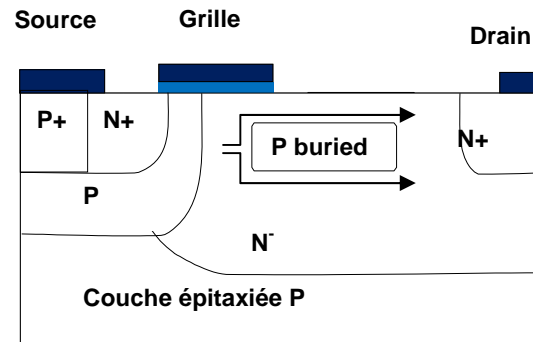


Figure 1-15 Coupe schématique d'un LDMOS resurf de type N en configuration standard [9].

1.5 Avantages des transistors DMOS

Par rapport aux transistors VMOS, les avantages des transistors DMOS sont multiples. En voici quelques uns [8]:

- ✚ Ils peuvent être fabriqués aisément sur n'importe quelle orientation cristalline du silicium, alors que le VMOS est obligé d'avoir son canal le long d'une surface $\langle 111 \rangle$. Ainsi, le choix d'une surface orientée $\langle 100 \rangle$ pour un transistor DMOS permet une amélioration de 20% de la mobilité des électrons dans la couche inversée [9] et de 15% de la vitesse limite de saturation de ces électrons dans cette même couche inversée par rapport aux transistors VMOS équivalents. Il en résulte une plus faible résistance à l'état passant et une plus importante transconductance par unité de surface dans les structures DMOS.
- ✚ la densité Q_{ss} de charges fixes à l'interface silicium/oxyde est environ trois fois plus grande sur les plans $\langle 111 \rangle$ par rapport aux plans $\langle 100 \rangle$ [5]. Par conséquent, pour une tension de seuil donnée, le pic de dopage dans le canal doit être plus élevé dans une structure VMOS que dans une structure DMOS. Or, la mobilité des électrons dans une couche inversée diminue quand le dopage augmente [9], donc la mobilité dans la structure VMOS est à nouveau dégradée par rapport aux structures DMOS.

- ✚ les difficultés technologiques évoquées pour le transistor VMOS n'existent pas pour les transistors DMOS. Ces derniers font appel à une technologie plus simple à haut rendement. Par exemple, le procédé d'auto-alignement des diffusions par une grille en polysilicium est relativement simple à mettre en œuvre dans les transistors DMOS. Ce point évidemment essentiel explique le développement industriel considérable de ces composants.
- ✚ la densité d'intégration - rapport périmètre/surface - qu'il a été possible d'obtenir avec des transistors DMOS multicellulaires est rapidement devenue plus grande que celle des transistors VMOS.

1.6 Comportement de DC des Transistors de puissance

Les dispositifs à haute tension montrent quelques effets spéciaux dus au champ électrique élevé à l'intérieur des dispositifs par exemple auto-échauffement, quasi-saturation et l'impact d'ionisation. En fait, une partie d'ionisation de ces effets (auto-échauffement et l'impact d'ionisation) est également évidente dans les transistors MOSFET de basse tension car le champ électrique dans ces dispositifs devient élevé lorsque la longueur de canal diminue. Quoique les effets mentionnés ci-dessus apparaissent en raison des champs électriques élevés dans le dispositif, quelques autres effets spéciaux sont aussi observés dans des différents processus de dispositif dans ces derniers comparés aux transistors MOSFET conventionnels. L'une des différences principale en termes de processus de dispositif est le dopage non-uniforme latéral dans la région de canal et dans la région drift dans le côté de drain des dispositifs de puissance. Ici nous discuterons l'origine physique de ces effets et leur impact sur des caractéristiques de dispositif.

1.6.1 Quasi-saturation

L'effet de quasi-saturation figure 1.16 est jusqu'ici le phénomène le plus intéressant et le plus discuté dans les transistors de puissance. La quasi-saturation consiste à la limitation du niveau du courant qui peut être atteint dans le dispositif. Cette limitation apparaît pour des tensions élevées de la grille et se manifeste l'insensibilité du courant à l'augmentation de la tension au niveau de la grille. La figure 1.16 présente la réponse typique de la quasi-saturation dans le dispositif LDMOS. Malgré les efforts faits pour étudier ce phénomène [14][15][16], il reste une certaine confusion sur les causes qui le produise. C'est une opinion unanime, dans la quasi-saturation, le transistor LDMOS

intrinsèque est dans le régime quasi-linéaire. Ceci explique la dépendance linéaire du courant avec la tension de drain. Il reste pour expliquer ce qui se produit dans la zone drift dans ce régime. On a proposé deux explications possibles dans la littérature pour ce phénomène. La vitesse de saturation des porteurs de charges dans la zone de drift a été proposée comme principal mécanisme dans [2] et confirmé par [3]. D'autres auteurs ont proposé une explication donnée par la formation d'une zone de déplétion dans le chemin courant [14][15][16]. Le mécanisme est très semblable au pincement du JFET. Il est également suggéré que les origines de quasi-saturation soient différentes pour les dispositifs latéraux et verticaux [17]. Notre travail sur les dispositifs latéraux soutient seulement l'étude de la vitesse de saturation des porteurs comme explication possible pour la quasi-saturation.

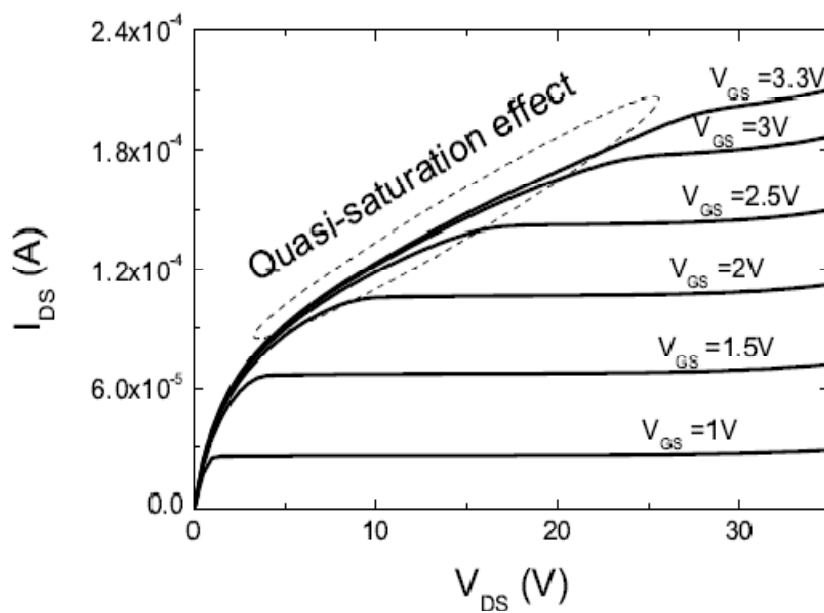


Figure 1.16: L'effet de quasi-saturation sur la caractéristique de sortie[15]

1.6.2 Auto-échauffement

Le dernier effet spécifique dans les dispositifs du LDMOS concerne les problèmes thermiques. L'effet d'auto-échauffement sera décrit brièvement dans cette section car le chapitre 3 est consacré aux effets thermiques. On l'a observé, au niveau de tension/courant très élevées que le courant diminue par l'augmentation de la tension de drain figure 1.17. Cette diminution est associée à l'augmentation de la température à l'intérieur du dispositif, qui mène à la diminution de la mobilité des électrons, et par conséquent, les diminutions de

courant. Il est intéressant de noter, cet effet peut apparaître dans des régimes de saturation et de quasi-saturation, dépendant seulement de la puissance injectée.

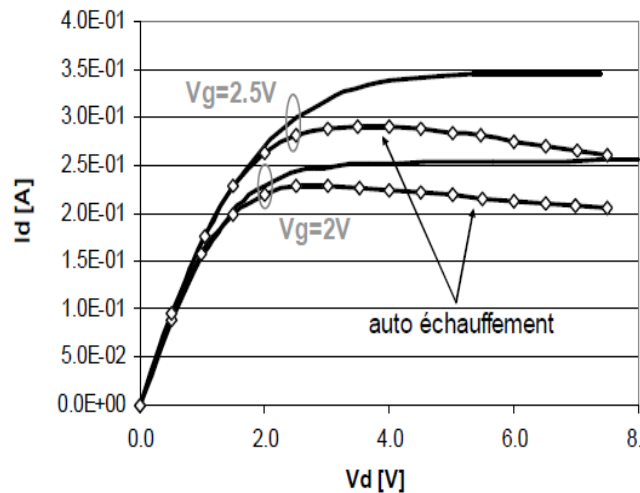


Figure 1.17: L'effet de l'auto-échauffement sur la caractéristique de sortie [14].

1.6.3 Impact ionisation

L'effet d'impact d'ionisation est bien connu dans les dispositifs de basse tension. Pour les dispositifs à haute tension le phénomène est seulement dans une petite partie différente. L'impact d'ionisation apparaît dans la zone drift pendant que le champ électrique atteint le maximum dans cette zone et pas dans la partie MOS. Toujours, le principe est identique pour la multiplication d'avalanche dans n'importe quel dispositif. L'effet est présent seulement aux tensions très grandes de V_d et peut être facilement observé et identifié par une tension de claquage sur les caractéristiques de sortie.

1.7 Conclusion

Dans ce chapitre, une vue d'ensemble d'architecture du transistor MOSFET de puissance a été présentée. Deux architectures principales de transistor de puissance : transistor MOSFET double diffusé LDMOS latéral et transistor MOSFET double diffusé vertical VDMOS, normalement utilisés avec la technologie CMOS, ont été discutées. Plusieurs avantages et inconvénients de ces architectures ont été également précisés. Le comportement contenu important effectue la quasi-saturation, auto-échauffement et l'impact d'ionisation ont été décrits. L'effet de quasi-saturation, qui est du en raison de la vitesse de saturation ou de l'augmentation du courant de la région drift est un problème majeur dans ces dispositifs car il donne une grande valeur de résistance, qui n'est pas désirée. Également la modélisation de cet effet est un grand défi. L'effet d'auto-échauffement représente le chauffage du dispositif dû à sa dissipation de puissance interne.

CHAPITRE II

Modèle analytique du LDMOSFET

2.1 Introduction

La simulation de circuits analogiques nécessite une prévision précise de courant drain en fonction de la tension appliquée. En dehors de la précision, la complexité est un autre obstacle important pour ces dispositifs appelés modèles compact transistor, le modèle utilisé doit être aussi simple que possible afin de limiter les temps de simulation des circuits.

Dans la plupart de l'état de l'art des modèles MOSFET rapportés dans la littérature, un compromis entre la précision et la complexité a donné lieu à une approche de toutes les régions de fonctionnement de dispositif, où des ensembles différents d'équations sont utilisées pour les différentes régions du fonctionnement de dispositif. En conséquence, au cours des dernières années une grande attention a été donnée aux modèles basées sur le potentiel surface.

Au cours des dernières années une grande attention a été attirée sur les modèles basés sur le potentiel surface [12][13]. Ce dernier est particulièrement important pour l'analyse de déformation, qui est un aspect important de la conception de circuit numérique et analogique.

Ce dernier est particulièrement important pour l'analyse de déformation, qui est un aspect important dans la modélisation et conception des circuits numériques et analogiques. Dans ce chapitre une description explicite en suite une description explicite, analytique et approximative du potentiel de surface sera développée en régime continu. Plus tard, un modèle de transistor LDMOSFET basé sur la formulation explicite ci-dessus du potentiel de surface sera présenté. Plus tard ; un modèle analytique de transistor LDMOSFET base sur la formulation explicite ci-dessus du potentiel de surface sera présenté.

2.2 Modèle explicite du potentiel de surface :

Le compact modèle transistor MOSFET attache le processus de conception et fabrication et de circuit. Le développement de ces modèles compacts sont stimulant en particulier dû au condition incompatible d'exactitude, généralité et efficacité informatique. Dans le modèle compact récent des formulations, une attention considérable a été concentrées sur développer les modèles basés potentielles de surface, un modèle basé sur les formulations analitiques du potentiel de surface quand va développer.

Dans cette partie, pour calculer le potentiel de surface, nous considérons le cas d'un transistor LDMOS de type N avec l'épaisseur d'oxyde t_{ox} , la longueur de canal L et la largeur W . La région de canal est dopée homogène, de concentration N_A , la longueur de région drift L_d .

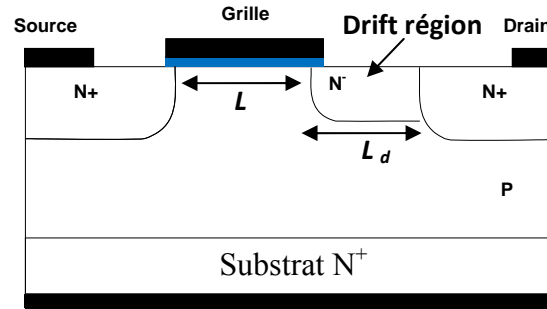


Figure 2.1 Coupe schématique d'un transistor nLDMOSFET

le ψ_s potentiel de surface électrostatique peut être calculé à partir de la relation implicite suivante [12][13] :

$$V_{GB} - V_{FB} - \psi_s = \gamma \left[\psi_s + u_t \left\{ \exp\left(-\frac{\psi_s}{u_t}\right) - 1 \right\} + u_t \exp\left(\frac{-V-2\phi_F}{u_t}\right) \left(\exp\left(\frac{\psi_s}{u_t}\right) - 1 \right) \right]^{1/2} \quad 2.1$$

où V_{FB} est la tension de bande plate, u_t est la tension thermique définie par kT/q , ϕ_F est le potentiel de Fermi dans le substrat défini par $u_t \times \ln(N_A/n_i)$ et γ est le facteur de forme défini par $\sqrt{2q\epsilon_{si}N_A}/C_{ox}$. Ici la capacité d'oxyde de grille par unité de surface C_{ox} est donnée par le rapport ϵ_{ox}/t_{ox} . Le potentiel de référence de substrat V de quasi-Fermi à la source est égal à V_{SB} et à V_{DB} à l'extrémité de drain. La relation 2.1 est valide pour toutes les valeurs de la tension grille-substrat V_{GB} et donne une description précise dans toutes les régions de fonctionnement (accumulation, déplétion et inversion).

Dans la gamme de fonctionnement usuelle (déplétion et d'inversion) ψ_s est positif et si en outre $\psi_s \gg u_t$, équation 2.1 sera réduite à [12][13]:

$$V_{GB} - V_{FB} - \psi_s = \gamma \times \sqrt{\left[\psi_s + u_t \times \exp\left(\frac{\psi_s - V - 2\phi_F}{u_t}\right) \right]} \quad 2.2$$

Le potentiel de surface ψ_s est obtenu à partir de l'équation 2.2. Cette équation donne une description exacte du potentiel de surface pour des valeurs $V_{GB} > V_{FB}$. Il est évident, que l'équation 2.2 ne peut pas être résolue analytiquement sous cette forme. En

effet, le ψ_s peut être seulement résolu exactement on utilisant une approche numérique itérative telle que l'algorithme de Newton-Raphson. La solution est donnée dans la figure 2.2.

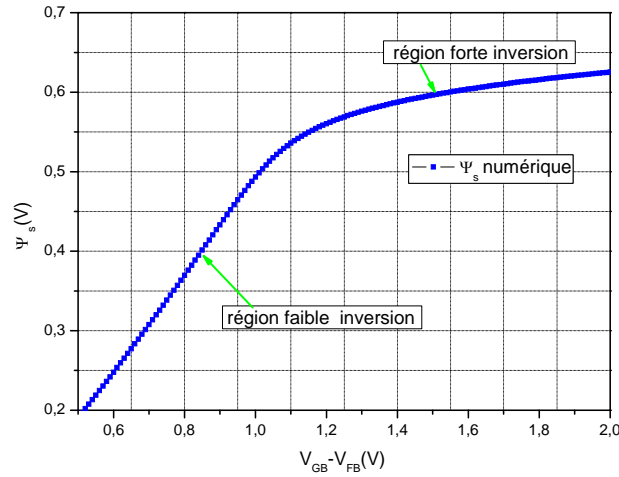


Figure 2.2 Le potentiel de surface électrostatique ψ_s en fonction de la tension $V_{GB} - V_{FB}$ obtenu par la résolution numérique de l'équation 2.2.

Pour le modèle compact du LDMOSFET, ceci pose de sévère charge de calcul. Une formulation explicite de potentiel de surface ψ_s , d'une part, aura comme conséquence une diminution de temps de calcul, et d'autre part peut préserver l'exactitude nécessaire.

Pour une description explicite du potentiel de surface, quelques approximations doivent être faites à l'équation 2.2. En général, une distinction peut être faite entre deux régions différentes d'opération, à savoir inversion faible et inversion forte, comme indiqué dans la figure 2.2.

Dans la région faible inversion $0 < \psi_s < 2\Phi_F + V$ et comme dans ce cas le terme exponentielle dans l'équation 2.2 est négligeable, nous pouvons écrire [12][13]:

$$\psi_{swi} = \left(\sqrt{V_{GB} - V_{FB} + \frac{\gamma^2}{4}} - \frac{\gamma}{2} \right)^2 \quad 2.3$$

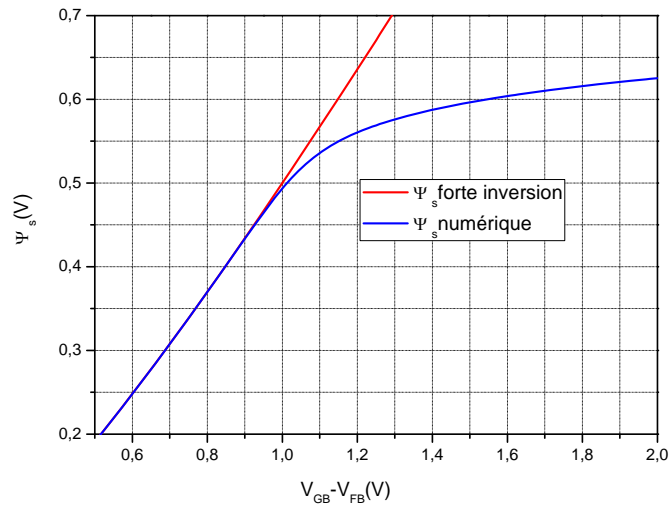


Figure 2.3 Le potentiel de surface électrostatique ψ_s en fonction de la tension $V_{GB} - V_{FB}$ obtenu dans la région à faible inversion.

Le potentiel de surface dans la région à faible inversion est approximativement proportionnel à $V_{GB} - V_{FB}$, comme il est observé dans la figure 2.3.

Dans la région de forte inversion $\psi_s > 2\phi_F + V$ et le terme exponentielle dans l'équation 2.2 devient dominant. En effet le potentiel de surface devient pratiquement indépendant de la tension de grille, et par conséquent dans l'approximation de premier ordre, on assume que ψ_s est constant [12][13]:

$$\psi_{ssi} = \phi_B - V \quad 2.4$$

Où ϕ_B est souvent pris pour être égal à $2\phi_F$, est le critère classique de forte inversion. Les résultats pour les approximations 2.3 et 2.4 sont également montrés dans la figure 2.4.

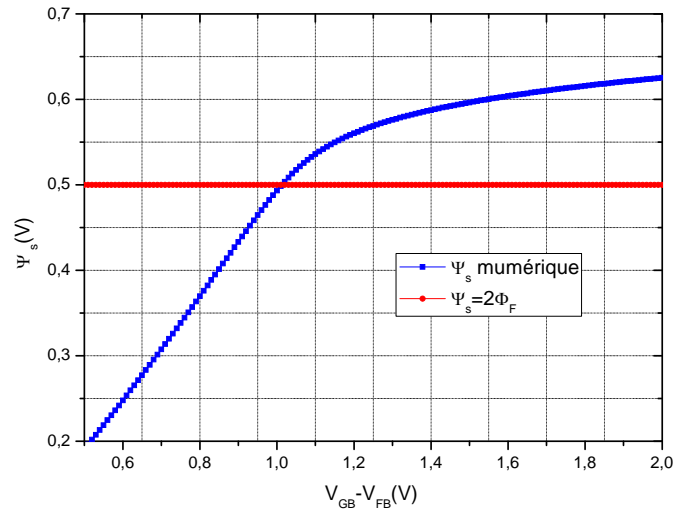


Figure 2.4 Le potentiel de surface électrostatique ψ_s en fonction de la tension

$V_{GB}-V_{FB}$ obtenu dans la région à forte inversion pour $\psi_{ssi} = \phi_B - V$

Il est clair que l'utilisation de l'équation 2.4 avec $\phi_B = 2\phi_F$ a comme conséquence une grande erreur.

Parfois la valeur de ϕ_B (qui est plusieurs fois de u_t) est supérieur à celle de $2\phi_F$, qui mène à des résultats plus précis à la polarisation élevée de la grille. Cependant, les résultats demeurent imprécis à la transition entre l'inversion faible et forte (c.-à-d. inversion modérée) [12][13].

Une expression plus précise du potentiel de surface dans la région de forte inversion peut être trouvée en considérant que le terme exponentiel dans l'équation 2.2 est dominant. Dans ce cas, l'équation 2.2 peut être donnée comme [12][13]:

$$V_{GB} - V_{FB} - \phi_B = \gamma \times \sqrt{\phi_B + u_t \times \exp\left(\frac{\psi_s - V - 2\phi_F}{u_t}\right)} \quad 2.5$$

et le potentiel de surface dans la région forte inversion devient:

$$\psi_{ssi} = 2\phi_F + V + u_t \times \ln\left(\frac{1}{u_t} \times \left[\left(\frac{V_{GB}-V_{FB}-\phi_B}{\gamma}\right)^2 - \phi_B + u_t\right]\right) \quad 2.6$$

Où le u_t dans le logarithme est ajouté de sorte que $\psi_{s_{wi}} = \psi_{s_{si}}$ pour la condition de la tension de seuil $V_{GB} = V_{FB} + \Phi_B + V + \gamma \times \sqrt{\Phi_B + V}$; néanmoins son influence globale est négligeable [12][13].

L'allure de la courbe obtenue par l'équation 2.6 est représentée sur la figure 2.5. Bien qu'il soit clair que les derniers résultats soient plus précis par rapport aux résultats de l'équation 2.4, il y a toujours une grande déviation particulièrement pour V_{GB} juste au-dessus de la tension de seuil [12][13].

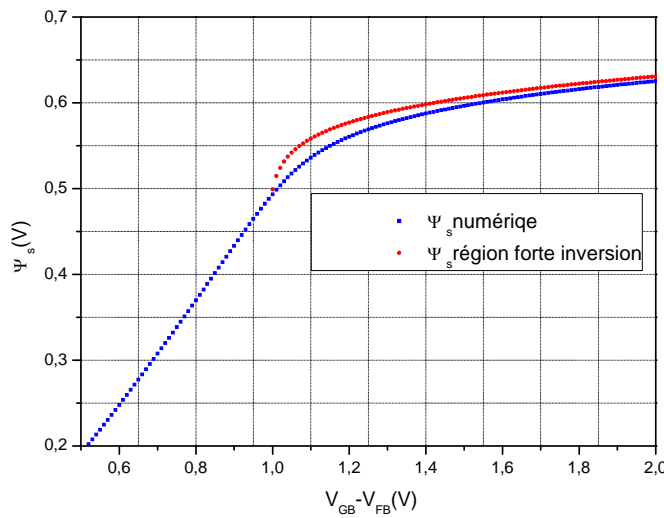


Figure 2.5 Le potentiel de surface électrostatique ψ_s en fonction de la tension

$V_{GB} - V_{FB}$ obtenu dans la région à forte inversion pour l'équation 2.6.

Pour un calcul explicite du potentiel de surface, en effet, l'utilisation d'une valeur constante Φ_B dans l'équation 2.2 ne donne pas des résultats précis. Dans la figure 2.2, pour des valeurs élevées de la tension de grille, le potentiel de surface semble saturer à une valeur (qui est plusieurs fois de u_t) qui est supérieure à celle de $2\Phi_F$, et qui est environ $4.u_t$ pour les transistors MOS [12][13].

Pour $\psi_s > 2. \Phi_F + V$, en d'autres termes le potentiel de surface varie de $2\Phi_F + V$ à $2\Phi_F + V + 4.u_t$ à la tension de seuil. On peut définir une simple fonction empirique ψ^* qui réalise ce changement [12][13]:

$$\psi^* = 2\phi_F + V + \frac{(\psi_{s_{wi}} - 2\phi_F - V)}{\sqrt{1 + [(\psi_{s_{wi}} - 2\phi_F - V)/4u_t]^2}} \quad 2.7$$

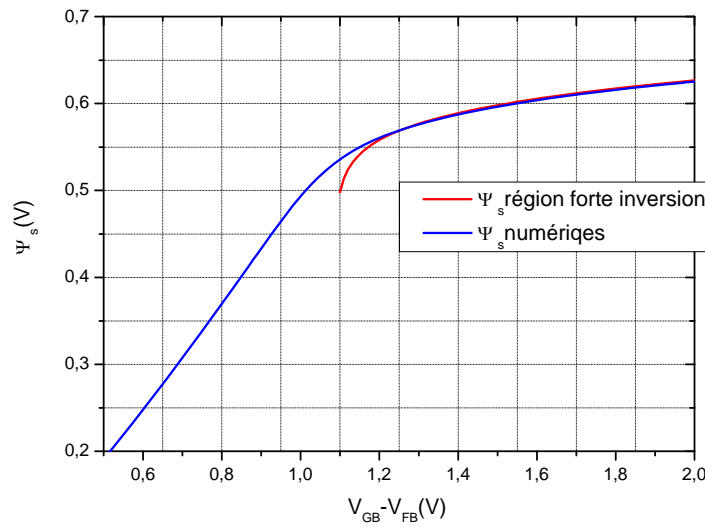
La valeur constante Φ_B dans l'équation 2.6 peut maintenant être remplacée par ψ^* :

$$\psi_{s_{si}} = 2\phi_F + V + u_t \times \ln\left(\frac{1}{u_t} \times \left[\left(\frac{V_{GB} - V_{FB} - \psi^*}{\gamma}\right)^2 - \psi^* + u_t\right]\right) \quad 2.8$$

où le terme quadratique dans le logarithme est dominé, et en conséquence l'expression ci-dessus peut être rapprochée par:

$$\psi_{s_{si}} \approx 2\phi_F + V + u_t \times \ln\left(\frac{1}{u_t} \times \left[\left(\frac{V_{GB} - V_{FB} - \psi^*}{\gamma}\right)^2 - 2\phi_F - V + u_t\right]\right) \quad 2.9$$

Comme il est observé dans la figure 2.6, l'équation 2.9 donne une description précise du



potentiel de surface dans la région de forte inversion.

Figure 2.6 Le potentiel de surface électrostatique ψ_s en fonction de la tension

$V_{GB} - V_{FB}$ obtenu dans la région à forte inversion pour l'équation 2.9.

ons que si toutes les termes de $2\phi_F + V$ dans l'équation 2.9 sont remplacées par $\psi_{s_{wi}}$, le potentiel de surface $\psi_{s_{si}}$ remplacer par $\psi_{s_{wi}}$. la transition continue de l'inversion faible ($\psi_s = \psi_{s_{wi}}$) vers forte inversion ($\psi_s = \psi_{s_{si}}$) peuvent donc être acquises par le

remplacement $2\Phi_F + V$ dans l'équation 2.9 par une fonction f qui change en douceur ψ_{swi} a $2\Phi_F + V$. la fonction de lissage f suivante peut être utilisée [12][13]:

$$f(V_{GB}, V) = \frac{2\Phi_F + V}{2} + \frac{\psi_{swi}}{2} - \frac{1}{2} \times \sqrt{(\psi_{swi} - 2\Phi_F - V)^2 + 4 \times \epsilon^2} \quad 2.10$$

où ϵ est un facteur d'ajustement, qui est fixé à une valeur 2.10^{-2} . Après quelques réarrangeant, l'expression complète pour le potentiel de surface devient:

$$\psi_s = f + u_t \times \ln \left(\left[\frac{V_{GB} - V_{FB} - f - \left\{ (\psi_{swi} - f) / \left(\sqrt{1 + [(\psi_{swi} - f) / 4u_t]^2} \right) \right\}}{\gamma \times \sqrt{u_t}} \right]^2 - \frac{f}{u_t} + 1 \right) \quad 2.11$$

Les résultats de l'équation 2.11 en fonction de la tension $V_{GB} - V_{FB}$ sont montrés dans la figure 2.7, où les résultats de la relation implicite 2.2 sont également montrés. Il est clair que l'équation 2.11 est une approximation précise de la relation 2.2.

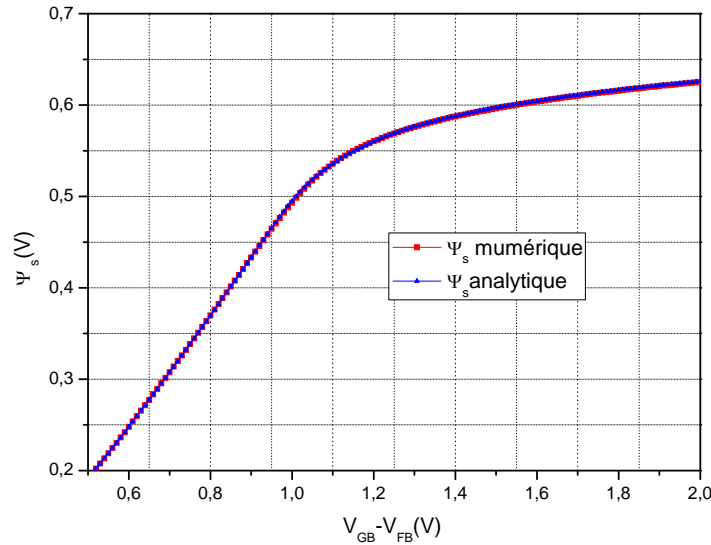


Figure 2.6 Le potentiel de surface électrostatique ψ_s en fonction de la tension $V_{GB} - V_{FB}$ pour la solution numérique de l'équation 2.2

Dans la figure 2.8 on présente le potentiel de surface en fonction de la valeur de V_{SB} .

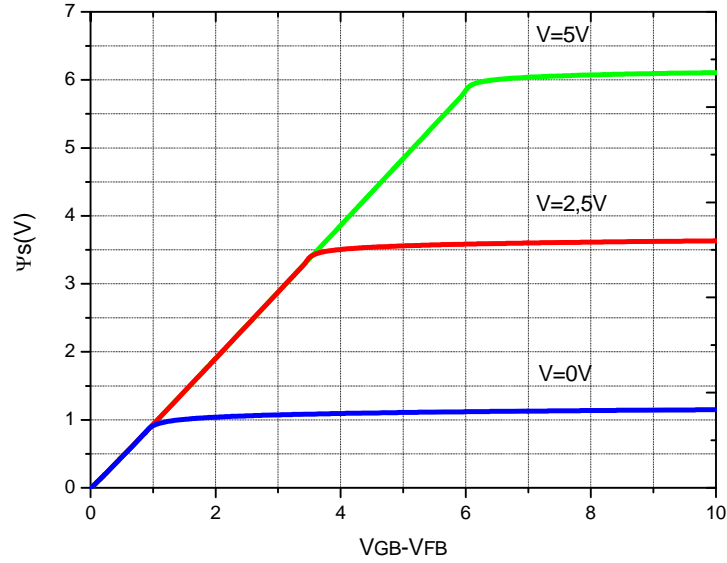


Figure 2.8 Le potentiel de surface électrostatique ψ_s a en fonction de la tension $V_{GB}-V_{FB}$ de grille pour différentes valeurs du potentiel de quasi-Fermi V obtenu à partir de la relation implicite.

2.3. Description du modèle de courant de drain

Pour calculer le courant du drain I_{ds} , on assume que la mobilité des porteurs de charges μ est constante le long du canal, c.-à-d. les effets de la diminution de la mobilité et de la vitesse de saturation sont négligés. Encore, dans l'hypothèse du rapprochement progressif de canal le courant de drain peut être écrit [12][13]:

$$I_{ds} = I_{drift} + I_{diff} \tag{2.12}$$

ou

$$I_{drift} = \mu C_{ox} \frac{W}{L} \left[\left(V_{GB} - V_{FB} - \frac{\psi_{sL} + \psi_{s0}}{2} \right) (\psi_{sL} - \psi_{s0}) - \frac{2}{3} \gamma (\psi_{sL}^{3/2} - \psi_{s0}^{3/2}) \right] \tag{2.13}$$

$$I_{diff} = \mu C_{ox} \frac{W}{L} u_t [\psi_{sL} - \psi_{s0} + \gamma (\sqrt{\psi_{sL}} - \sqrt{\psi_{s0}})] \tag{2.14}$$

où ψ_{s0} et ψ_{sL} sont le potentiel de surface électrostatique à la source et au côté de drain, respectivement. Equation 2.11 peut être utilisée pour le calcul de ψ_{s0} et ψ_{sL} on remplacent V par V_{SB} et V_{DB} respectivement.

$$\psi_{s0} = V_{GB} - V_{FB} - \sqrt{\psi_{s0} + u_t \exp\{(\psi_{s0} - 2\phi_F - V_{SB})/u_t\}} \quad 2.15$$

$$\psi_{sL} = V_{GB} - V_{FB} - \sqrt{\psi_{sL} + u_t \exp\{(\psi_{sL} - 2\phi_F - V_{DB})/u_t\}} \quad 2.16$$

La composante de diffusion est dominante dans la région sous seuil où ψ_{s0} et ψ_{sL} sont presque égale au $\psi_{s_{wi}}$. Avec l'aide de l'équation 2.2, la difficulté ci-dessus peut être évitée en récrivant l'équation 2.14 comme,

$$I_{diff} = \mu C_{ox} \frac{W}{L} \cdot u_t \cdot \gamma \left[\sqrt{\psi_{s0} + u_t \exp\left(\frac{\psi_{s0} - V_{SB} - 2\phi_F}{u_t}\right)} - \sqrt{\psi_{s0}} - \left(\sqrt{\psi_{sL} + u_t \exp\left(\frac{\psi_{sL} - V_{DB} - 2\phi_F}{u_t}\right)} - \sqrt{\psi_{sL}} \right) \right] \quad 2.17$$

La figure 2.3 représente la caractéristique I(V) du courant de drain en fonction de la tension du drain, pour des différentes valeurs de la tension de grille du modèle analytique du courant de drain trouvé précédemment.

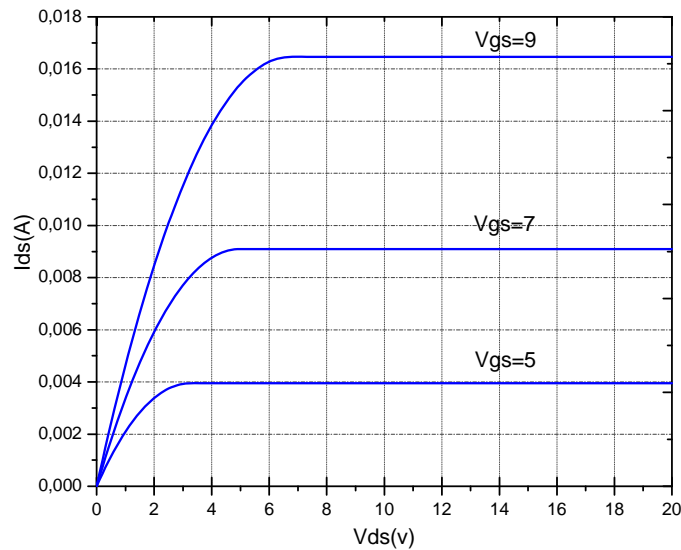


Figure 2.8: caractéristique I(V) pour des différentes valeurs de la tension de grille.

La caractérisation des propriétés électriques des transistors LDMOSFET a été simulée à La température ambiante (ce sera le cas pour toutes nos simulations). La longueur du canal ici est de 100 μm et la largeur du canal de 200 μm . La longueur de la région drift est de 100 μm .

En remarque que la caractéristique présente deux régions : région linéaire et une région de saturation. En remarque aussi une transition aigue entre les deux régions (une discontinuée de la courbe) ce qui nous a ramené à étudier l'effet de la saturation et de la quasi-saturation.

2.4 Tension de quasi-saturation

Le calcul du potentiel de surface jusqu'ici a été basée sur le fonctionnement du transistor LDMOSFET idéal, auquel enferme le canal pincé fin de pincées au coté du drain lorsque $\psi_{sL} = \psi_{wsi}$. Au-dessus de tension du seuil ceci correspond à un ψ_{wsi} . Idéal de la tension de saturation de drain-source $V_{DSsat0} = \psi_{sL} - 2\Phi_F - V_{SB}$. En effet la vitesse la saturation des porteurs même avant que la condition de pincement est accomplie. En outre, une partie de la tension drain-source est chuté travers une résistance en série au côté du drain et de source, qui a un effet important sur la tension de saturation. Dans le cas non idéal, la tension de saturation V_{DSsat} peut dévier ainsi de manière significative du cas idéal V_{DSsat0} . En conséquence équation 2.11 n'est plus valide à l'extrémité de drain du canal.

Pour le calcul du potentiel extérieur ψ_{sL} , la différence dans la tension de saturation peut être prise en compte maintenant, on remplaçant la tension V_{DB} du drain-bulk par à une tension efficace drain- bulk V_{DBx} . Ici V_{DBx} est une fonction qui change doucement à partir V_{DB} dans la région ohmique (c.a.d. $V_{DS} < V_{DSsat}$) jusqu'à $V_{DSsat} + V_{SB}$ (c.a.d. $V_{DS} > V_{DSsat}$) dans la région de saturation. Au-dessus de la tension du seuil, la tension de saturation V_{DSsat} est déterminée par la description de la vitesse de saturation et la résistance série, et typiquement varie entre 0 et V_{DSsat} .

La tension de saturation dans la région sous seuil est considéré égal à 0, puisque dans cette région le ψ_{sL} et ψ_{s0} sont égaux au ψ_{wsi} :

La transition en graduelle entre région ohmique et la région de saturation peut être modélisée par la fonction de lissage suivante.

$$V_{DBx} = \frac{V_{DS} \cdot V_{DSsat}}{[V_{DS}^{2m} + V_{DSsat}^{2m}]^{1/2m}} + V_{SB} \quad 2.17$$

où m est un paramètre d'ajustement empirique qui peut prendre des valeurs entières seulement, il détermine la fluidité de la transition. Le potentiel de surface à l'extrémité de drain ψ_{sL} peut maintenant être évalué à partir l'équation 2.11 en remplaçant V dans la fonction f par V_{DBx} .

On peut maintenant tracer la caractéristique $I(V)$ en fonction de V_{ds} pour les mêmes paramètres. Ce qui est présenté sur la figure 2.9. La courbe en rouge correspond au modèle après l' des approches discutées plus haut ce qui améliore la réponse de la caractéristique $I(V)$ en éliminant la discontinuité entre la région linéaire et la région saturation.

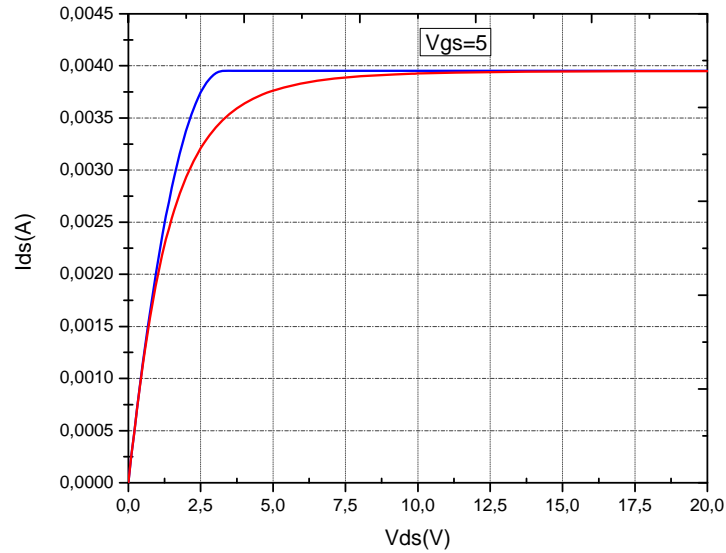


Figure2.9 : Caractéristiques $I(V)$ qui montre le régime de quasi-saturation.

La forme réelle de la caractéristique $I(V)$ dans la quasi-saturation est une fonction très compliquée de V_{ds} , et ses paramètres dépendent également de V_{gs} , de V_{SB} , du processus de fabrication, et de la géométrie du dispositif. Les équations discutées jusqu'ici n'incluent pas cet effet. Pour des évaluations très grossières, la modification suivante est employée souvent :[21]

$$I_{DS} = I_{ds} \left(1 + \frac{V_{ds}}{V_A} \right) \tag{2.18}$$

ou I_{ds} est la valeur prédit pour la saturation, et V_A est une quantité assumée pour être indépendante de V_{ds} . La valeur du V_A est plus petite pour des dispositifs avec des canaux plus courts. La valeur de V_A et calculer à partir la relation suivante [21]:

$$V_A = \phi_A \cdot \frac{L}{1\mu\text{m}} \cdot \sqrt{\frac{N_c}{10^{16}\text{cm}^{-3}}} \tag{2.19}$$

Ou N_c la concentration de dopage dans le canal, La valeur de ϕ_A dépend des détails de fabrication, une valeur de compromis est 16 V:[21].

La figure 2.5 représente la caractéristique $I(V)$ qui montre l'effet du canal court du transistor LDMOSFET, avec $V_A=0.01V$. D'après la théorie vue au paragraphe précédent, il est possible de tracer l'évolution caractéristique.

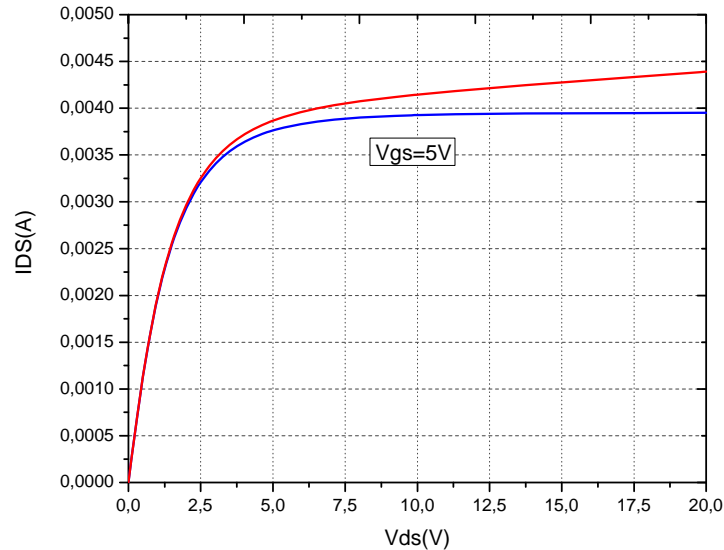


Figure2.10 : Caractéristique IDS en fonction de Vds d'un transistor LDMOSFET de $W=200\mu m$; $L=100\mu m$ avec $V_A=0.01V$

La relation 2.18 donne une représentation plus proche à la caractéristique réelle qui démunie l'effet de la vitesse de saturation des porteurs dans la région de saturation et quasi-saturation.

2.5 Conclusion

Un modèle de transistor LDMOSFET est présenté basé sur les formulations du potentiel de surface qui décrit le courant de drain dans toutes les régions de fonctionnement du dispositif, utilisant des équations simples. Une approche basée sur des relations du potentiel de surface en fonction des tensions appliquées a été développée dans ce chapitre, des résultats précis sur toutes les zones de fonctionnement ont été obtenus.

L'utilisation de la relation explicite pour le ψ_s n'a pas comme conséquence une diminution apparente d'exactitude une fois comparé aux modèles ψ_s basés sur les relations implicites ou dans une augmentation de moment de simulation où comparé aux modèles basés de V_{th} . (tension de seuil) En d'autres termes le modèle de potentiel de surface peut être présenté par une seule relation qui présente tous les régions de fonctionnement de dispositif.

La modélisation de l'effet canal court du dispositif exige une description précise des effets physiques tels que la réduction de mobilité, la résistance série, la vitesse de saturation, la modulation de la longueur du canal. Les effets ci-dessus ont été incorporés dans le modèle décrit, qui donne une description précise du courant de drain dans toutes les régions de fonctionnement de dispositif.

CHAPITRE III

Modélisation de l'effet d'auto- échauffement

3.1 Introduction

Comme discuté dans le chapitre précédent, les dispositifs de puissances montrent quelques effets spéciaux dus au champ électrique élevé à l'intérieur de dispositif par exemple l'auto-échauffement, de quasi-saturation et l'impact d'ionisation. Dans ce chapitre, nous avons étudié l'effet d'auto-échauffement.

Dans cette 1^{ère} partie, une présentation de l'effet d'auto-échauffement sur le fonctionnement du transistor LDMOS, et la simulation de l'effet d'auto-échauffement sur la caractéristique de sortie et sur de différents longueurs de canal.

La 2^{ème} partie permet d'entrer dans le vif sujet; elle fait un état des lieux des défis technologiques associés à l'évolution de l'architecture LDMOS. Nous décrirons les enjeux physiques régissant sur l'amélioration des performances. L'objectif de cette 2^{ème} partie est l'introduction d'un diélectrique de grille haute permittivité comme moyen de limiter l'effet d'auto-échauffement.

3.2 Modélisation de l'effet d'Auto-échauffement

L'effet d'auto-échauffement représente le chauffage du dispositif dû à sa dissipation de puissance interne. Cet effet apparaît quand des niveaux élevés de la puissance sont atteints dans le dispositif. La chaleur dispersée mène à une augmentation de la température interne du transistor. Pour la première fois on lui propose une expression qui rapporte la variation de la température à la puissance injectée dans le dispositif : L'augmentation interne de la température influe sur les caractéristiques de dispositif principalement en affectant la mobilité, la tension de seuil et la vitesse de saturation [14].

La mobilité efficace à la température $T_0 + \Delta T$ peut être calculée par [16]:

$$\mu(T_0 + \Delta T) = \frac{\mu_0}{1 + \Delta T / T_0} \quad 3.1$$

où l'indice '0' de T_0 représente la valeur du paramètre à la température d'environnement.

La dépendance de la température du courant peut être calculée comme suit:

$$I_{ds} = \frac{I_{ds,0}}{1 + \Delta T / T_0} \quad 3.2$$

Tandis que la nouvelle température $T = T_0 + \Delta T$ peut être déterminée par:

$$T = T_0 + P_{diss} R_{TH} \tag{3.3}$$

où : $P_{diss} = I_{ds}V_{ds}$ avec R_{TH} est la résistance thermique ($R_{TH} = \rho \frac{l}{S}$) et ρ est la résistivité thermique du matériau qui est la réciproque de la conductivité thermique, l est la longueur utile et S est la surface efficace de coupe. D' autre part, la conductivité thermique d'un matériau est une fonction de la température, comme montré dans le tableau 3.1 pour le silicium.

Température (K)	250	300	350	400	500	600
Conductivité (W/m/K)	191	148	119	98.9	76.2	61.9
Résistivité (K.m/W.10 ⁻³)	5.2	6.8	8.4	10.1	13.3	16.2

Tableau 3.1 la conductivité thermique par rapport à la température.[16]

Il peut rapprocher que la résistivité thermique est une fonction linéaire de la température.

$$\rho(T_0+\Delta T)=\rho(T_0) +c \cdot \Delta T \tag{3.4}$$

où c est une constante $c=3.1e-5$ pour le silicium. Ainsi, R_{TH} peut être exprimée comme,

$$\begin{aligned} R_{TH}(T_0 + \Delta T) &= \rho(T_0 + \Delta T) \cdot \frac{L}{S} \\ &= [\rho(T_0) + c \cdot \Delta T] \frac{L}{S} \\ &= R_{TH,0} + c \cdot k(T_0) R_{TH,0} \Delta T \end{aligned} \tag{3.5}$$

Nous définissons : $K_{TH,0} =c k(T_0) R_{TH,0}$, ce qui reflète la dépendance de la température de la résistance thermique. Et du tableau 3.1, nous pouvons également à $T_0=300K$ obtenir $K_{TH,0}=0.0046 R_{TH,0}$.

Ainsi, nous avons trouvé comment la température affecte le courant de drain, dans l'équation 3.2 et aussi comment le courant de drain et la tension de drain affectent la

température avec une résistance thermique dépend de la température, dans l'équation 3.3. Puis, en résolvant l'équation 3.1, 3.2 et 3.3, nous pouvons obtenir le courant avec l'effet d'auto-échauffement considéré. On peut résumer l'effet d'auto-échauffement sur la caractéristique $I(V)$.

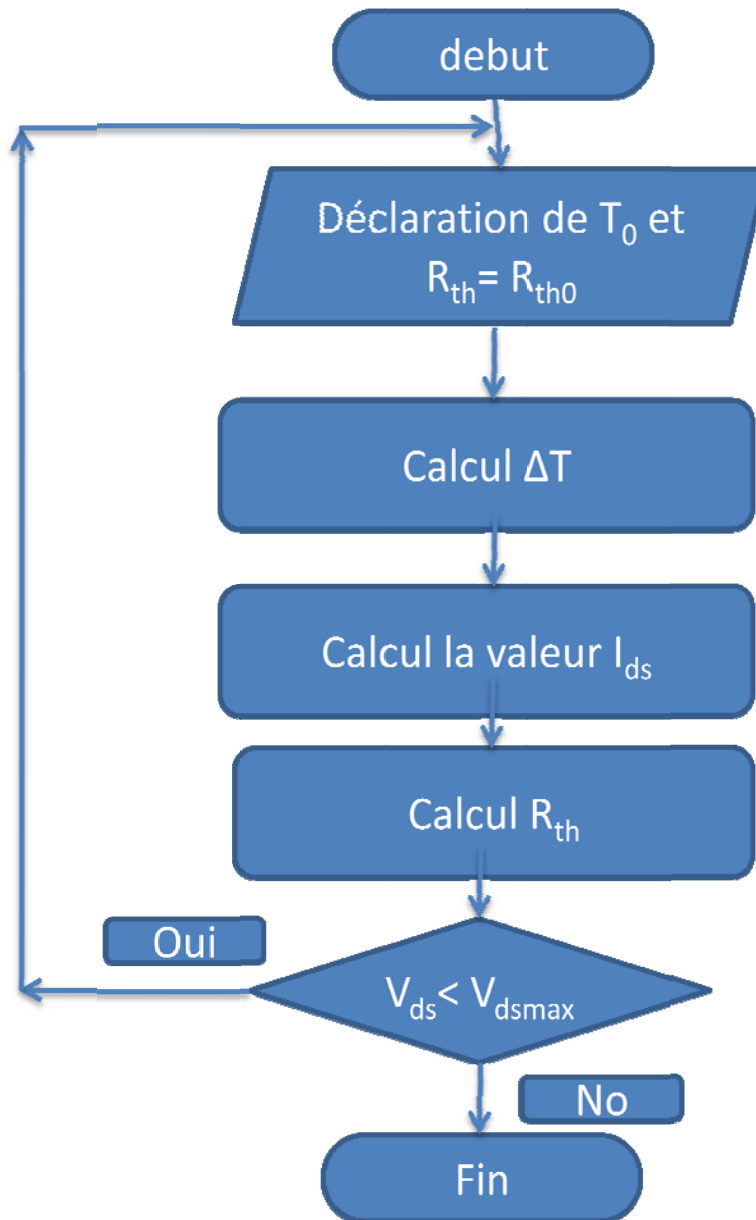


Figure 3.1 la l'organigramme qui présente l'effet de l'auto-échauffement.

3.3 Résultats de simulation d'effet d'auto-échauffement

L'étude de l'effet d'auto-échauffement que nous avons développé jusqu'à maintenant est basée sur l'analyse simultanée du courant de drain en fonction de la tension V_{ds} et V_{gs} appliquée. Ce modèle est calibré sur les caractéristiques mesurées des dispositifs de 15V simulé à l'aide d'un programme développé sur MATLAB. Nous avons vérifié notre modèle avec la simulation des données pour un transistor de 15V LDMOSFET, avec une épaisseur d'oxyde de $t_{ox}=15\text{nm}$, la largeur de canal égale à $W=200\text{nm}$ pour différentes longueurs de canal comme : $L=1\mu\text{m}$, $L=10\mu\text{m}$ et $L=100\mu\text{m}$. Les figures 3.1, 3.2 et 3.3 montrent les caractéristiques de I_{ds} - V_{ds} pour différentes longueurs du canal L . Cette simulation montre l'effet d'auto-échauffement sur le courant de drain. La gamme de la tension appliquée de drain V_{ds} considérée dans cette étude sont prisent entre 0V et 20 V avec un pas de tension de 0.1 V. Les tensions V_{gs} appliquées sont prises comme, $V_{gs}=3\text{V}$, $V_{gs}=5\text{V}$ et $V_{gs}=7\text{V}$.

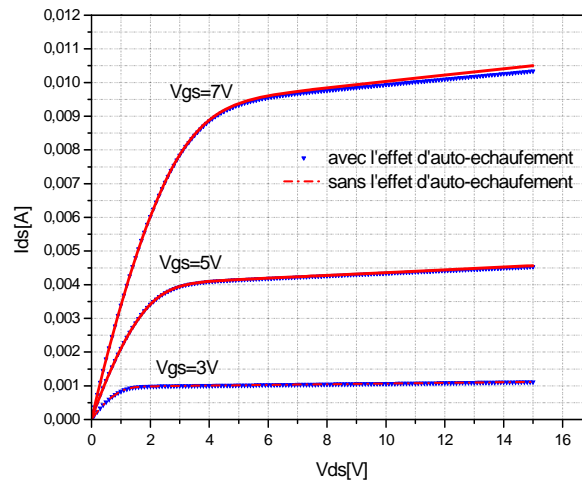


Figure 3.2 La simulation de l'effet d'auto-échauffement pour $W=200\mu\text{m}$, $L=100\mu\text{m}$.

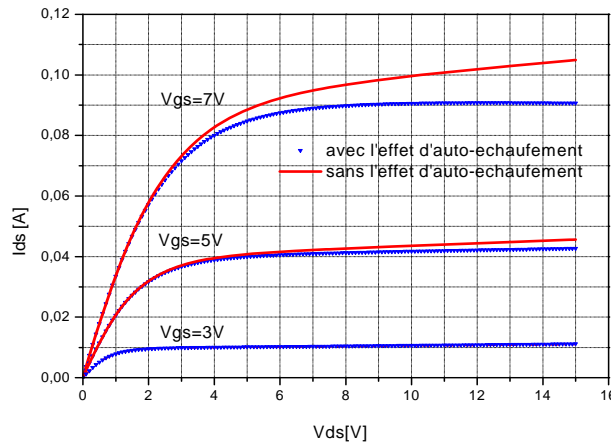


Figure 3.3 La simulation de l'effet d'auto-échauffement pour $W=200\mu\text{m}$, $L=10\mu\text{m}$.

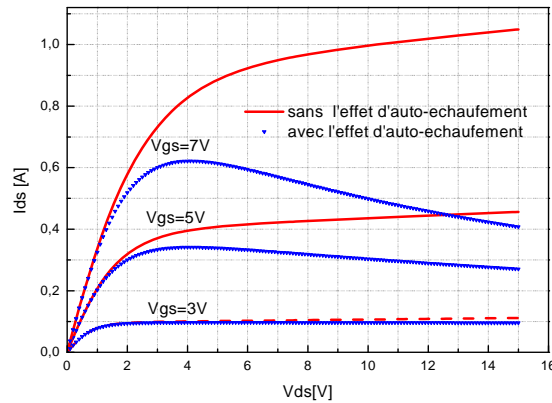


Figure 3.4 La simulation de l'effet d'auto-échauffement pour $W=200\mu m$, $L=1\mu m$

On peut remarquer dans la figure 3.2 que pour les dispositifs de canal longs de, $L=100\mu m$, l'effet d'auto-échauffement n'apparaît pas bien. Par conséquent, l'effet d'auto-échauffement dans ce cas peut être négligé.

Dans les figures 3.3 et 3.4, l'effet d'auto-échauffement augmente avec l'augmentation des tensions appliquées, V_{ds} et V_{gs} pour des longueurs de canal courts. Dans ce cas la diminution du courant de drain est associée à l'augmentation de la température à l'intérieur du dispositif, qui mène à la diminution de mobilité des électrons, et par conséquent la diminution de courant. Il est intéressant de noter, cet effet peut apparaître dans la saturation et les régimes quasi saturation. En outre, l'effet d'auto-échauffement observé peut produire une résistance négative figure 3.4 qui est un élément parasite pour le fonctionnement des dispositifs de l'électronique de puissance.

3.4 Oxydes à fortes permittivités et leurs intégration dans la microélectronique

Pour des utilisations d'oxyde seul, la couche d'oxyde devient insuffisante pour permettre le passage des porteurs par effet d'auto-échauffement. Cet effet est d'origine de l'augmentation de la température interne du transistor, modifie les caractéristiques électriques du transistor LDMOSFET.

Parmi les solutions en cours d'étude pour remédier à l'effet d'auto-échauffement, l'utilisation d'une couche d'isolants de valeur de permittivité élevée sur la couche d'oxyde de grille semble la solution la plus prometteuse. De nombreux matériaux sont actuellement étudiés pour être utilisés avec la couche d'oxyde SiO_2 . Les principaux sont : TiO_2 , Y_2O_3 , Ta_2O_5 , Al_2O_3 , La_2O_3 , ZrO_2 , et le HfO_2 [1] [18] [19]. Ils ont tous des valeurs de permittivité différentes. Leurs gaps sont généralement moins importants que celui du SiO_2 , ce qui se

traduit par des hauteurs de barrière plus faibles pour les trous et les électrons. Ces différents diélectriques présentent tous des problèmes technologiques particuliers qui rendent difficile leur intégration dans un processus [23]. Par exemple, le Ta_2O_5 , et le TiO_2 semblent intéressants mais présentent l'inconvénient de réagir avec le silicium. Ainsi, pour contourner ce fait, il faudrait une couche tampon de permittivité inférieure entre le diélectrique et le substrat. Ceci malheureusement diminue fortement la capacité C_{ox} associée à l'empilement des deux couches, et rend aussi le process plus compliqué. Actuellement, la recherche se porte plutôt vers des matériaux comme Al_2O_3 , ZrO_2 et HfO_2 qui présentent l'avantage d'être thermodynamiquement stables sur le silicium [24].

3.5 Choix des oxydes étudiés et de la méthode de croissance associée

Il conviendra plutôt d'identifier le meilleur couple oxyde-procédé. C'est dans cet esprit que les choix suivants ont été opérés. Pour chaque diélectrique retenu, nous traiterons des constants diélectriques, décalages de bandes, différentes structures cristallographiques et interface avec le silicium afin de justifier ce choix.

3.5.1 L'oxyde ZrO_2

Historiquement, ce sont les études concernant TiO_2 et Ta_2O_5 qui ont suscité ensuite intérêt le ZrO_2 [25]. L'instabilité sur le silicium des oxydes de titane et de tantale tendait à former une interface d'une épaisseur augmentant fortement. De plus, une température prohibitive de recuit était nécessaire après dépôt. Tout ceci rendait difficilement envisageable une épaisseur inférieure à 1,5 nm [17]. De plus, malgré sa très forte permittivité (80 à 110 suivant sa structure cristalline), l'oxyde de titane présentait de très forts courants de fuite de part sa nature polycristalline, difficile à rendre amorphe, mais aussi du fait de nombreuses lacunes d'oxygène exacerbant ce problème. Or, il est apparu que, dans la même famille, l'oxyde de zirconium semblait répondre aux critères de permittivité, décalages de bandes et surtout était plus stable sur le silicium [20].

Naturellement, la largeur de la bande interdite évolue aussi en fonction de la cristallographie. Le tableau 3.2 rapporte les valeurs calculées par la théorie de la primitivité [26].

Phase	ϵ_r	$E_g(\text{ev})$
Cubique	37	2.63
Tétraгонаle	38	3.31
Monoclinique	20	2.98

Tableau 3.2 : Permittivité relative et largeur de bande interdite calculées pour les trois phases ZrO_2 [17][20].

3.5.1 L'oxyde HfO_2

L'oxyde de hafnium est très semblable à l'oxyde de zirconium. Tout ce qui a été indiqué précédemment lui est applicable [17]. On retrouve d'ailleurs les mêmes phases cristallines que pour l'oxyde de zirconium. La permittivité de HfO_2 peut toutefois être plus grande (entre 20 et 40) et dépend aussi de la structure cristalline. Le tableau 3.3 rapporte les valeurs calculées par la théorie de la permittivité [26][27].

Phase	ϵ_r	$E_g(\text{ev})$
Cubique	29	3.15
Tétraгонаle	70	3.84
Monoclinique	16 à 18	3.45

Tableau 3.3: Permittivité relative et largeur de bande interdite calculées pour les trois phases HfO_2 [17][20].

Comme pour ZrO_2 , la fabrication dans le passe de couches épaisses a montré depuis longtemps la tendance de ces matériaux à se cristalliser facilement [28], c'est-à-dire sous des conditions de température et de pression largement dépassées par les procédés CMOS actuels. Toutefois, HfO_2 semble se cristalliser à des températures supérieures: cela peut constituer un avantage sur ZrO_2 [29].

Tout comme pour ZrO_2 , il est possible de faire croître des couches de HfO_2 de très bonne qualité sur silicium oxyde en surface [30]. L'absence de silice superficielle conduit aussi à des défauts mais HfO_2 présenterait une meilleure stabilité au contact direct du silicium [17][20].

3.5.1 L'oxyde Al_2O_3

A priori, l'alumine n'apporte pas un gain significatif par sa permittivité que l'on évalue à 10. Mais si l'on se souvient que la plupart des oxydes candidats que nous avons indiqués présente également un intérêt pour la fabrication de mémoires [31], l'oxyde d'aluminium paraît dans ce cas un excellent choix. En outre, on peut le considérer apte à remplacer SiO_2 à très court terme dans les toute prochaine générations de MOSFETs, dans l'attente d'éventuelles solutions plus durables.

Tout d'abord, outre des décalages de bandes parfaitement adaptés, l'alumine est stable sur le silicium jusqu' à haute température: il n'y aura pas de problème de réaction à l'interface ni lors du dépôt, ni lors des différents traitements CMOS. Cela rend aussi l'alumine compatible avec une électrode poly-Si [17][20].

3.6 La capacité MOS avec oxyde de valeur de permittivité élevée « High-k »

La capacité de la jonction est déterminée par l'oxyde de grille. Elle s'écrit comme celle d'un condensateur à armatures planes parallèles: elle est donc directement proportionnelle à la permittivité du matériau et inversement proportionnelle à son épaisseur. En changeant la nature de l'oxyde de grille il est donc possible d'obtenir une augmentation de la capacité de grille [18], en utilisant des épaisseurs physiques de matériau suffisantes pour diminuer fortement les fuites de courant par effet d'auto-échauffement. On comprend ainsi pourquoi l'usage des oxydes de valeur de permittivité élevée High-k comme diélectriques de grille dans les transistors MOSFET s'impose comme une étape obligatoire pour maintenir la croissance continue des performances électriques de ces composants électroniques.

La capacité C MOS avec une couche d'oxyde SiO_2 s'écrit:

$$C = \frac{\epsilon_0 \epsilon_{\text{oxSiO}_2} S}{t_{\text{ox}}} \quad 3.6$$

ϵ_{ox} est la permittivité relative (également appelée constante diélectrique) de l'oxyde SiO_2 .

ϵ_0 est la permittivité absolue du vide.

S est la superficie de la couche d'oxyde (directement reliée aux dimensions de la grille).

t_{ox} est l'épaisseur de la couche oxyde.

La capacité C_{eff} MOS avec couche d'oxyde de valeur de permittivité élevée High-k s'écrit :

$$C_{eff} = \frac{\epsilon_0 \epsilon_{ox} S}{t_{eff}} \quad 3.7$$

où

$$t_{eff} = t_{ox} + \frac{\epsilon_{High-k}}{\epsilon_{ox}} t_{highk} \quad 3.8$$

t_{highk} est l'épaisseur de la couche d'oxyde de valeur de permittivité élevée.

ϵ_{highk} est la permittivité relative (également appelée constante diélectrique) de l'oxyde.

t_{eff} L'épaisseur équivalente d'oxyde.

3.7 Modélisation de l'effet de High-k (HfO₂)

L'oxyde d'hafnium HfO₂ avec sa permittivité relative ϵ_r de l'ordre de 20-80, son gap relativement grand de l'ordre de 5,65eV, et enfin sa relative stabilité thermodynamique sur le silicium semble être un bon candidat pour être utilisé avec la couche l'oxyde [19].

La figure 3.5 montre que l'implémentation d'une couche d'oxyde de valeur de permittivité élevée High-k entre la couche d'oxyde et la grille joue un rôle important pour la réduction de l'effet de l'auto-échauffement sur le fonctionnement du transistor LDMOSFET et par conséquent l'amélioration des performances de notre transistor. Il est à noter que les résultats obtenus ont un bon accord avec ceux publiés dans la littérature.

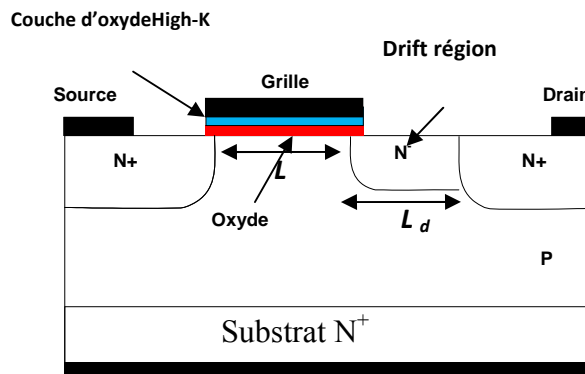
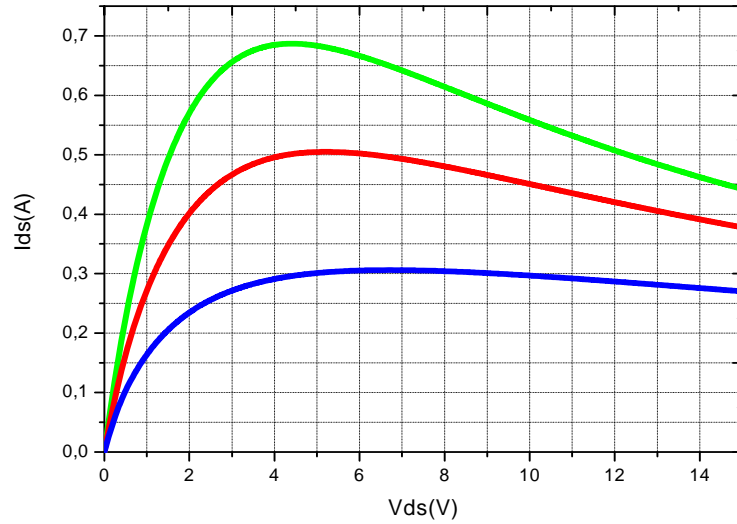


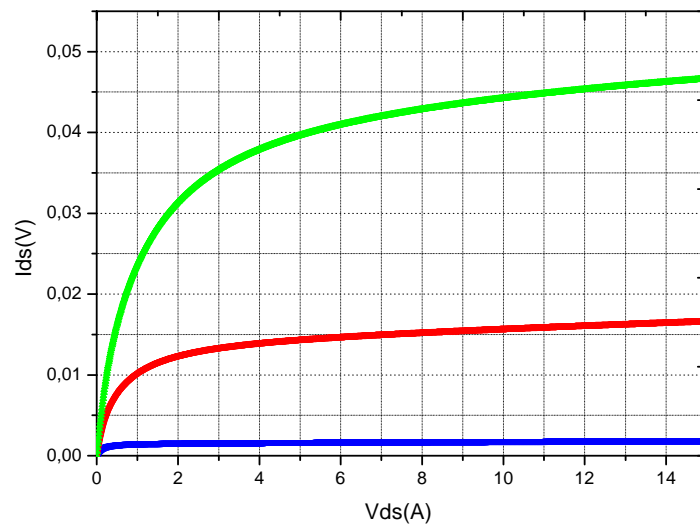
Figure 3.5 : Coupe schématique d'un LDMOS de type N avec une couche d'oxyde de valeur de permittivité élevée High-k.

Dans cette partie, on cherche à améliorer les performances du modèle du transistor proposé si on fait diminuer la longueur du canal. Les paramètres utilisés dans notre simulation sont:

$T=300\text{K}$; $q=1.6 \cdot 10^{-19}\text{ C}$; $N_A=8 \cdot 10^{16}\text{ cm}^{-3}$; $V_{FB}=-0.8\text{V}$; $\epsilon_{\text{highk}} 20 \cdot \epsilon_0$; $m=1$; $t_{\text{ox}}=15 \cdot 10^{-7}\text{cm}$; $t_{\text{highk}}=15 \cdot 10^{-7}\text{ cm}$; $n_i=1.45 \cdot 10^{10}\text{ cm}^{-3}$; $e=0.02$; $W=200\text{ }\mu\text{m}$; $L=L_d=1\text{ }\mu\text{m}$; $V_A=0.015\text{V}$.



(a)



(b)

Figure 3.4 la caractéristique I(V) pour longueur du canal $L=1\mu\text{m}$ (a) réponse sans implémentation de la couche d'oxyde (b) l'effet de l'implémentation d'une couche High-k sur l'amélioration de l'effet de l'auto-échauffement.

Nous pouvons remarquer que le modèle du transistor LDMOSFET avec l'utilisation d'une couche d'oxyde de valeur de permittivité élevée High-k à modifier la caractéristique $I(V)$. Signalons cependant que l'utilisation d'une couche d'oxyde de valeur de permittivité élevée est une solution à l'effet d'auto-échauffement.

3.8. Conclusion

Dans ce chapitre, nous avons étudié et analysé les effets physiques spécifiques les plus significatifs sur des caractéristiques de sortie de LDMOSFET tel que le comportement dans le régime D.C. En se basant sur le modèle développé, nous avons constaté que la diminution des dimensions du transistor peut augmenter le phénomène d'auto-échauffement, et donc on peut observer une dégradation du fonctionnement de dispositif. L'incorporation de l'auto-échauffement a mené à un modèle basé sur la physique de dispositif qui prévoit exactement les caractéristiques de LDMOSFET.

Cet effet apparaît, quand des niveaux élevés de la puissance sont atteints dans le dispositif. La chaleur dissipée mène à une augmentation de la température interne du dispositif et modifie les caractéristiques $I(V)$. L'augmentation des paramètres de polarisation mène à une augmentation de la température du dispositif qui affecte d'autres paramètres de transistor (par exemple mobilité, tension de seuil etc.). L'élévation de la température diminue la mobilité due à la dispersion qui diminue alternativement le courant montrant la résistance négative sur les caractéristiques de rendement.

Afin d'améliorer les performances du transistor à faible dimension, nous avons implémenté une couche d'oxyde de valeur de permittivité élevée High-k entre l'oxyde et la grille. Cette couche a permis de diminuer l'effet de l'auto-échauffement du composant et par conséquent l'amélioration de fonctionnement du transistor pour des tensions très élevées. Les résultats obtenus peuvent jouer un rôle important dans le domaine de modélisation et la réalisation des circuits de puissance (hacheurs, redresseur, onduleur ...).

CHAPITRE IV

Hacheur à base du nano-transistor de puissance

4.1 Introduction

Les convertisseurs statiques sont utilisés dans des domaines très variés de la conversion d'énergie électrique. L'évolution importante des semi-conducteurs de puissance et la variété des techniques de conception des circuits de commande et de réglage apportent des solutions très avantageuses concernant l'encombrement, la fiabilité, le rendement et l'entretien des convertisseurs.

La simulation de circuits, aussi bien dans le domaine industriel que dans celui de la recherche scientifique, est aujourd'hui une étape indispensable dans le test et l'optimisation de tout circuit électronique complexe. Par ailleurs, le développement croissant du matériel informatique permet désormais de disposer de logiciels performants et relativement simples pour l'utilisateur.

Une fois les équations du modèle écrites et simulées par logiciel MATLAB, il reste à les adapter au logiciel de simulation. De nombreux simulateurs sont actuellement disponibles, mais seuls quelques-uns permettent d'intégrer de nouveaux modèles. Parmi ceux-ci, citons SABER, VHDL-AMS ou PSPICE. Le langage PSPICE constitue une solution à part, puisque si plusieurs éditeurs commencent à proposer des compilateurs, il n'existe pas encore de bibliothèques de modèles en nombre suffisant. Dans la suite de ce chapitre, nous utiliserons PSPICE, pour la simple raison de disponibilité.

Le présent chapitre porte sur la simulation du modèle du transistor LDMOSFET avec le logiciel PSPICE et la simulation d'un convertisseur continu/ continu (hacheur), à quatre transistors, il sera donc amené à comparer les performances entre les deux modèles (le modèle idéal et le modèle qui inclut une couche d'oxyde haute permittivité). Pour modéliser des différentes sources de perturbation d'un convertisseur DC-DC dans la gamme de fréquences donnée.

4.2 Etude théorique du convertisseur DC-DC

Dans un convertisseur DC-DC, les tensions d'entrée et de sortie sont D.C. Il utilise un dispositif de semi-conducteur de puissance comme commutateur pour tourner en marche et en arrêt l'alimentation de D.C à la charge. L'action de commutation peut être mise en application par un transistor BJT, un transistor MOSFET, ou un transistor IGBT. Un convertisseur de DC-DC avec seulement un commutateur est souvent connu

comme découpeur de DC. Nous allons dans un premier temps nous intéresser à une étude théorique d'un hacheur à quatre quadrants.

4.2.1 L'hacheur

Un hacheur est un convertisseur de tension continue en tension alternative. En clair, à partir d'une source continue de tension, nous réaliserons une tension alternative (de valeur moyenne nulle). La figure 4.1 rappelle le schéma de principe d'un hacheur.

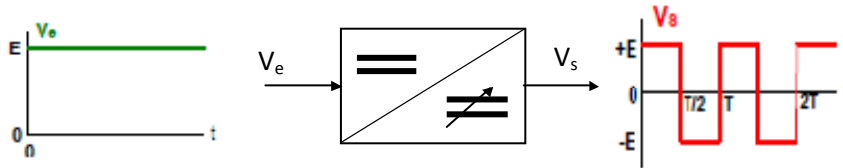


Figure 4.1 : Un schéma de principe d'un hacheur.

L'hacheur le plus simple est constitué seulement de deux interrupteurs. Bien sûr, ce montage est utile pour expliquer le principe de fonctionnement de ce convertisseur, mais il n'est en pratique jamais utilisé. C'est pourquoi l'étude du l'hacheur à quatre interrupteurs est intéressante, car il permet d'obtenir des formes de tension plus élaborées se rapprochant de la réalité industrielle.

4.2.2 Le principe fonctionnement du hacheur à quatre quadrants.

4.2.2.1 Les interrupteurs bidirectionnels

Pour la fonction « interrupteur », il s'agit avant tout de s'approcher au maximum d'un commutateur parfait. Le courant de fuite doit être minimisé, tout en recherchant un rendement maximal à l'état passant (c'est-à-dire réduire la résistance du dispositif). Une vitesse de commutation importante étant également recherchée. Pour fonctionner en interrupteur, on fait travailler le transistor dans la zone ohmique.

Le transistor constitue l'élément commandé. Il est unidirectionnel tout comme la diode. L'assemblage des deux composants permet de créer un bloc qui sera, lui, bidirectionnel.

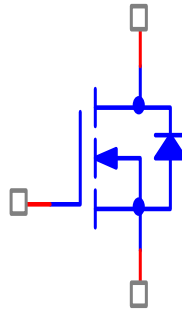


Figure 4.2: Interrupteur bidirectionnel

Les diodes sont appelées diodes de récupération, elles permettent la circulation du courant lorsque l'interrupteur est commandé et que le courant est dans le sens opposé à celui de l'interrupteur. Cette phase est appelée phase de récupération, elle correspond au freinage du moteur (qui fonctionne à ce moment précis en génératrice) appelé « freinage par récupération ».

4.2.2.2 Analyses du fonctionnement hacheur

Le principe de fonctionnement du hacheur repose sur :

- ✚ La Création aux bornes de la charge d'une tension de valeur positive et négative en alternance.
- ✚ L'utilisation d'interrupteurs bidirectionnels formés par un transistor et une diode montée en antiparallèle figure 4.2.
- ✚ La commande permettant de gérer les interrupteurs.

Le schéma de la figure 4.3 présente la commande de la charge par interrupteurs.

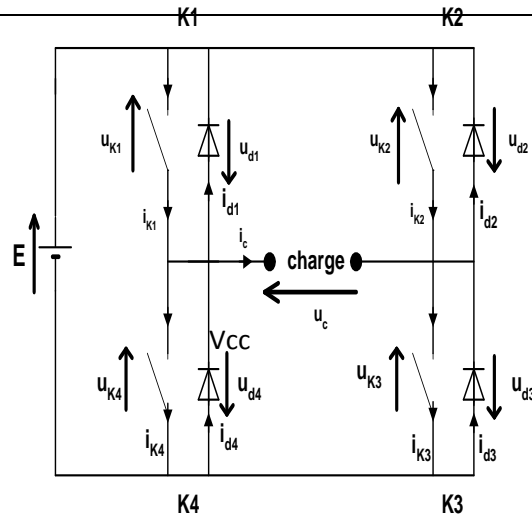


Figure 4.3: Un schéma d'un hacheur à quatre quadrants

Nous nommerons K chaque interrupteur bidirectionnel. A l'aide de la maquette, chacun est commandé indépendamment des autres. Il a été dit précédemment que le but est de créer aux bornes de la charge une tension alternative. Pour cela, il suffit de commander les interrupteurs deux à deux. Nous verrons deux types de commandes :

- ✚ Commande symétrique.
- ✚ Commande décalée.

Dans notre cas, nous étudierons la commande la plus simple (symétrique), l'allure de la tension dépend uniquement de la commande utilisée et non pas de la charge. Seul dépendra de la charge, l'allure des courants.

Cette commande se résume à commander les interrupteurs $K1$ et $K3$ à la fermeture pendant une demi-période puis de commander $K2$ et $K4$ durant la deuxième demi-période. (Nous sous-entendons que les interrupteurs non commandés à la fermeture sont en fait commandés à l'ouverture). L'analyse se décompose en deux phases :

1^{ère} phase : $K1$ et $K3$ sont commandés à la fermeture de l'instant 0 à $\frac{T}{2}$. Durant cette durée $K2$ et $K4$ sont ouverts. Nous obtenons donc le schéma équivalent très simple suivant :

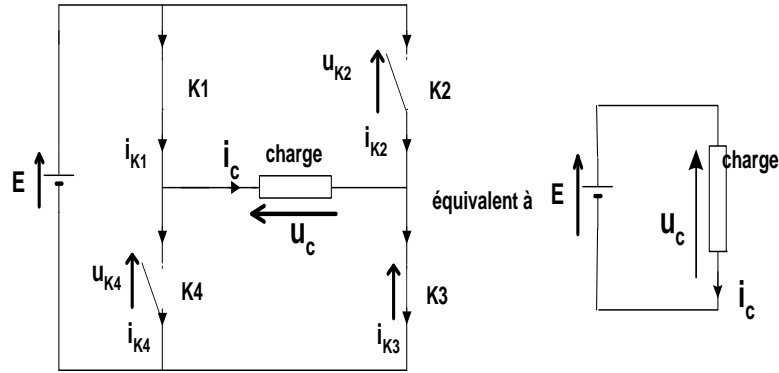


Figure 4.4: Le schéma équivalente d'un hacheur à quatre quadrants dans la 1^{ère} phase.

La tension aux bornes de la charge aura donc la valeur $u_c = E$.

2^{ème} phase : K2 et K4 sont à leur tour commandés à la fermeture de l'instant $\frac{T}{2}$ à T. Le schéma équivalent sera le suivant :

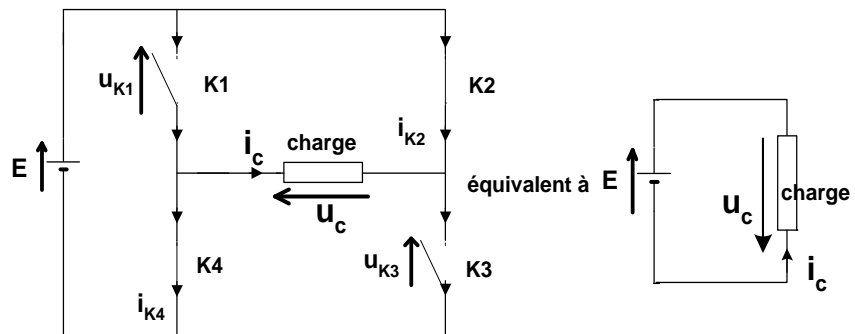


Figure 4.5: Le schéma équivalente d'un hacheur à quatre quadrants dans la 2^{ème} phase.

La tension aux bornes de la charge aura donc la valeur $u_c = E$.

Il suffit donc de dessiner des oscillogrammes suivant la charge choisie une charge résistive R. La valeur efficace de la tension aux bornes de la charge est fixée par la tension d'alimentation. Nous obtenons donc les valeurs suivantes :

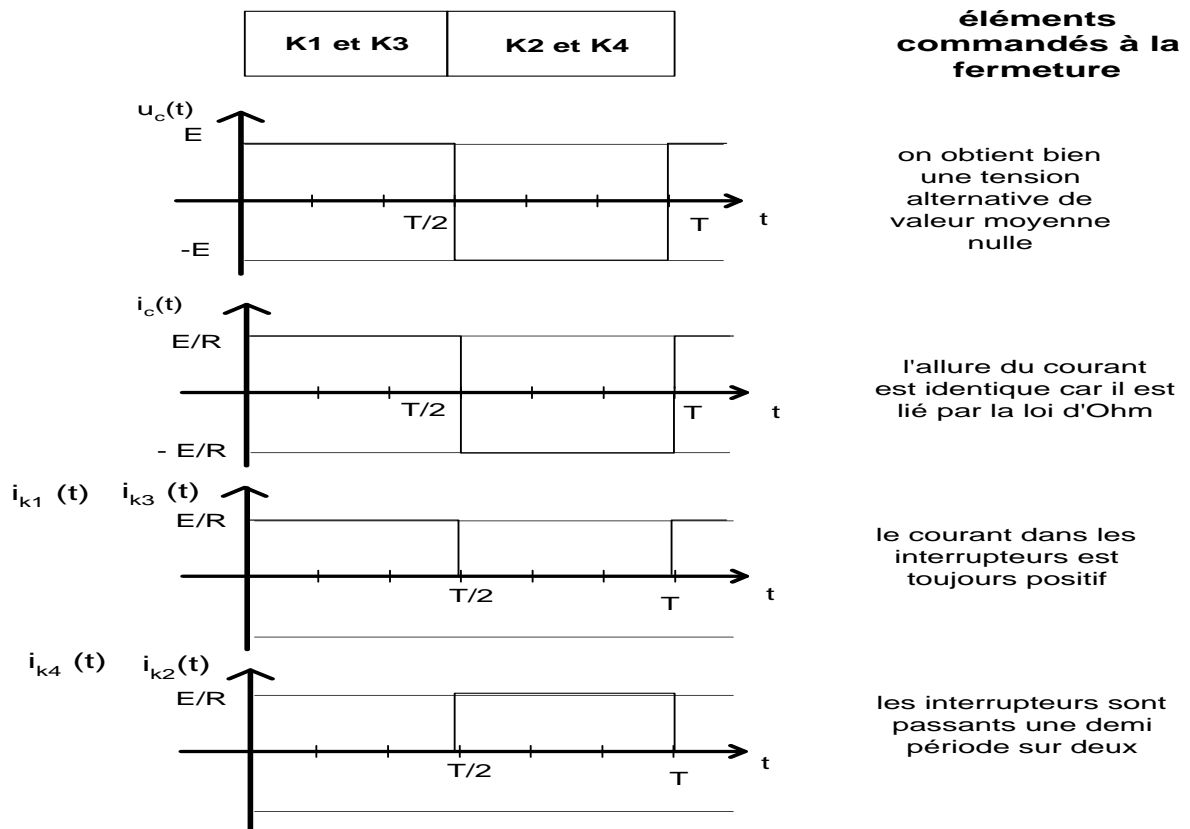


Figure 4.6: L'oscillogramme présente le courant et la tension aux bornes de la charge.

Lorsqu'on utilise Une charge résistive pure, nous voyons que les diodes sont inutiles. Elles trouvent leur fonction dans le cas d'une charge inductive. Elles évitent une discontinuité dans la conduction du courant et prennent donc le relais des transistors, quand ceux-ci bien qu'étant commandés à la fermeture, ne peuvent pas conduire car ils sont unidirectionnels.

4.3 La Modélisation Comportementale :

L'étude de la structure d'un circuit analogique fait apparaître plusieurs niveaux fonctionnels. Le niveau le plus bas est le niveau transistor. Ensuite viennent des structures que l'on peut nommer « blocs élémentaires » (miroirs de courant, filtres, sources de tension etc) qui permettent de réaliser des fonctions plus élaborées (VCO, Amplificateurs) elles mêmes à la base de circuits plus complexes (PLL, Echantillonneur-Bloqueur, Filtres actifs etc.). Enfin, le circuit peut être modélisé au niveau le plus élevé par un système d'équations linéaires ou non linéaires donnant les relations entrée-sortie. Il est évident qu'au fur et à

mesure que l'on s'élève dans le niveau d'abstraction pour la modélisation, on perd des informations sur le comportement du circuit mais on gagne en temps de calcul de simulation. Un compromis entre niveau de modélisation et précision doit donc être fait[34].

On peut faire la distinction entre deux techniques utilisées pour réaliser de modèles comportementaux de fonctions analogiques : la macro modélisation et l'utilisation d'un langage de modélisation comportementale.

La macro modélisation consiste à décrire le comportement d'un circuit par l'utilisation des primitives d'un simulateur. Ces primitives sont par exemples des diodes, des éléments passifs, mais aussi des sources de tension (ou courant) contrôlées auxquelles on peut associer des équations liant les grandeurs du circuit. Les modèles obtenus par cette approche permettent de réduire considérablement les temps de simulations [34].

Les langages de modélisation comportementale permettent de développer des modèles de systèmes électriques mixtes (analogique et numérique) mais aussi de systèmes électriques et non-électriques (mécanique, hydraulique, thermique...) par l'utilisation d'une description textuelle. Ces langages sont de plus en plus utilisés. Parmi eux, on notera langage MAST du simulateur SABER , le langage verilog-AMS, ainsi que le VHDL-AMS, ORCAD-PSPICE [34].

4.3.1 Présentation du simulateur ORCAD-PSPICE

ORCAD-PSPICE est un programme de simulation qui modélise le comportement d'un circuit électrique contenant des composants analogiques. Il est utilisé avec ORCAD Capture pour la conception. ORCAD-PSPICE permet l'analyse statique, transitoire et dynamique des circuits électroniques. Ainsi que l'analyse Paramétrique, Monte-Carlo, et de sensibilité. Les circuits peuvent contenir des différents dispositifs électroniques résistances, condensateurs, inductances, des sources de tension et de courant, ainsi que des modèles de dispositifs actifs : diodes, transistors bipolaires, transistors à effet de champ à jonction... (une bibliothèque de modèles de plus de 11300 modèles analogiques). ORCAD-PSPICE supporte aussi la modélisation comportementale analogique donc on peut décrire les blocs fonctionnels des circuits avec des expressions mathématiques [32].

4.3.2 Les ABM

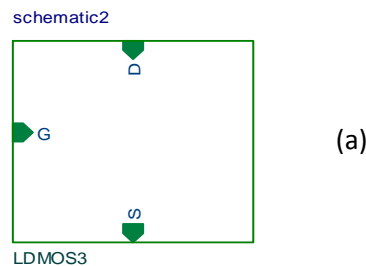
Pour introduire de nouvelles équations dans les premières versions de SPICE, deux solutions étaient disponibles :

- ✚ Les introduire dans le code source du simulateur, puis le recompiler (solution qui présente l'avantage de la rapidité d'exécution au détriment de celle de mise au point).
- ✚ Ou réaliser l'équation en assemblant les composants (primitives) existant sous forme de schémas équivalents (par exemple en mettant une capacité en série avec une diode pour modéliser une structure MOS). Cette dernière solution, beaucoup plus simple à mettre en œuvre, nécessite parfois des acrobaties qui aboutissent à des schémas complexes.

Le logiciel PSPICE ouvre une autre possibilité : l'écriture d'équations sous forme de schémas blocs (ABM ou Analog BehavioralModels) [33]. Il est notamment possible d'écrire des relations mathématiques liant la grandeur de sortie d'une source (de tension ou de courant) à des grandeurs d'entrée : par exemple, les équations du modèle statique seront représentées par une source de courant (le courant de drain) dont les grandeurs d'entrée seront les tensions V_{ds} et V_{gs} .

4.4 Modélisation du transistor LDMOSFET par ORCAD-PSPICE

Le modèle du transistor LDMOSFET conçue auparavant par MATLAB, où chaque formule du modèle est implantée dans une boîte ABM de la bibliothèque du simulateur. Le composant LDMOSFET est un exemple de boîte ABM à deux entrées, et une sortie représentant un modèle de transistor LDMOSFET La figure 4.7.a. Le Modèle PSPICE de transistor LDMOSFET est représenté La figure 4.7.b.



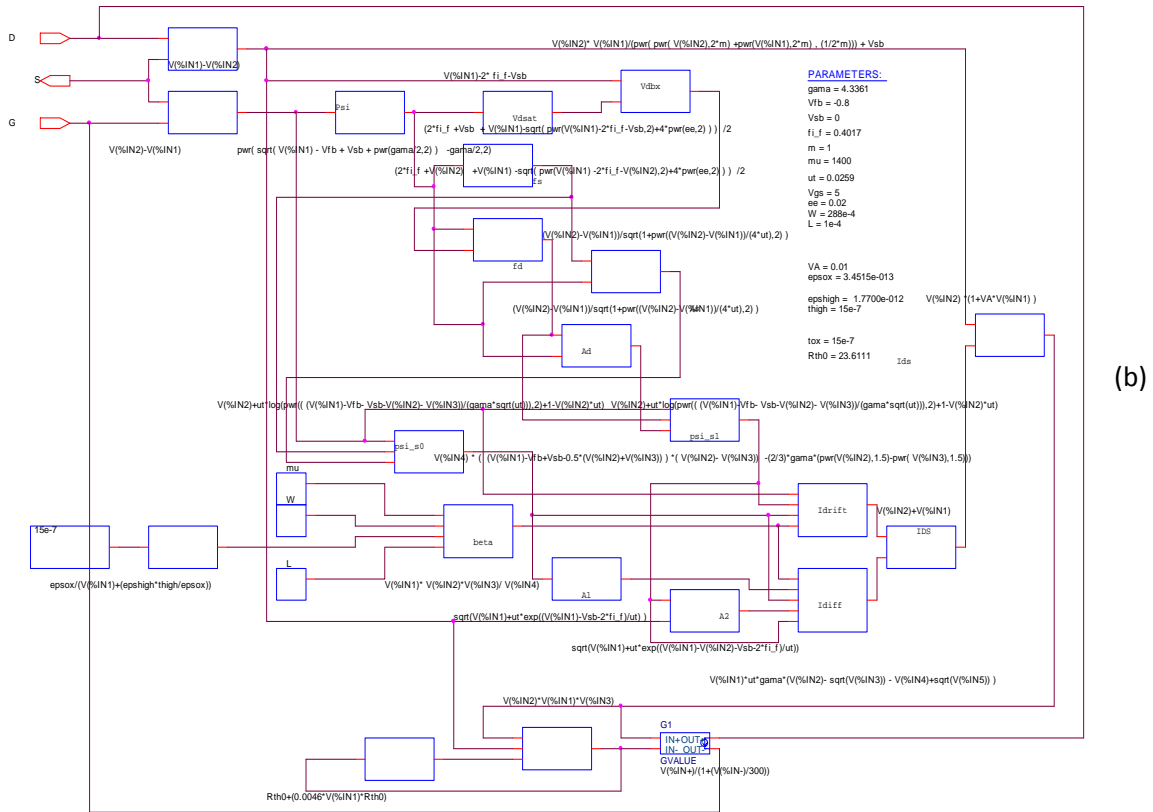


Figure 4.7: (a) Le composant LDMOSFET est un exemple de boîte ABM.

(b) Modèle sous-circuit du transistor LDMOSFET avec des ABM.

4.5 Validation du modèle PSPICE (mesures de la caractéristique I(V))

Ces mesures sont faites dans un premier temps dans le but de vérifier le fonctionnement des transistors montés en boîtier ABM. En fait, le modèle a été proposé pour simuler la caractéristique courant-tension I(V) et présente dans la figure 4.8. Concernant les simulations à effectuer par logiciel par PSPICE, on s'attachera tout d'abord à mettre en évidence les plages de polarisation des circuits. Il faut donc faire varier la tension à l'entrée Vgs du transistor entre 5V et 9V et la tension de sortie entre 0V-15V. Ce modèle de base demande peu de paramètres pour son utilisation. Il est donc facile de faire une étude paramétrique.

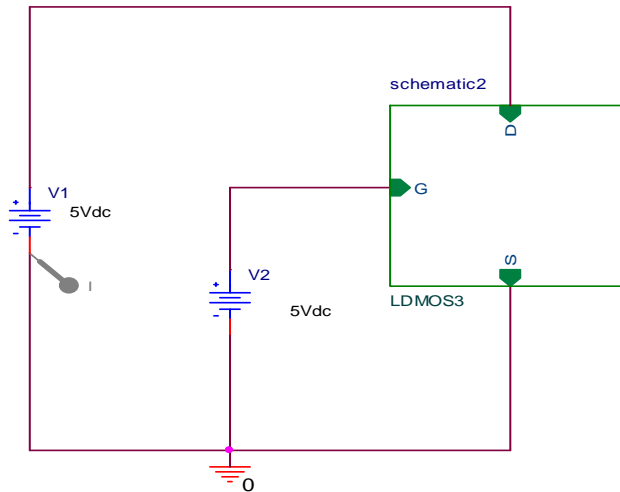


Figure 4.8 : Circuit de simulation de la caractéristique de I(V).

Les paramètres utilisés dans notre simulation sont:

$T=300\text{K}$; $q=1.6 \cdot 10^{-19}\text{ C}$; $N_A=8 \cdot 10^{16}\text{ cm}^{-3}$; $V_{FB}=-0.8\text{V}$; $\epsilon_{\text{highk}}=20 \cdot \epsilon_0$; $m=1$; $t_{\text{ox}}=15 \cdot 10^{-7}\text{cm}$; $t_{\text{highk}}=15 \cdot 10^{-7}\text{ cm}$; $n_i=1.45 \cdot 10^{10}\text{ cm}^{-3}$; $e=0.02$; $W=288\text{ }\mu\text{m}$; $L=L_d=1\text{ }\mu\text{m}$; $V_A=0.015\text{V}$.

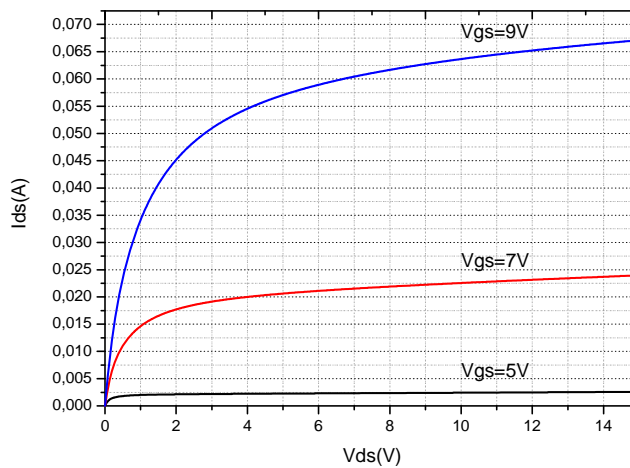


Figure 4.9 Réponse du modèle LDMOSFET avec MATLAB

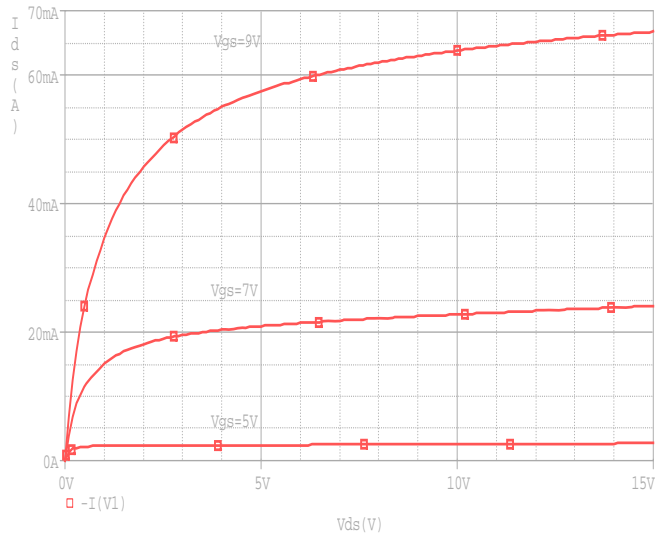


Figure 4.10 Réponse du modèle LDMOSFET avec PSPICE.

Les caractéristiques qu'on obtient s'apparentent du transistor LDMOSFET. Dans les figures 4.9 et 4.10; confirment les résultats de simulation et de test effectués avec le MATLAB présenté au chapitre précédent.

4.6 Modélisation du hacheur

En utilisant le circuit déjà décrit (notamment le modèle de LDMOSFET) pour la modélisation de la hacheur a quatre quadrants comme le montre la figure 4.11. Ce dernier est polarise d'une tension d'entrée de 12V et une charge de $=3K\Omega$. Une analyse temporelle (Transient ou TRAN) correspond à une simulation en fonction du temps a été effectuée.

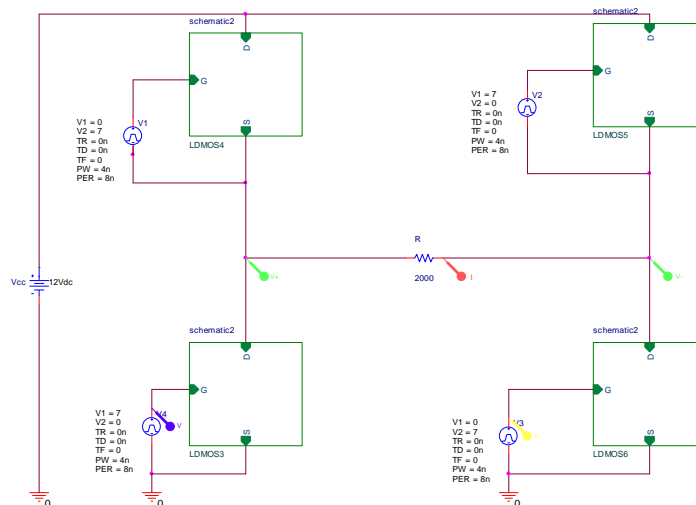


Figure 4.11: schéma de hacheur avec PSPICE.

Pour vérifier le bon fonctionnement du hacheur, on a simulé le circuit du hacheur à quatre quadrants avec deux modèles (le modèle idéal et le modèle qui inclue une couche d'oxyde à haute permittivité). On utilise une analyse temporelle transitoire sur un intervalle de 20ns et avec les paramètres suivants:

$T=300K$; $q=1.6 \cdot 10^{-19}$ C; $NA=8 \cdot 10^{16}$ cm⁻³; $V_{FB}=-0.8V$; $\epsilon_{highk} = 20 \cdot \epsilon_0$; $m=1$; $t_{ox}=15 \cdot 10^{-7}$ cm; $t_{highk}=15 \cdot 10^{-7}$ cm ; $n_i=1.45 \cdot 10^{10}$ cm⁻³; $e=0.02$; $W=200$ μm; $L=L_d=2$ μm; $V_A=0.01V$

Les signaux repérés par une sonde sur le schéma sont représentés en fonction de la grandeur variable spécifiée (temps). Les deux signaux de la figure 4.12 sont complémentaires représentent la commandes des transistors dans les deux cas.

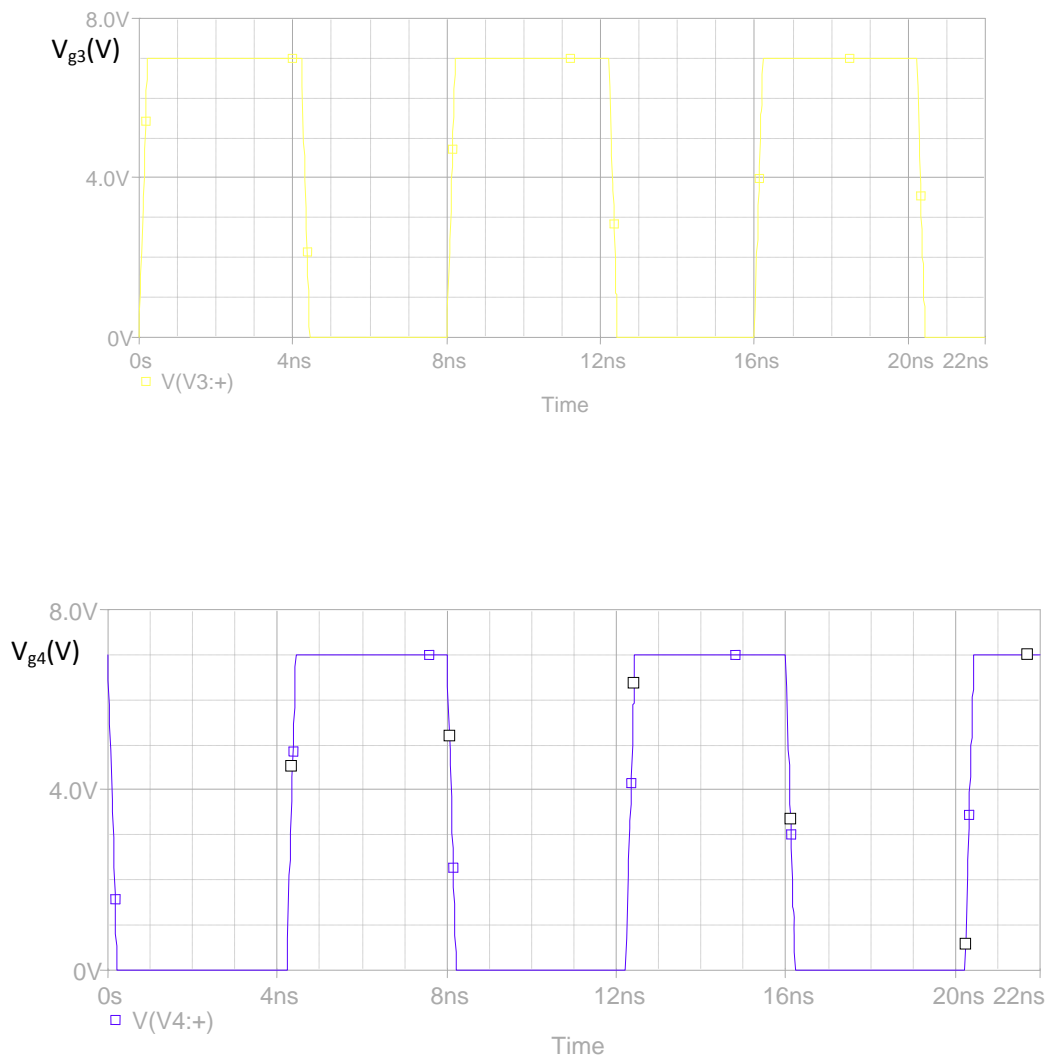


Figure 4.12 La commande symétrique des transistors.

La figure 4.12 montre le signal de la tension à la borne de la charge R dans le cas ou le modèle qui inclue une couche d'oxyde haute primitivité.

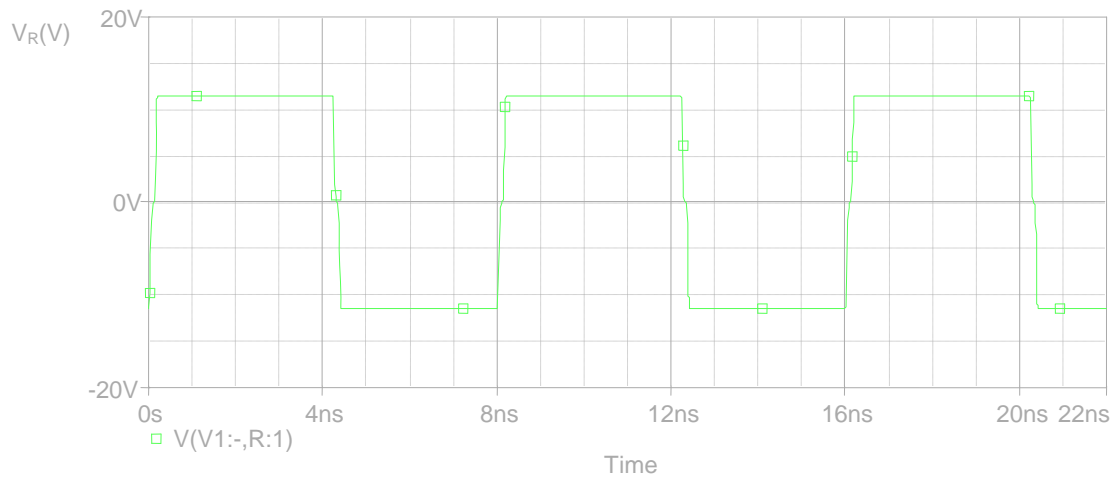


Figure 4.13 La tension à la borne de la charge.

La figure 4.12 montre le signal du courant qui traverse la charge R dans le cas ou le modèle qui inclue une couche d'oxyde haute primitivité.

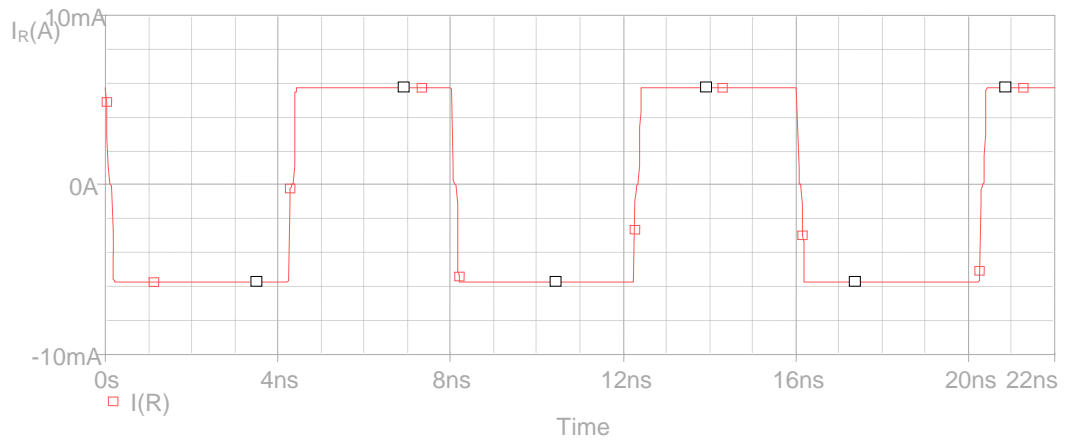


Figure 4.14 Le courant qui traverse la charge R.

La figure 4.12 montre le signal de la tension à la borne de la charge R dans le cas idéal.

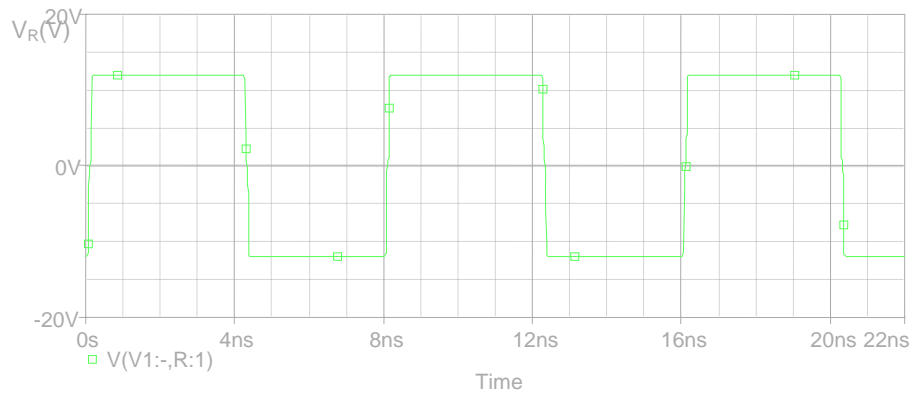


Figure 4.13 La tension à la borne de la charge.

La figure 4.12 montre le signal du courant qui traverse la charge R dans le cas idéal.

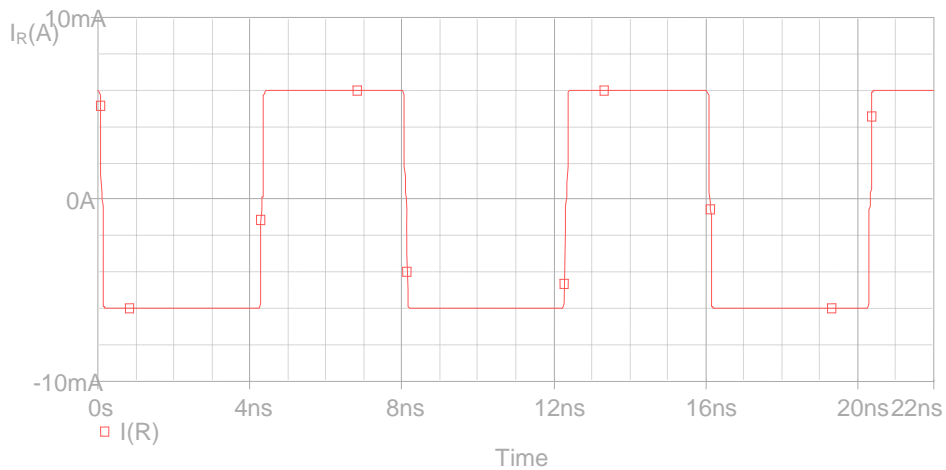


Figure 4.14 Le courant qui traverse la charge R.

- ✚ Le modèle qui inclue une couche d'oxyde à haute permittivité donne des résultats comparables au modèle idéal. En effet ; nous avons la valeur max de la tension aux borne de l'ordre de 15.527, alors la valeur max donnée par le modèle idéal et de 12V. Il y a donc une différence de l'ordre de 3.94 %.
- ✚ Par ailleurs ; on trouve un très bon accord au niveau de raideur de la pente du signale lors de passage de 0V à 12V.

4.7 Conclusion

Nous avons présenté dans ce chapitre un modèle décrivant le comportement continu du transistor LDMOSFET. L'objectif principal de ce travail était de dimensionner, simuler et tester un convertisseur statique «hacheur» pour un moteur à courant continu. On est intéressé à la modélisation comportementale d'un transistor de puissance avec le logiciel PSPICE. Un tel modèle est composé d'un nombre d'ABM qui s'opère au travers les différents paramètres physiques. Il est très simple, en agissant sur les paramètres du modèle de transistor LDMOSFET, d'approcher au plus près la caractéristique de n'importe quel hacheur. Les résultats de la simulation de l'hacheur avec PSPICE confirment les résultats théoriques.

*Conclusions et
perspectives*

Conclusions

Ce mémoire a été consacré à l'étude de la structure LDMOSFET de puissance, et à la proposition d'un nouveau modèle PSPICE plus général qui permet de tenir compte de toutes les caractéristiques continues de cette structure. Enfin, nous avons extrait un modèle utilisant des équations analytiques à partir des mesures $I(V)$ et paramètres du régime continu. Nous avons effectué une analyse détaillée des effets de la température sur le fonctionnement de ces transistors, ce qui a permis de montrer que l'élévation de température due à l'auto échauffement dans des conditions normales de fonctionnement avait des répercussions sur le courant de sortie (donc sur la puissance de sortie), mais aussi sur les performances en fréquence. Le modèle doit inclure également l'effet d'auto-échauffement et la dégradation du transistor LDMOSFET. Un aspect original du projet est l'inclusion d'une nouvelle couche d'oxyde à haute permittivité qui a présentée une bonne solution au phénomène d'auto-échauffement. Les résultats obtenus ont permis de mettre en évidence le bon comportement du transistor LDMOSFET pour des applications 20 V. De plus, le travail présenté nous a permis de développer un composant; qui est exploité dans un convertisseur statique " hacheur".

Perspectives

Les perspectives de ce travail sont nombreuses. A court terme les plus importantes sont :

- ✚ L'étude d'un meilleur compromis entre la tension de claquage et la résistance d'entrée de la structure et du comportement du **LDMOSFET** .
- ✚ Ce projet, est concentré sur la modélisation de beaucoup d'autres classes des dispositifs de puissance. Le projet vise les dispositifs latéraux et verticaux de **MOS** aussi bien que l'**IGBTs** latéral. Des aspects sont visés non seulement sur le régime statique, mais également sur le régime dynamique du transistor **LDMOSFET**. Le

modèle est obtenu en ajoutant les capacités inter-électrodes au modèle statique établi précédemment.

- ✚ Le modèle décrit dans ce mémoire a été validé et en avant mis en application dans **PSPICE**.
- ✚ Optimiser les paramètres principaux des modèles LDMOSFET pour augmenter les performances de ce dernier.

Une nouvelle modélisation dynamique de la structure s'appuyant sur les techniques intelligentes peut être envisagée.

Bibliographie

Bibliographie

- [1] Trabelsi M'hamed "*Caractérisation des transistors à nanocristaux de silicium et des transistors SON par les techniques de bruit basse fréquence et de bruit télégraphique*".Thèse de doctorat, institut national des sciences appliquées de Lyon ,2009.
- [2] O. Weber. "*Etude, fabrication et propriétés de transport de transistor CMOS associant un diélectrique haute permittivité et un canal de conduction haute Mobilité*", Thèse de doctorat, Institut National des Sciences Appliquées de Lyon, 2005.
- [3] S. M. Sze, "*Physics of Semiconducteur Devices*" Wiley & Sons, New York, 2nd edition, 1981.
- [4] T.Skotnicki, "*Transistor MOS et sa technologie de fabrication*". Techniques de l'ingénieur. Article E 2430, p. 37,2000.
- [5] Barra Samir "*Conception et layout d'une machine d'états à base de latch C²MOS en technologie CMOS 0.35 μ m*".Thèse de magister, Institut d'électronique Batna 2008.
- [6] B.Razavi, "*Fundamentals of Microelectronics*", Wiley, 2006.
- [7] B.Razavi, "*Design Of Analog CMOS Integrated Circuits*", Mc Graw Hill, New york, 2001.
- [8] F. MORANCHO. "*Le transistor MOS de puissance à tranchées : modélisation et limites des performances*".Thèse de Doctorat de l'Université Paul Sabatier, Toulouse, 1996.
- [9] M. Dorothee "*Optimisation de potentialités d'un transistor LDMOS pour l'intégration d'amplificateur de puissance RF sur silicium*". Thèse de Doctorat de l'université de Limoges 2006.
- [10] A. Galadi "*Etude de propriétés physiques et nouvelle modélisation spice de transistor FLIMOS de puissance*". Thèse de Doctorat de l'université de Toulouse délivré par l'université de Toulouse 3- Paul Sabatier 2008.
- [11] A.grant and J.gowar "*Power mosfets theory and applicationsc*" John wieyl, New york, 1989.
- [12] R.Langevelde and F.M. Klaassen, "*An explicit surface-potential-based MOSFET model for circuit simulation*". Solid-State Electronics vol 44 pp 409-418, 2000.

- [13] D.Basu and A.K. Dutta "explicit surface-potential-based MOSFET model incorporating the quantum mechanical effects". Solid-State Electronic vol 50 pp 1299–1309, 2006.
- [14] C. ANGHEL "high voltage devices for standard MOS technologies characterisation and modelling ". Thèse de Doctorat de l'université de Lausanne 2004.
- [15] Y.S.CHAUHAN " Compact Modeling of High Voltage MOSFETs". Thèse de Doctorat de l'université de Lausanne 2007.
- [16] D.YANG, L.ZHANG, Y.WANG, Z.YU " An Efficient Compact Model for LDMOS with Self-Heating Effects" . IEEE Journal on solid-state and Electron Devices,2008.
- [17] G.MAZALEYRAT " modélisation multi échelles de la croissance des oxydes fortes permittivités simulation monte-carlo cinétique". Thèse de Doctorat de l'université de Lausanne 2007.
- [18] J.S.MARTIN "Etude par simulation monte-carlo d'architectures de MOSFET ultracourts a grille multiple sur soi " Thèse de Doctorat de l'université de Paris Xi Orsay 2005.
- [19] B.DIAGNE " Etude et modélisation compacte d'un transistor MOS SOI double-grille dédié à la conception " Thèse de Doctorat de l'université de Louis Pasteur 2007.
- [20] O.WEBER " Etude, fabrication et propriétés de transport de transistors CMOS associant un diélectrique haute permittivité et un canal de conduction haute " Thèse de Doctorat de l'université de LOUIS PASTEUR 2007.
- [21] Y.TSIVIDIS "Operation and modeling of the MOS transistor". New York: McGraw-Hill, 1987.
- [22] C.Christian and E.A. Vittoz " Charge-based MOS Transistor Modeling". England John Wiley & Sons Ltd, 2006.
- [23] G. Lucovsky, J.C. Phillips, " Defects and defect relaxation at internal interfaces between high-k transition metal and rare earth dielectrics and interfacial native oxides in metal oxide semiconductor (MOS) structures " Thin Solid Films, vol. 486,pp. 200-204, 2005
- [24] J. Roberson, P.W. Peacock, "Atomic structure, band offsets, growth and defects at high-K oxide: Si interfaces " Microelectronics Engineering, vol. 72, pp. 112-120, 2004
- [25] C.A. Richter, M.L.Green, G. Lucovsky, and T. Hattori "Ultrathin SiO₂ and high-k materials for ULSI Gate dielectrics" MRS, Warrendale, 1999.

- [26] X. Zhao and D. Vanderbilt, "*Proceeding of the 2002 MRS Fall Meeting*", Volume 745, p721,2002.
- [27] X. Zhao and D. Vanderbilt, Phys. Rev. B 65, 233106, 2002.
- [28] M. Balog, M. Schieber, M. Michman, and S. Patai, J. Elec. Chem. Soc. 126, p. 1203, 1979.
- [29] J. Aarik, A. Aidla, H. Mandar et al., J. Cryst. Growth 220, p. 105, 2000.
- [30] M.-H. Cho, Y. S. Roh, C. N. Whang, K. Jeong S. W. Nahm D.-H. Ko J. H. Lee, N. I. Lee, and K. Fujihara App. Phys. Let. 81, 3, pp. 472-474, 2002.
- [31] A. I. Kingon, J. P. Maria, and S. K. Streiffer, Nature London 406, p. 1032, 2000.
- [32] Cyril BUTTAY "*Contribution à la conception par la simulation en électronique de puissance :application à l'onduleur basse tension* Thèse de Doctorat de l'unIVersité de Lyon 2004.
- [33] ORCAD, "Pspice A/D", User guide, Cadence. 48.
- [34] D.Andreu,H.Tap-Beteille et M.Cousineau "*La Modelisation Comportementale De SPICE A VHDL-AMS*" Laboratoire d'électronique de l'ENSEEIH Toulouse.