

REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE  
MINISTERE DE L'ENSEIGNEMENT SUPERIEUR ET DE LA  
RECHERCHE SCIENTIFIQUE

UNIVERSITE DE BATNA

FACULTE DES SCIENCES DE L'INGENIEUR

Département d'Electronique

*Mémoire*

Présenté en vue de l'obtention du diplôme de Magister en  
Electronique

OPTION : Micro-électronique IC-Design

*Présenté par :*

*Elasaad CHEBAKI*

*Thème*

---

---

*Modélisation neuronale du transistor GAA  
MOSFET nanométrique*

---

---

*Devant le jury :*

Dr. Zohir DIBI	<i>MCA Univ. Batna</i>	<i>Président</i>
Dr. Fayçal DJEFFAL	<i>MCA Univ. Batna</i>	<i>Rapporteur</i>
Dr. Hachemi BOURIDAH	<i>MCA Univ. Jijel</i>	<i>Examineur</i>
Dr. Ramdane MAHAMDI	<i>Pr. Univ. Batna</i>	<i>Examineur</i>
Dr. Abdelhamid BENHAYA	<i>Pr. Univ. Batna</i>	<i>Examineur</i>

**-2010-**

## **Remerciements**

*Ce travail a été effectué sous la direction de Monsieur Fayçal DJEFFAL, Maître de Conférences au département d'électronique de l'université de Batna, membre du Laboratoire de l'Electronique Avancée (LEA). Je le remercie très sincèrement pour la confiance qu'il m'a accordée en m'associant aux groupes d'étudiants qui a suivi leurs encadrement avec bienveillance, pour son soutien ainsi que la confiance qu'il a manifesté à mon égard, et pour la patience inouïe qu'il m'a témoignée tout au long de l'élaboration de ce travail. Nos discussions stimulantes ont beaucoup contribué à la clarification des notions ainsi qu'à la bonne présentation de ce mémoire. Qu'il reçoive l'expression de ma très grande reconnaissance.*

*Je remercie très sincèrement Monsieur Zohir DIBI, Maître de Conférences au département d'électronique de l'université de Batna, d'avoir accepté la présidence du jury.*

*Je suis très reconnaissant à Monsieur Hachemi BOURIDAH, Maître de Conférences au département d'électronique de l'université de Jijel, d'avoir accepté d'examiner mon mémoire avec attention et rigueur.*

*Je suis très sensible au fait que Monsieur Ramdane MAHAMDI, Professeur au département d'électronique de l'université de Batna, soit associé pour sa compétence à ce jury.*

*J'adresse ma profonde reconnaissance au Pr. Abdelhamid BENHAYA, Professeur au département d'électronique de l'université de Batna, d'avoir voulu participer à ce jury par examen ultime de ce travail.*

*Enfin dans le souci de n'oublier personne, que tous ceux qui m'ont aidée, de près ou de loin, que se soit par leur amitié, leurs conseils ou leur soutien moral et matériel trouvent dans ces quelques aimables et sincères mots l'expression de ma profonde gratitude.*

## Sommaire

<i>Table des notations</i> .....	1
<i>Introduction générale</i> .....	4
<i>Chapitre I : Transistor MOSFET : limites de miniaturisation et solutions</i>	
<i>I.1 Introduction</i> .....	9
<i>I.2 Transistor MOS</i> .....	10
<i>I.2.1 La structure MOS</i> .....	10
<i>I.2.2 Principe et régimes de fonctionnement</i> .....	11
<i>I.3 Technologie SOI</i> .....	17
<i>I.3.1 La technologie SOI à une grille</i> .....	17
<i>I.3.2 Les transistors à grilles multiples</i> .....	22
<i>I.4 L'architecture MOSFET à grille enrobée</i> .....	26
<i>I.4.1 Les différentes catégories de la technologie GAA MOSFET</i> .....	27
<i>I.4.2 Propriétés électriques du transistor GAA MOSFET</i> .....	33
<i>I.5 Conclusion</i> .....	37
<i>Chapitre II : Réseaux de neurones artificiels</i>	
<i>II.1 Introduction</i> .....	39
<i>II.2 Réseaux de neurones artificiels</i> .....	39
<i>II.2.1 Fonctions de transfert</i> .....	41
<i>II.2.2 Architecture de réseau</i> .....	43
<i>II.3 Le perceptron multicouche (Multi Layer Perceptron MLP)</i> .....	46
<i>II.3.1 Apprentissage des réseaux de neurones artificiels</i> .....	47
<i>II.3.2 Accélération de l'algorithme avec le momentum</i> .....	51
<i>II.4 Conclusion</i> .....	51

*Chapitre III : Modélisation neuronale du transistor GAA MOSFET nanométrique*

<i>III.1. Introduction</i> .....	53
<i>III.2. Modélisation du GAA MOSFET</i> .....	53
<i>III.2. 1. Choix de la base de données</i> .....	53
<i>III.2.2. Création d'une base de validation</i> .....	55
<i>III.2.3. L'apprentissage du réseau de neurone</i> .....	55
<i>III.2.4. Mesure de la performance du modèle obtenu</i> .....	59
<i>III.3. Modèle ANN du GAA MOSFET sur PSPICE</i> .....	65
<i>III.4. Confirmation du comportement du modèle du transistor GAA MOSFET</i> .....	67
<i>III.5. Conclusion</i> .....	74
 <i>Chapitre IV : Impact du modèle neuronal sur la conception des circuits nanométriques</i>	
<i>IV.1 Introduction</i> .....	76
<i>IV.2 Implémentation du modèle ANN</i> .....	78
<i>IV.3 L'effet de l'overlap et l'underlap sur les paramètres du GAA MOSFET</i> .....	87
<i>IV.3.1 L'effet de l'overlap sur le gain en tension</i> .....	88
<i>IV.3.2 L'effet de l'overlap sur la fréquence de coupure</i> .....	89
<i>IV.3.3 L'effet de l'underlap sur le gain en tension</i> .....	89
<i>IV.3.4 L'effet de l'underlap sur la fréquence de coupure</i> .....	91
<i>IV.4 Estimation du temps de calcul</i> .....	92
<i>IV.5 Conclusion</i> .....	94
<i>Conclusion générale</i> .....	96
<i>Bibliographie</i> .....	99

## Table des notations

### Table des notations

$\epsilon_{ox}$	La permittivité électrique de l'oxyde
$\epsilon_{si}$	La permittivité électrique du silicium
$\mu$	Mobilité de porteurs dans le canal
$\psi_s$	Le potentiel de surface
$\mu_n$	Mobilité des électrons
$\mu_p$	Mobilité des trous
<i>ABM</i>	Analog Behavioral Modeling
<i>ANN</i>	Artificial Neural Network
$A_v$	Le gain en tension de l'inverseur
$C$	Capacité de grille par unité de longueur
<i>CMOS</i>	Complementary Metal-Oxide-Semiconductor
$C_{ox}$	Capacité d'oxyde
$C_{si}$	Capacité du film de silicium
<i>EQM</i>	Erreur Quadratique Moyenne
<i>FDSOI</i>	Fully Depleted Silicon On Insulator
<i>DG MOSFET</i>	Double Gate MOSFET
<i>DIBL</i>	Drain Induced Barrier Lowering
<i>FET</i>	Field Effect Transistor
<i>FIB</i>	Focused Ion Beam
$f_i$	fréquence de coupure
<i>GAA MOSFET</i>	Gate All Around MOSFET
$g_m$	La transconductance
$g_d$	L'admittance
$G_v$	gain en tension
<i>ITRS</i>	International Technology Roadmap for Semiconductors
$I_{ds}$	Courant de drain
$I_{off}$	Le courant à l'état bloqué

## Table des notations

$I_{on}$	Le courant à l'état passant
$L$	Longueur du canal
$L_g$	Longueur de la grille
$LPCVD$	Low Pressure Chemical Vapor Deposition
$LR$	Learn Rate
$LTO$	Low Temperature Oxide
$MBCFET$	Multi-bridgechannel MOSFET
$MLP$	Multilayer Perceptron
$MOSFET$	Metal-Oxide-Semiconductor Field Effect Transistor
$MU$	Momentum
$N_A$	Concentration en dopants de type P
$N_D$	Concentration en dopants de type N
$NEGF$	non-equilibrium Green's functions
$n_i$	Densité de porteur intrinsèque
$nMOSFET$	Transistor à canal n
$OL$	Overlap
$PDSOI$	Partially Depleted Silicon On Insulator
$pMOSFET$	Transistor à canal p
$q$	Charge élémentaire électrostatique
$R_{on}$	La résistance à l'état passant
$SCE$	Short Channel Effect
$SEM$	Scanning Electron Microscopy
$SET$	Single Electron Transistor
$SGT$	Surrounding Gate Transistor
$Si$	Silicium
$SiO_2$	Oxyde de silicium (isolant)
$SOI$	Silicon On Insulator
$SON$	Silicon On Nothing

## Table des notations

$T$	Température
$TEM$	Transmission Electron Microscopy
$T_{ox}$	épaisseur de l'oxyde de grille ( $SiO_2$ )
$T_{si}$	épaisseur du Silicium
$TSNWFET$	Twin Silicon Nanowire FET
$UL$	Underlap
$V_{DD}$	Tension d'alimentation de drain
$V_{DB}$	Tension Drain-Substrat
$V_{DS}$	Tension Drain-Source
$V_{FB}$	La tension de bande plate
$V_{GS}$	Tension Grille-Source
$V_{SB}$	Tension Source-Substrat
$VLSI$	Very Large Scale Integration
$V_{th}$	Tension de seuil
$W$	La largeur de canal
$ZCE$	Zone de charge d'espace

---

## *Introduction générale*

---



## ***Introduction générale***

Depuis l'invention du premier transistor en 1947, puis celle du circuit intégré en 1958, par *Jack Kilby*, les progrès de la microélectronique ont été considérables, tant au niveau de l'amélioration des performances et de l'accroissement de la complexité des circuits que de la baisse des coûts de production [01]. La capacité d'intégration en microélectronique suit une évolution exponentielle, avec une densité de transistors par microprocesseur doublée tous les 3 ans [02]. Cette évolution, connue sous le nom de loi de Moore [03][04], a conduit à la fabrication de microprocesseurs de plus de 700 millions de transistors et à la réalisation de mémoires dont la densité dépasse les 16 Gbit. L'augmentation de la densité d'intégration et l'amélioration des performances sont rendues possibles par la diminution de la taille des transistors. La grandeur caractéristique d'un transistor qui distingue une génération de transistors de la suivante est la longueur de grille  $L_g$  [02]. L'ITRS (International Technology Roadmap for Semiconductors) [5] dont les prévisions sont établies par les principales industries des semi-conducteurs annonce une longueur de grille de 9 nm en 2016 [02]. La miniaturisation des dispositifs semi-conducteurs s'approche de limites physiques fondamentales [6]. En effet, la progression constante des composants CMOS (complementary metal-oxide-semiconductor), établie par la fameuse loi de Moore, a toujours été respectée, que ce soit en termes de puissance, de rapidité ou de taille des composants [6]. Jusqu'à maintenant, cette approche a eu un grand succès, mais elle atteint désormais ses limites [7]. Aujourd'hui, les dimensions des transistors approchent des limites physiques ultimes, et les performances sont limitées par les effets de fuites et ceux liés à la réduction de la longueur du canal [7]. Des dispositifs tridimensionnels sont pressentis pour prendre le relais des composants planaires, grâce au meilleur contrôle qu'ils permettent des effets liés aux canaux courts [7].

Plusieurs façons de procéder ont vu le jour, le principal problème de la miniaturisation étant la dépendance directe des caractéristiques électriques vis à vis des paramètres physiques contrôlables. Ceci entraîne de nombreux effets parasites qui modifient les performances et la consommation d'énergie des systèmes.

La caractérisation électrique d'un dispositif est d'une grande importance et exige une attention particulière dans le développement des technologies MOSFET avancées. Le choix de la

longueur du canal, l'épaisseur d'oxyde de grille, le dopage de substrat et la technologie de Source/Drain déterminent en grande partie les performances du dispositif. En concevant des dispositifs plus petits, on doit également considérer l'impact de la réduction des dimensions sur la fiabilité des circuits intégrés.

Toutefois, après quasiment une vingtaine d'années de course effrénée à la réduction des dimensions des composants électroniques, les problèmes ne se limitent plus aux seules difficultés de réalisation. Nous voyons apparaître, à présent, des phénomènes d'ordre théorique remettant en cause les avantages qu'offrait la technologie CMOS. Parmi ces phénomènes, nous avons notamment l'abaissement de la barrière de potentiel au niveau du drain (DIBL), les effets canaux courts (SCE), les phénomènes de nature quantique, le courant tunnel de grille, la fluctuation aléatoire des dopants. Pour contourner ces difficultés, l'une des solutions consistant à modifier l'architecture des composants actuels, notamment l'augmentation du nombre de grilles afin d'avoir un meilleur contrôle du flux de courant, paraît une solution de choix pour l'avenir de la microélectronique. Mais ces dispositifs, pour pouvoir être utilisés par les concepteurs de circuits intégrés, ont besoin d'être modélisés sous la forme de modèles compacts interprétables par des simulateurs de circuits. Ces modèles compacts doivent être capables de décrire le plus exactement possible le comportement électrique de ces dispositifs. La simulation des composants microélectroniques a donc besoin de nouvelles théories et techniques de modélisation (les techniques de l'intelligence artificielle) améliorant la compréhension physique des dispositifs de taille micro et nanométrique.

Le domaine de la modélisation et la simulation des composants microélectroniques peut être considéré comme un champ important d'applications des techniques de l'intelligence artificielle. Par conséquent, l'étude de la possibilité d'utilisation des réseaux de neurones artificiels dans le domaine de la microélectronique, notamment sous forme des prédicteurs et des simulateurs des composants nanométriques (Double Gate MOSFET, Trigate MOSFET, Gate All Around MOSFET,...), s'avère nécessaire. En ce sens, les techniques de l'intelligence artificielle sont considérées comme un outil supplémentaire entre les mains de l'ingénieur et du chercheur, plutôt que comme un substitut aux méthodes plus classiques. Ces outils sont susceptibles d'apporter des éléments de réponse là où les procédures analytiques montrent leurs limites.

Ce travail présente le principe des techniques de l'intelligence artificielle et leurs applications dans le domaine de la modélisation et la simulation des composants électroniques nanométriques. Notre mémoire s'articulera autour de quatre grands axes: Le premier chapitre présente brièvement le transistor MOS bulk ainsi que les problèmes engendrés par sa miniaturisation, évoque ensuite les solutions technologiques possibles pour répondre à ces problèmes, expose ainsi la technologie SOI avec ses solutions émergentes et détaille les principales caractéristiques électriques du transistor MOS à grille enrobée GAA (Gate All Around). Le deuxième chapitre est consacré aux réseaux de neurones : il en donne, les principes, expose les différents types d'implantation et domaines d'application.

Dans le troisième chapitre, nous proposons un modèle de prédiction à base des réseaux de neurones (ANN) capable de prédire les variations du courant de drain du transistor GAA MOSFET nanométrique en fonction des sept paramètres, à savoir : la tension de drain, la tension de grille, la température, l'épaisseur de l'oxyde, l'épaisseur du Silicium, l'over lap et la longueur de la grille.

Le dernier chapitre présente l'applicabilité des réseaux de neurones artificiels pour l'étude et la simulation des circuits électroniques nanométriques.

Une conclusion synthétise les résultats obtenus et donne un aperçu de perspectives qui peuvent être développées pour mieux comprendre ce sujet.

---

*Chapitre I : Transistor MOSFET : limites de  
miniaturisation et solutions*

---

## I.1 Introduction

C'est en 1960 que *Kahng et Attala* ont présenté le premier transistor MOS sur Silicium en utilisant une grille isolée dont le diélectrique de grille était en oxyde de silicium  $\text{SiO}_2$ . Le silicium fut un choix très judicieux. Il est l'élément le plus abondant de la croûte terrestre, après l'oxygène. De plus son oxyde est non seulement un très bon isolant électrique mais il s'est aussi révélé parfaitement adapté pour former des couches dites de passivation protégeant les circuits, accroissant remarquablement leur fiabilité.

Les transistors MOS sur silicium, plus simples et moins chers que leurs concurrents bipolaires, mais intrinsèquement moins performants à génération technologique équivalente, ont connu leur essor dans les années 70-80 grâce à la technologie CMOS inventée en 1968 qui consomme très peu d'énergie. Depuis, les applications en logique CMOS mais aussi les mémoires qui constituent l'autre grande application des MOSFET ont bénéficié d'une très forte et continue augmentation de leur rapidité et de leur densité d'intégration.

En 1967, *Dennard* invente la mémoire DRAM (Dynamic Random Access Memory) par association d'un transistor MOSFET et d'une capacité de stockage. 1971 est l'année de la conception du premier microprocesseur par *Hoof et al* de la société Intel. Il s'agit d'un processeur 4 bits (Intel 4004) de 3mm par 4mm comportant 2300 transistors ayant une longueur de  $8\mu\text{m}$  (Figure. I.1a) [8].

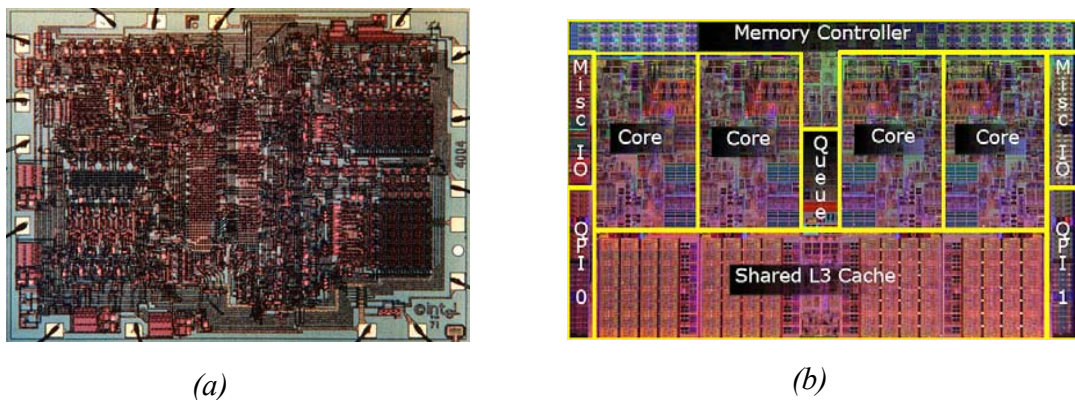


Figure I.1. (a) Processeur Intel 4004 et (b) Processeur Intel Core i7 [8].

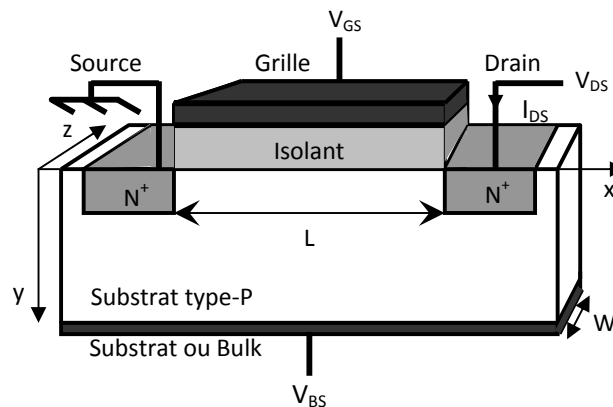
Depuis lors de nombreuses autres nouvelles technologies ont permis, sans changer vraiment les méthodes de fabrication de réduire la taille des transistors et ainsi la densité des mémoires et la puissance des microprocesseurs.

Cette course à la miniaturisation permet aujourd'hui de concevoir des transistors d'une longueur de 45nm. Ce qui permet de concevoir des processeurs tels que le *Core i7* qui comporte environs 731 millions de transistors sur une puce de 263 mm<sup>2</sup> (Figure. I.1.b) [8].

## ***I.2 Transistor MOS***

### ***I.2.1 La structure MOS***

Avant de présenter les équations permettant le calcul du courant de drain du transistor MOS, il est nécessaire de définir les différentes notations utilisées [9].



*Figure I.2. Vue schématique du transistor MOS de type N [9].*

Le transistor MOS (ou MOSFET pour transistor Métal-Oxyde-Semiconducteur à effet de champ) à canal N est un dispositif quadripolaire constitué d'une couche conductrice (métal ou polysilicium fortement dopé) appelée électrode de grille (*G*), de source (*S*), de drain (*D*) et de substrat (*B*) semiconducteur sur lequel repose une fine couche d'oxyde isolant ( $\text{SiO}_2$ ) d'épaisseur  $t_{\text{ox}}$  (Figure. I.2). La longueur du transistor, notée  $L$ , correspond à la longueur de sa grille (recouvre légèrement les régions de source et de drain) et sa largeur est notée  $W$ . La région entre les jonctions de source et de drain est appelée la région du canal et est définie par sa longueur  $L$  et sa largeur  $W$ . Nous considérerons par la suite un transistor à canal surfacique, c'est-à-dire dont

la conduction est assurée par les porteurs minoritaires du substrat (électrons dans le cas d'un nMOSFET), à l'interface entre le diélectrique de grille et le substrat.

Notons que le MOSFET possède deux électrodes supplémentaires par rapport à la capacité MOS, qui sont constituées de deux caissons dopés N+ pour un nMOS (réservoirs à électrons). Ainsi, de nombreuses propriétés du transistor MOS découlent de celles de la capacité MOS.

### ***1.2.2 Principe et régimes de fonctionnement***

Le principe de fonctionnement du transistor MOS (ou MOSFET) repose sur la modulation d'une densité de porteurs d'une zone semi-conductrice par un champ électrique qui lui est perpendiculaire. Ce champ électrique est appliqué par l'électrode de commande (la grille) à travers un isolant (diélectrique de grille). Les porteurs créés sont des charges mobiles: électrons dans le cas d'un transistor nMOS, trous dans le cas d'un transistor pMOS. Lorsque la tension appliquée sur la grille  $V_{GS}$  est supérieure à une tension seuil appelée tension de seuil, notée  $V_{th}$ , ces charges mobiles constituent un canal de conduction entre la source et le drain. Lorsqu'une différence de potentiel,  $V_{DS}$ , est appliquée entre la source et le drain, les porteurs affluant (côté source, de façon conventionnelle) sont collectés par le drain sous la forme d'un courant. Nous parlons de transistor nMOS lorsque le substrat est dopé avec des atomes de type accepteur et que les porteurs minoritaires sont les électrons. Dans ce cas, les régions de source et de drain sont fortement dopées avec des atomes de type donneur (une conduction assurée par des électrons). Le transistor pMOS possède un substrat dopé avec des atomes de type donneur et les porteurs minoritaires sont les trous. Ainsi, de façon macroscopique, le transistor MOS se comporte comme un dispositif régulant un courant entre deux électrodes par une commande en tension.

Rappelons qu'il existe trois valeurs particulières de la tension  $V_{GS}$  :

- $V_{FB}$  : tension  $V_{GS}$  à appliquer pour que  $\psi_S = 0$  au niveau de la source (aussi appelée tension de bandes plates).
- $V_{mg}$  : tension  $V_{GS}$  à appliquer pour que  $\psi_S = \phi_F$  au niveau de la source.
- $V_{th}$  : tension  $V_{GS}$  à appliquer pour que  $\psi_S = 2\phi_F - \phi_c$  (0) au niveau de la source.

Notons l'apparition de l'écart entre les quasi-niveaux de Fermi,  $\phi_c$ , qui dépendent de la tension  $V_{DS}$ . En effet, les zones de drain et de source imposent un écart entre les quasi-niveaux de Fermi

des électrons,  $E_{Fn}$ , et des trous,  $E_{Fp}$ , aux bornes du canal. Cet écart,  $\phi_c$ , est égal à  $(E_{Fp} - E_{Fn})/q$  et prend pour valeur à la source  $\phi_c(0) = V_{SB}$  et au drain  $\phi_c(L) = V_{DB} - V_{SB}$ . Le substrat étant de type P, le quasi-niveau de Fermi des trous,  $E_{Fp}$  est égal au niveau de Fermi dans le volume du semiconducteur,  $E_F$ , et ne varie pas le long du canal : seul le niveau énergétique  $E_{Fn}$  varie (Figure.I.3).

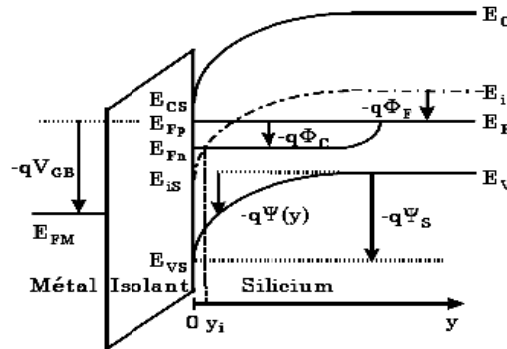


Figure I.3. Diagramme de bandes du transistor MOS en régime d'inversion forte suivant l'axe y en un point quelconque du canal [9].

La courbure des bandes d'énergie du semiconducteur est notée  $\psi(y)$  et la courbure totale correspond au potentiel de surface  $\psi_s$ . Le choix du sens des flèches a pour origine la tension que l'on applique entre la grille et le substrat. Cela revient à faire la différence entre les niveaux de Fermi du métal et du semiconducteur.

Le potentiel de volume du semiconducteur  $\phi_F$  a pour expression [10] :

$$\phi_F = \frac{kT}{q} \ln\left(\frac{N_A}{n_i}\right) = \frac{1}{\beta} \ln\left(\frac{N_A}{n_i}\right) = -\frac{1}{q}(E_F - E_i) \quad (I.1)$$

Les paramètres importants du transistor sont les suivants :

- La tension sous le seuil ( $V_{th}$ ) est la tension de grille nécessaire à la formation d'un canal de conduction (couche d'inversion) entre la source et le drain. La tension de seuil typique d'un nanoMOSFET est comprise entre 0.2 et 0.4 V.
- La transconductance ou gain ( $g_m$ ) est définie par :



$$g_m = \left( \frac{\partial I_{DS}}{\partial V_{GS}} \right)_{V_{DS}=cte} \quad (I.2)$$

et doit être la plus élevée possible. La transconductance augmente très rapidement lorsque la longueur de canal devient inférieure à 100 nm.

- La conductance du canal ( $g_{DS}$ ) donnée par :

$$g_{DS} = \left( \frac{\partial I_{DS}}{\partial V_{DS}} \right)_{V_{GS}=cte} \quad (I.3)$$

- La pente sous le seuil : elle représente la tension de grille à appliquer (en régime sous le seuil) pour augmenter le courant de drain d'une décade :

$$SS = \frac{dV_{GS}}{d(\log I_{DS})} \quad (I.4)$$

### I.2.2.1 Régime linéaire

Le courant total près de l'interface Si-SiO<sub>2</sub> est la somme des courants de diffusion et de conduction des porteurs libres. En inversion, on considère que la concentration de majoritaires est nulle dans le canal et on peut écrire [11] :

$$\vec{J}(x, y) = q \left( \mu_n n \vec{\xi} + D_n \vec{\nabla} n \right) = \vec{J}_n \quad (I.5)$$

où :  $\mu_n$  est la mobilité des électrons en champ faible dans la couche d'inversion,  $D_n$  le coefficient de diffusion des électrons et  $\vec{\nabla} n$  le gradient de concentration. Si on se place dans l'approximation graduelle de *Shockley* [12], c'est à dire lorsque le transistor fonctionne en mode non saturé ou encore lorsque le canal n'est pas pincé, on considère que les lignes de champ sont parallèles à l'interface, (I.5) devient :

$$J_n = \underbrace{q\mu_n n \xi_x}_{J_1} + \underbrace{qD_n \text{grad}_x n}_{J_2} \quad (I.6)$$

$\xi_x$  étant le champ suivant l'axe  $x$  (Fig I.3),  $J_I$  est la composante de dérive (due au champ) et  $J_2$  représente le courant de diffusion.

Considérant le coefficient d'Einstein  $D_n = \mu_n kT/q$  où  $\mu_n$  est la mobilité des électrons supposée constante, et sachant que  $\xi_x$  dérive d'un potentiel scalaire (ce qui se traduit par :  $\xi_x = -grad(\phi_c)$ ), (I.6) peut se simplifier en [11] :

$$J_n = -q\mu_n n \frac{d\phi_c}{dx} \quad (I.7)$$

où les relations en potentiel sont données par :

$$\begin{aligned} \phi_c(x=0) &= -V_{BS} \\ \phi_c(x=L_G) &= V_{DS} - V_{BS} \\ \phi_c(0 < x < L_G) &= V(x) - V_{BS} \end{aligned}$$

le courant total s'obtient en intégrant la densité  $J_n$  sur toute l'épaisseur de la couche d'inversion  $y_i$  du transistor de largeur  $W_G$  :

$$I_{DS} = -W_G \int_{y_i}^0 J_n dy = W_G \int_{y_i}^0 q\mu_n n \frac{d\phi_c}{dx} dy = W_G \mu_n \frac{d\phi_c}{dx} \int_{y_i}^0 ndy \quad (I.8)$$

de plus  $I_{DS}$  étant constant tout le long du canal, il vient :

$$\int_{L_G}^0 I_{DS} dx = I_{DS} L_G = -W_G \mu_n \int_{-V_{BS}}^{V_{DS}-V_{BS}} Q_n d\phi_c \quad (I.9)$$

où  $Q_n = \int_{y_i}^0 ndy$ . D'autre part l'influence de  $V_{BS}$  étant identique en tout point du canal sur les concentrations de porteurs libres, (I.9) se réécrit :

$$I_{DS} = -\frac{\mu_n W}{L_G} \int_0^{V_{DS}} Q_n(V) dV = -\frac{\mu_n W}{L_G} \int_0^{V_{DS}} (Q_{SC} - Q_D)(V) dV \quad (I.10)$$

$Q_{SC}$  peut être considéré comme la charge totale du semi-conducteur à laquelle on doit soustraire la charge  $Q_D$  de la zone désertée sous la zone d'inversion.

$$Q_{SC} = C_{OX} \left( V_{GS} - \phi_c - \phi_{ms} + \frac{Q_{OX}}{C_{OX}} - 2\phi_F \right) \quad (I.11)$$

$$Q_D = -\sqrt{2N_A \epsilon_{Si} (\phi_c - V_{BS} + 2\phi_F)} \quad (I.12)$$

pour obtenir l'expression de  $I_{DS}$  il faut maintenant reporter (I.11) et (I.12) dans (I.10), le courant  $I_{DS}$  se réécrit alors sous la forme simplifiée :

$$I_{DS} = \frac{W_G}{L_G} \mu_n C_{OX} V_{DS} \left[ V_{GS} - \underbrace{V_{FB} - 2\phi_F - \gamma(-V_{BS} + 2\phi_F)^{1/2}}_{V_{th}} - V_{DS} \frac{1}{2} \underbrace{\left( 1 + \frac{\gamma}{2} (-V_{BS} + 2\phi_F)^{-1/2} \right)}_{\alpha} \right] \quad (I.13)$$

ce qui permet d'exprimer le courant de Drain d'un transistor MOS en régime linéaire sous sa forme synthétique :

$$I_{DS} = \frac{W_G}{L_G} \mu_n C_{OX} \left[ V_{GS} - V_{th} - \frac{\alpha}{2} V_{DS} \right] V_{DS} \quad (I.14)$$

### **I.2.2.2 Régime de saturation**

Lorsque la tension de Drain augmente, la zone de charge d'espace (ZCE) s'étend et réduit la charge d'inversion à la pointe du Drain. Le transistor rentre en mode de saturation lorsque  $V_{DS}$  est suffisamment grand pour que  $Q_{inv}(x = L_{eff})$  soit quasiment nulle. Ceci se produit pour  $V_D$  égal à  $V_{DSat}$ . On a alors :

$$V_{DSat} = \frac{V_{GS} - V_T}{\alpha} \quad (I.15)$$

Il existe une autre approche pour déterminer la tension de drain de saturation. Il suffit de considérer que pour  $V_{DS} > V_{DSsat}$  le courant de drain ne varie pratiquement plus (cas idéal) ce qui revient à résoudre :

$$G_d = \left. \frac{\partial I_{DS}}{\partial V_{DS}} \right|_{V_{DSsat}} \quad (I.16)$$

Ceci permet de retrouver l'expression de  $I_{DSsat}$  couramment utilisée :

$$I_{DS_{sat}} = \frac{W_G}{L_G} \mu_n C_{OX} \frac{(V_{GS} - V_T)^2}{2\alpha} \quad (I.17)$$

Les figures I.4a, I.4b, I.5a et I.5b [13], montrent les caractéristiques  $I_{DS}(V_{GS})$  et  $I_{DS}(V_{DS})$  calculées (avec (I.14) et (I.17)) et mesurées, pour un transistor à canal long ( $W_G/L_G = 10/10\mu\text{m}$ ) et un transistor à canal court ( $W_G/L_G = 10/0.13\mu\text{m}$ ). On peut y observer une divergence entre le modèle et la mesure lorsque les tensions de Grille et de Drain augmentent. Sur les petites géométries, l'écart s'accroît, ce qui met en évidence la nécessité d'affiner les équations en incluant les effets liés à la diminution des dimensions des transistors MOSFET. Dans la section suivante, nous allons présenter ces effets, en partant de leurs origines physiques, pour arriver à une quantification mathématique permettant d'inclure leurs impacts sur le comportement électrique des dispositifs. Nous allons en particulier décrire la réduction de la mobilité des porteurs dans le canal sous l'influence du champ électrique, la modulation de la longueur du canal liée à l'extension de la zone de charge d'espace de la jonction Drain-Substrat.

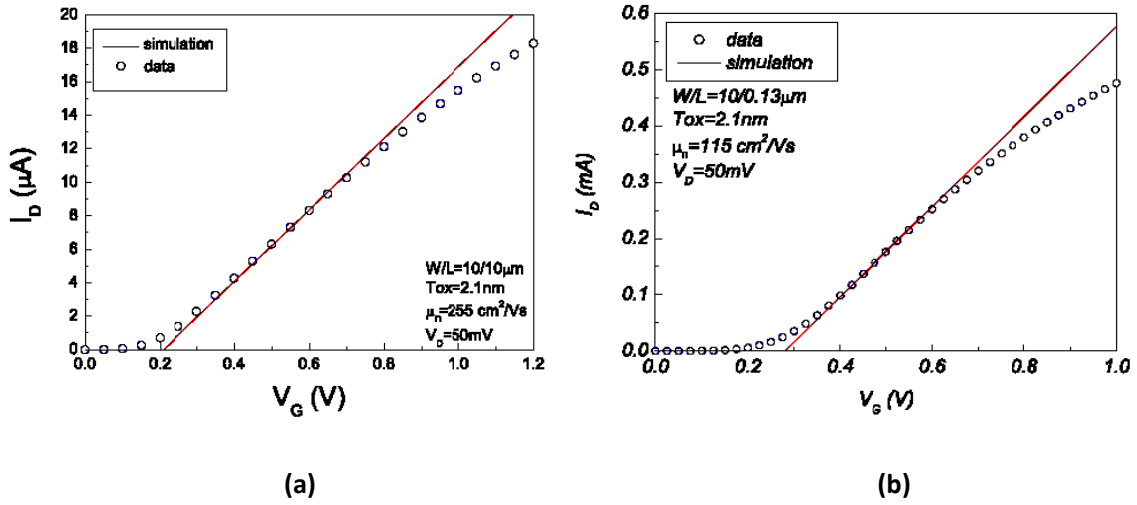


Figure I.4. Comparaison entre la modélisation et la mesure du courant de Drain en régime linéaire pour un transistor MOS avec un oxyde ultra mince  $T_{ox} = 2.1\text{nm}$

(a) MOS à canal N long ( $W_{eff}/L_{eff} = 10/10\mu\text{m}$ ) et (b) MOS à canal N court ( $W_{eff}/L_{eff} = 10/0.13\mu\text{m}$ ) [13]

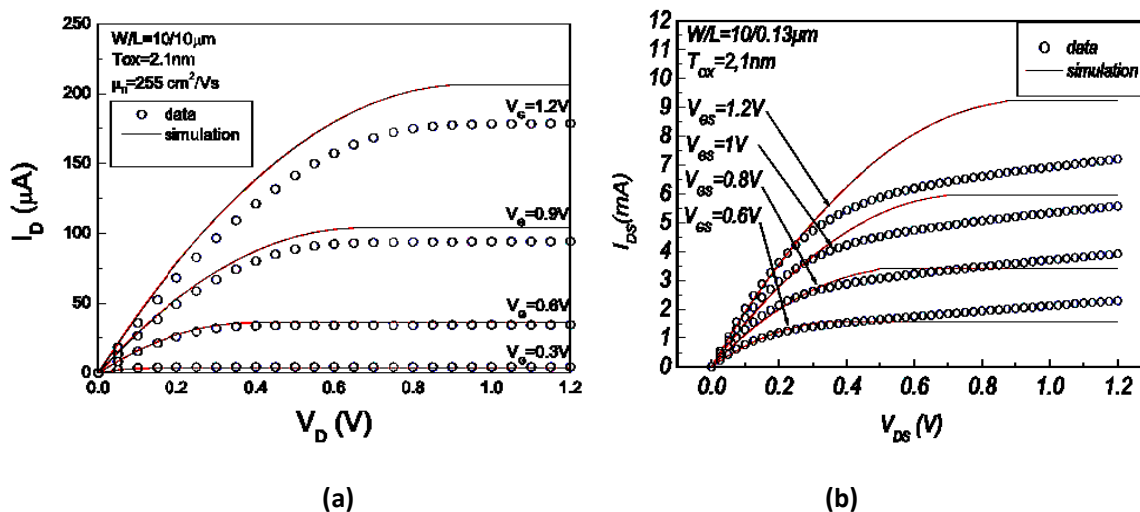


Figure I.5. Comparaison entre la modélisation et la mesure du courant de drain en fonction de la tension de Drain pour différentes valeurs de la tension de Grille pour un transistor MOS avec un oxyde ultra mince  $T_{ox} = 2.1nm$  (a) MOS à canal N long ( $W_{eff}/L_{eff} = 10/10\mu m$ ) et (b) MOS à canal N court ( $W_{eff}/L_{eff} = 10/0.13\mu m$ ) [13]

### I.3 Technologie SOI

#### I.3.1 La technologie SOI à une grille

Le terme SOI (*Silicon On Insulator*) signifie littéralement silicium-sur-isolant. Contrairement au MOSFET bulk (Figure I.6a) où les composants sont réalisés sur un substrat de silicium – appelé parfois *bulk* – d’une épaisseur de l’ordre de  $600\mu m$  dont seuls les premiers microns en surface sont réellement utiles, le SOI est réalisé sur un film de Silicium au préalable posé sur une couche d’oxyde enterrée (Figure I.6b). Le film de silicium a une épaisseur que nous noterons  $t_{Si}$ .

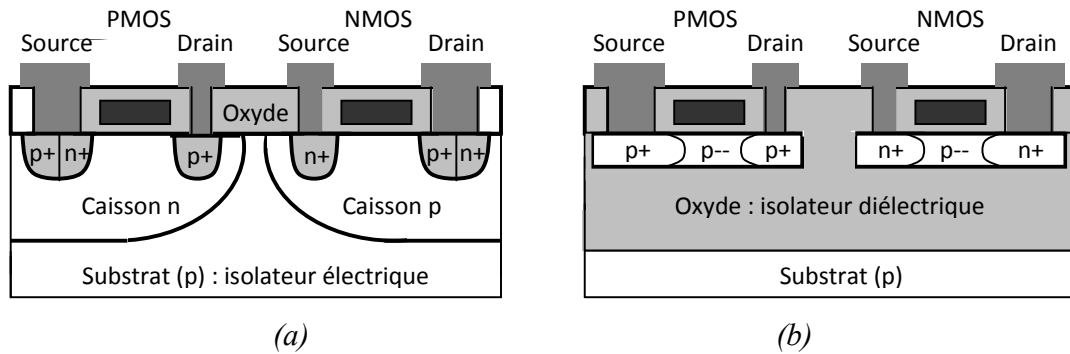


Figure I.6. Coupe schématique de transistors MOS (a) bulk et (b) SOI [14]

Toujours à l'opposé du transistor MOS bulk où le canal d'inversion est localisé à l'interface silicium-oxyde, la structure SOI a fait naître le concept d'inversion volumique [15]. La présence de l'oxyde enterré permet un meilleur contrôle du potentiel dans le canal par la grille que dans le transistor MOS sur silicium massif. Pour des films de silicium épais, la zone de déplétion dans le film n'atteint pas l'oxyde enterré ; nous parlons alors de transistor partiellement déplété (ou PDSOI, "Partially Depleted SOI"). Lorsque l'épaisseur du film est réduite et que la déplétion atteint l'oxyde enterré, le film est donc complètement déserté et la grille améliore le contrôle du potentiel dans le film ; nous parlons alors de transistor entièrement déplété (ou FDSOI, "Fully Depleted SOI"). La figure I.7 décrit ces deux structures.

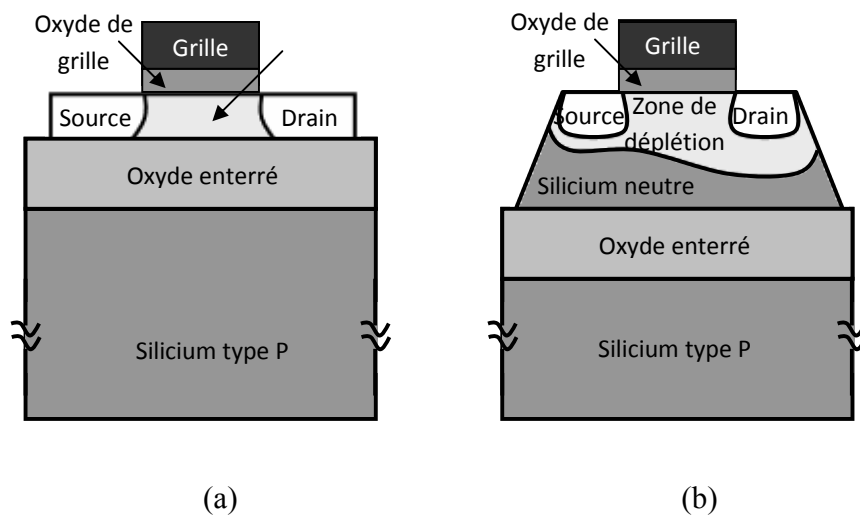


Figure I.7. Représentation schématique d'un transistor SOI :  
(a) entièrement déplété et (b) partiellement déplété [14]

Le fait que le SOI soit partiellement ou entièrement déplété dépend essentiellement de l'extension de la couche de désertion dans le film de silicium. La profondeur  $X_{Si}$  de la zone de désertion dans le film dépendra du dopage du film [16].

### ***1.3.1.1 Avantages de la technologie SOI par rapport au MOSFET bulk***

Les propriétés électriques de cette structure, en particulier du transistor SOI entièrement déserté (déplété), sont dans l'ensemble bien meilleures comparées au transistor MOS bulk [17]. Il est d'ailleurs estimé que ce composant est un candidat susceptible de réussir l'intégration des dispositifs de dimensions longitudinales inférieures ou égales à  $30nm$  [17]. Nous allons maintenant voir les principales propriétés de la technologie SOI par rapport au MOSFET bulk.

Les avantages de la technologie SOI sont multiples :

#### **Diminution des effets parasites**

- Par la seule présence de l'oxyde enterré, les capacités parasites sont considérablement réduites.
- Les capacités de jonction source-substrat et drain-substrat, qui correspondent à la capacité d'une jonction polarisée en inverse pour le MOSFET bulk, ne sont en réalité pour le SOI qu'une capacité d'oxyde  $C_{Box}$ .
- Le transistor SOI présente, toujours par comparaison au transistor MOS bulk, un canal de conduction plus mince et isolé [17], une simplification des niveaux d'interconnexions au-dessus des transistors du fait de l'absence des caissons.
- Lorsque le film de silicium est faiblement dopé, voire non dopé, il peut être entièrement déplété à tension de grille nulle, ce qui est également avantageux en ce qui concerne le courant de perçement en surface.
- Élimination du *latch-up* sur le SOI, qui est présent sur le MOSFET bulk, (le *latch-up* est un phénomène parasite dû au déclenchement du thyristor parasite lié à la proximité des zones  $N^+$  et  $P^+$  de transistors nMOS et pMOS voisins).
- Sur le SOI (Figure. I.7b), ces zones sont totalement isolées et, ainsi, le claquage entre ces deux zones est impossible.
- La faculté d'augmenter la densité d'intégration est une conséquence directe de la suppression de cet effet parasite [15].

### Amélioration du contrôle de la grille sur la charge de déplétion

- Les modèles de séparation de charge fournissent la proportion de la charge de déplétion contrôlée par la grille par rapport à celle contrôlée par la source et le drain.
- Le rapport entre la charge de déplétion contrôlée par la grille et le drain (ou la source) est beaucoup plus important pour le transistor SOI, par comparaison au transistor MOS bulk, avec des dimensions identiques ( $L, W, t_{ox}, X_j$ ).

Ce phénomène est d'autant plus marqué que la longueur du canal diminue comme le montre la figure I.8,

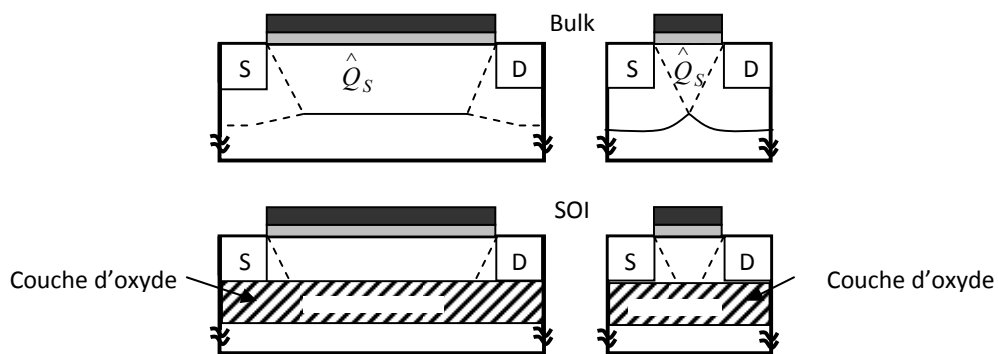


Figure I.8. Distribution de la charge de déplétion pour le MOSFET bulk et le SOI [18]

### Amélioration de la pente sous le seuil

La pente sous le seuil est définie par :

$$SS = n \ln(10) \frac{kT}{q} \quad (I.18)$$

avec :  $n=1+(C_{dep}/C_{ox})$  est le facteur de substrat.

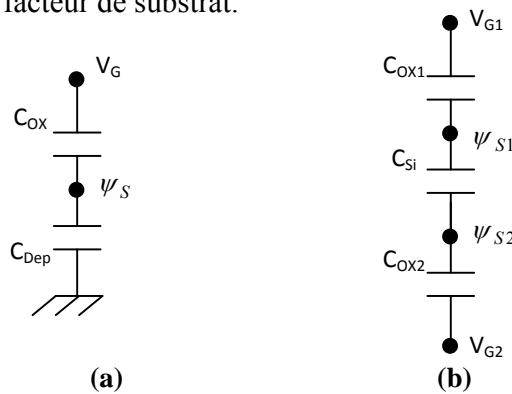


Figure I.9. Circuit capacitif équivalent (a) d'un MOSFET bulk et (b) d'un SOI [19]



Pour le transistor MOS bulk (Fig. I.9a), comme  $C_{dep}$  n'est pas négligeable, cela implique que  $n > 1$ . En revanche, pour le transistor SOI sur film mince, le film en entier est déplété avant que la tension n'atteigne la tension de seuil et donc  $C_{Si}$  est une constante, d'où :

$$SS = \frac{nkT}{e} \ln(10) \text{ où } n = \left(1 + \frac{C_{Si}}{C_{OX1}}\right) - \frac{\frac{C_{Si}}{C_{OX2}} - \frac{C_{Si}}{C_{OX1}}}{1 + \frac{C_{Si}}{C_{OX2}}} \quad (I.19)$$

$C_{Si}$  désigne la capacité du film de silicium complètement déplété et  $C_{ox1}$  et  $C_{ox2}$ , les capacités d'oxyde situées respectivement dans la partie supérieure et la partie inférieure du film de silicium. À la figure I.9b,  $\Psi_{S1}$  et  $\Psi_{S2}$  désignent respectivement les potentiels de surface dans les régions supérieure et inférieure du film et, enfin,  $V_{G1}$  et  $V_{G2}$  correspondent aux polarisations des grilles, toujours dans la région supérieure et la région inférieure du film.

Habituellement, pour des films minces,  $C_{ox2} \ll C_{ox1}$  et  $C_{ox2} \ll C_{Si}$ , et donc nous obtenons une valeur de  $n$  proche de l'unité et la pente sous le seuil optimale. La pente sous le seuil à température ambiante est pratiquement maximale (= 60 mV/dec pour  $n=1$ ) en technologie SOI (Figure I.10).

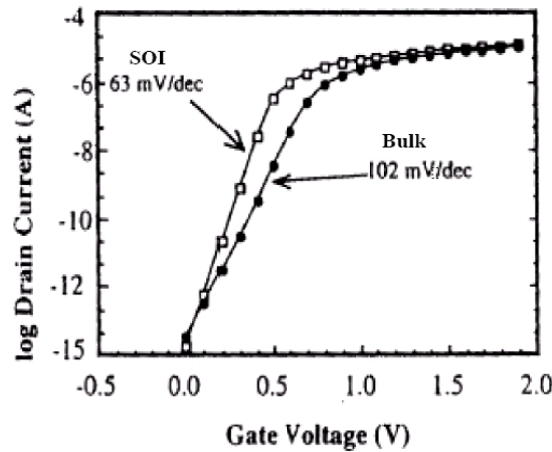


Figure I.10. Comparaison de la pente sous le seuil du transistor MOS en technologies bulk et SOI, pour une géométrie constante [17]

### ***1.3.1.2 Inconvénient majeur de la technologie SOI***

Les avantages de la technologie SOI sont nombreux. Cependant, leur inconvénient majeur, surtout en ce qui concerne le PDSOI, est l'importance des effets canaux courts (Figure I.11). La polarisation du drain peut induire des effets canaux courts par influence électrostatique à travers l'oxyde enterré. Cet effet néfaste devient conséquent surtout lorsque l'épaisseur d'oxyde est importante.

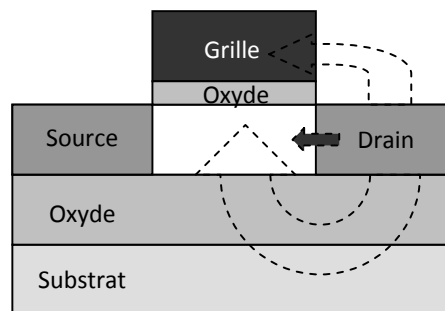


Figure I.11. Influence électrostatique sur le SOI à une grille [17]

Naturellement, réduire l'épaisseur d'oxyde ne ferait que réduire l'influence électrostatique ; en revanche, insérer une grille en-dessous de l'oxyde constituerait un bouclier qui bloquerait complètement les lignes de champs. Ceci permettrait directement de protéger le canal et de réduire les effets canaux courts. Cette structure est appelée double-grille (DG) et qui rentre dans le cadre des structures multi-grilles que nous allons présenter dans la section suivante.

### ***1.3.2 Les transistors à grilles multiples***

La technologie SOI à une grille ne permet pas de réduire les effets canaux courts en raison notamment de l'influence électrostatique. Cependant, l'ajout de grille autour de la couche de silicium, non seulement favorise l'isolement du canal de conduction, d'où sa protection, mais offre également un meilleur contrôle sur ce canal. En conséquence, nous voyons apparaître des structures SOI avec deux, trois, voire quatre grilles [17].

L'évolution des dispositifs SOI avec l'augmentation du nombre de grilles est illustrée en figure I.12 et figure I.13 :

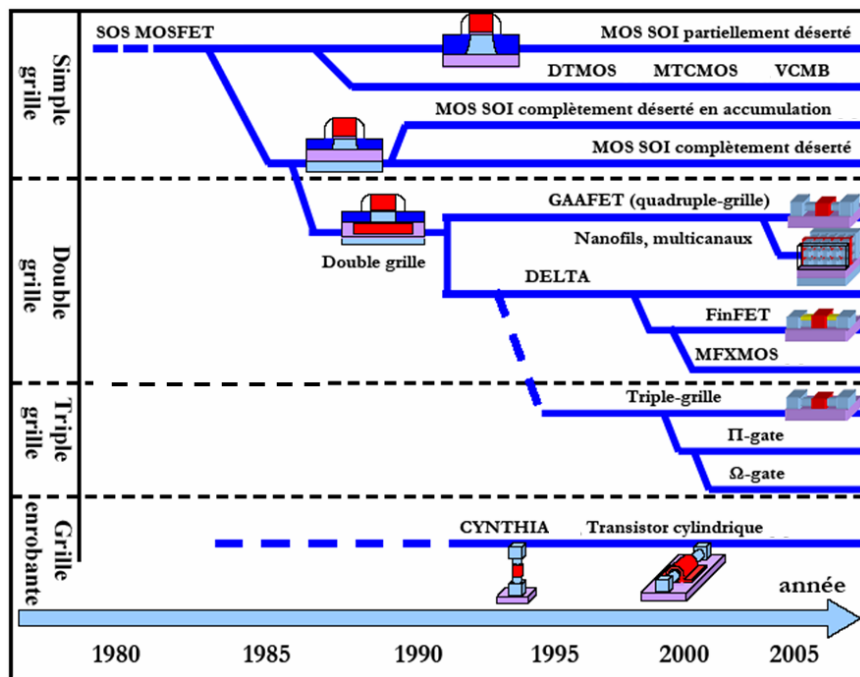


Figure I.12. Evolution de la technologie SOI au fil des années [17-18] [20]

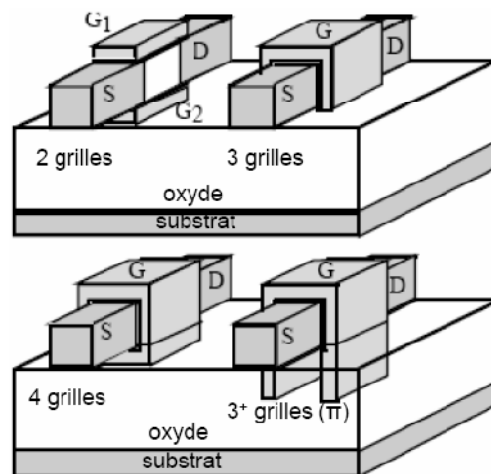


Figure I.13. Les différentes structures multi-grilles : SOI double-grille (2), SOI triple-grille (3), SOI quadruple-grille/Surrounding-gate (4), et grille en forme  $\Pi$  ou  $\Omega$  ( $3^+$ )

Suivant le nombre de grilles qui contrôle le canal et leur positionnement autour du film de silicium, la dénomination des MOSFETs SOI diffère, ainsi nous trouvons dans la littérature :

**Le double-grille** : Le transistor MOS double-grille (DG) est constitué de deux grilles placées sur le plan horizontal. La figure I.13 présente l'architecture. Chaque grille exerce un contrôle sur le ou les canaux. Il existe une autre structure qui appartient à la catégorie du double-grille bien qu'elle possède trois grilles ; elle est souvent appelée dans la littérature, le FinFET. Cette structure dispose d'une « troisième grille » reliant les deux autres grilles. Par rapport à un dispositif MOSFET double-grille planaire, l'avantage d'un transistor FinFET est l'auto-alignement intrinsèque des deux grilles. La « troisième grille » se trouve sur une couche d'oxyde de grille d'une épaisseur importante. De ce fait, elle n'effectue aucun contrôle sur le canal. Ainsi, seules les deux grilles latérales créent et contrôlent un canal d'inversion.

De plus, on observera qu'au niveau de la structure MOSFET double-grille planaire, il existe deux variantes. Suivant la manière dont le dispositif est polarisé, nous assistons à des modes de fonctionnement différents. Nous avons ainsi le MOSFET double-grille en mode de fonctionnement symétrique et le MOSFET double-grille en mode de fonctionnement asymétrique.

**Le triple-grille** : Cette structure dispose de trois grilles (TG), dont une au-dessus de l'oxyde et une sur chaque face latérale (Figure I.13). Les couches d'oxyde au contact de chacune des grilles ont une épaisseur suffisamment faible pour permettre la formation de trois canaux à l'intérieur du film de silicium [15].

**Le triple<sup>+</sup>-grille** : Ces transistors sont représentés à la figure I.14. Ils sont constitués non seulement de trois grilles positionnées au-dessus de l'oxyde de grille et sur les faces latérales, mais également de deux extensions.

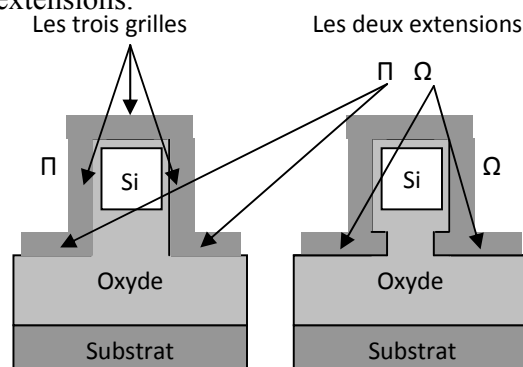


Figure I.14. L'extension des grilles conduisant aux structures  $\Pi$  et  $\Omega$  SOI MOSFETs

Suivant la forme de ces extensions, l'architecture diffère [17]. Si ces extensions se développent verticalement dans l'oxyde enterré, soit suivant la continuité des grilles latérales, nous parlons de structure PIFET. Si ces extensions se développent horizontalement, soit perpendiculairement aux grilles latérales, nous parlons de  $\Omega$ FET. Ces extensions sont généralement obtenues en surgravant l'oxyde dans la phase de définition des zones actives. Leur rôle consiste à améliorer considérablement le contrôle électrostatique de la grille.

**Le quadruple-grille (GAA MOSFET):** Ce composant possède quatre grilles (QG). La structure est décrite à la figure I.13. Le film de silicium est recouvert de grille sur les quatre faces, d'où leur autre nom : "*surrounding-gate*" [17]. Nous reviendrons plus en détail sur ce type de dispositif dans la section suivante.

### ***1.3.2.1 Avantages des transistors à grilles multiples***

L'idée d'ajouter de plus en plus de grilles repose sur le fait que, si l'épaisseur du film actif de silicium entre les différentes grilles est suffisamment faible, ces grilles polarisées peuvent commander le volume global de silicium entre la source et le drain. La conduction s'effectuant alors de manière volumique et non plus surfacique [17], on s'attend à des effets avantageux pour la valeur du courant de drain. De plus, la prise de contrôle du canal se révélant plus importante, on s'affranchit des effets canaux courts liés à l'influence de  $V_{ds}$ : la diminution drastique de l'épaisseur d'isolant devient moins cruciale. Enfin, par leurs dispositions, les grilles font enseigne de bouclier contre les lignes de champs créées par la polarisation du drain et qui influent sur la circulation des électrons. Finalement, les performances sont nettement améliorées avec de telles architectures multi-grilles. A cet effet, elles font l'objet actuellement de recherches intenses dans de nombreux laboratoires.

### ***1.3.2.2 Inconvénient des transistors à grilles multiples***

L'un des inconvénients de ces structures est l'accroissement des résistances des extensions source et drain. De plus, les dimensions de la zone active étant réduites à moins de quelques dizaines de nanomètres dans toutes les directions, de multiples questions se posent quant à la physique du transport dans ces dispositifs : importance du transport balistique [21] ou par effet tunnel [22] entre source et drain. Finalement, le point qui reste de loin le plus critique réside, bien entendu, dans leur fabrication qui nécessite la mise en œuvre de procédés plus que délicats.

### I.4 L'architecture MOSFET à grille enrobée

Le transistor MOSFET à grille enrobée SGT "surrounding gate transistor" [23] (i.e, gate-all-around, GAA) [24] est une architecture MOSFET avancée où le canal en silicium est complètement entouré par la grille. Comme le montre la Figure 1.15, trois différentes formes de section sont représentées [06]. Les transistors GAA seront décrits en détail dans ce rapport de thèse parce que c'est la géométrie choisie pour la modélisation neuronale et la modélisation et simulation des circuits nanométriques.

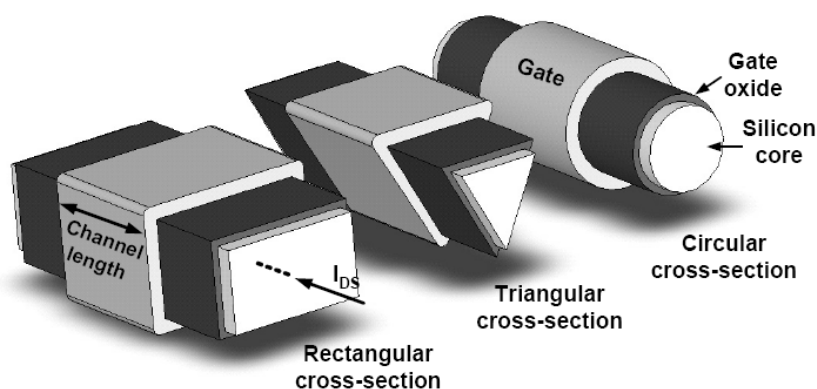


Figure I.15. Trois architectures du transistor GAA MOSFET avec des sections différentes [06]

Les transistors GAA sont des excellents dispositifs, en termes de SCE, DIBL, pente sous le seuil et le rapport  $I_{on}/I_{off}$ . L'inconvénient principal du dispositif GAA est généralement pour le moment consiste aux procédés de fabrication qui sont très difficiles. Cette fabrication est souvent basée sur la réalisation de nanofils de silicium. La section du canal est également cruciale pour le fonctionnement du dispositif. Les coins dans le canal (en forme rectangulaire ou triangulaire) contribuent dans les effets de coin, et sont considérés comme des parasites (tension de seuil double) ou parfois des effets bénéfiques (tension de seuil basse, inversion volumique local). Les transistors GAA à nanofils de silicium sont également des structures très convenables dans les dispositifs à un seul électron (SET) [06].

De 1990 à 2000, les auteurs ont surtout été intéressés à la modélisation des propriétés électroniques utilisant la mécanique quantique, et de nombreuses publications sont encore déconnectées de tous les demandes de dispositif [25]. Le calcul de la bande interdite de silicium dans un fil quantique de silicium a été proposé la première fois en 1993 par M.-Y. Shen [26].

Le premier transistor GAA sur SOI a été présenté en 1990 par *J.-P. Colinge* [27]. Malgré ces grandes dimensions ( $W/L=3\mu\text{m}/3\mu\text{m}$ ) et une épaisseur de 50 nm d'oxyde de grille, ces dispositifs pionniers présentent des caractéristiques correctes. La fabrication du dispositif est très simple. Un fil SOI mince est défini par lithographie et gravure, cette étape est suivie par la formation du fil de l'oxyde enterré. La grille utilisée est du LPCVD polysilicium.

Un autre remarquable GAA transistor MOS a ensuite été proposé en 1997 par *E. Leobandung et al.* [28]. C'est l'un des premiers rapports qui comprend une description complète des performances GAA. Les dimensions du nanofil sont en accord avec les prédictions de l'ITRS en 1997. Le fil a une section transversale rectangulaire (hauteur x largeur 50 nm 35-75nm), la longueur de fil minimum est 70nm et l'épaisseur de l'oxyde de grille est 11nm. Le polysilicium est aussi utilisé comme matériau d'oxyde de grille. Les caractéristiques extraites sont bonnes, avec une pente sous seuil 90mV/dec. Une conception multicanal est également proposée.

Depuis lors, de nombreux designs optimisés ont été rapportés. Nous pouvons nous référer à *J. Y. Song et al.* [29] et *S. D. Suk et al.* [30] qui ont effectués deux excellents rapports sur la technologie GAA CMOS. L'article [29] fait une comparaison entre les deux géométries double-grille et GAA, et montre comment GAA augmente les performances. En second lieu, ce rapport fait également une comparaison entre une forme rectangulaire et un canal de section circulaire, montrant que un canal en silicium cylindrique a un courant  $I_{\text{OFF}}$  beaucoup plus réduit et les effets SCE et DIBL plus faible, en raison de l'absence des effets de coin. Les résultats publiés par [30] ont également un grand intérêt et présente un processus pour l'intégration des MOSFET à double nanofils de silicium (twin silicon nanowire MOSFET). Ils ont obtenu des dispositifs GAA circulaire de 5-10nm de diamètre avec une longueur de grille de 30nm, avec un courant  $I_{\text{on}}$  remarquablement élevé pour les transistors type n de 2.64mA/ $\mu\text{m}$ .

#### ***1.4.1 Les différentes catégories de la technologie GAA MOSFET***

Les transistors à grille enrobée GAA MOSFET peuvent être classés suivant des critères géométriques (la forme du canal) ou des critères électriques (la direction du transport électronique et la direction du champ de grille par rapport au plan du substrat qui est le plan horizontal) ou aussi le nombre des canaux qu'ils possèdent. Ainsi, pourrions-nous distinguer :

#### I.4.1.1 Le transistor GAA MOSFET rectangulaire

L'architecture du transistor GAA MOSFET rectangulaire est basée sur celle du SOI à triple grilles (tri-gate) on ajoutant une grille d'où il tire le nom de quadruple-grille (quadruple gate [31]). La coupe du canal d'un tel transistor est sous forme d'un rectangle [32-33]. On note ici qu'il dérive de cette architecture deux autres nominations, GAA MOSFET à canal cubique [34] et GAA MOSFET carré [35].

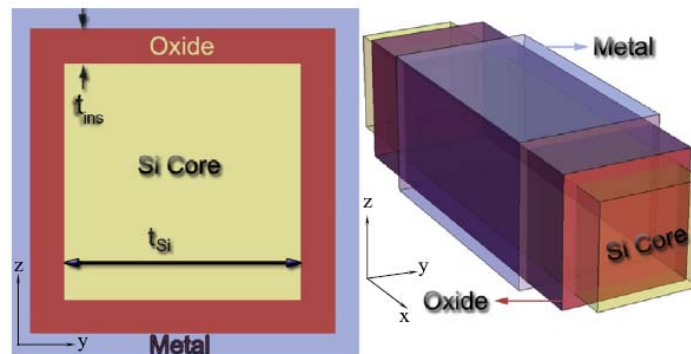


Figure I.16. Coupe et vue en 3D du transistor GAA MOSFET carré [35]

#### I.4.1.2 Le transistor GAA MOSFET triangulaire

Le transistor GAA MOSFET triangulaire [32][36-37] tire son nom de la section de son canal qui est sous la forme d'un triangle. La vue de section avec dimensions de cette architecture est présentée par les Figures I.17b et I.18a. Les étapes de réalisation d'une telle architecture sont présentées par la Figure I.19.



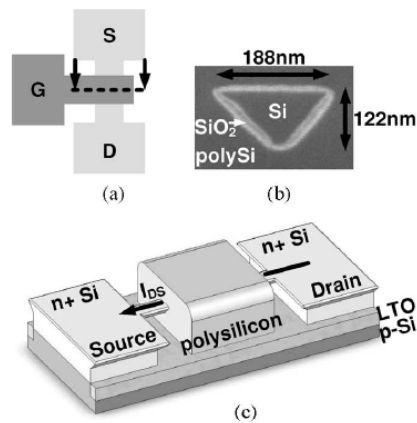


Figure I.17. (a) vue de dessus du layout d'un GAA MOSFET. (b) vue de coupe avec SEM du GAA MOSFET triangulaire avec dimensions (c) schéma 3D du GAA MOSFE [37]

#### I.4.1.3 Le transistor GAA MOSFET pentagonal

Le transistor GAA MOSFET pentagonal porte un canal ou sa section possède une forme d'un pentagonal [37] comme illustré en Figure I.18b. Les étapes de réalisation d'un tel dispositif sont présentées par la Figure I.19.

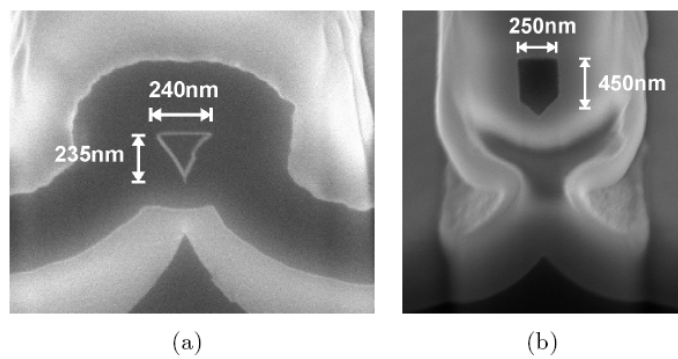


Figure I.18. Images FIB-SEM des coupes de (a) GAA MOSFET triangulaire, et (b) GAA MOSFET pentagonale [7]

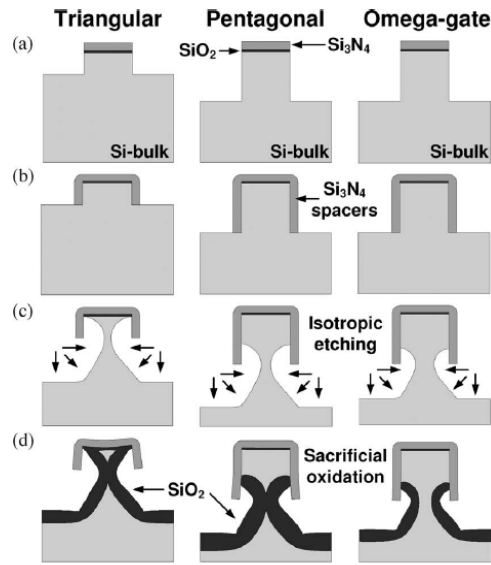


Figure I.19. Les étapes simplifiées de réalisation (coupe du canal) du transistor triangulaire, pentagonale et  $\Omega$ -gate [37]

#### I.4.1.4 Le transistor GAA MOSFET cylindrique

Le nom du transistor GAA MOSFET cylindrique découle de la forme de son canal qui est sous la forme d'un cylindre [38-44] et il porte aussi le nom de transistor à canal circulaire. La Figure I.20a illustre cette architecture.

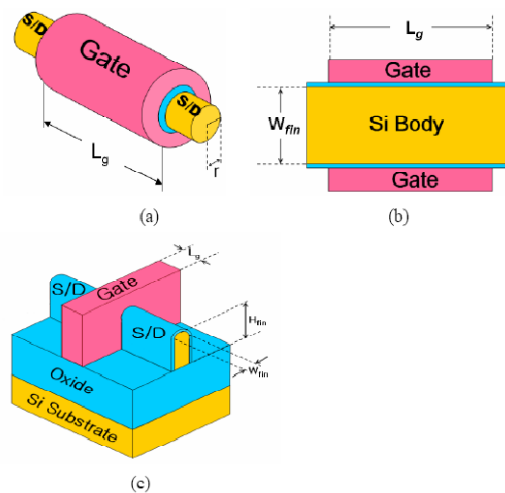


Figure I.20. (a) vue schématique en 3D du transistor GAA MOSFET (b) vue de section du DG MOSFET (c) vue schématique en 3D du transistor (SOI) FinFET [45]

#### I.4.1.5 Le transistor GAA MOSFET à un canal

Le transistor GAA MOSFET à un canal, comme illustré sur la Figure I.21 est l'architecture la plus simple tenant compte du canal unique qu'elle possède qui conduit à une étude et des calculs plus simples que celles effectués pour les transistors à double canaux (TSNWFET) et multicanal (MBCFET).

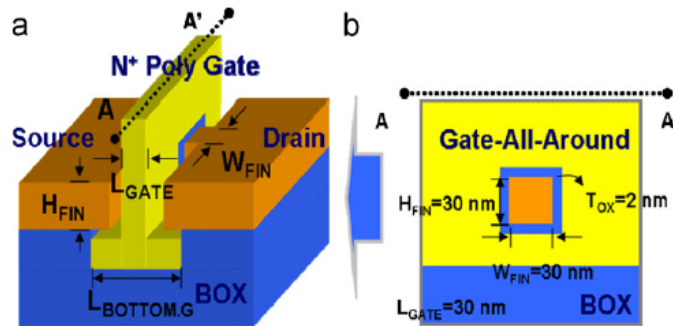


Figure I.21. Coupe et géométrie 3D du transistor GAA MOSFET carré à un canal [46]

#### I.4.1.6 Le transistor GAA MOSFET à deux canaux (TSNWFET)

Le transistor GAA MOSFET à deux canaux est aussi appelé GAA à double canaux (TSNWFET) [33][44][47-48] où le transistor possède deux canaux comme le montre la Figure I.22.

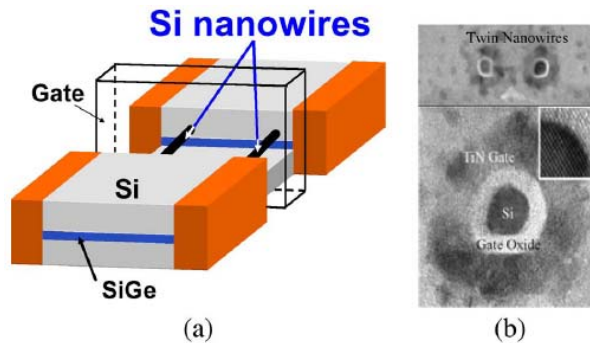


Figure I.22. (a) schéma 3D du transistor GAA TSNWFET (b) images TEM de la coupe du TSNWFET [49]

#### I.4.1.7 Le transistor GAA MOSFET à canaux multiples (MBCFET)

Le transistor GAA MOSFET à canaux multiples est aussi appelé Multicanal (Multichannel [50] ou multi-bridgechannel MOSFET (MBCFET) [51-57]) dans ce cas le transistor possède trois canaux ou plus comme il est présenté sur la Figure I.23.

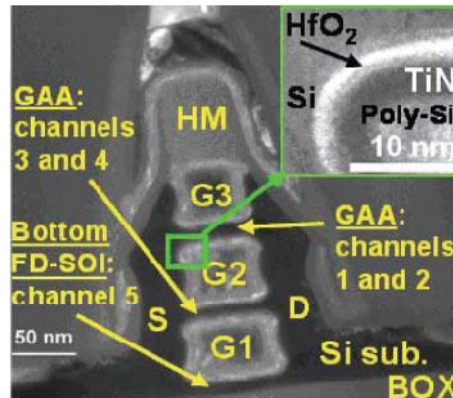


Figure I.23. (a) image TEM de la section du transistor n-MCFET [58]

#### I.4.1.8 Le transistor GAA MOSFET vertical

Le transistor GAA MOSFET vertical [59-60] où le transport électronique est perpendiculaire au plan de substrat et le champ de grille est parallèle au substrat.

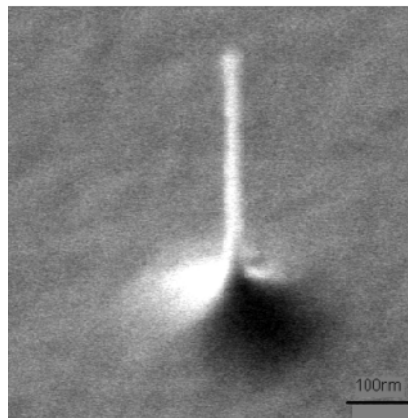


Figure I.24. Image SEM d'un transistor vertical avec une épaisseur de  $\sim 20$  nm et une hauteur d' $1\mu\text{m}$  [59]

### I.4.2 Propriétés électriques du transistor GAA MOSFET

Le transistor à grille enrobée (GAA MOSFET) est considéré comme l'un des dispositifs les plus prometteurs pour réduire la longueur du canal au dessous de 50nm [61-65]. Par comparaison avec le transistor MOS bulk et le transistor MOS SOI à une grille, en entourant complètement le canal (Figure I.25a) sa nous permet d'améliorer le contrôle électrostatique du canal et donc de lutter efficacement contre les effets canaux courts. De plus, grâce au phénomène d'inversion volumique, une amélioration de la mobilité effective des porteurs est attendue.

Nous allons, dans cette section, faire une étude comparative des propriétés électriques du transistor GAA MOSFET avec celles des autres architectures SOI.

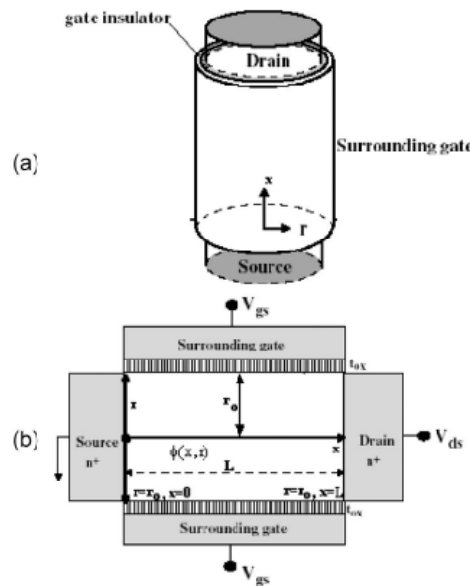


Figure I.25. GAA MOSFE cylindrique (a) structure du composant en 3D (b) la section [42]

#### I.4.2.1 Définition de la tension de seuil

Une définition appropriée de la tension de seuil des transistors MOSFET bulk a été utilisée, elle est généralement définie comme la tension de grille au cours de laquelle le potentiel de surface est égale à deux fois le niveau de Fermi  $2\phi_F$ . Néanmoins, cette définition n'est pas suffisante pour les transistors DG et GAA MOSFET, où il ya inversion ou accumulation dans l'ensemble du film, et pas seulement à la surface, ce qui conduit à avoir le régime de forte inversion avant que le potentiel de surface n'atteigne la valeur de  $2\phi_F$ .

Dans les travaux de *Q. Chen et al.* [66] et *Y. Ma et al.* [67] sur le DG MOSFET la tension de seuil a été plutôt définie comme la tension de grille à laquelle la densité minimum des porteurs de charges,  $Q_{inv}$ , atteint la valeur  $Q_{TH}$  qui peut être identifiée comme le début de mode d'inversion. Cette même définition a été appliqué par *A. E. Hamdy et al.* sur le GAA MOSFET [42] où la tension de seuil est donnée par :

$$V_{TH} = \phi_{ms} + \left( V_T \ln \left( \frac{Q_{TH}}{2n_i r_0} \right) \right) \quad (I.20)$$

$\phi_{ms}$  travail de sortie métal- semiconducteur.

$V_T$  Tension thermodynamique.

$n_i$  Concentration intrinsèque de porteurs libres.

$r_0$  C'est le rayon du dispositif.

#### **I.4.2.2 Etat passant**

L'ajout de grille traduit un ajout de canal d'inversion en forte inversion. Ainsi, le courant à l'état passant  $I_{on}$  augmente-t-il quand le nombre de grilles augmente. Ceci se voit bien sur la figure I.26 où sont tracées les caractéristiques  $I_D-V_{DS}$  pour les différentes structures SOI multi-grilles de 15nm de longueur de canal. Nous notons bien un courant croissant avec l'augmentation du nombre de grilles ; à titre d'illustration et pour  $t_{Si} = 10nm$ ,  $I_{on}$  atteint 1623A/m sur le MOSFET SOI à une grille, 2138A/m sur le MOSFET double-grille, 2420A/m sur le MOSFET triple-grille, et enfin 2815A/m sur le MOSFET quadruple-grille.

Cependant, cette augmentation de  $I_{on}$  n'est pas proportionnelle au nombre de grilles; les caractéristiques normalisées par le nombre de grilles représentées en tirets sont diminuées quand le nombre de grilles augmente. Ainsi, deux MOSFETs double-grille en parallèle débitent plus de courant qu'un MOSFET quadruple-grille. De manière générale, il faut noter que, dans tous ces dispositifs SOI, le courant est supérieur au courant recommandé par l'ITRS [5], 1020A/m. La diminution de  $t_{Si}$  réduit de façon quasi-proportionnelle le courant  $I_{on}$ , ainsi le courant du MOSFET double-grille varie-t-il de 2420 à 1280A/m pour  $t_{Si}$  variant de 10 à 5nm.

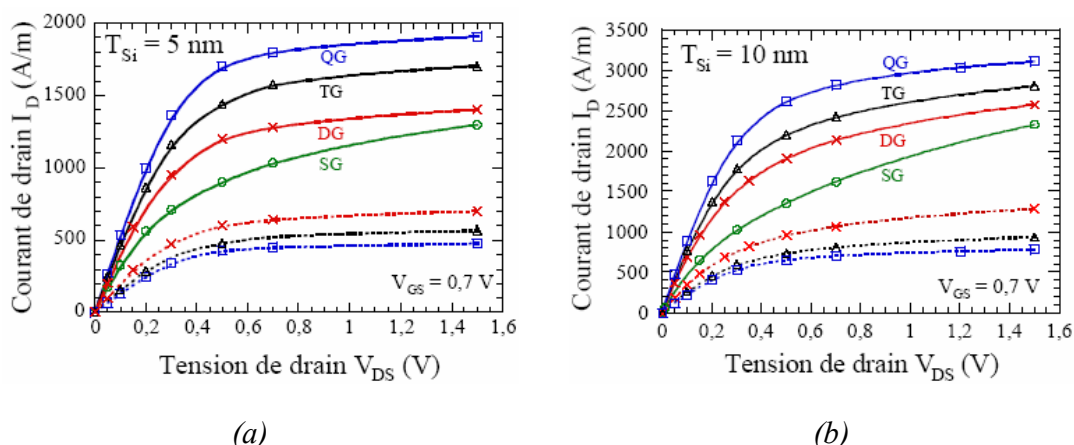


Figure I.26. Caractéristiques  $I_D-V_{DS}$  des multi-grilles pour  $L=15\text{nm}$ , (a)  $t_{Si} = 5\text{nm}$  et (b)  $10\text{nm}$ . En tirets, le courant est divisé par le nombre de grilles ; 1 pour le MOSFET SOI à une grille (SG), 2 pour le MOSFET double-grille (DG), 3 pour le MOSFET triple-grille (TG) et 4 pour le MOSFET quadruple-grille(QG) [1]

La transconductance  $g_m$  est aussi améliorée avec le nombre de grilles (Figure I.27). Pour  $t_{Si}= 10\text{nm}$ ,  $g_m$  atteint  $4170\text{S/m}$  sur le MOSFET double-grille,  $5700\text{S/m}$  sur le MOSFET triple-grille et  $7070\text{S/m}$  sur le MOSFET quadruple-grille. Cette augmentation n'est pas non plus proportionnelle au nombre de grilles. La diminution de l'épaisseur du dispositif réduit la transconductance.

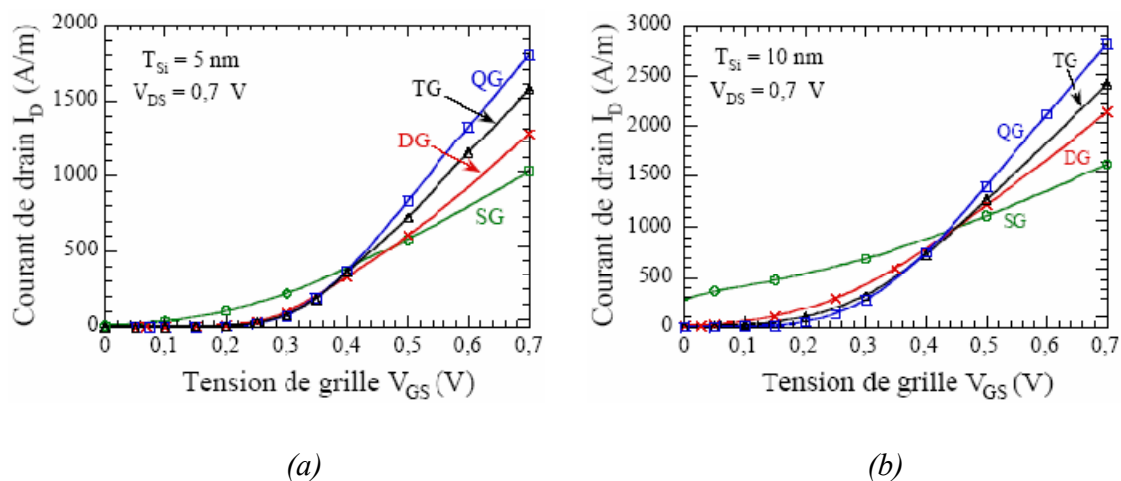


Figure. I.27. Caractéristiques  $I_D-V_{GS}$  des multi-grilles pour  $L = 15\text{nm}$ , (a)  $t_{Si}= 5\text{nm}$  et (b)  $t_{Si}=10\text{nm}$  [1]

### I.4.2.3 Etat bloqué

À la figure I.28, nous constatons que les caractéristiques du dispositif MOSFET SOI à une grille sont fortement dégradées en raison des effets canaux courts qui sont quasiment incontrôlés. Les structures simulées sur cette figure correspondent à des transistors MOS de 15nm de longueur de canal. La valeur de la pente sous le seuil  $SS$  est supérieure à  $100mV/dec$ . Il ressort de cette figure que le comportement sous le seuil s'améliore nettement avec le nombre de grilles croissant, et ce en raison d'une amélioration du contrôle électrostatique. Par exemple, pour une film d'épaisseur de 10nm,  $SS$  vaut  $110mV/dec$  sur le MOSFET double-grille,  $96mV/dec$  sur le MOSFET triple-grille et enfin  $83mV/dec$  sur le MOSFET quadruple grille. La réduction de  $t_{Si}$  a aussi un effet bénéfique sur  $SS$  : lorsque  $t_{Si}$  passe de 10 à 5nm,  $SS$  passe de 110 à  $80mV/dec$  dans le MOSFET double-grille.

L'explication de cet effet vient toujours du contrôle du canal, lequel est bien meilleur lorsque les deux grilles sont proches, c'est à dire lorsque  $t_{Si}$  est faible.

Finalement, nous pouvons conclure que le pouvoir bloquant des transistors est amélioré par la réduction de l'épaisseur de la zone active  $t_{Si}$ . A  $t_{Si} = 10nm$ , il faudrait quatre grilles pour garder des valeurs de  $SS$  acceptables ( $SS < 80mV/dec$  pour  $L=15nm$ ), tandis qu'à  $t_{Si} = 5nm$ , il n'en faudrait que deux.

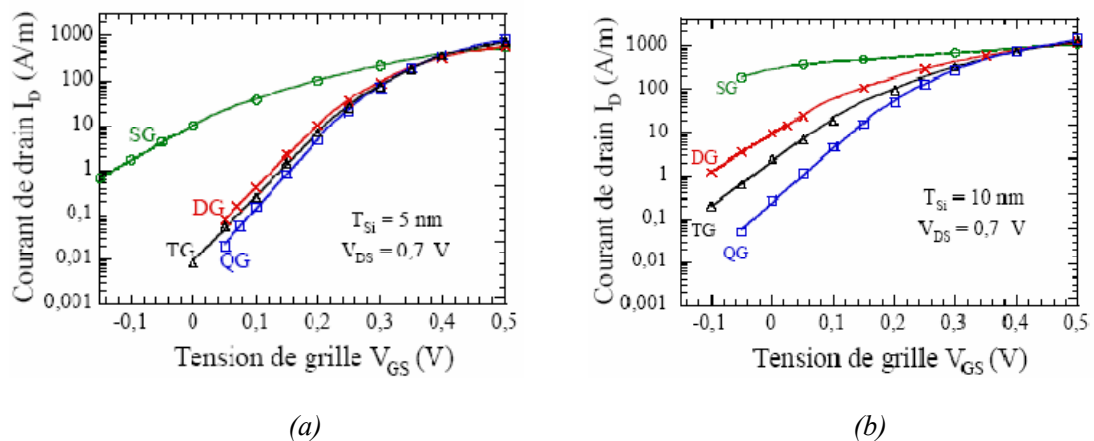


Figure I.28. Caractéristiques  $I_D - V_{GS}$  en échelle logarithmique des SOI multi-grilles pour  $L=15nm$ , (a)  $t_{Si} = 5nm$  et (b)  $t_{Si} = 10nm$  [1]



### ***1.5 Conclusion***

Pour conclure, nous pouvons souligner que le transistor GAA MOSFET est intéressant compte tenu des performances électriques qu'il offre. La difficulté majeure dans son développement se situe au niveau technologique.

---

## *Chapitre II : Réseaux de neurones artificiels*

---

## II.1 Introduction

Tout au long de ce chapitre nous allons chercher à éclairer les concepts généraux des réseaux de neurones et détailler d'avantage les notions auxquelles nous avons fait appel pour élaborer notre travail. Nous avons ensuite essayé de trouver l'architecture optimale des réseaux de neurones artificiels pour obtenir le courant de sortie.

## II.2 Réseaux de neurones artificiels

Un réseau de neurones est constitué de cellules (ou neurones), connectée entre elles par des liaisons affectées de poids. Ces liaisons permettent à chaque cellule de disposer d'un canal pour envoyer et recevoir des signaux en provenance d'autres cellules du réseau. Chacune de ces connexions reçoit un poids (une pondération), qui détermine son impact sur les cellules qu'elle connecte. Chaque cellule dispose ainsi d'une entrée, qui lui permet de recevoir de l'information d'autres cellules, mais aussi de ce que l'on appelle une *fonction d'activation* (Figure II.1).

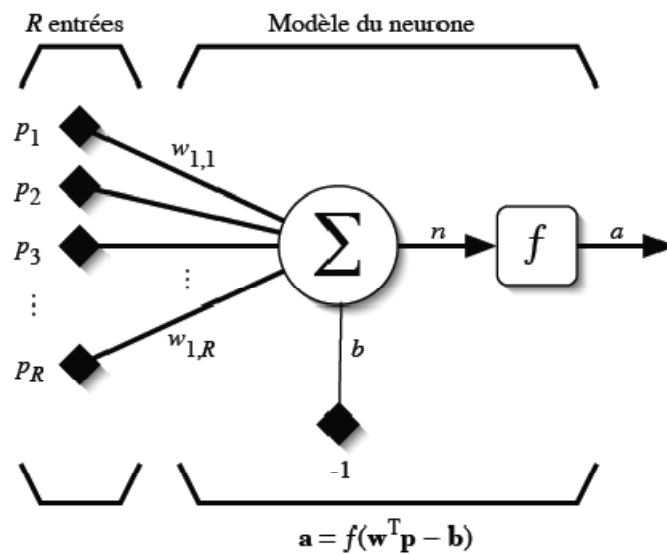


Figure II.1. Modèle d'un neurone artificiel

En suivant les notations présentées à la figure précédente, les R entrées du neurone correspondent au vecteur  $\mathbf{p} = [p_1 p_2 \dots p_R]^T$ , alors que  $\mathbf{w} = w [\omega_{1,1} \omega_{1,2} \dots \omega_{1,R}]^T$  représente le vecteur des poids du neurone. La sortie n de l'intégrateur est donnée par l'équation suivante :

$$n = \sum_{j=1}^R \omega_{1,j} p_j - b = \omega_{1,1} p_1 + \omega_{1,2} p_2 + \dots + \omega_{1,R} p_{1R} - b \quad (\text{II.1})$$

Que l'on peut aussi écrire sous forme matricielle :

$$n = W^T p - b \tag{II.2}$$

Cette sortie correspond à une somme pondérée des poids et des entrées moins ce qu'on nomme le biais  $b$  du neurone. Le résultat  $n$  de la somme pondérée s'appelle le niveau d'activation du neurone. Le biais  $b$  s'appelle aussi le seuil d'activation du neurone. Lorsque le niveau d'activation atteint ou dépasse le seuil  $b$ , alors l'argument de  $f$  devient positif (ou nul). Si non, il est négatif.

Pour pouvoir simuler un réseau de neurones, nous allons rendre le temps discret dans nos équations. Autrement dit, nous allons supposer que tous les neurones sont synchrones, c'est-à-dire qu'à chaque temps  $t$ , ils vont simultanément calculer leur somme pondérée et produire une sortie  $a(t) = f(n(t))$ .

Revenons donc à notre modèle tel que formulé par l'équation II.2 et ajoutons la fonction d'activation  $f$  pour obtenir la sortie du neurone :

$$a = f(n) = f(w^T p - b) \tag{II.3}$$

En remplaçant  $w^T$  par une matrice  $W = w^T$  d'une seule ligne, on obtient une forme générale :

$$a = f(Wp - b) \tag{II.4}$$

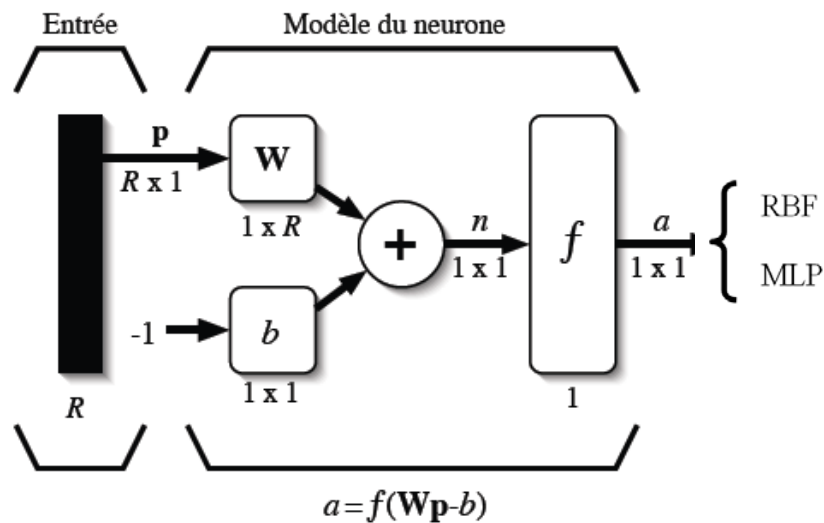


Figure II.2. Représentation matricielle du modèle d'un neurone artificiel

L'équation II.4 nous amène à introduire un schéma de notre modèle plus compact que celui de la figure II.1. La figure II.2 illustre celui-ci. On y représente les  $R$  entrées comme un rectangle noir (le nombre d'entrées est indiqué sous le rectangle). De ce rectangle sort le vecteur  $p$  dont la dimension matricielle est  $R \times 1$ . Ce vecteur est multiplié par une matrice  $W$  qui contient les poids (synaptiques) des neurones. Dans le cas d'un neurone simple, cette matrice possède la dimension  $1 \times R$ . Le résultat de la multiplication correspond au niveau d'activation qui est ensuite comparé au seuil  $b$  (un scalaire) par soustraction. Finalement, la sortie du neurone est calculée par la fonction d'activation  $f$ . La sortie d'un neurone est toujours un scalaire.

### **II.2.1 Fonctions de transfert**

Jusqu'à présent, nous n'avons pas spécifié la nature de la fonction d'activation de notre modèle. Il se trouve que plusieurs possibilités existent. Différentes fonctions de transfert pouvant être utilisées comme fonction d'activation du neurone sont énumérées au tableau II.1. Les trois les plus utilisées sont les fonctions seuil (en anglais «hard limit»), linéaire et sigmoïde.

Comme son nom l'indique, la fonction seuil applique un seuil sur son entrée. Plus précisément, une entrée négative ne passe pas le seuil, la fonction retourne alors la valeur 0 (on peut interpréter ce 0 comme signifiant faux), alors qu'une entrée positive ou nulle dépasse le seuil, et la fonction retourne 1 (vrai). Utilisée dans le contexte d'un neurone, cette fonction est illustrée à la figure II.3a. On remarque alors que le biais  $b$  dans l'expression de  $a = \text{hardlim}(\mathbf{w}^T \mathbf{p} - b)$  (équation II.4) détermine l'emplacement du seuil sur l'axe  $\mathbf{w}^T \mathbf{p}$ , ou la fonction passe de 0 à 1.

Le tableau II.1 résume les fonctions de transfert couramment utilisées.

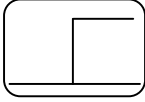
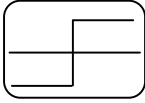
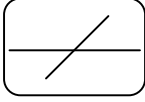
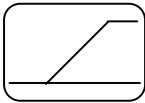
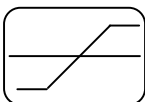
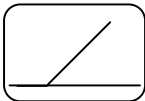

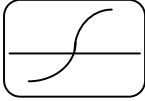
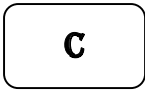
Nom de la fonction	Relation d'entrée / sortie	Icône
Seuil	$a = 0$ si $n < 0$ $a = 1$ si $n \geq 0$	
seuil symétrique	$a = -1$ si $n < 0$ $a = 1$ si $n \geq 0$	
Linéaire	$a = n$	
Linéaire saturée	$a = 0$ si $n < 0$ $a = n$ si $0 \leq n \leq 1$ $a = 1$ si $n > 1$	
Linéaire saturée symétrique	$a = -1$ si $n < -1$ $a = n$ si $-1 \leq n \leq 1$ $a = 1$ si $n > 1$	
Linéaire positive	$a = 0$ si $n < 0$ $a = n$ si $n \geq 0$	
Sigmoïde	$a = \frac{1}{1 + e^{-n}}$	
Tangente hyperbolique	$a = \frac{e^{-n} - e^n}{e^{-n} + e^n}$	
Compétitive	$a = 1$ si $n$ maximum $a = 0$ autrement	

Tableau II.1. Fonctions de transfert  $a = f(n)$

La fonction linéaire est très simple, elle affecte directement son entrée à sa sortie :

$$a = n. \quad (\text{II.5})$$

Appliquée dans le contexte d'un neurone, cette fonction est illustrée à la figure II.3b. Dans ce cas, la sortie du neurone correspond à son niveau d'activation dont le passage à zéro se produit lorsque  $w^T p = b$ .

La fonction de transfert sigmoïde est quant à elle illustrée à la figure II.3c. Son équation est donnée par :

$$a = \frac{1}{1+\exp^{-n}} \quad (\text{II.6})$$

Elle ressemble soit à la fonction seuil, soit à la fonction linéaire, selon que l'on est loin ou près de  $b$ , respectivement. La fonction seuil est non-linéaire car il y a une discontinuité lorsque  $w^T p = b$ . De son côté, la fonction linéaire est tout à fait linéaire. Elle ne comporte aucun changement de pente. La sigmoïde est un compromis intéressant entre les deux précédentes. Notons finalement, que la fonction «tangente hyperbolique» est une version symétrique de la sigmoïde.

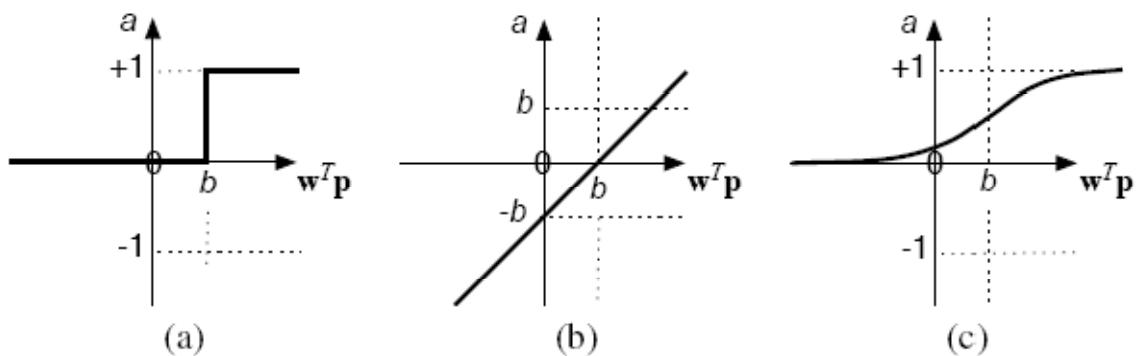


Figure II.3. Fonction de transfert : (a) du neurone «seuil» ; (b) du neurone «linéaire», et (c) du neurone «sigmoïde»

### II.2.2 Architecture de réseau

Un réseau de neurones est un maillage de plusieurs neurones, généralement organisé en couches. Pour construire une couche de  $S$  neurones, il s'agit simplement de les assembler comme à la figure II.4. Les  $S$  neurones d'une même couche sont tous branchés aux  $R$  entrées. On dit alors que la couche est totalement connectée.

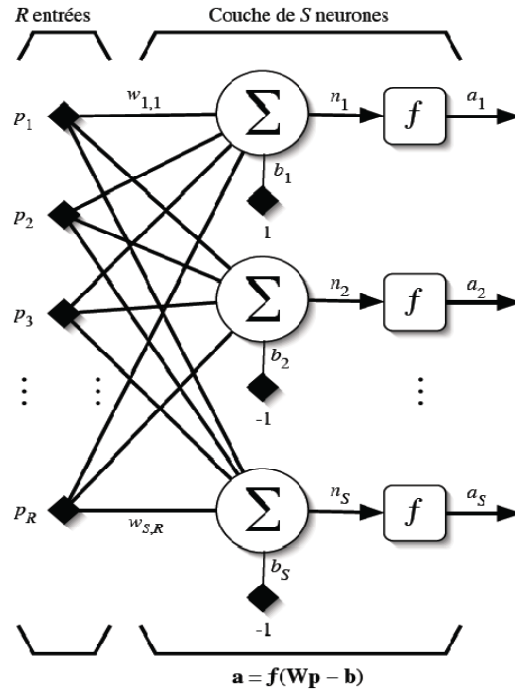


Figure. II.4. Couche de  $S$  neurones

Un poids  $w_{i,j}$  est associé à chacune des connexions. Nous noterons toujours le premier indice par  $i$  et le deuxième par  $j$  (jamais l'inverse). Le premier indice (rangée) désigne toujours le numéro de neurone sur la couche, alors que le deuxième indice (colonne) spécifie le numéro de l'entrée. Ainsi,  $w_{i,j}$  désigne le poids de la connexion qui relie le neurone  $i$  à son entrée  $j$ . L'ensemble des poids d'une couche forme donc une matrice  $\mathbf{W}$  de dimension  $S \times R$  :

$$\mathbf{W} = \begin{bmatrix} w_{1,1} & w_{1,2} & \dots & w_{1,R} \\ w_{2,1} & w_{2,2} & \dots & w_{2,R} \\ \vdots & \vdots & \ddots & \vdots \\ w_{S,1} & w_{S,2} & \dots & w_{S,R} \end{bmatrix} \quad (\text{II. 7})$$

Notez bien que  $S \neq R$ , dans le cas général (les nombres de neurones et d'entrées sont indépendants). Si l'on considère que les  $S$  neurones forment un vecteur de neurones, alors on peut créer les vecteurs  $\mathbf{b} = [b_1 b_2 \dots b_S]^T$ ,  $\mathbf{n} = [n_1 n_2 \dots n_S]^T$  et  $\mathbf{a} = [a_1 a_2 \dots a_S]^T$ . Ceci nous amène à la représentation graphique simplifiée, illustrée à la figure II.5. On y retrouve, comme à la figure II.2 les mêmes vecteurs et matrice. La seule différence se situe au niveau de la taille, ou plus précisément du nombre de rangées ( $S$ ), de  $\mathbf{b}$ ,  $\mathbf{n}$ ,  $\mathbf{a}$  et  $\mathbf{W}$ .



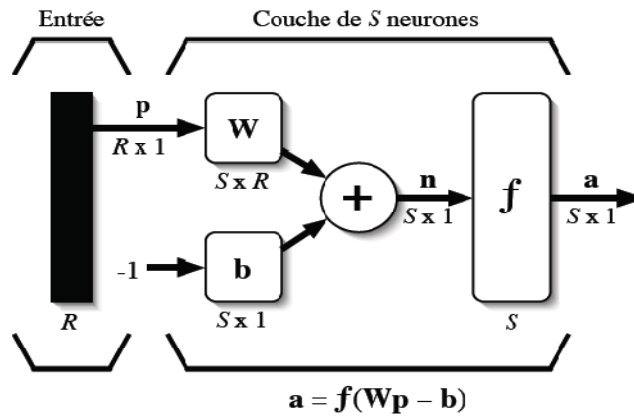


Figure II.5. Représentation matricielle d'une couche de  $S$  neurones

Finalement, pour construire un réseau, il ne suffit plus que de combiner des couches comme à la figure II.6. Cet exemple comporte  $R$  entrées et trois couches de neurones comptant respectivement  $S^1$ ,  $S^2$  et  $S^3$  neurones. Dans le cas général, de nouveau,  $S^1$ ,  $S^2$ ,  $S^3$ . Chaque couche possède sa propre matrice de poids  $W^k$ , où  $k$  désigne l'indice de couche. Dans le contexte des vecteurs et des matrices relatives à une couche, nous emploierons toujours un exposant pour désigner cet indice. Ainsi, les vecteurs  $b^k$ ,  $n^k$  et  $a^k$  sont aussi associés à la couche  $k$ .

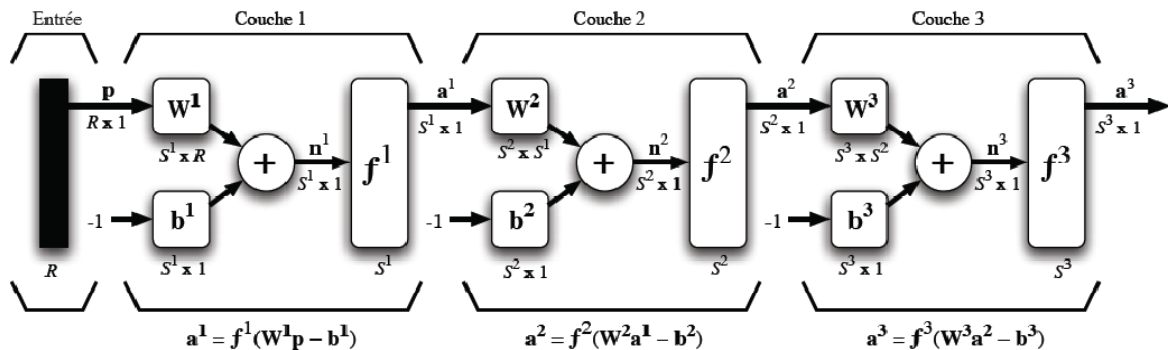


Figure II.6. Représentation matricielle d'un réseau de trois couches

Il importe de remarquer dans cet exemple que les couches qui suivent la première ont comme entrée la sortie de la couche précédente. Ainsi, on peut enfilet autant de couche que l'on veut, du moins en théorie. Nous pouvons aussi fixer un nombre quelconque de neurones sur chaque couche. Finalement, notez aussi que l'on peut changer de fonction de transfert d'une couche à l'autre. Ainsi, toujours dans le cas général  $f^1 \neq f^2 \neq f^3$ .

La dernière couche est nommée «couche de sortie». Les couches qui précèdent la couche de sortie sont nommées «couches cachées».

- Couche d'entrée : les neurones de cette couche reçoivent les valeurs d'entrée du réseau et les transmettent aux neurones cachés. Chaque neurone reçoit une valeur, il ne fait pas donc de sommation.
- Couches cachées : chaque neurone de cette couche reçoit l'information de plusieurs couches précédentes, effectue la sommation pondérée par les poids, puis la transforme selon sa fonction d'activation. Par la suite, il envoie cette réponse aux neurones de la couche suivante.
- Couche de sortie : elle joue le même rôle que les couches cachées, la seule différence entre ces deux types de couches est que la sortie des neurones de la couche de sortie n'est liée à aucun autre neurone.

### ***II.3 Le perceptron multicouche (Multi Layer Perceptron MLP)***

L'idée principale est de grouper des neurones dans une couche. La première couche est reliée aux entrées, puis ensuite chaque couche est reliée à la couche précédente. Les neurones de la première couche sont reliés au monde extérieur et reçoivent tous le même vecteur d'entrée (c'est en fait l'entrée du réseau). Ils calculent alors leurs sorties qui sont transmises aux neurones de la deuxième couche, etc. Ces sorties ne sont pas visibles à l'extérieur du réseau, et elles sont appelées pour cette raison couches cachées. C'est la dernière couche qui produit les sorties du réseau.

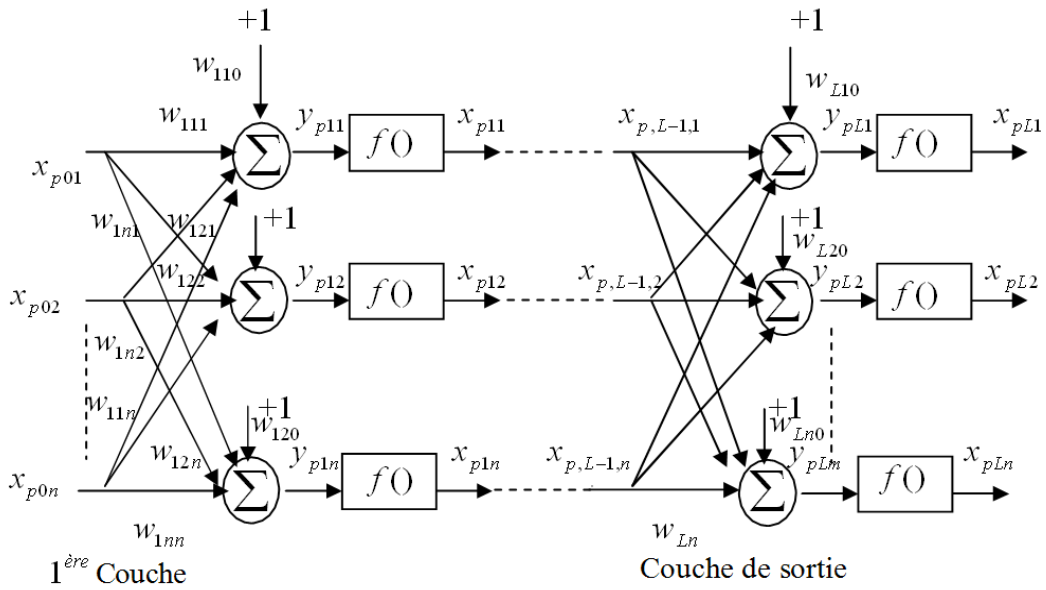


Figure II.7. Structure d'un réseau de neurone multicouche

### II.3.1 Apprentissage des réseaux de neurones artificiels

L'apprentissage d'un réseau de neurones artificiels signifie modifier la valeur de ses poids et de ses biais pour qu'il réalise la fonction entrée/sortie désirée. Pour spécifier la structure du réseau, il faut aussi choisir le nombre de couches et le nombre de neurones sur chaque couche.

Un apprentissage est dit *supervisé* lorsque l'on force le réseau à converger vers un état final précis, en même temps qu'on lui présente un motif.

À l'inverse, lors d'un apprentissage non-supervisé, le réseau est laissé libre de converger vers n'importe quel état final lorsqu'on lui présente un motif.

Dans notre mémoire nous allons utiliser l'apprentissage supervisé :

Dans un apprentissage supervisé, on présente au réseau de neurones les entrées et les sorties désirées correspondantes. Ici le réseau s'adapte par une comparaison entre le résultat qu'il a calculé, en fonction des entrées fournies et la réponse attendue en sortie. De cette façon, le réseau va modifier ses poids jusqu'à ce que le résultat soit le plus proche possible de la sortie désirée, correspondant à une entrée donnée.

L'algorithme de rétro-propagation est le plus populaire parmi les techniques d'apprentissage supervisé.

On considère un réseau comportant une couche d'entrée à  $n$  neurones, une couche de sortie à  $m$  neurones et il comporte une à plusieurs couches cachées.

Supposons qu'on dispose d'un ensemble d'apprentissage composé de  $k$  pair de vecteurs :

$$(x_1, o_1), (x_2, o_2), \dots, (x_k, o_k)$$

avec :  $x_p = (x_{p,0,1}, x_{p,0,2}, \dots, x_{p,0,n})^t \in R^n$  Vecteur d'entrée.

$o_p = (o_{p,1}, o_{p,2}, \dots, o_{p,m})^t \in R^m$  Vecteur des sorties réel du réseau.

Où :

$w_{j,k,i}$  : La connexion entre le neurone  $k$  de la couche  $j-1$  et le neurone  $i$  de la couche  $j$ .

$y_{p,j,k}$  : L'entrée totale du neurone  $k$  pour l'échantillon  $p$  de la couche  $j$ .

$w_{j,k,0}$  : Le poids fictif du neurone  $k$  de la couche  $j$  correspondant à un biais dont l'entrée est fixée à 1.

L'entrée totale du  $k$  nœud pour la couche  $j$  est :

$$y_{p,j,k} = \sum_{i=0}^n w_{j,k,i} x_{p,j-1,i} \tag{II.8}$$

La sortie de ce nœud sera :

$$x_{p,j,k} = F(y_{p,j,k}) \tag{II.9}$$

où  $F$  est une fonction de transfert sigmoïde.

**a- Fonctions de transfert**

En général, même fonction d'activation  $F$  (le plus souvent sigmoïde) pour toutes les unités des couches cachées son équation est donnée par l'équation (II.6).

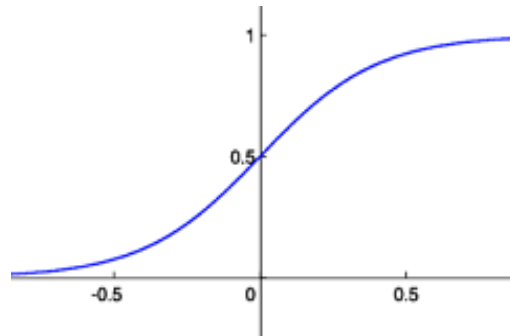


Figure II.8. Fonction sigmoïde

### b- Rétro-propagation du gradient

La rétro-propagation consiste à rétro-propager l'erreur commise par un neurone à ses synapses et aux neurones qui y sont reliés. Pour les réseaux de neurones, on utilise habituellement la *rétro-propagation du gradient de l'erreur*,

L'algorithme de rétro-propagation du gradient change les poids d'un réseau dont l'architecture est fixée par l'opérateur. Cet algorithme repose sur la minimisation de l'erreur quadratique entre les sorties calculées et celles souhaitées.

Le terme rétro-propagation du gradient provient du fait que l'erreur calculée en sortie est transmise en sens inverse vers l'entrée.

L'erreur commise sur le  $k^{\text{ème}}$  nœud de sortie est:

$$\delta_{pk} = Y_{pk} - x_{pk} \quad (\text{II.10})$$

L'erreur totale (pour tous les nœuds) est:

$$E_p = \frac{1}{2} \sum_{k=1}^m \delta_{p,k}^2 = \frac{1}{2} \sum_{k=1}^m (O_{p,k} - x_{p,l,k})^2 \quad (\text{II.11})$$

Pour minimiser  $E_p$ , on calcule son gradient par rapport à chaque poids  $w$ , puis on modifie les poids dans le sens inverse du gradient.

➤ Mise à jour des poids de la couche de sortie:

$$\nabla E_p = \frac{\partial E_p}{\partial w_{l,k,j}} = \frac{1}{2} \frac{\partial (O_{p,k} - x_{p,l,k})^2}{\partial w_{l,k,j}} \quad (\text{II.12})$$

La modification des poids est fonction du calcul du gradient. Ainsi, les poids sur la couche des sorties sont mis à jour de la façon suivante :

$$w_{l,k,j}(t+1) = w_{l,k,j}(t) + \Delta_p w_{l,k,j}(t) \quad (\text{II.13})$$

$$\Delta_p w_{l,k,j}(t) = \mu(O_{p,k} - x_{p,l,k})f'(y_{p,l,k})x_{p,l-1,j} \quad (\text{II.14})$$

où :

$\mu$  : Pas d'apprentissage  $0 < \mu < 1$

Le taux d'apprentissage, un des paramètres de cet algorithme, ne doit pas être trop grand sinon il entraînerait des oscillations de l'erreur autour d'un minimum qu'on ne pourra pas atteindre et si  $\mu$  est trop petit le temps d'apprentissage serait trop grand.

On pose :

$$e_{p,l,k} = (O_{p,k} - x_{p,l,k})f'(y_{p,l,k}) \quad (\text{II.15})$$

où :

$e_{p,l,k}$  Erreur de signal du  $k^{\text{ème}}$  nœud de la couche de sortie.

L'équation des modifications des poids aura donc la forme suivante:

$$w_{l,k,j}(t+1) = w_{l,k,j}(t) + \mu.e_{p,l,k}x_{p,l-1,j} \quad (\text{II.16})$$

➤ Mise à jour des poids des couches cachées :

La mise à jour de chaque poids de la couche cachée dépend de toutes les erreurs de signal  $e_{p,l,k}$  sur la couche de sortie. En définissant le terme de l'erreur des couches cachées:

$$e_{p,l-1,j} = f'(y_{p,l-1,j}) \sum e_{p,l,k} w_{l,k,j} \quad (\text{II.17})$$

L'équation de mise à jour des poids de la couche cachée est donnée par:

$$w_{l-1,j,i}(t+1) = w_{l-1,j,i}(t) + \mu \cdot e_{p,l-1,j} x_{p,l-2,i} \quad (\text{II.18})$$

### II.3.2 Accélération de l'algorithme avec le momentum

La convergence du réseau par rétropropagation est un problème crucial car il requiert de nombreuses itérations. Pour pallier à ce problème, un paramètre est souvent rajouté pour accélérer la convergence. Ce paramètre est appelé le momentum.

Le momentum est un moyen efficace pour accélérer l'apprentissage et aussi pour pouvoir sortir des minimums locaux.

La règle de mise à jour des poids devient alors :

$$w_{j,k,i}(t+1) = w_{j,k,i}(t) + \mu e_{p,j,k} x_{p,j-1,i} + m[w_{j,k,i}(t) - w_{j,k,i}(t-1)] \quad (\text{II.19})$$

avec  $m$  : est la constante du momentum.

## II.4 Conclusion

Dans ce chapitre nous avons traité une méthode de modélisation dite le perceptron multicouche (Multi Layer Perceptron MLP) qui est utilisée dans ce travail. Cette méthode fonctionne en deux étapes : l'apprentissage et le test. Dans cette méthode et à partir des perceptrons multicouches on calcule des fonctions vectorielles, adaptables à un ensemble d'exemples par le biais d'algorithmes d'optimisation utilisant la technique de la rétro-propagation. De cette façon, on peut espérer faire apprendre une fonction complexe à un MLP, contenant assez peu de neurones. On obtiendra ainsi une modélisation analytique compacte d'une fonction obtenue expérimentalement.

---

*Chapitre III : Modélisation neuronale du  
transistor GAA MOSFET nanométrique*

---



### ***III.1. Introduction***

L'objectif de ce troisième chapitre est de créer un modèle à base des réseaux de neurones pour le substituer à la réponse du transistor GAA MOSFET nanométrique. L'implantation du ANN-model sur le simulateur **SPICE** ainsi que les résultats de simulation obtenus sont également reportés.

La construction d'un modèle à base d'ANN pour le transistor GAA MOSFET nanométrique, est de reproduire fidèlement sa réponse lors de la variation des différents paramètres (les paramètres géométriques et électriques du transistor GAA MOSFET).

### ***III.2. Modélisation du GAA MOSFET***

Pour créer le modèle ANN du GAA MOSFET au moyen des réseaux de neurones on choisit une base de données caractérisée, dans notre cas, par les paramètres géométriques (l'épaisseur de l'oxyde, l'épaisseur du Silicium, l'over lap et la longueur de la grille), électriques (la tension de drain, la tension de grille) et la température de l'environnement où le GAA MOSFET est placé et la réponse du GAA MOSFET. Dans une deuxième étape on sépare la base d'apprentissage et celle de test, puis on fait l'entraînement d'un réseau de neurones sur la base d'apprentissage avec l'algorithme de rétropropagation et finalement on mesure la performance du modèle obtenu avec la base de test.

#### ***III.2. 1. Choix de la base de données***

La gamme des différents paramètres appliqués sur le transistor GAA MOSFET sont présentés sur le Tableau III.1.

La base de données doit couvrir cet ensemble de valeurs. En se basant sur les valeurs des différents paramètres notre base de données possèdera donc  $6*13*4*4*6*5*5$  éléments, et l'apprentissage du réseau de neurones est fait avec une base de données de 187200 éléments.

Lg(nm)	10										20					30				40				50											
Overlap (nm)	0										0.6	1.3	1.9	2.5	0	1.5	2.5	3.5	5	0	2	4	6	8	0	2.5	5	7.5	10	0	3	6	9	12.5	
Tsi(nm)	2.5										3	3.5	4	4.5	5	37440										187200									
Tox(nm)	1										1.5	2	2.5	7488																					
T(K)	100										250	300	350	1248																					
Vgs(V)	0.5	0.6	0.7	0.8	0.9	1	312																												
Vds(V)	0 : 0.05 : 0.6 13valeurs													78																					
	13																																		

Tableau III.1. Organisation de la base de données

### ***III.2.2. Création d'une base de validation***

Comme son nom l'indique cette base de données est utilisée pour tester « valider » les résultats obtenus après l'apprentissage. On doit noter ici qu'il n'y a pas de règles précises concernant cette séparation, néanmoins, d'une manière générale la base de test représente entre 10% et 25% de la base de données, suivant le problème étudié. Les deux bases de données ainsi obtenues par cette séparation doivent impérativement couvrir l'espace de fonctionnement. Dans notre cas, si la longueur du GAA MOSFET, varie entre 10nm et 50nm, alors les deux bases englobent des différentes valeurs distribuées au long de cet intervalle, le même principe est appliqué au autre paramètres. La base d'apprentissage est composée de 149760 éléments, quand à la base de test elle est composée de 18720 éléments. Il est important de ne pas utiliser aucun élément de la base de test pendant toute la durée de l'apprentissage. Cette base est réservée uniquement à la mesure finale de la performance. Autrement dit, elle sert à vérifier si le réseau de neurones a une bonne performance sur les exemples qu'il n'a pas appris « base de test ». Avec les réseaux de neurones, il existe toujours le risque de sur-apprentissage, c'est-à-dire, quand le réseau a pris trop de paramètres pour représenter une fonction qui n'est pas très complexe. La base de validation permet de mettre en évidence le problème s'il se présente. Le sur apprentissage se traduit par une augmentation de l'erreur sur la base de validation [68].

### ***III.2.3. L'apprentissage du réseau de neurone***

Comme nous avons vu précédemment, l'apprentissage nécessite une base de données et une base de tests, et le nombre de couches et des neurones utilisés dans chaque couche.

Le bon choix, de type des fonctions d'activations et du nombre d'itérations nécessaires pour avoir le seuil d'estimation voulue « S » qui représente la valeur minimale de l'erreur quadratique moyenne « EQM » qu'on désire obtenir, est aussi nécessaire pour faire notre apprentissage.

La figure III.1 représente l'organigramme qui interprète notre programme structuré en Matlab.

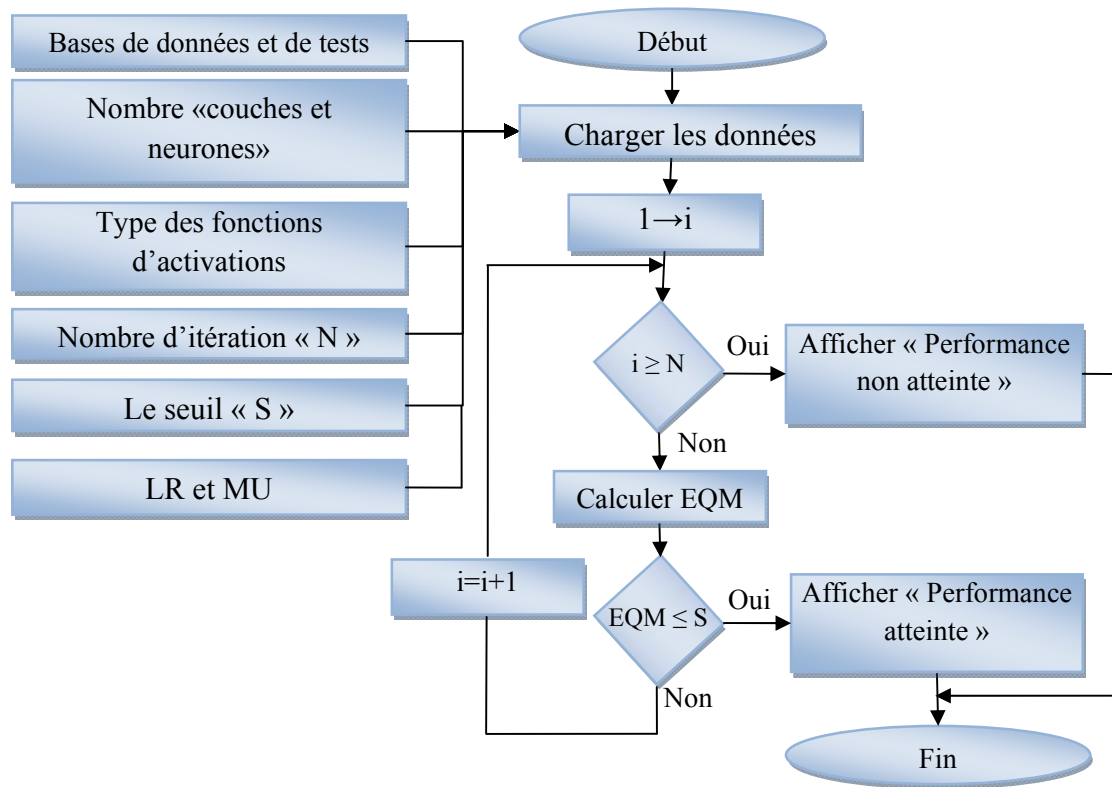


Figure III.1. Organigramme pour le programme d'apprentissage

Dans notre cas, puisque le nombre des neurones dans la couche de sortie est déterminé par le nombre de sorties du système à modéliser, le GAA MOSFET possède une seule sortie  $I_{ds}$  « courant de sortie » donc un neurone pour la couche de sortie.

Pour que le modèle ANN exprime fidèlement la variation de la réponse du GAA MOSFET, il s'agit de trouver le nombre optimal des couches cachées et le nombre de neurones par couche. Nous avons envisagé deux couches, 7 neurones pour la première couche et 6 neurones pour la deuxième couche cachée « figure III.2 ».

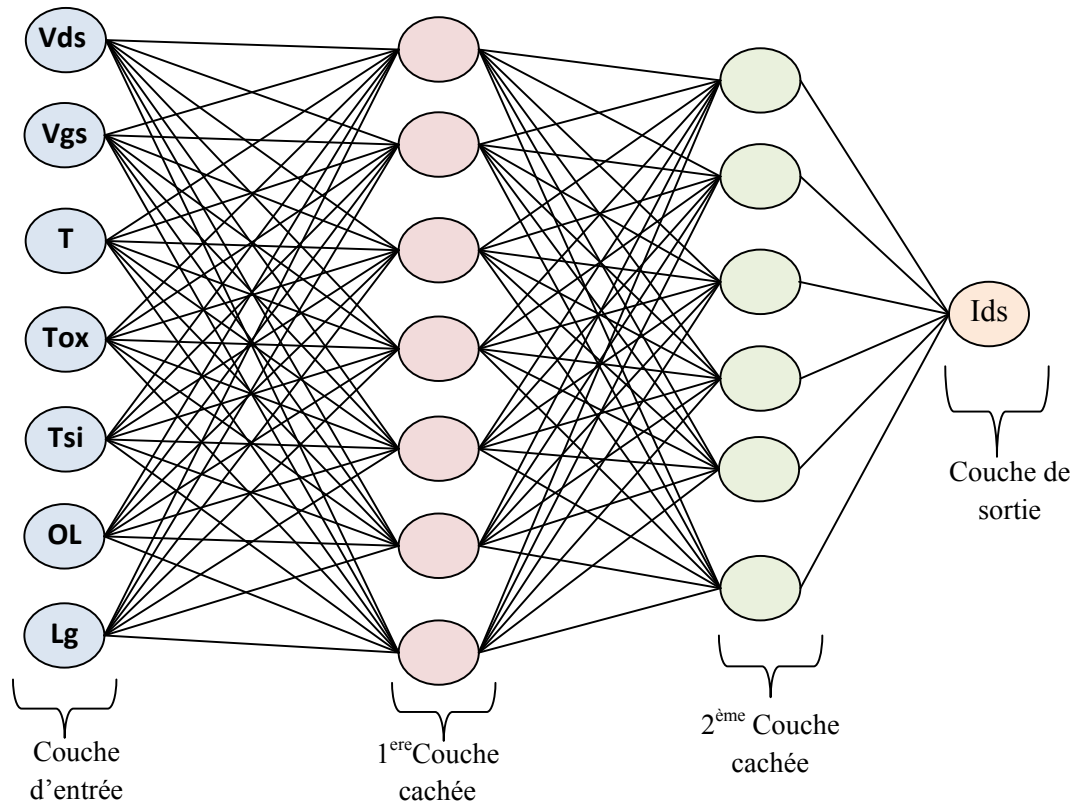


Figure III.2. Schémas des couches de neurones de l'architecture optimisée

Cette architecture a été choisie parmi une variété de réseau avec un nombre de neurones entre 5 et 10 neurones pour la première couche et entre 5 et 10 neurones pour la deuxième, et pour chaque architecture en lui ajoute une variation du LR (learn rate) de 0.1 à 0.9 et MU (momentum) de 0.1 à 0.9 puis nous avons observé la variation de l'erreur d'apprentissage et de test. Le tableau III.2 représente les différents résultats obtenus, cependant l'erreur de test converge vers le minimum dans l'architecture numéros 14 ce qui justifie notre choix.

	Nombre de neurones 1 <sup>er</sup> couche	Nombre de neurones 2 <sup>ème</sup> couche	EQM
1	5	5	0.0001245731
2	5	6	0.0001128578
3	5	7	0.0001220857
4	5	8	0.0000953475
5	5	9	0.0000929202
6	5	10	0.0001189734
7	6	5	0.0001114275
8	6	6	0.0001098273
9	6	7	0.0001035709
10	6	8	0.0001313395
11	6	9	0.0001142578
12	6	10	0.0001157776
13	7	5	0.0001118189
<b>14</b>	<b>7</b>	<b>6</b>	<b>0.0000924833</b>
15	7	7	0.0001033503
16	7	8	0.0001039728
17	7	9	0.0001091200
18	7	10	0.0001124134
19	8	5	0.0001132864
20	8	6	0.0001021816
21	8	7	0.0000936603
22	8	8	0.0001068893
23	8	9	0.0001118500
24	8	10	0.0000978002
25	9	5	0.0001234172
26	9	6	0.0001167024
27	9	7	0.0001071308
28	9	8	0.0001114321
29	9	9	0.0001294157
30	9	10	0.0001412741
31	10	5	0.0001345781
32	10	6	0.0001647513
33	10	7	0.0001475946
34	10	8	0.0001312531
35	10	9	0.0001024561
36	10	10	0.0001412522

Tableau III.2. Variation de l'erreur du test en fonction des différentes architectures

De même pour les choix des types des fonctions d'activations, nombre maximum d'itération et l'EQM. Le test et l'observation, de la variation de l'erreur, pour des différentes valeurs est la solution pour avoir les meilleurs résultats. Afin d'évaluer l'influence du seuil S sur le nombre d'itérations nécessaires pour obtenir  $EQM < S$ . Nous avons choisi plusieurs valeurs pour S. La figure III.3 représente l'évolution de l'EQM en fonction de nombre d'itérations pour un seuil  $S=10^{-8}$ .

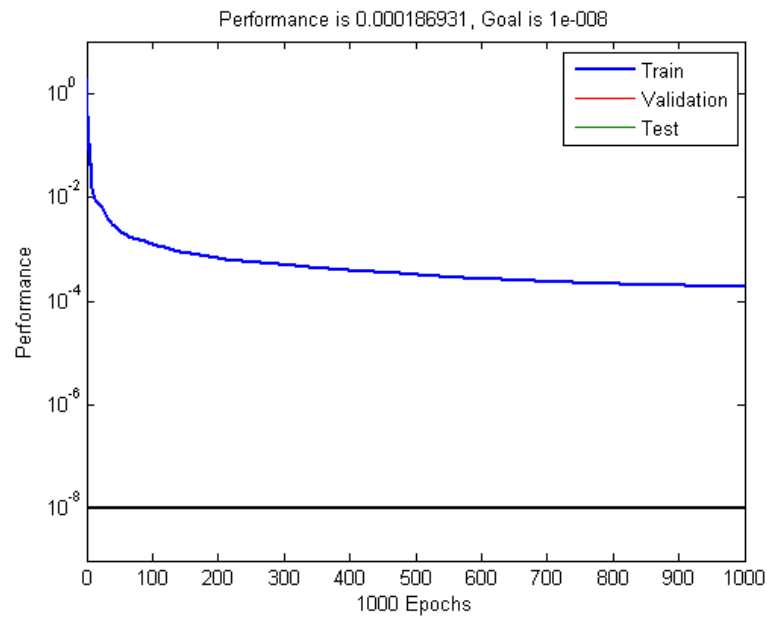


Figure III.3. EQM en fonction du nombre d'itérations pour  $S=10^{-8}$

#### III.2.4. Mesure de la performance du modèle obtenu

La comparaison entre la base de données initial et celle obtenue après l'apprentissage, utilisant la base de test, indique que notre modèle exprime fidèlement la variation de la réponse du GAA MOSFET.

Les figures III.4 et III.5 présentent la performance du modèle ANN obtenu pour les deux longueurs de la grille 10nm et 50nm.

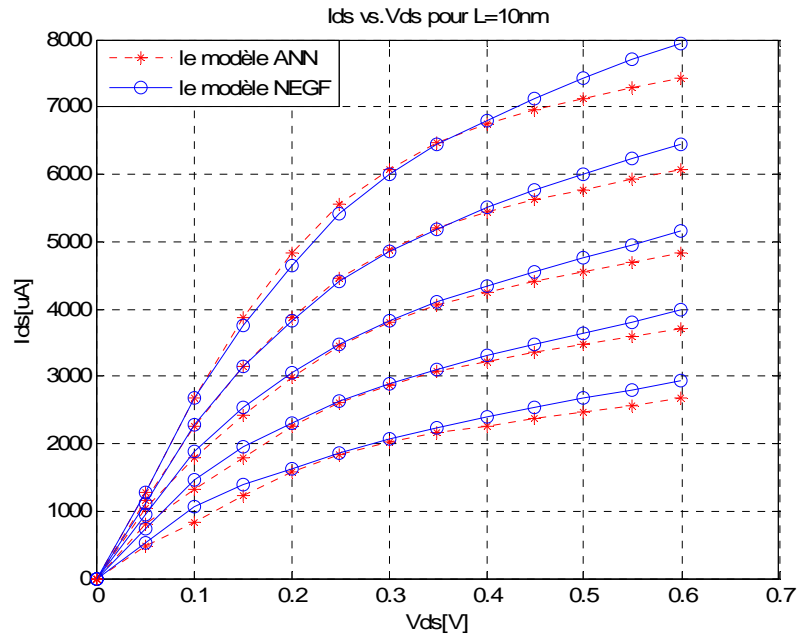


Figure III.4. La performance du modèle ANN obtenu pour  $L=10nm$

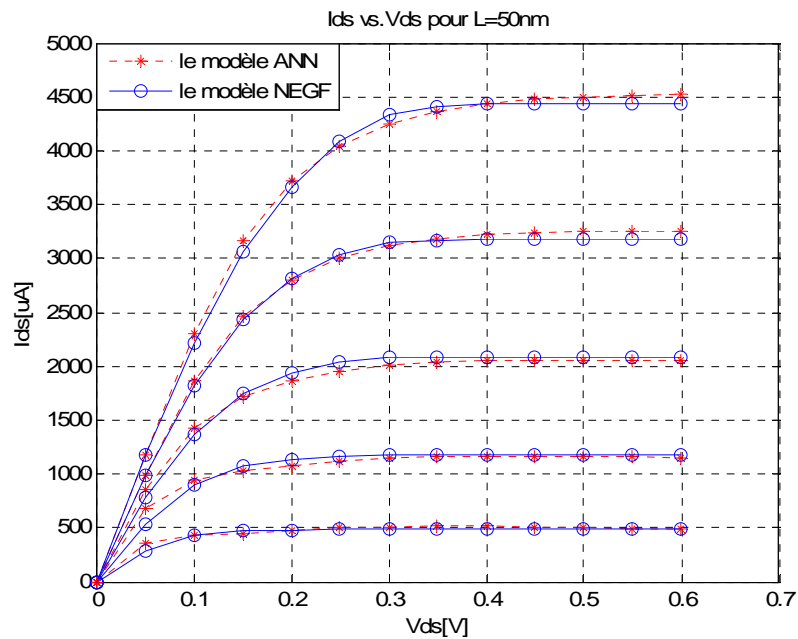


Figure III.5. La performance du modèle ANN obtenu pour  $L=50nm$



Les figures III.6 et III.7 présentent la performance du modèle ANN obtenu pour les deux épaisseurs de silicium 2.5 et 5nm.

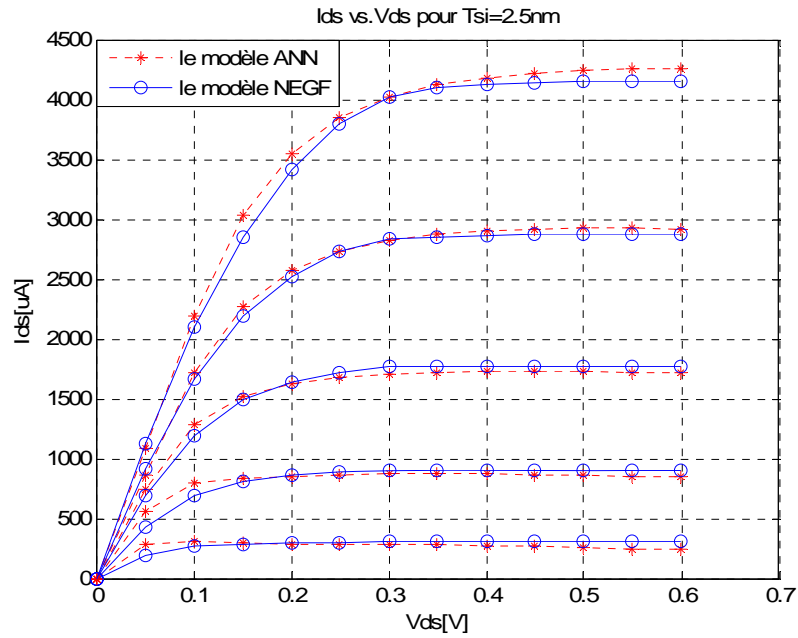


Figure III.6. La performance du modèle ANN obtenu pour  $T_{si} = 2.5 \text{ nm}$

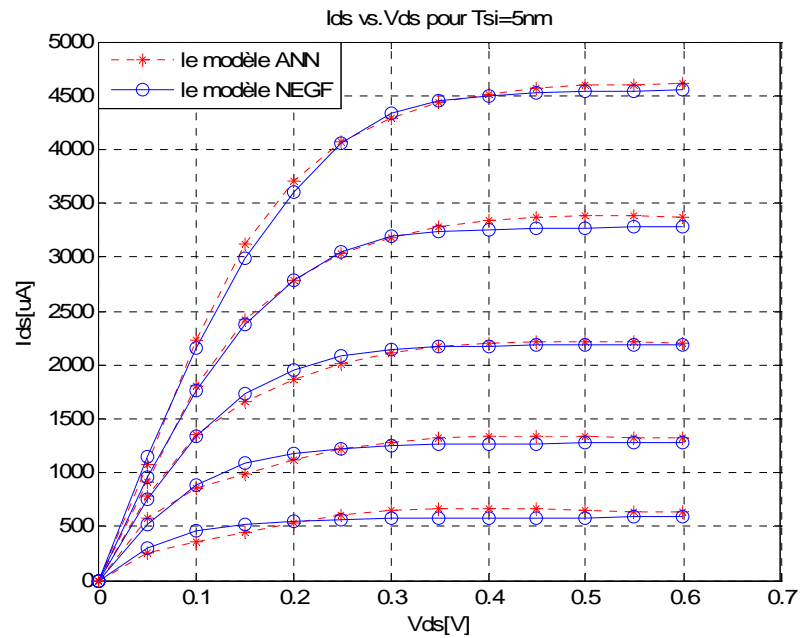


Figure III.7. La performance du modèle ANN obtenu pour  $T_{si} = 5 \text{ nm}$

Les figures III.8 et III.9 présentent la performance du modèle ANN obtenu pour les deux épaisseurs d'oxyde 1 et 2.5nm.

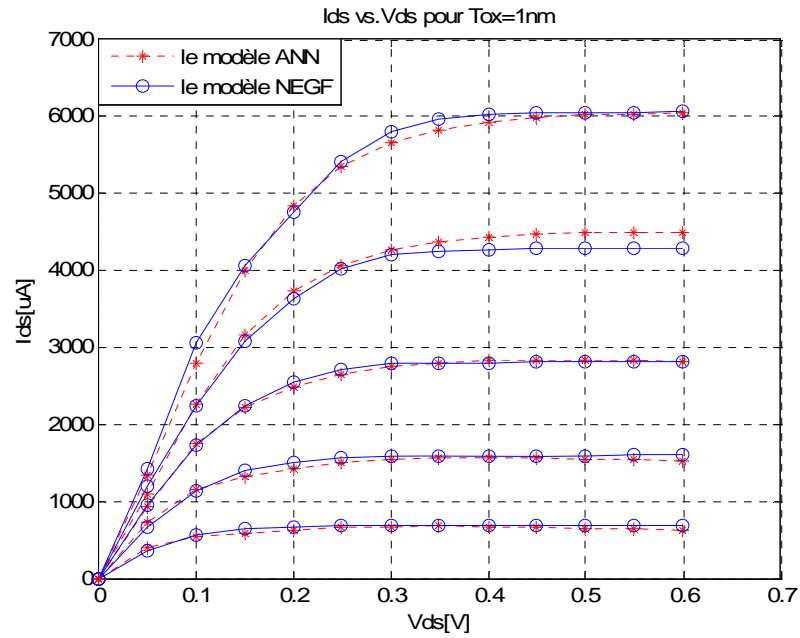


Figure III.8. La performance du modèle ANN obtenu pour  $T_{ox}=1\text{nm}$

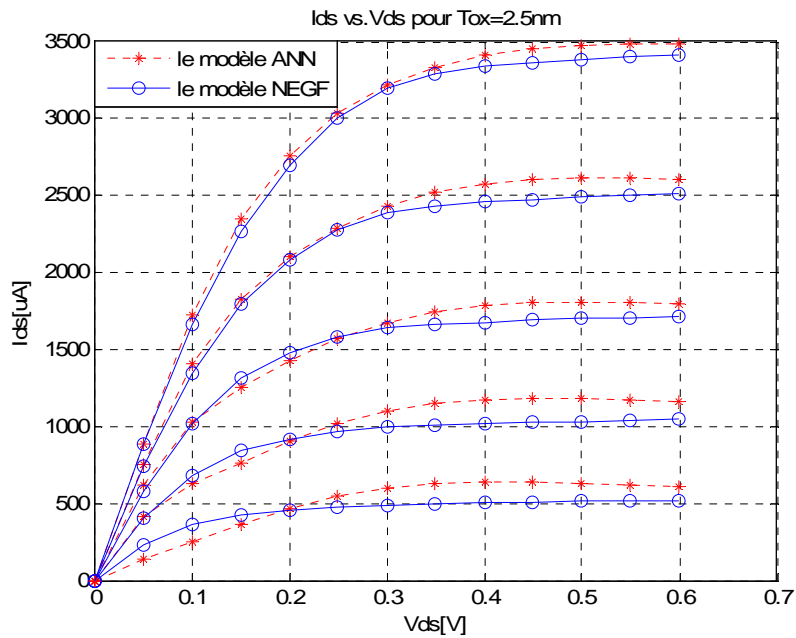


Figure III.9. La performance du modèle ANN obtenu pour  $T_{ox}=2.5\text{nm}$

Les figures III.10 et III.11 présentent la performance du modèle ANN obtenu pour les deux températures 100 et 350K.

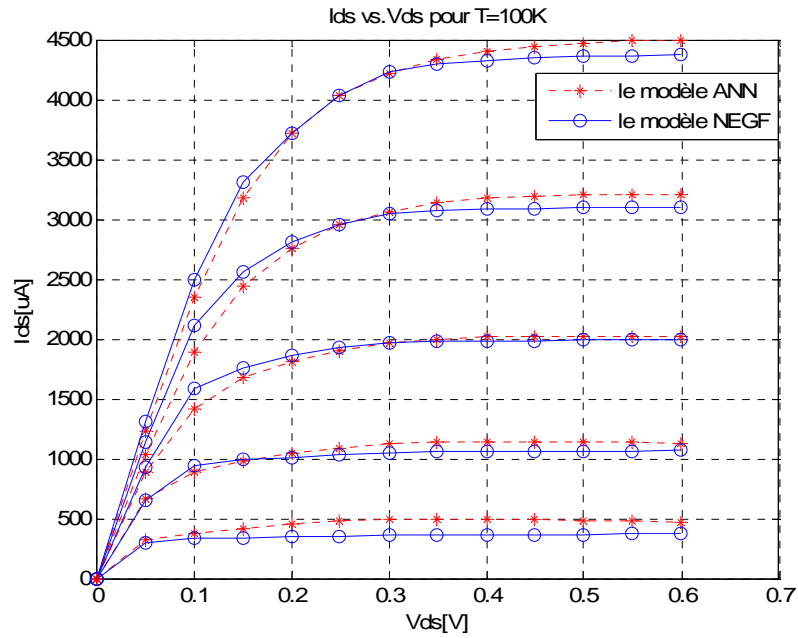


Figure III.10. La performance du modèle ANN obtenu pour  $T=100K$

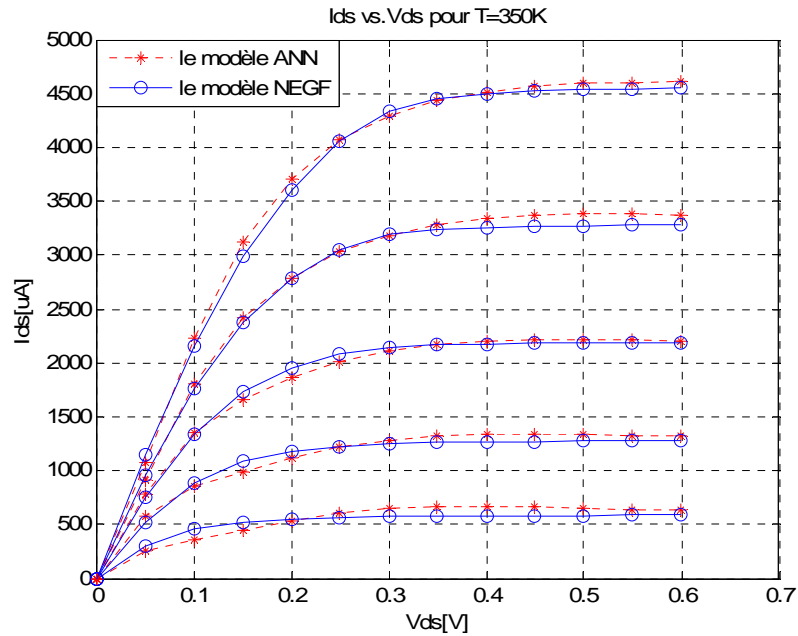


Figure III.11. La performance du modèle ANN obtenu pour  $T=350K$

Les figures III.12 et III.13 présentent la performance du modèle ANN obtenu pour les deux overlaps 0 et 10nm.

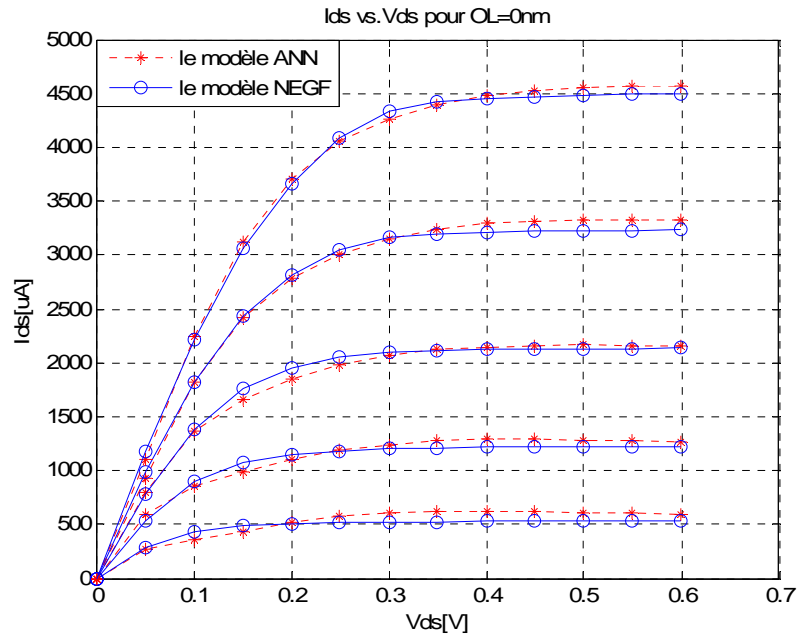


Figure III.12. La performance du modèle ANN obtenu pour  $OL=0nm$

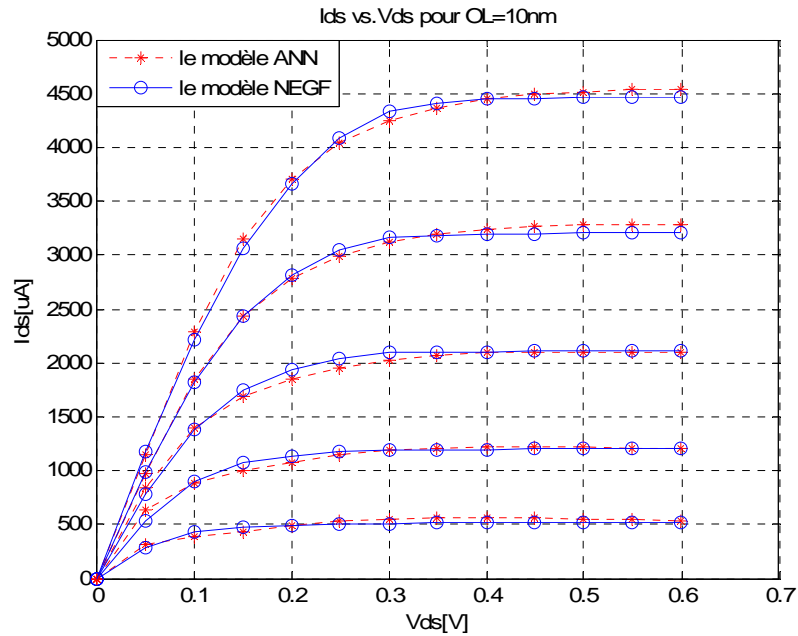


Figure III.13. La performance du modèle ANN obtenu pour  $OL=10nm$

Le tableau III.3 résume tous les paramètres utilisés pour l'optimisation du modèle ANN du GAA MOSFET.

Paramètre	Valeur optimisée							
Architecture	Feed-forward MLP (perceptron multi-couches)							
Couche cachée	2							
Règle d'apprentissage	Rétropropagation des erreurs (Back propagation)							
Nombre de Neurones	Couche d'entrée				7			
	1ère couche				7			
	2ème couche				6			
	Couche de sortie				1			
La fonction de transfert	1ère couche				Logsig			
	2ème couche				Logsig			
	Couche de sortie				Linéaire			
Définition des entrées		Lg(nm)	Tsi(nm)	Tox(nm)	OL(nm)	T(K)	Vgs(V)	Vds(V)
	Min	10	2.5	1	0	100	0.5	0
	Max	50	5	2.5	12.5	350	1	0.6
Définition des sorties	Ids (uA)							
	Min	0						
	Max	19541.7576556						
EQM de test	$9.248 \cdot 10^{-5}$							
EQM d'apprentissage	$9.265 \cdot 10^{-5}$							
Base de données	Base d'apprentissage				149760			
	Base de validation				18720			
	Base de test				18720			

*Tableau III.3. Paramètres optimisés du réseau de neurones*

### **III.3. Modèle ANN du GAA MOSFET sur PSPICE**

L'utilisation des boîtes ABM « Analog Behavioral Modeling » de la bibliothèque de PSPICE, nous permet d'implanter le modèle ANN sur ce simulateur. Le modèle ANN du GAA MOSFET possède 21 boîtes ABM la répartition de leur fonction est comme suit :

- Les cinq boîtes **ABM1**, **ABM2**, **ABM3**, **ABM4** et **ABM5** pour la normalisation des entrées.
- Les sept boîtes **N11**, **N12**, **N13**, **N14**, **N15**, **N16** et **N17** pour la première couche cachée.
- Les six boîtes **N21**, **N22**, **N23**, **N24**, **N25** et **N26** pour la deuxième couche cachée.
- La boîte **N31** pour la couche de sortie.
- La boîte **ABM6** pour la mise en échèle du courant de sortie.

- La boîte ABM7 pour transformer la valeur de la sortie de la boîte ABM6 en courant.

La figure III.14 représente la structure du réseau des ABM de notre modèle.

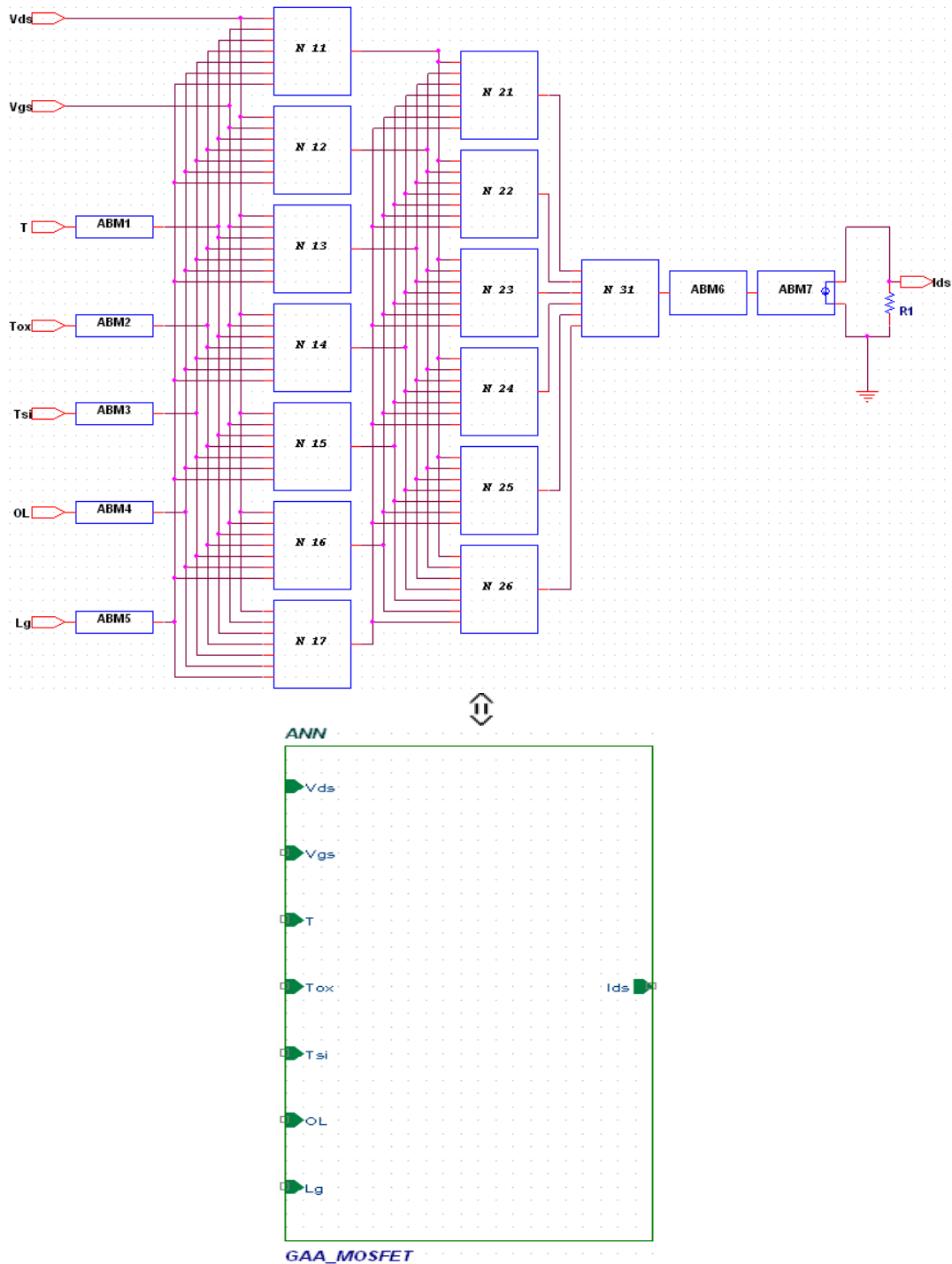


Figure III.14. Implantation du modèle ANN sur PSPICE

Chaque ABM des boites ABM N11 à N17, N21 à N26 et N31 est l'équivalent à un neurone qui est caractérisé par l'équation de ce dernier, l'équation de l'ABM N11 par exemple :

$$1/(1+\exp(-(B11+W111*V(\%IN1)+W112*V(\%IN2)+W113*V(\%IN3)+W114*V(\%IN4)+W115*V(\%IN5) +W116*V(\%IN6+W117*V(\%IN7) )))$$

La forme d'exponentiel dans l'équation est due au choix de la fonction de transfert *Logsig* dans la première couche cachée, B11 est le premier bias pour la première couche cachée, dans la matrice du bias « Bni », W111, W112, W113, W114, W115, W116 et W117 sont respectivement du premier au septième poids pour la première couche cachée, dans la matrice des poids « Wnij ».

- ❖ Bni : la matrice du bias
  - n : numéro de la couche
  - i : numéro du neurone
- ❖ Wnji : la matrice des poids
  - n : numéro de la couche
  - j : numéro du neurone
  - i : numéro du neurone de la couche précédente

#### ***III.4. Confirmation du comportement du modèle du transistor GAA MOSFET***

Le but de cette simulation est de prouver le comportement du modèle neuronal du transistor GAA MOSFET sous l'effet d'une charge résistive.

La figure III.15 représente le circuit de simulation du transistor GAA MOSFET.

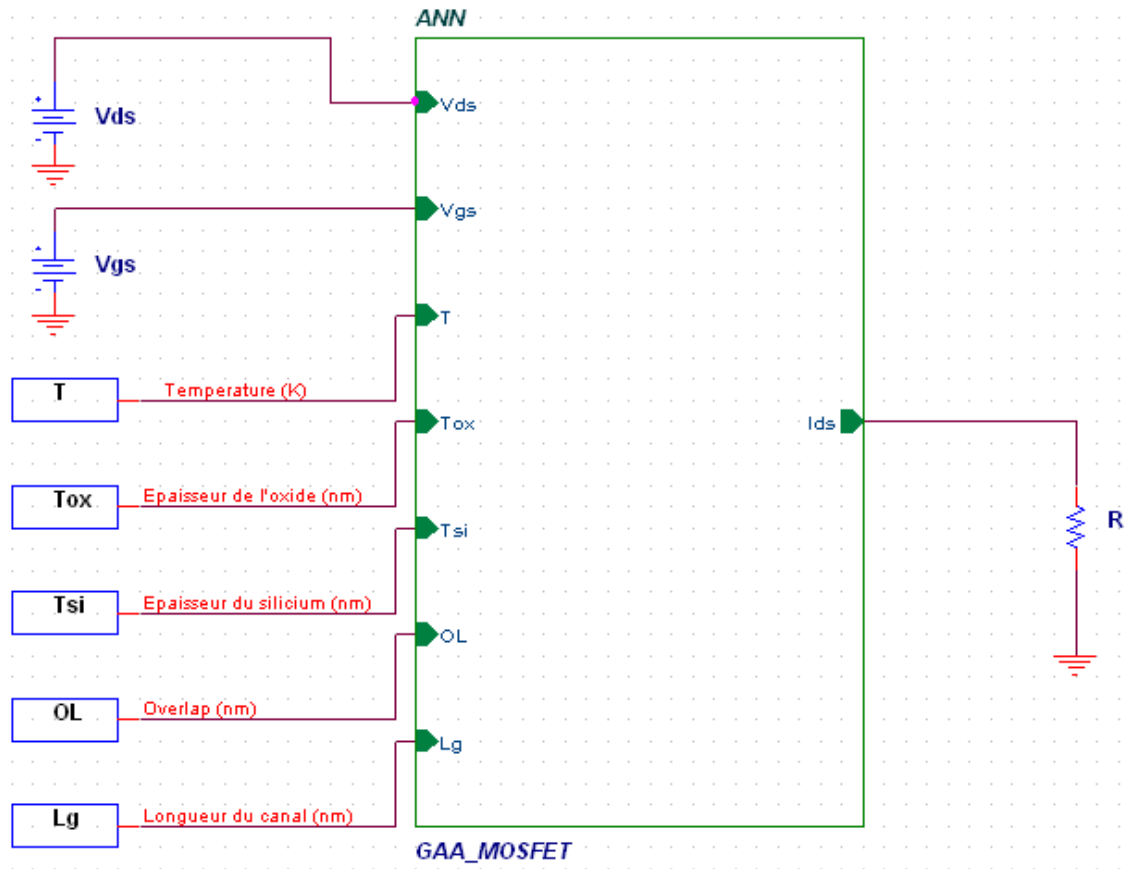


Figure III.15. Circuit à charge résistive obtenu par le transistor GAA MOSFET



Les figures III.16 et III.17 représentent la caractéristique  $I_{ds}$ - $V_{ds}$  du modèle ANN respectivement pour les deux longueurs  $L=10\text{nm}$  et  $L=50\text{nm}$ .

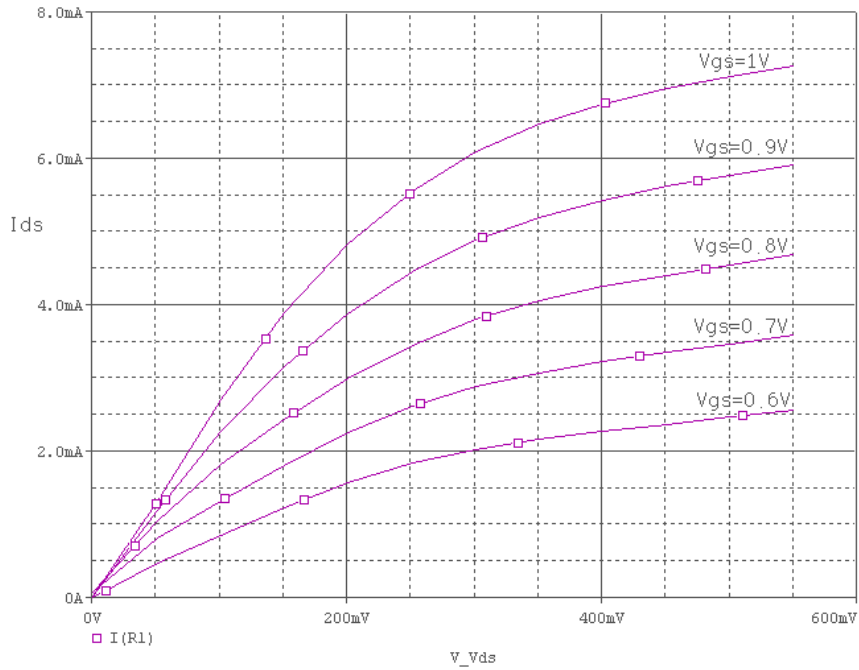


Figure III.16. La caractéristique  $I_{ds}$ - $V_{ds}$  du modèle ANN obtenu pour  $L=10\text{nm}$

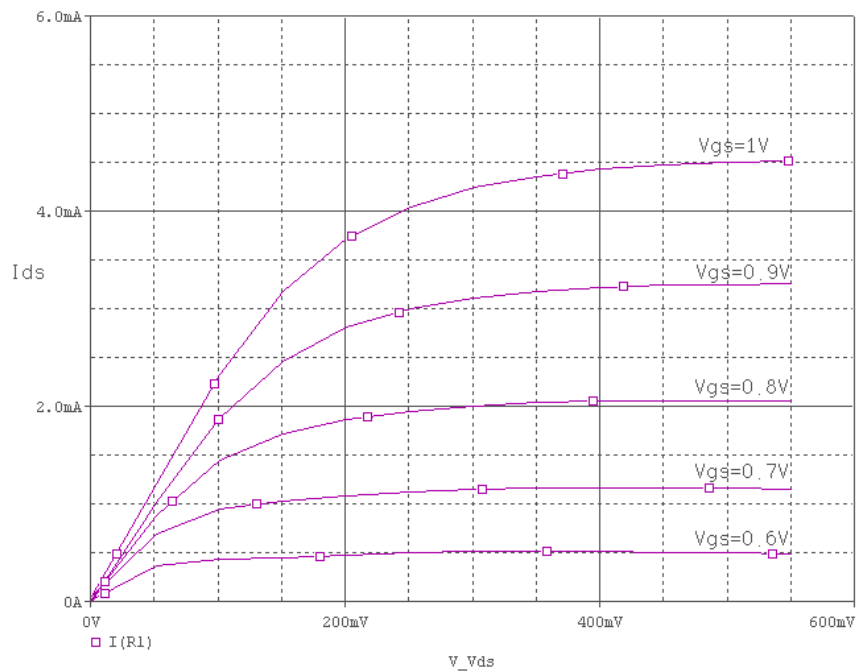


Figure III.17. La caractéristique  $I_{ds}$ - $V_{ds}$  du modèle ANN obtenu pour  $L=50\text{nm}$

Les figures III.18 et III.19 représentent la caractéristique  $I_{ds}$ - $V_{ds}$  du modèle ANN respectivement pour les deux épaisseurs de silicium  $T_{si}=2.5nm$  et  $T_{si}=5nm$ .

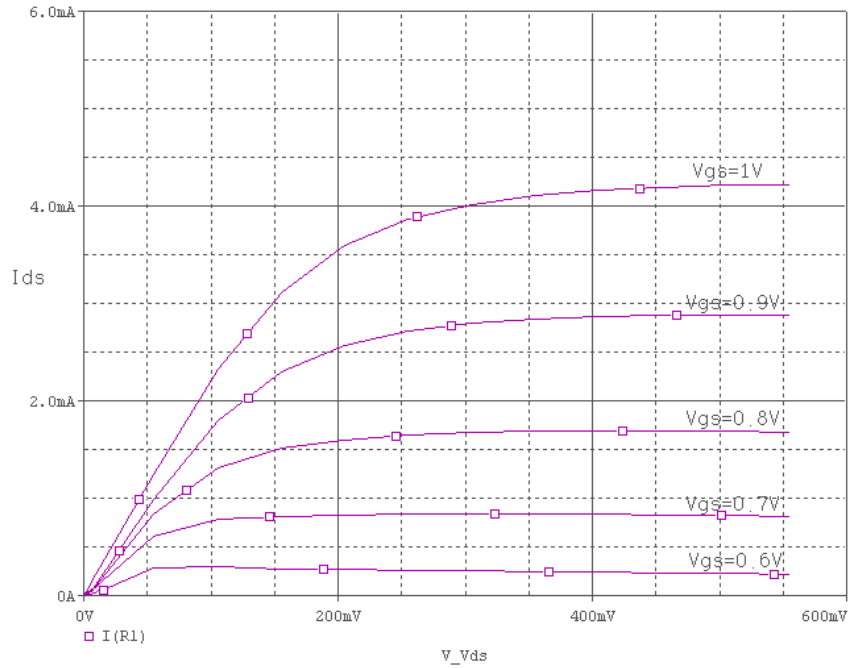


Figure III.18. La caractéristique  $I_{ds}$ - $V_{ds}$  du modèle ANN obtenu pour  $T_{si}=2.5nm$

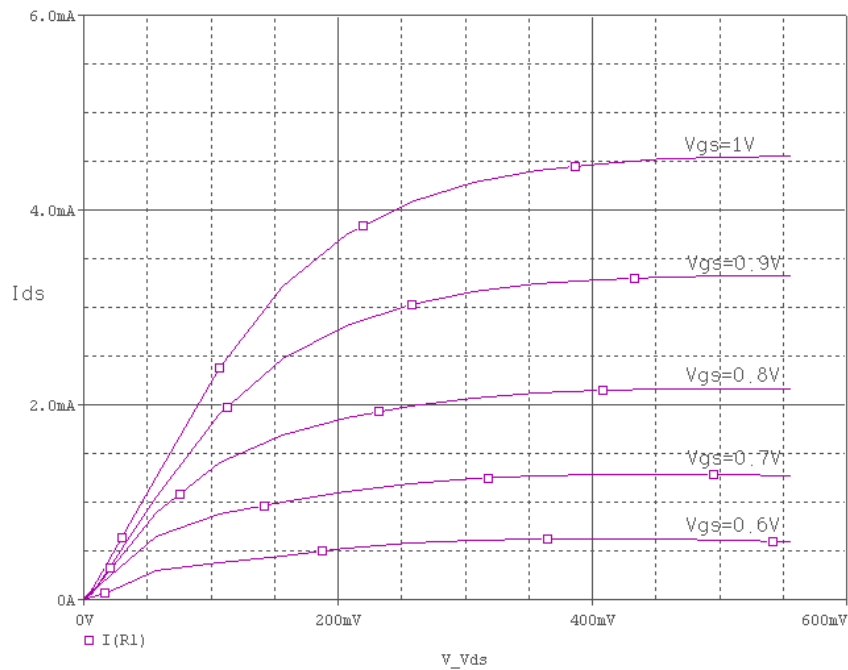


Figure III.19. La caractéristique  $I_{ds}$ - $V_{ds}$  du modèle ANN obtenu pour  $T_{si}=5nm$

Les figures III.20 et III.21 représentent la caractéristique  $I_{ds}$ - $V_{ds}$  du modèle ANN respectivement pour les deux épaisseurs d'oxide  $T_{ox}=1nm$  et  $T_{ox}=2.5nm$ .

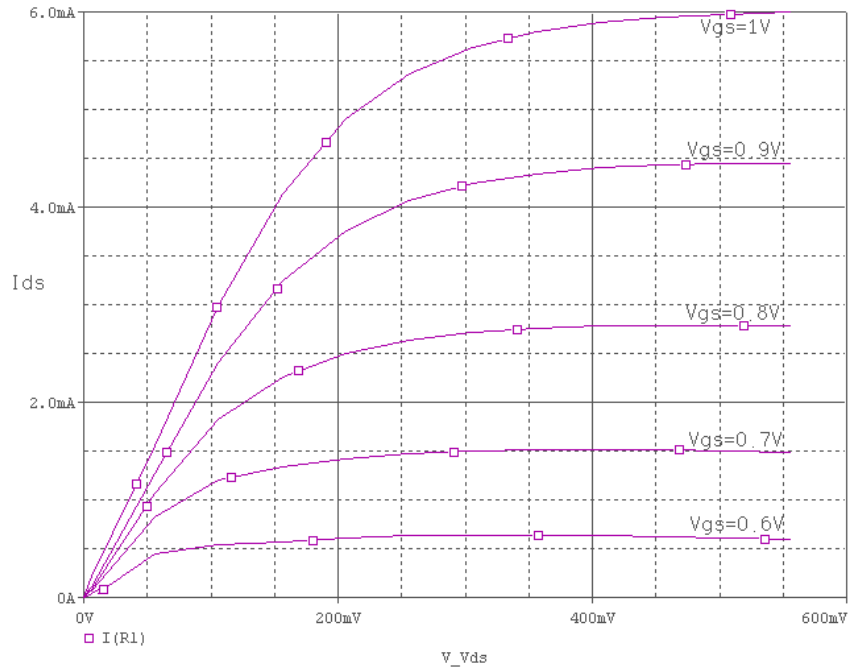


Figure III.20. La caractéristique  $I_{ds}$ - $V_{ds}$  du modèle ANN obtenu pour  $T_{ox}=1nm$

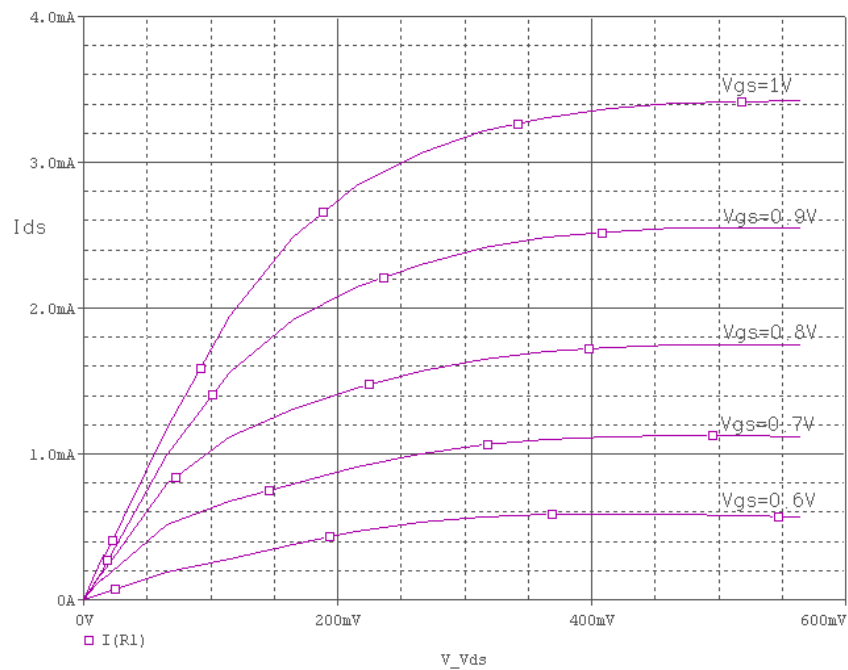


Figure III.21. La caractéristique  $I_{ds}$ - $V_{ds}$  du modèle ANN obtenu pour  $T_{ox}=2.5nm$

Les figures III.22 et III.23 représentent la caractéristique  $I_{ds}$ - $V_{ds}$  du modèle ANN respectivement pour les deux températures  $T=100K$  et  $T=350K$ .

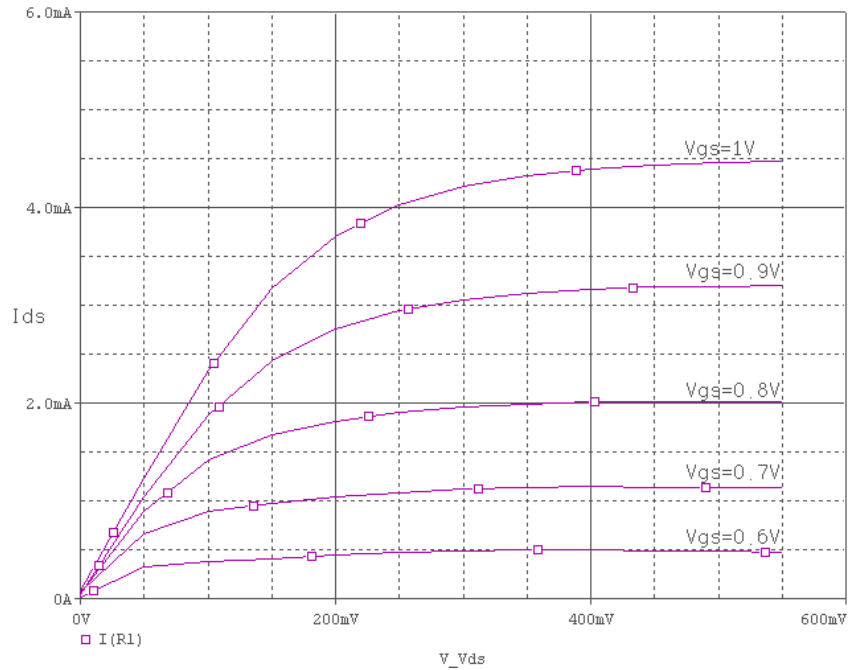


Figure III.22. La caractéristique  $I_{ds}$ - $V_{ds}$  du modèle ANN obtenu pour  $T=100K$

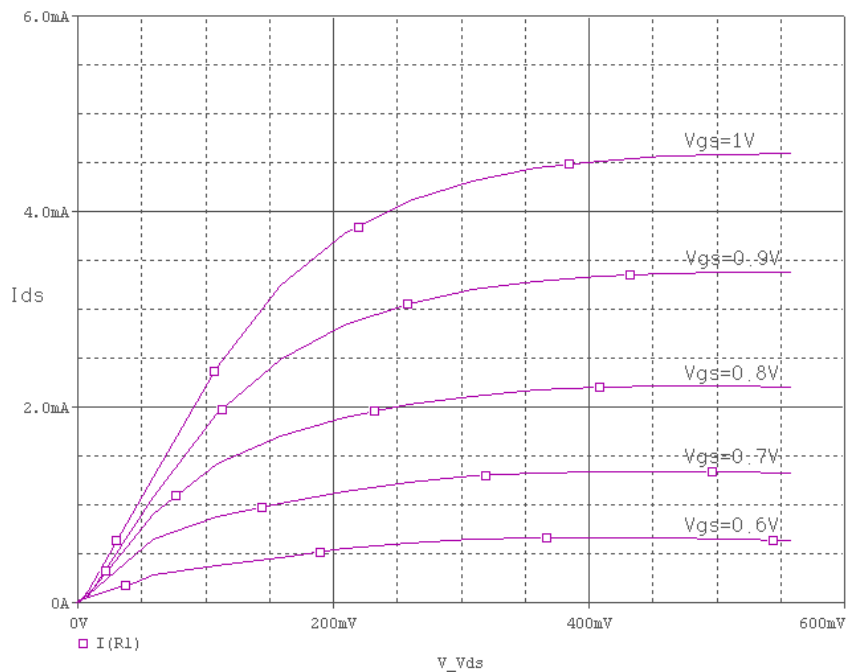


Figure III.23. La caractéristique  $I_{ds}$ - $V_{ds}$  du modèle ANN obtenu pour  $T=350K$

Les figures III.24 et III.25 représentent la caractéristique  $I_{ds}$ - $V_{ds}$  du modèle ANN respectivement pour les deux overlaps  $OL=0nm$  et  $OL=10nm$ .

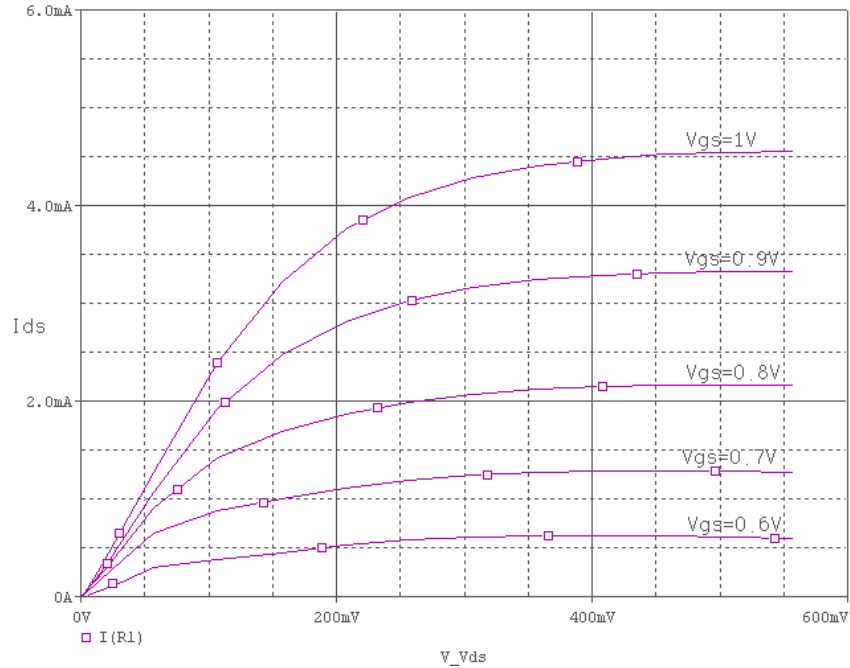


Figure III.24. La caractéristique  $I_{ds}$ - $V_{ds}$  du modèle ANN obtenu pour  $OL=0nm$

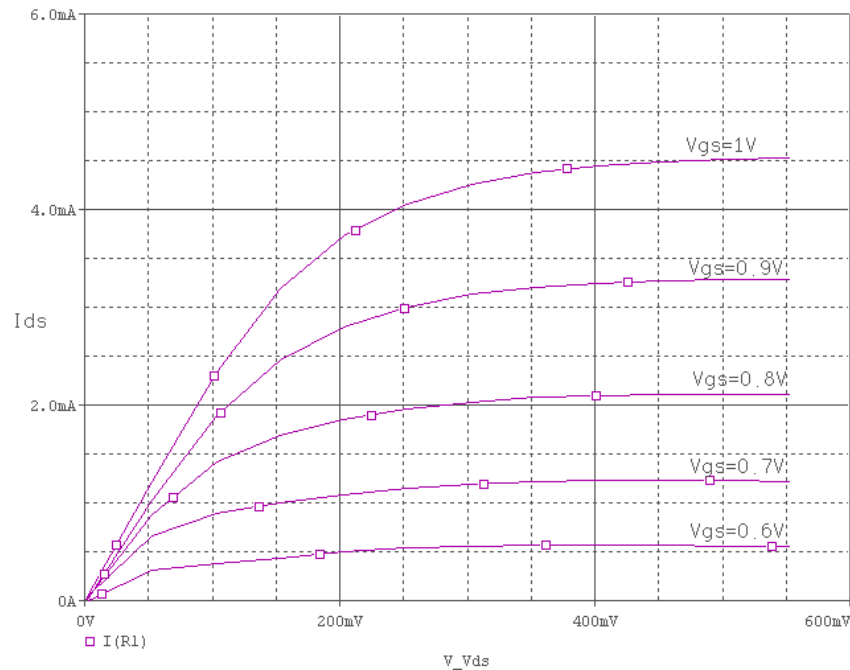


Figure III.25. La caractéristique  $I_{ds}$ - $V_{ds}$  du modèle ANN obtenu pour  $OL=10nm$

### ***III.5. Conclusion***

La reproduction d'un modèle du transistor GAA MOSFET, qui délivre la même sortie du modèle NEGF, avec ses avantages et ses inconvénients a été effectuée dans ce chapitre. Le développement d'un modèle neuronal, et l'implémentation de ce dernier dans l'environnement de simulation PSPICE et l'interprétation des différents résultats obtenus ont fait l'objet de la deuxième partie du chapitre.

---

*Chapitre IV : Impact du modèle neuronal sur  
la conception des circuits nanométriques*

---

### ***IV.1 Introduction***

Les progrès de la technologie de conception des composants conduisent à des transistors de taille nanométrique. A ce niveau de miniaturisation, les effets quantiques ne sont plus négligeables et modifient sensiblement les propriétés de transport des matériaux. Dans ce contexte, le formalisme des fonctions de Green hors-équilibre (NEGF) constitue une méthode pertinente pour décrire le comportement quantique des nano-transistors. Parmi les différentes architectures émergentes, le transistor MOSFET à grille enrobée apparaît comme un des meilleurs candidats pour relever le défi de réduction des transistors. L'une des particularités de ce composant est sa très bonne immunité face aux effets canaux courts. La grille enrobée permet de mieux contrôler le potentiel du canal et de résister au courant tunnel source-drain.

L'objectif de ce chapitre est de modéliser un MOSFET à grille enrobée aux dimensions ultimes en utilisant le formalisme des fonctions de Green hors-équilibre afin de développer une approche basée sur les réseaux de neurones permettant la simulation des circuits électroniques à l'échelle nanométrique. Le transistor GAA MOSFET a été identifié par l'ITRS (International Technology Roadmap for semiconductors) en tant que la structure la plus prometteuse qui permet davantage de graduation dimensionnelle de CMOS avec un courant d'entraînement plus élevé, la pente sous seuil améliorée, la conductivité pour les canaux courts et la flexibilité remarquable de conception des circuits intégrés à l'échelle nanométrique. La précision et la simplicité des modèles sont importantes pour la conception et la simulation des systèmes complexes. La modélisation basée sur les techniques de l'intelligence artificielle qui constitue l'essentiel de ce chapitre, n'utilise en principe aucune hypothèse simplificatrice. Donc cette modélisation permet de fournir des solutions pratiques (précision et temps du calcul moins élevé).

Dans ce chapitre, nous présentons l'applicabilité des réseaux de neurones artificiels (ANN) pour la simulation des circuits MOS nanométriques. Ce modèle neuronal peut être utilisé comme une interface entre la modélisation numérique du composant et le simulateur électronique comme SPICE afin d'avoir un simple simulateur des circuits électroniques nanométriques. Le schéma de notre approche peut être donné par la figure (IV.1).



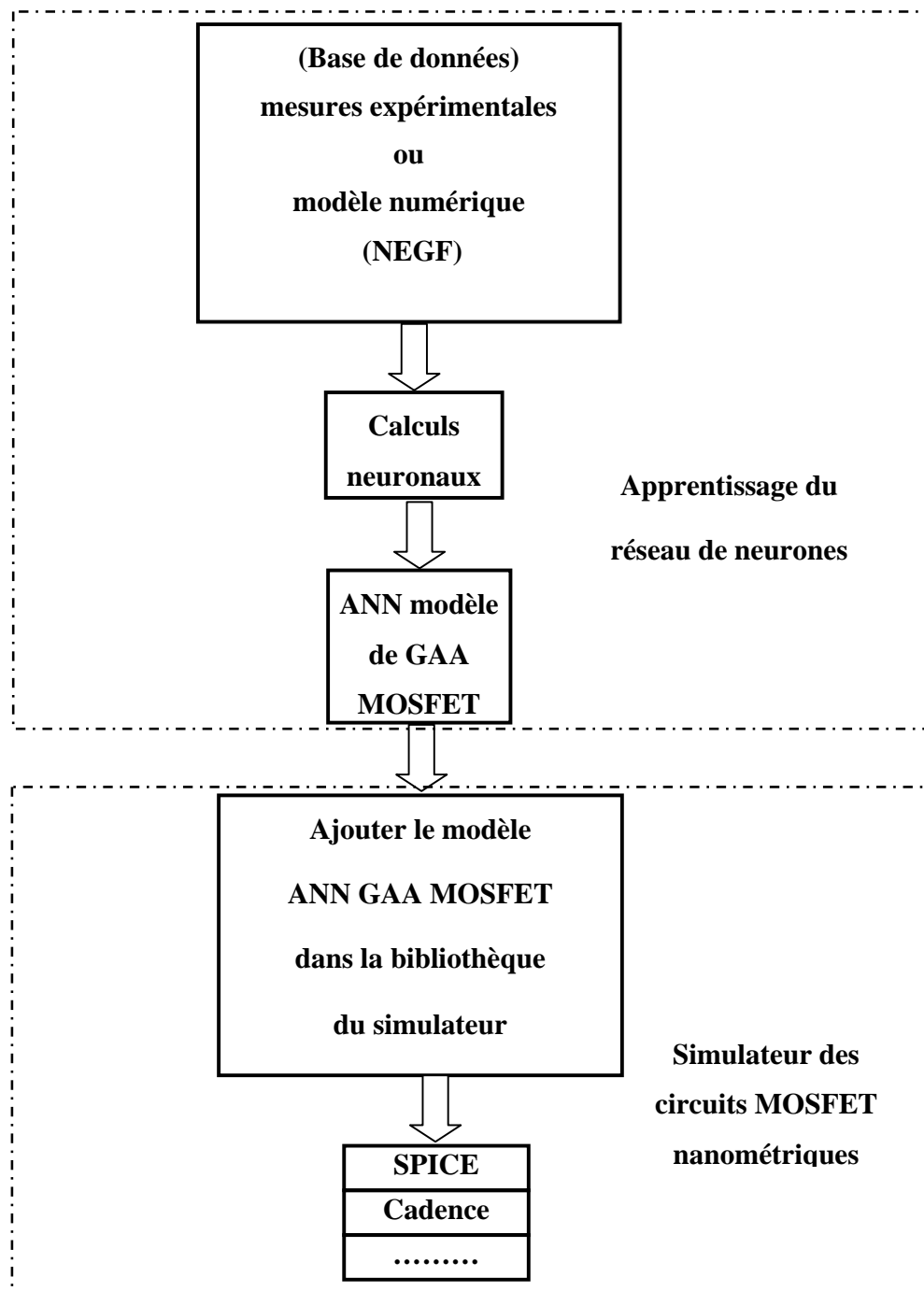
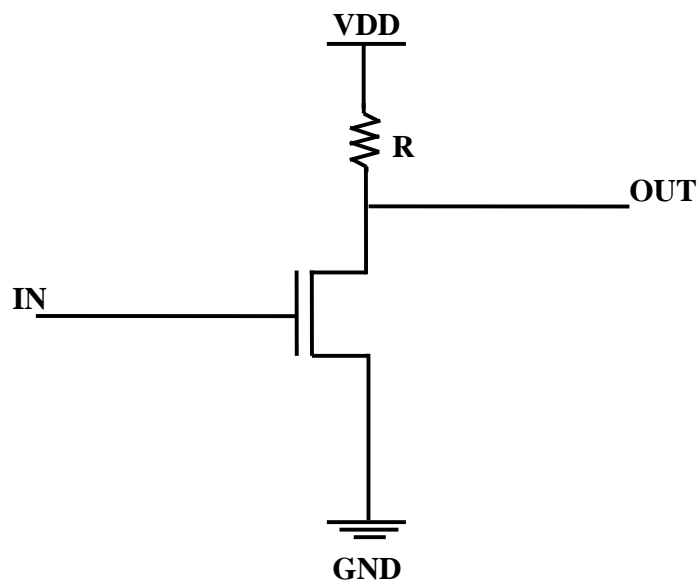


Figure IV.1. Schéma représentant notre approche pour la simulation des circuits MOSFET nanométriques

## ***IV.2 Implémentation du modèle ANN***

Afin de valider notre modèle neuronal, nous proposons l'étude et la simulation d'un circuit inverseur nanométrique. Ce dernier est considéré comme le plus important bloc pour la conception des circuits numériques VLSI. Donc la modélisation et la simulation de l'inverseur nanométrique joue un rôle très important dans la conception des circuits électroniques VLSI. Comme l'architecture de l'inverseur est donnée par la Figure IV.2, donc la simulation de ce circuit est basée sur la modélisation du transistor GAA MOSFET. Dans ce travail, nous avons simulé un circuit inverseur en utilisant le modèle neuronal développé du transistor GAA MOSFET. L'objectif de cette simulation est d'étudier l'évolution du gain de l'inverseur en fonction des paramètres du transistor afin de tirer des conclusions pratiques concernant les limitations de la conception des circuits inverseurs en fonction de ces paramètres géométriques et électriques. Chaque inverseur se compose d'un transistor GAA MOSFET, un générateur de tension et une résistance (Figure IV.2).



*Figure IV.2. L'architecture du circuit inverseur*

La caractéristique (I-V) du transistor MOSFET à été prévue en utilisant le modèle neuronal développé (ANN GAA MOSFET).

### ***IV.2.1 Les signaux PSPICE d'entrée/sortie du modèle ANN de l'inverseur***

Pour obtenir les signaux PSPICE d'entrée/sortie de notre inverseur neuronal en utilise le schéma présenté par la Figure IV.3 et la simulation «**Time Domain**» où  $V_{in}=V_g$  est un signal carré.

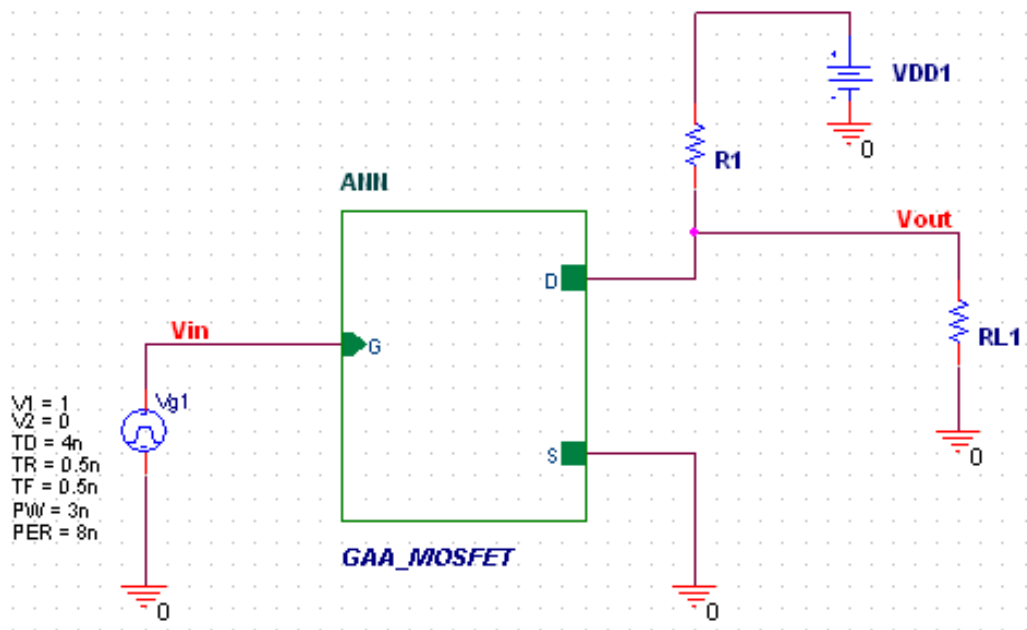


Figure IV.3. Modèle neuronal du circuit inverseur pour l'obtention des signaux PSPICE d'entrée/sortie de l'inverseur

Dans la figure IV.4, nous montrons le modèle ABM (Analog Behavioral Modeling) de notre transistor GAA MOSFET implémenté dans le logiciel de simulation PSPICE.

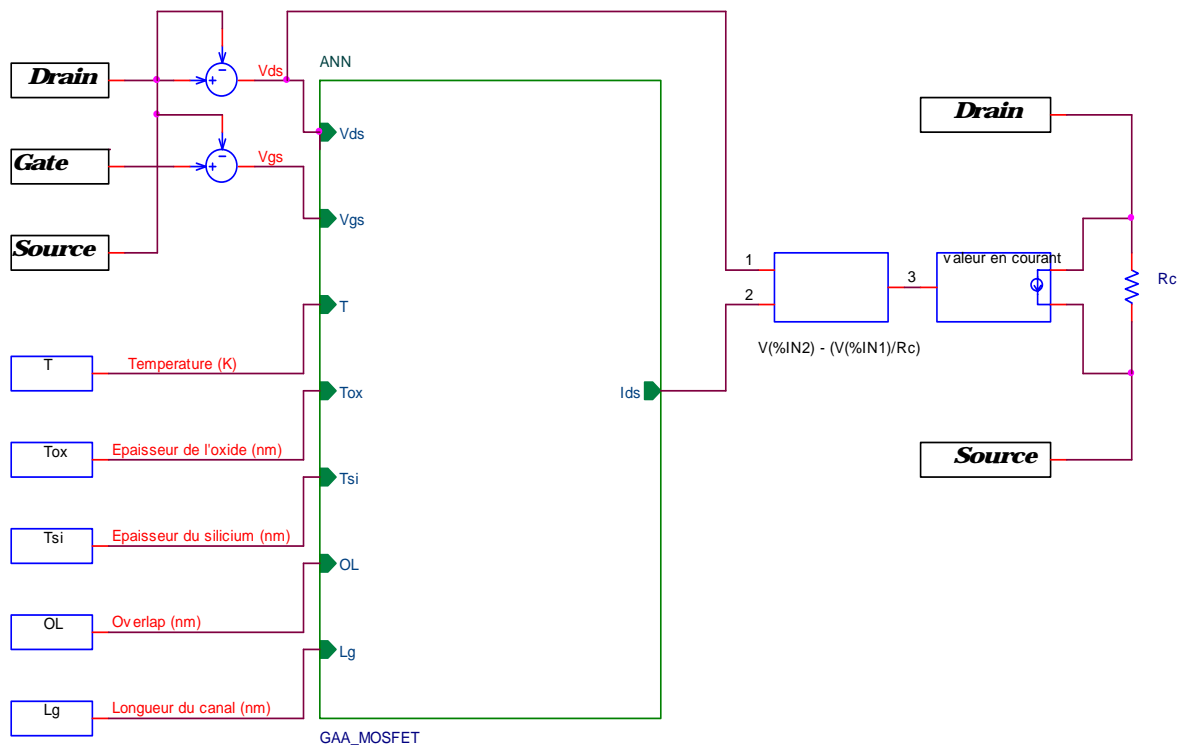


Figure IV.4. Modèle ABM d'ANN du GAA MOSFET

Les signaux d'entrée/sortie de notre inverseur neuronal implémenté dans le logiciel PSPICE peuvent être représentés dans la figure (IV.5) pour  $L=30\text{nm}$ ;  $T_{\text{si}}=5\text{nm}$  ;  $T_{\text{ox}}=1.5\text{nm}$  ;  $T=300\text{K}$  et  $OL=0\text{nm}$  où on peut remarquer que l'opération de l'inversion a été bien effectuée.

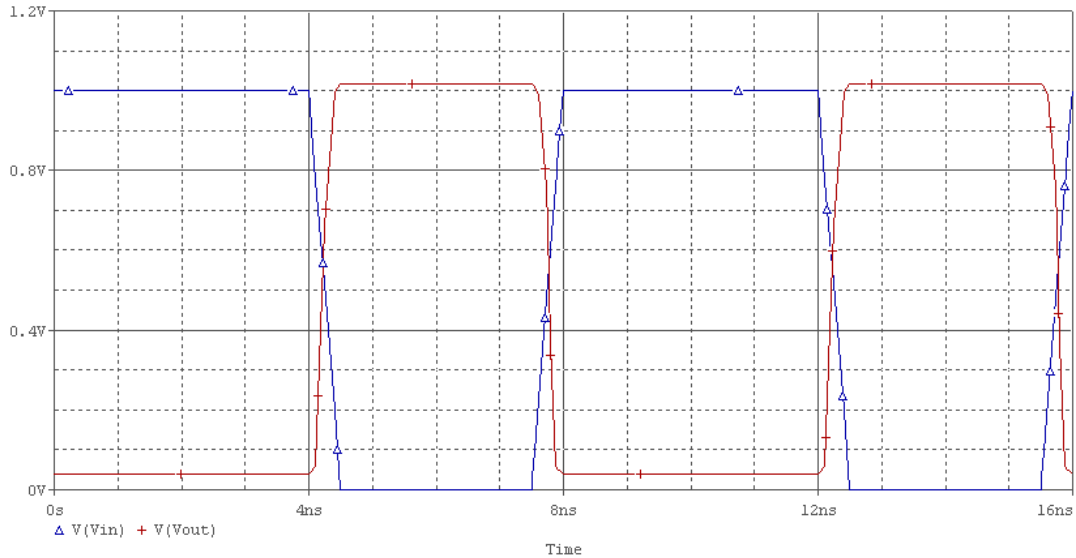


Figure IV.5. Les signaux PSPICE d'entrée/sortie de notre inverseur neuronal

#### IV.2.2 La caractéristique de transfert ( $V_{\text{out}}-V_{\text{in}}$ ) de l'inverseur

La caractéristique de transfert ( $V_{\text{out}}-V_{\text{in}}$ ) de l'inverseur peut être générée à partir de la caractéristique (I-V) du transistor GAA MOSFET. Pour cela on utilise le schéma présenté par la Figure IV.6 avec une simulation «DC Sweep» où  $V_{\text{in}}=V_{\text{g}}$  est un signal continu linéaire qui varie de 0 à 1V.

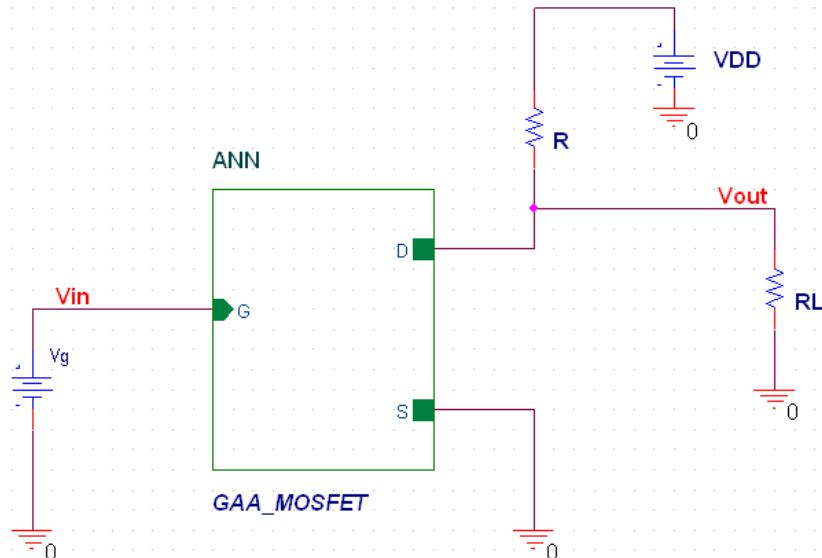


Figure IV.6. Modèle neuronal du circuit inverseur pour l'obtention de la caractéristique de transfert ( $V_{\text{out}}-V_{\text{in}}$ ) de l'inverseur

Le gain d'un inverseur peut être donné comme :

$$A_v = \frac{-\partial V_{out}}{\partial V_{in}} \quad (IV.1)$$

De l'expression (IV.1), le gain peut être calculé à partir de la fonction de transfert de l'inverseur ( $V_{out}-V_{in}$ ).

Si on définit :

$$g_m = \frac{\partial I_{ds}}{\partial V_{gs}} \quad (IV.2)$$

et

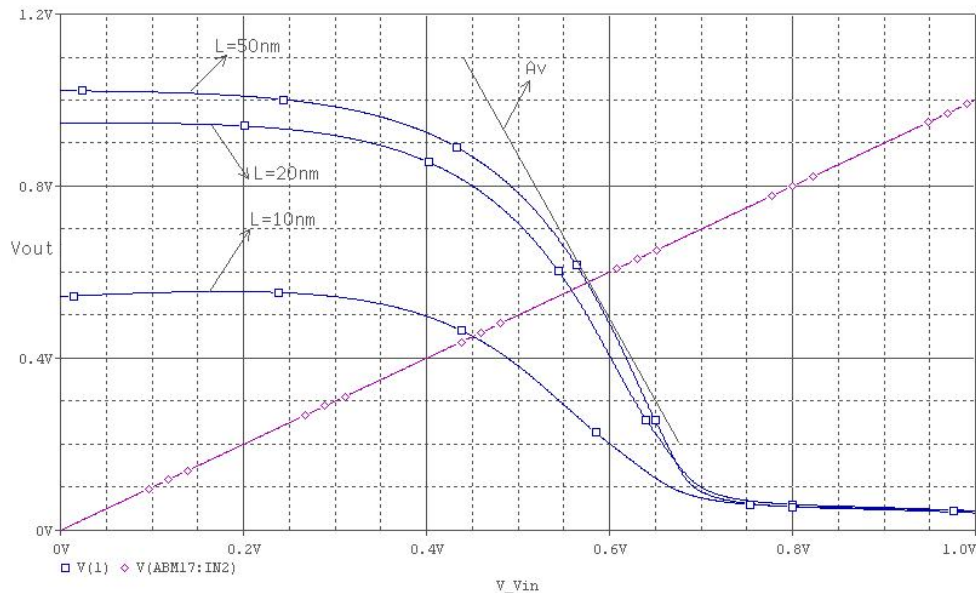
$$g_d = \frac{\partial I_{ds}}{\partial V_{ds}} \quad (IV.3)$$

De (IV.1), (IV.2) et (IV.3), le gain  $A_v$  peut être donné comme:

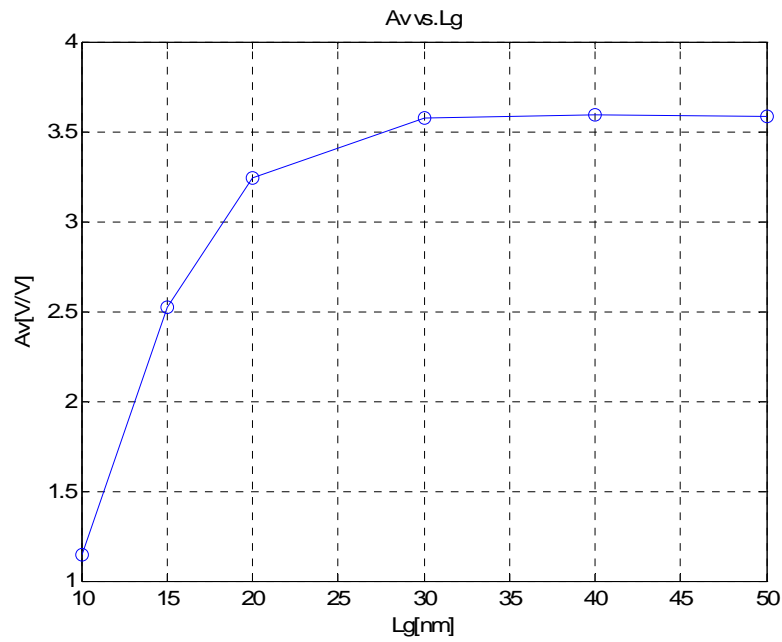
$$A_v = \frac{g_m}{g_d} \quad (IV.4)$$

où  $g_m$  et  $g_d$  représentent la transconductance et l'admittance de sortie du transistor GAA MOSFET. Pour voir l'effet des différents paramètres sur le gain  $A_v$ , nous présentons dans :

a- La figure (IV.7a) présente les fonctions de transfert des inverseurs neuronaux  $L=10nm$ ,  $L=20nm$  et  $L=50nm$  pour ( $T_{si}=3nm$ ;  $T_{ox}=1.5nm$ ;  $T=300K$ ;  $OL=0nm$ ). Les gains de ces inverseurs peuvent être tracés en fonction de la longueur de canal (Figure IV.7b).



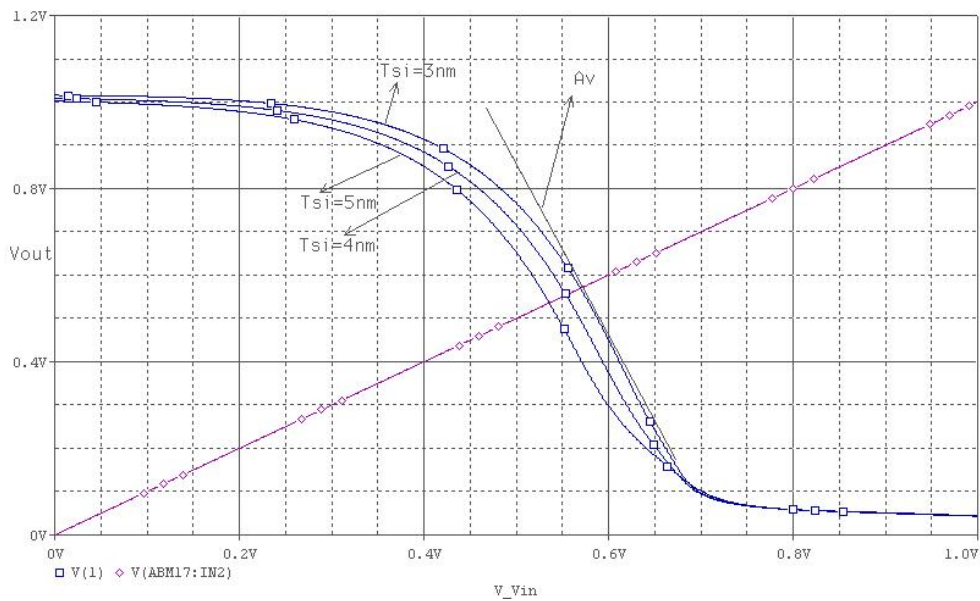
(a)



(b)

Figure IV.7. a) les fonctions de transfert des inverseurs neuronaux ( $L=10\text{nm}$ ,  $L=20\text{nm}$  et  $L=50\text{nm}$ ) b) la variation du gain en fonction de la longueur de canal pour ( $T_{\text{si}}=3\text{nm}$ ;  $T_{\text{ox}}=1.5\text{nm}$ ;  $T=300\text{K}$ ;  $OL=0\text{nm}$ ).

b- La figure (IV.8a) présente les fonctions de transfert des inverseurs neuronaux  $T_{\text{si}}=3\text{nm}$ ,  $T_{\text{si}}=4\text{nm}$  et  $T_{\text{si}}=5\text{nm}$  pour ( $L=30\text{nm}$ ;  $T_{\text{ox}}=1.5\text{nm}$ ;  $T=300\text{K}$ ;  $OL=0\text{nm}$ ). Les gains de ces inverseurs peuvent être tracés en fonction de l'épaisseur du silicium (Figure IV.8b).



(a)

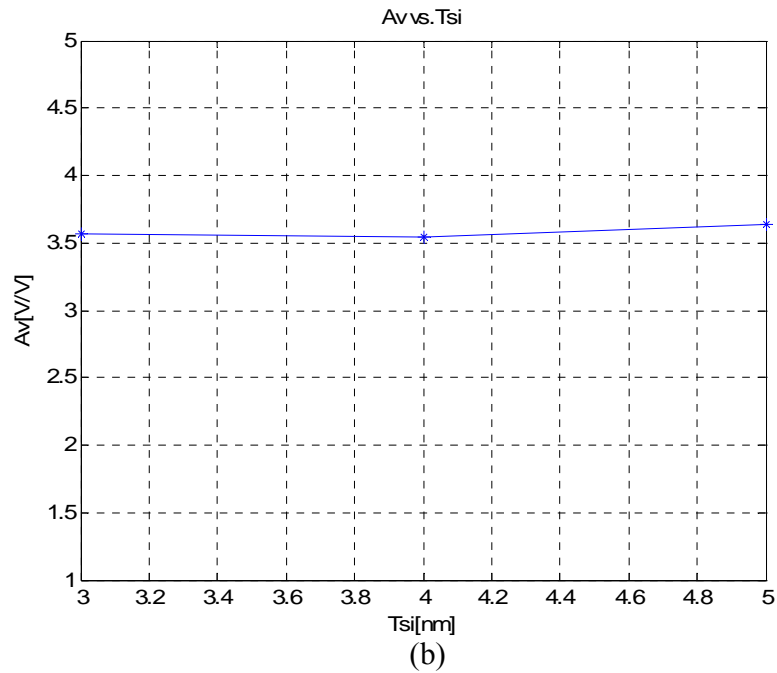
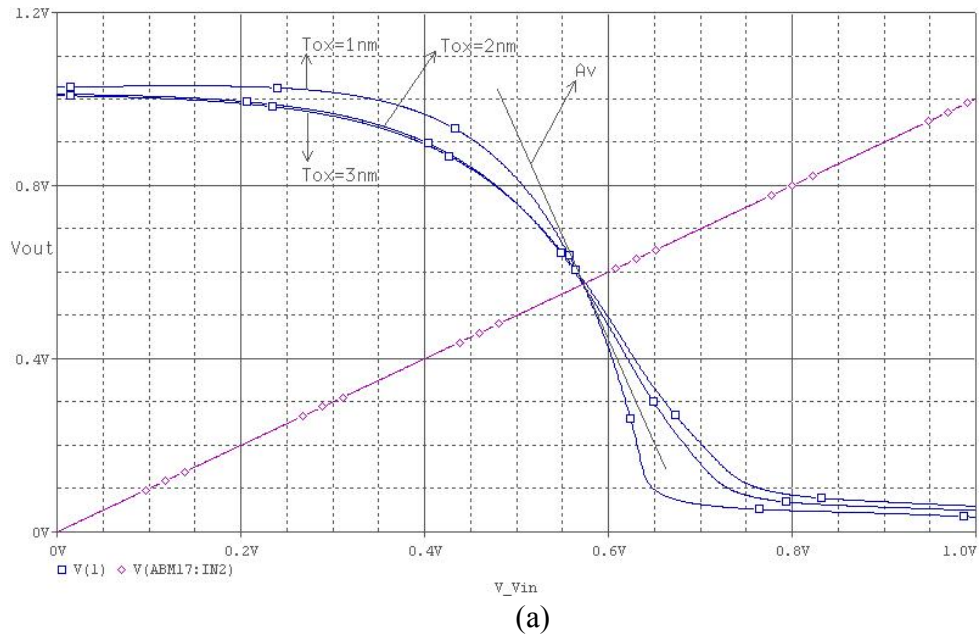


Figure IV.8. a) les fonctions de transfert des inverseurs neuronaux ( $T_{si}=3\text{nm}$ ,  $T_{si}=4\text{nm}$  et  $T_{si}=5\text{nm}$ ) b) la variation du gain en fonction de l'épaisseur du silicium pour ( $T_{si}=3\text{nm}$ ;  $T_{ox}=1.5\text{nm}$ ;  $T=300\text{k}$ ;  $OL=0\text{nm}$ ).

c- La figure (IV.9a) présente les fonctions de transfert des inverseurs neuronaux  $T_{ox}=1\text{nm}$ ,  $T_{si}=2\text{nm}$  et  $T_{si}=3\text{nm}$  pour ( $L=30\text{nm}$ ;  $T_{si}=3\text{nm}$ ;  $T=300\text{K}$ ;  $OL=0\text{nm}$ ). Les gains de ces inverseurs peuvent être tracés en fonction de l'épaisseur de l'oxyde du silicium (Figure IV.9b).



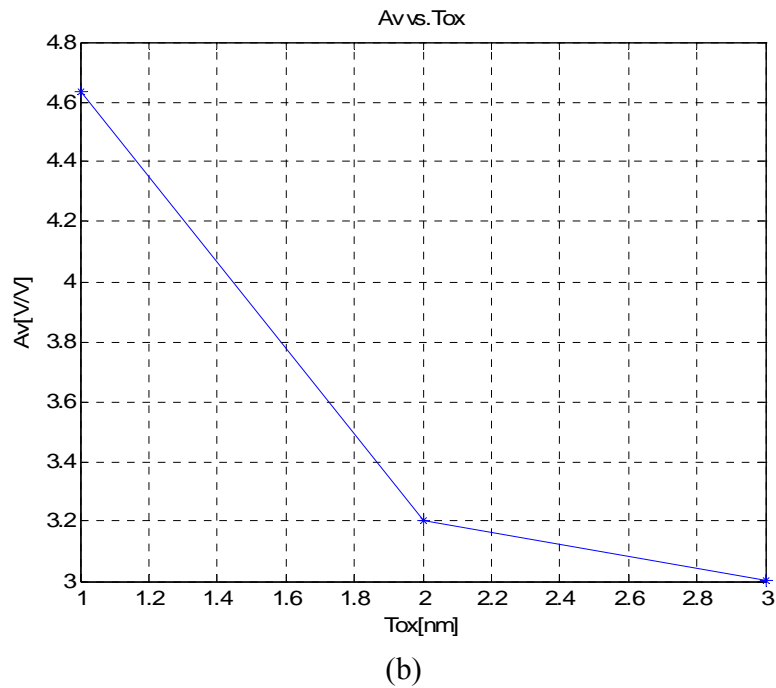
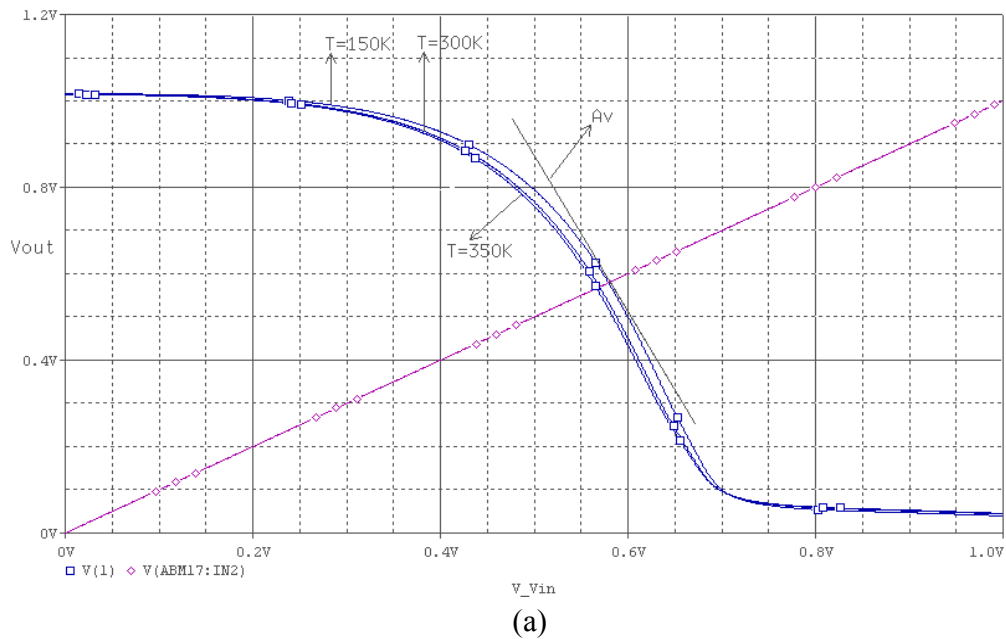
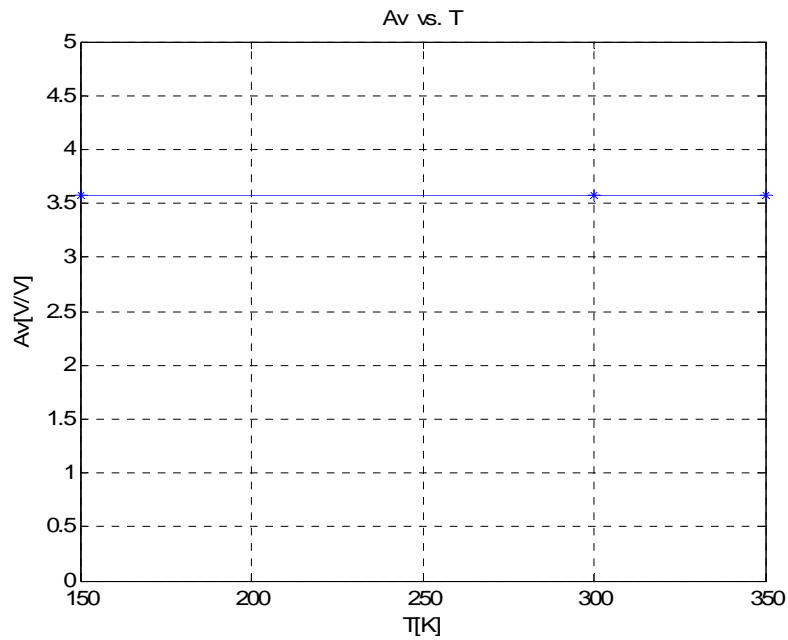


Figure IV.9. a) les fonctions de transfert des inverseurs neuronaux ( $Tox=1nm$ ,  $Tox=2nm$  et  $Tox=3nm$ ) b) la variation du gain en fonction de l'épaisseur de l'oxyde du silicium pour ( $T_{si}=3nm$ ;  $L=30nm$ ;  $T=300k$ ;  $OL=0nm$ ).

d- La figure (IV.10a) présente les fonctions de transfert des inverseurs neuronaux  $T=150K$ ,  $T=300K$  et  $T=350K$  pour ( $L=30nm$ ;  $T_{si}=3nm$ ;  $Tox=1.5nm$ ;  $OL=0nm$ ). Les gains de ces inverseurs peuvent être tracés en fonction de la température (Figure IV.10b).



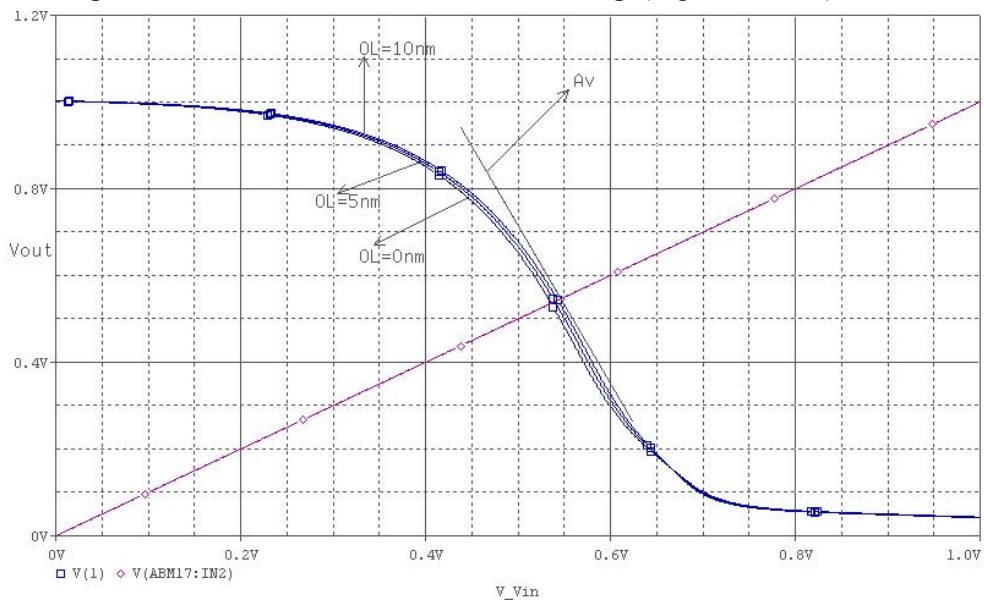




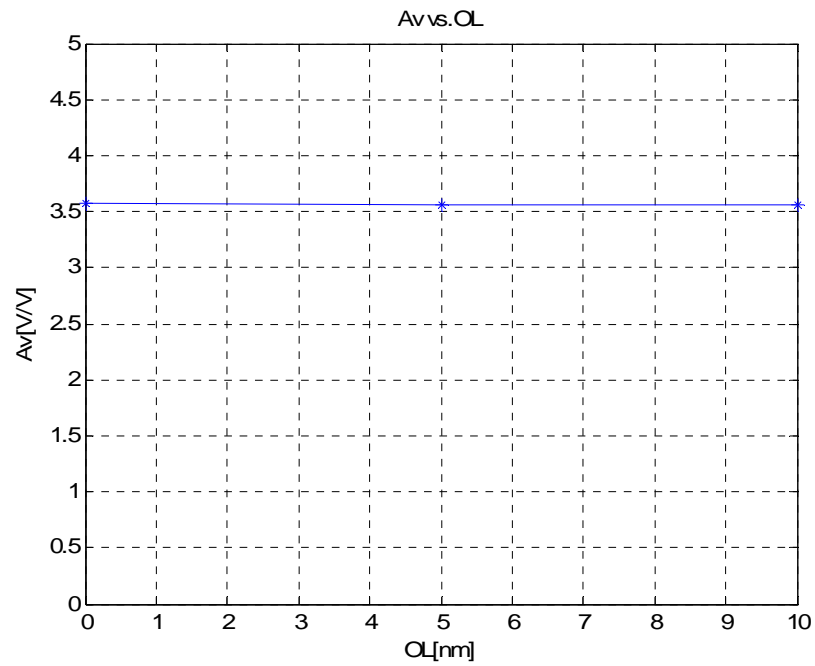
(b)

Figure IV.10. a) les fonctions de transfert des inverseurs neuronaux ( $T=150K$ ,  $T=300K$  et  $T=350K$ ) b) la variation du gain en fonction de la température pour ( $L=30nm$ ;  $T_{si}=3nm$ ;  $Tox=1.5nm$ ;  $OL=0nm$ ).

e- La figure (IV.11a) présente les fonctions de transfert des inverseurs neuronaux  $OL=0nm$ ,  $OL=5nm$  et  $OL=10nm$  pour ( $L=30nm$ ;  $T_{si}=3nm$ ;  $Tox=1.5nm$ ;  $T=300K$ ). Les gains de ces inverseurs peuvent être tracés en fonction de l'overlap (Figure IV.11b).



(a)



(b)

Figure IV.11. a) les fonctions de transfert des inverseurs neuronaux ( $OL=0nm$ ,  $OL=5nm$  et  $OL=10nm$ ) b) la variation du gain en fonction de l'overlap pour ( $L=30nm$ ;  $T_{si}=3nm$ ;  $T_{ox}=1.5nm$ ;  $T=300K$ ).

### IV.3 L'effet de l'overlap et l'underlap sur les paramètres du GAA MOSFET

Le gain et la fréquence de coupure d'un amplificateur à un seul transistor peuvent être calculés. L'amplificateur considéré est constitué d'un transistor GAA MOSFET nanométrique et d'un générateur de courant constant comme illustré en Figure IV.11.

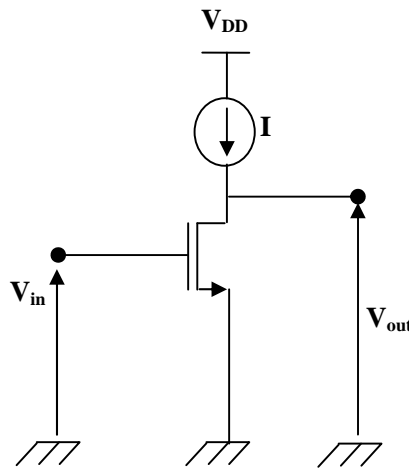


Figure IV.11. Amplificateur à un seul transistor

Le gain peut être calculé en utilisant l'équation (IV.4), et la fréquence de coupure peut être donnée par :

$$f_t = g_m / 2\pi C_{ox} \quad (\text{IV. 5})$$

où :  $C_{ox}$  est la capacité de l'oxyde qui est donnée par :

$$C_{ox} = \frac{2\varepsilon_{ox}}{t_{si} \ln(1+2(t_{ox}/t_{si}))} \quad (\text{IV. 6})$$

### IV.3.1 L'effet de l'overlap sur le gain en tension

La Figure IV.12 montre les représentations des gains en fonction de l'overlap pour les longueurs de canal  $L=20\text{nm}$  (en rouge),  $L=30\text{nm}$  (en bleu) et  $L=50\text{nm}$  (en vert) obtenus par le modèle neuronal.

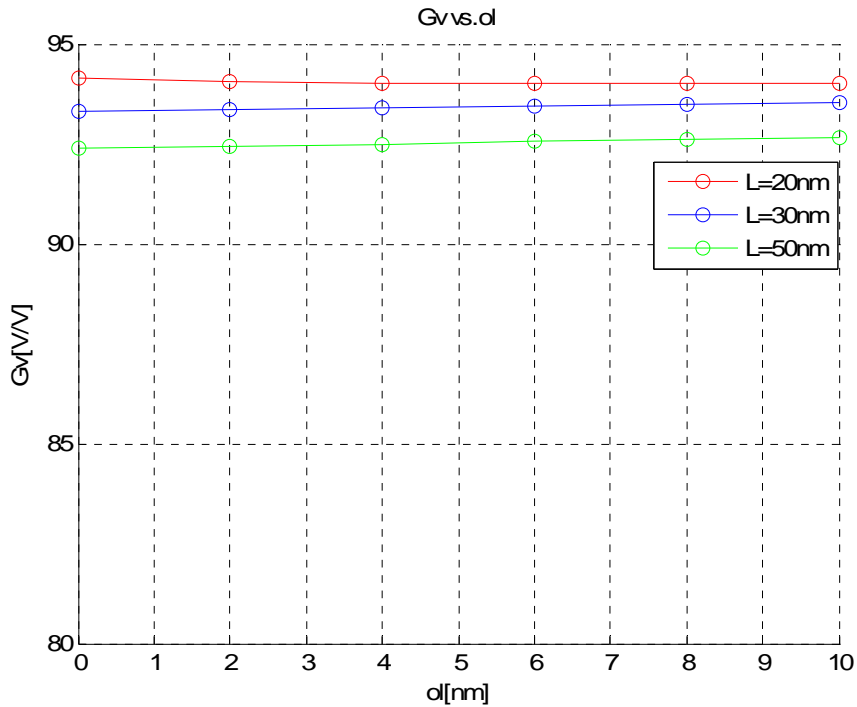
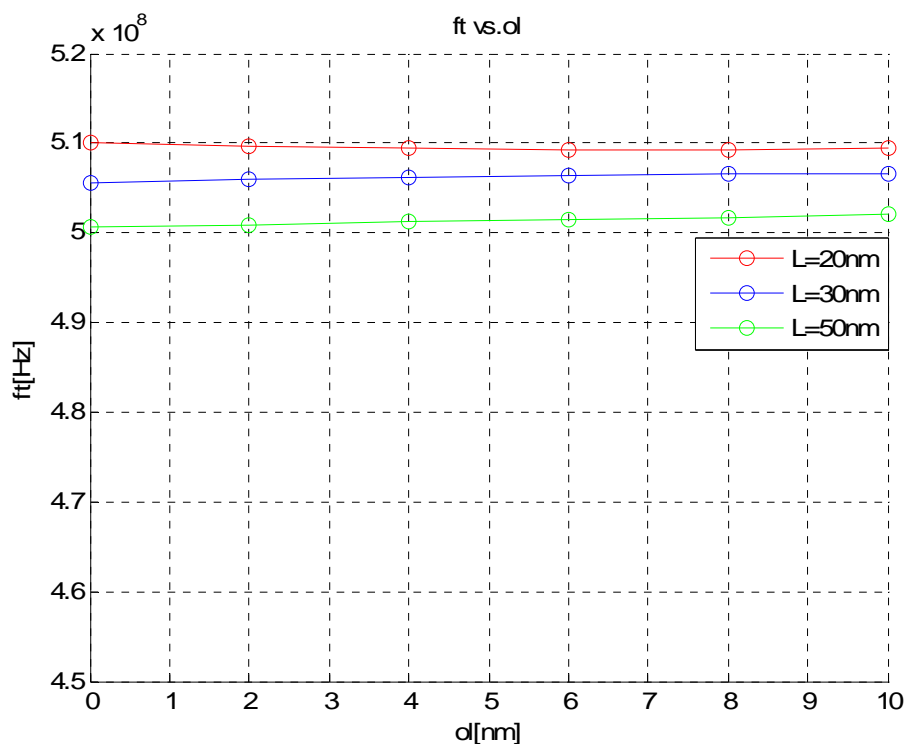


Figure IV.12. La variation du gain en fonction de l'overlap pour ( $L=20\text{nm}$ ;  $L=30\text{nm}$ ;  $L=50\text{nm}$ ) obtenue par le modèle neuronal.

Les trois courbes illustrent clairement que l'overlap n'a pas d'effet sur le gain et que le gain augmente avec la miniaturisation du canal.

### IV.3.2 L'effet de l'overlap sur la fréquence de coupure

Dans la *Figure IV.13* nous avons représenté les valeurs de la fréquence de coupure en fonction de l'overlap pour les longueurs de canal  $L=20\text{nm}$  (en rouge),  $L=30\text{nm}$  (en bleu) et  $L=50\text{nm}$  (en vert) obtenus par le modèle neuronal.



*Figure IV.13. La variation de la fréquence de coupure en fonction de l'overlap pour ( $L=20\text{nm}$ ;  $L=30\text{nm}$ ;  $L=50\text{nm}$ ) obtenue par le modèle neuronal.*

Dans cette figure les trois courbes nous montre que l'effet de l'overlap sur la fréquence de coupure est négligeable et que la fréquence de coupure augmente avec la miniaturisation du canal.

### IV.3.3 L'effet de l'underlap sur le gain en tension

Nous avons utilisé dans cette partie le logiciel NANOMOS 2.5 pour générer les simulations qui nous permettent de montrer l'effet de l'underlap sur le gain. La *Figure IV.14* montre les représentations des gains en fonction de l'underlap pour les longueurs de canal  $L=20\text{nm}$  (en rouge),  $L=30\text{nm}$  (en bleu) et  $L=50\text{nm}$  (en vert).

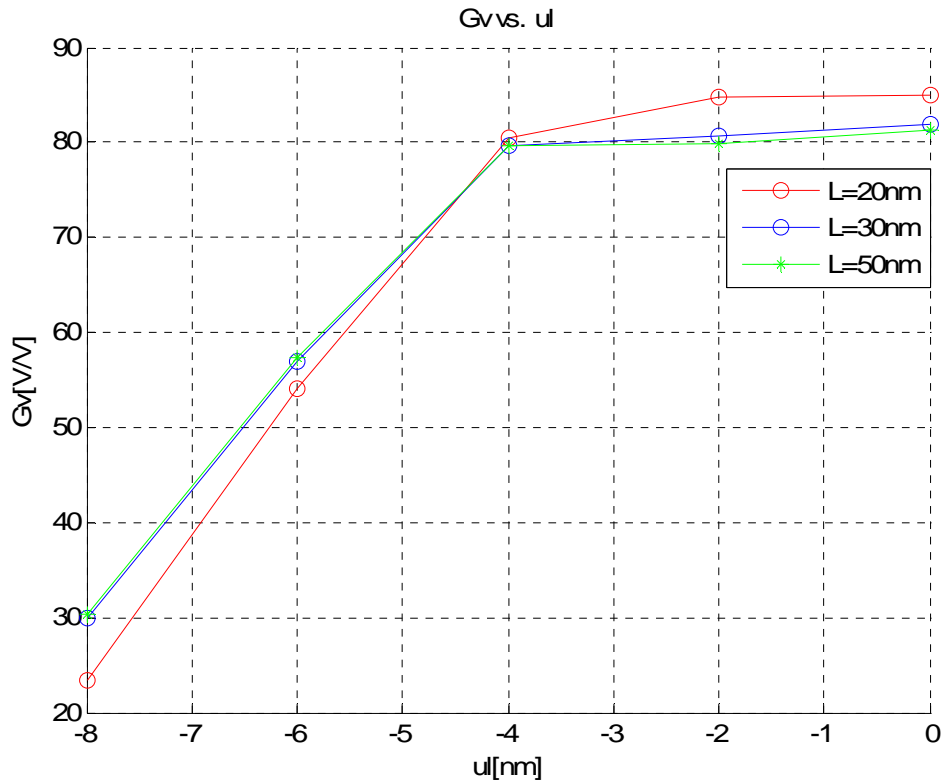


Figure IV.14. La variation du gain en fonction de l'underlap pour ( $L=20\text{nm}$ ;  $L=30\text{nm}$ ;  $L=50\text{nm}$ ) obtenue par le modèle NEGF.

Les trois courbes illustrent clairement que :

1. Le gain diminue avec l'augmentation de l'underlap en valeur absolue.
2. Le gain augmente avec la miniaturisation du canal pour les valeurs de l'underlap appartenant à  $[-4,4\text{nm}, 0\text{nm}]$ . Par contre dans l'intervalle  $[-8\text{nm}, -4,55\text{nm}]$  il est bien clair que l'effet de l'underlap est plus apparent en comparaison avec l'effet de la miniaturisation du canal.

Le taux de dégradation du gain en fonction de l'underlap et la longueur du canal est donné par le Tableau IV.1.

L(nm)	Le taux de dégradation du gain (%)
20	72.63
30	63.41
50	62.73

Tableau IV.1. Le taux de dégradation du gain en fonction de l'underlap pour les longueurs ( $L=20nm$ ;  $L=30nm$  et  $L=50nm$ )

#### IV.3.4 L'effet de l'underlap sur la fréquence de coupure

Nous avons utilisé les mêmes simulations précédentes dans cette partie pour générer les courbes qui nous permettent de montrer l'effet de l'underlap sur la fréquence de coupure. La Figure IV.15 montre les représentations des fréquences de coupure en fonction de l'underlap pour les longueurs de canal  $L=20nm$  (en rouge),  $L=30nm$  (en bleu) et  $L=50nm$  (en vert).

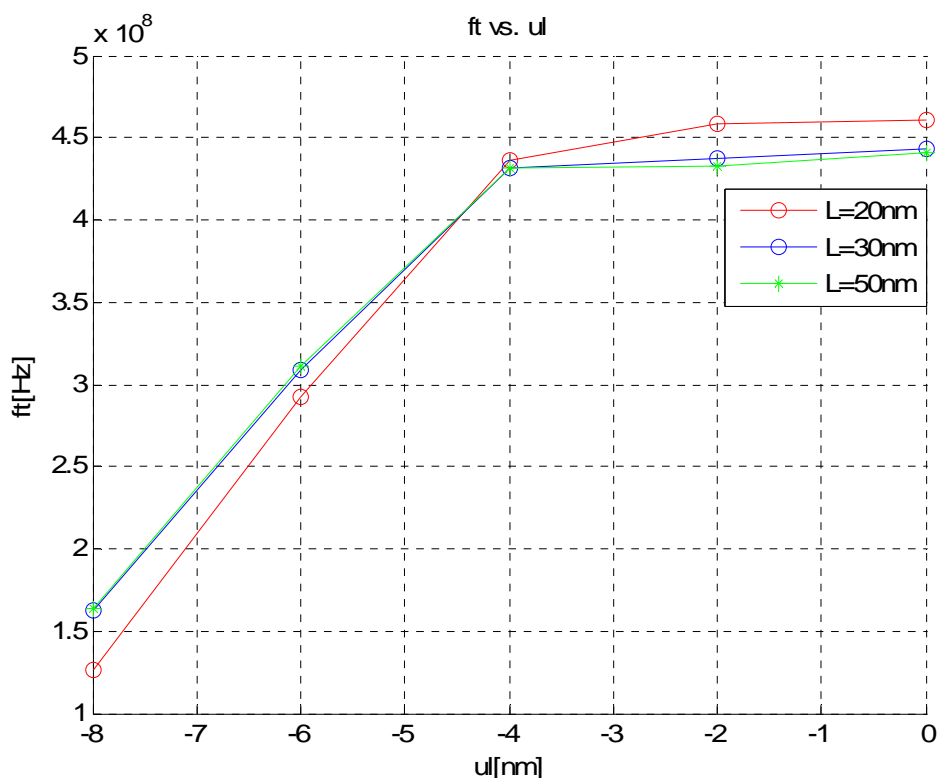


Figure IV.15. La variation de la fréquence de coupure en fonction de l'underlap pour ( $L=20nm$ ;  $L=30nm$ ;  $L=50nm$ ) obtenue par le modèle NEGF.

Dans cette figure les trois courbes nous montre que :

1. La fréquence de coupure diminue avec l'augmentation de l'underlap en valeur absolu.
2. La fréquence de coupure augmente avec la miniaturisation du canal pour les valeurs de l'underlap appartient a [-4,4nm, 0nm]. Par contre dans l'intervalle [-8nm, -4,5nm [ il est bien claire que l'effet de l'underlap est plus apparent en comparaison avec l'effet de la miniaturisation du canal.

Le taux de dégradation de la fréquence de coupure en fonction de l'underlap et la longueur du canal est donné par le Tableau IV.2.

L(nm)	Le taux de dégradation de la fréquence de coupure (%)
20	63.47
30	63.38
50	63.36

*Tableau IV.2. Le taux de dégradation de la fréquence de coupure en fonction de l'underlap pour les longueurs (L=20nm; L=30nm et L=50nm)*

#### ***IV.4 Estimation du temps de calcul***

Le *Tableau IV.3* présente une estimation du temps pour calculer et tracer les graphes des gains et des fréquences de coupure en fonction de l'overlap avec le modèle numérique utiliser par le logiciel NANOMOS 2.5 et notre modèle neuronal.

Les simulations et les calculs ont été effectués avec un micro ordinateur qui a les caractéristiques suivantes:

***Pentium(R) 4***

***CPU 2.26GHz***

***512 Mo de RAM***



<i>L</i> (nm)	La fréquence de coupure $f_c$		Le gain en tension $G_v$	
	<i>NANOMOS 2.5</i>	<i>ANN</i>	<i>NANOMOS 2.5</i>	<i>ANN</i>
<b>10</b>	36125 s =10h 2mn 5s	2.29 s	36125 s =10h 2mn 5s	2.22 s
<b>20</b>	45722 s =12h 42mn 2s	2.31 s	45722 s =12h 42mn 2s	2.23 s
<b>30</b>	62527 s =17h 22mn 7s	2.23 s	62527 s =17h 22mn 7s	2.20 s
<b>40</b>	86643 s =24h 4mn 3s	2.21 s	86643 s =24h 4mn 3s	2.37 s

*Tableau IV.3. Le temps de calcul de la fréquence de coupure et le gain en tension avec le NANOMOS 2.5 et le modèle neuronal pour les différentes longueurs ( $L=10nm$ ;  $L=20nm$ ;  $L=30nm$  et  $L=40nm$ )*

Dans Le *Tableau IV.3*, nous avons présenté une comparaison entre le temps nécessaire pour calculer la fréquence de coupure, le gain en tension et le traçage des différents graphes en utilisant notre modèle neuronal et le simulateur numérique NANOMOS 2.5.

L'estimation du temps de calcul effectué par le simulateur numérique est très lente en comparaison avec ceux effectué par notre modèle neuronal. Ce résultat nous permet de montrer l'efficacité de l'approche proposée dans ce travail.

### ***IV.5 Conclusion***

Dans ce chapitre, nous avons montré l'applicabilité de l'approche neuronale pour la conception des circuits électroniques nanométriques. Le logiciel NANOMOS 2.5 qui utilise le formalisme des fonctions de Green hors-équilibre (NEGF) permet l'extraction des caractéristiques courant-tension (I-V) du transistor GAA MOSFET. L'utilisation de ce modèle numérique nous a permis de former une base de données qui a été utilisée pour l'optimisation de notre structure neuronale (ANN). Après l'optimisation, l'ensemble des poids généré peut être implémenté dans les logiciels de simulation (PSPICE, CADENCE,...) afin d'avoir notre modèle neuronal du transistor GAA MOSFET. Les résultats obtenus nous ont encouragés d'adopter notre approche pour l'étude et la simulation des circuits électroniques nanométriques.

---

## *Conclusion générale*

---

### ***Conclusion générale***

L'évolution des dispositifs CMOS vers le domaine nanométrique nécessite une modélisation qui permet de prendre en compte les effets quantiques et les effets canaux courts dans le but d'évaluer de nouvelles architectures prometteuses.

Les travaux reportés dans ce manuscrit ont eu pour objectif la modélisation et la simulation du transistor GAA MOSFET en utilisant les techniques de l'intelligence artificielle (Les Réseaux de Neurones Artificiels) afin d'étudier la miniaturisation des dispositifs nanométriques et l'effet des différents paramètres (géométriques et électriques) sur leur fonctionnement.

Le premier chapitre de ce manuscrit a décrit en premier lieu, les propriétés électriques et physiques des transistors MOS SOI multi-grilles. Nous avons vu que ces composants permettent de réduire les effets canaux courts en raison notamment de l'influence électrostatique. En second lieu, une étude comparative des propriétés électriques du GAA MOSFET avec celles des autres architectures SOI a été présentée.

L'étude et la description des Réseaux de Neurones Artificiels font l'objet du second chapitre. Les Réseaux de Neurones Artificiels font partie des approches implicites qui considèrent comme relations statistiques les corrélations entre les paramètres opératoires (les paramètres géométriques et électriques du transistor GAA MOSFET) et les propriétés de sortie (le courant de sortie, la transconductance, ...). Les phénomènes qui contrôlent ces corrélations sont encodés dans un ensemble de neurones (entité de décision) qui permet de représenter les effets sans les expliquer. Un recours à une base de données représentant ces corrélations est impératif pour l'apprentissage de ces structures.

Le troisième chapitre destiné à la modélisation neuronale du transistor GAA MOSFET nanométrique. Nous avons développé un modèle optimisé du courant de drain du transistor GAA MOSFET en utilisant les réseaux de neurones artificiels (ANN). Le bon accord entre les résultats numériques (NEGF) et les résultats obtenus par nos approches a montré l'applicabilité des ANNs pour étudier la miniaturisation des dispositifs nanométriques.

Dans le dernier chapitre, on a utilisé le modèle neuronal du transistor GAA MOSFET pour simuler un circuit inverseur. L'objectif de cette simulation a été d'étudier l'évolution du

gain et la fréquence de coupure de l'inverseur en fonction des paramètres géométriques et électriques du transistor afin de tirer des conclusions pratiques concernant les limitations de la conception des circuits inverseurs en fonction de ces paramètres.

---

---

*Bibliographie*

---

---

## **Bibliographie**

- [1] J. Saint-Martin, '*ETUDE PAR SIMULATION MONTE CARLO D'ARCHITECTURES DE MOSFET ULTRACOURTS A GRILLE MULTIPLE SUR SOI*', Thèse de Doctorat, UNIVERSITÉ DE PARIS-SUD, France, 2005.
- [2] M. Bescond, '*MODELISATION ET SIMULATION DU TRANSPORT QUANTIQUE DANS LES TRANSISTORS MOS NANOMETRIQUES*', Thèse de Doctorat, UNIVERSITE DE PROVENCE, France, 2004.
- [3] G.E. Moore, '*Trends in silicon device technology*', IEDM Tech. Digest, p.12 (1968).
- [4] G.E. Moore, '*Progress in digital integrated electronics*', IEDM Tech. Digest, p.11 (1975).
- [5] '*ITRS (International Technology Roadmap for Semiconductors) web site*', <http://public.itrs.net/>.
- [06] V. Pott, '*Gate-All-Around Silicon Nanowires for Hybrid Single Electron Transistor/CMOS Applications*', Thèse de Doctorat, Ecole Polytechnique Fédérale De Lausanne, France, 2008.
- [7] K. E. Moselund, '*Three-Dimensional Electronic Devices Fabricated on a Top-Down Silicon Nanowire Platform*', Thèse de Doctorat, Ecole Polytechnique Fédérale De Lausanne, France, 2008.
- [8] '*INTEL (INTEgrated Electronics) web site*', <http://www.intel.com/>.
- [9] P. Masson, '*Etude par pompage de charge et par mesures de bruit basse fréquence de transistors MOS à oxynitride de grille ultra-minces*', Thèse de Doctorat, INSA Lyon, France, 1999.
- [10] S. M. Sze, '*Physics of Semiconductor Devices*', Wiley & Sons, New York, USA, 2<sup>nd</sup> edition, 1981.
- [11] M. Barron, '*Low level currents in insulated gate field effect transistors*', Solid-State Electronics, vol. 15, no.3, pp. 293–302, 1972.
- [12] W. Shockley, '*Problems related to p-n junctions in silicon*', Solid State Electronics, vol. 2, no. 1, pp. 35–67, 1961.
- [13] T.D. Gilio, '*Etude de la fiabilité porteurs chauds et des performances des technologies CMOS 0.13  $\mu$ m - 2nm*', Thèse de Doctorat, Université de Provence, France, 2006.

- [14] J.P. Colinge and C.A. Colinge, '*Physics of semiconductor devices*', , Springer publishers, New York, USA, 2005.
- [15] J.G. Fossum, '*Analytical modeling of quantization and volume inversion in thinSi-film DG MOSFETs*', IEEE Transactions on Electron Devices, vol. 49, no. 2, pp. 287-294, 2002.
- [16] S. Cristoloveanu and S. S. Li, '*Electrical characterization of silicon-on-insulator materials and devices*', Kluwer Academic Publishers, Boston, USA, 1995.
- [17] J. Colinge, '*Silicon-on-insulator technology: Materials to VLSI*', Kluwer Academic Publishers, Boston, USA, 3<sup>rd</sup> edition, 1997.
- [18] P. K. Bondyopadhyay, '*Moore's law governs the silicon revolution*', Proceedings of IEEE, vol. 86, no. 1, pp. 78-81, 1998.
- [19] Fayçal DJEFFAL, '*Modélisation et simulation prédictive du transistor MOSFET fortement submicronique. Application à la conception des dispositifs intégrés*', Thèse de Doctorat, Université de Batna, Algérie, 2006.
- [20] J.P. Colinge, '*Multi-gate SOI MOSFETs*', Microelectronic Engineering, vol. 84, no. 9-10, pp. 2071-2076, 2007.
- [21] J-H. Rhow, Z. Ren, and M-S. Lundstrom, '*A numerical study of ballistic transport in a nanoscale MOSFET*', Solid-State Electronics, vol. 46, no. 11, pp. 1899–1906, 2002.
- [22] M. Mouis, and A. Poncet, '*Coupling between 2D and quantum confinement effects in ultra-short channel double-gate MOSFETs*', ESSDERC'2001, Germany, pp. 211–214, 2001.
- [23] J. B. Roldán, Andrés Godoy, Francisco Gámiz and M. Balaguer, '*Modeling the Centroid and the Inversion Charge in Cylindrical Surrounding Gate MOSFETs, Including Quantum Effects*', IEEE TRANSACTIONS ON ELECTRON DEVICES, pp.411-416, VOL. 55, NO. 1, JANUARY 2008.
- [24] Yiming Li, Jung Y. Huang, Bo-Shian Lee, and Chih-Hong Hwang, '*Effect of Single Grain Boundary Position on Surrounding-Gate Polysilicon Thin Film Transistors*', Proceedings of the 7<sup>th</sup> IEEE International Conference on Nanotechnology August 2 - 5, 2007, Hong Kong.



- [25] R. J. Needs, A. J. Read, K. J. Nash, S. Bhattacharjee, A. Qteish, L. T. Canham and P. D. J. Calcott, 'A first-principles study of the electronic properties of silicon quantum wires', *Statistical and Theoretical Physics*, vol. 207 (1-3), pp. 411-414, 1994.
- [26] M.-Y. Shen and S.-L. Zhang, 'Band gap of a silicon quantum wire', *Physics Letters A*, vol. 176 (3- 4), pp. 254-258, 1993.
- [27] J.-P. Colinge, M. H. Gao, A. Romano-Rodriguez, H. Maes and C. Claeys, 'Silicon-on-insulator gate-all-around device', *Technical Digest of IEDM*, pp. 595-598, San Francisco CA, 1990.
- [28] E. Leobandung, J. Gu, L. Guo and S. Y. Chou, 'Wire-channel and wrap-around-gate metal-oxidesemiconductor field-effect transistors with a significant reduction of short channel effects', *Journal of Vacuum Science and Technology: B*, vol. 15 (6), pp. 2791-2794, 1997.
- [29] J. Y. Song, W. Y. Choi, J. H. Park, J. D. Lee and B.-G. Park, 'Design optimization of gate-all-around (GAA) MOSFETs', *IEEE Transactions on Nanotechnology*, vol. 5 (3), pp. 186-191, 2006.
- [30] S. D. Suk, S.-Y. Lee, S.-M. Kim, E.-J. Yoon, M.-S. Kim, M. Li, C. W. Oh, K. H. Yeo, S. H. Kim, D.-S. Shin, K.-H. Lee, H. S. Park, J. N. Han, C. J. Park, J.-B. Park, D.-W. Kim, D. Park and B.-I. Ryu, 'High performance 5nm radius Twin Silicon Nanowire MOSFET (TSNWFET): fabrication on bulk Si wafer, characteristics, and reliability', *Technical Digest of IEDM*, pp. 717-720, Washington DC, 2005.
- [31] M. A. HAMDY 'COMPACT MODELING OF MULTIPLE GATE MOS DEVICES', Thèse de Doctorat, University of Rovira i Virgili, 2007.
- [32] Gengchiao Liang, 'Structure Effects in the gate-all-around Silicon Nanowire MOSFETs', *Electron Devices and Solid-State Circuits, EDSSC 2007*. pp . 129 – 132, 2007.
- [33] Sung Dae Suk, Kyoung Hwan Yeo, Keun Hwi Cho, Ming Li, Yun Young Yeoh, Sung-Young Lee, Sung Min Kim, Eun Jung Yoon, Min Sang Kim, Chang Woo Oh, Sung Hwan Kim, Dong-Won Kim, and Donggun Park, 'High-Performance Twin Silicon Nanowire MOSFET (TSNWFET) on Bulk Si Wafer', *IEEE TRANSACTIONS ON NANOTECHNOLOGY*, pp 181-184 ,VOL. 7, NO. 2, MARCH 2008.
- [34] Jae Young Song, Woo Young Choi, Ju Hee Park, Jong Duk Lee, and Byung-Gook Park, 'Design Optimization of Gate-All-Around (GAA) MOSFETs', *IEEE TRANSACTIONS ON NANOTECHNOLOGY*, pp. 186-191, VOL. 5, NO. 3, MAY 2006.

- [35] E. Moreno , J.B. Roldán , F.G. Ruiz, D. Barrera, A. Godoy, F. Gámiz, '*An analytical model for square GAA MOSFETs including quantum effects*', Solid-State Electronics pp. 1463–1469, Vol.54, 2010.
- [36] Kirsten E. Moselund, Didier Bouvet, Lucas Tschuor, Vincent Pott, Paolo Dainesi, and Adrian M. Ionescu, '*Local volume inversion and corner effects in triangular gate-all-around MOSFETs*', Solid-State Device Research Conference, pp. 359 – 362 , 2006. ESSDERC 2006.
- [37] Vincent Pott, Kirsten Emilie Moselund, Didier Bouvet, Luca De Michielis, and Adrian Mihai Ionescu, '*Fabrication and Characterization of Gate-All-Around Silicon Nanowires on Bulk Silicon*', IEEE TRANSACTIONS ON NANOTECHNOLOGY, pp 733-744,VOL. 7, NO. 6, NOVEMBER 2008.
- [38] B. Yang, K. D. Buddharaju, S. H. G. Teo, N. Singh, G. Q. Lo, and D. L. Kwong, '*Vertical Silicon-Nanowire Formation and Gate-All-Around MOSFET*', IEEE ELECTRON DEVICE LETTERS,pp 791-794 ,VOL. 29, NO. 7, JULY 2008.
- [39] Håkon Børli, Sigbjørn Kolberg, Tor A. Fjeldly, and Benjamin Iñíguez, '*Precise Modeling Framework for Short-Channel Double-Gate and Gate-All-Around MOSFETs*', IEEE TRANSACTIONS ON ELECTRON DEVICES,pp 2678-2686, VOL. 55, NO. 10, OCTOBER 2008.
- [40] Navab Singh, Kavitha D. Buddharaju, S. K. Manhas, A. Agarwal, Subhash C. Rustagi, G. Q. Lo, N. Balasubramanian, and Dim-Lee Kwong, '*Si, SiGe Nanowire Devices by Top–Down Technology and Their Applications*', IEEE TRANSACTIONS ON ELECTRON DEVICES, pp. 3107-3118, VOL. 55, NO. 11, NOVEMBER 2008.
- [41] Keun Hwi Cho, Sung Dae Suk, Yun Young Yeoh, Ming Li, Kyoung Hwan Yeo, Dong-Won Kim, Donggun Park, Won-Seong Lee, Young Chai Jung, Byung Hak Hong, and Sung Woo Hwang, '*Temperature-Dependent Characteristics of Cylindrical Gate-All-Around Twin Silicon Nanowire MOSFETs (TSNWFETs)*', IEEE ELECTRON DEVICE LETTERS, pp. 1129-1131, VOL. 28, NO. 12, DECEMBER 2007.
- [42] Hamdy Abd El Hamid, Benjamin Iñíguez, and Jaume Roig Guitart, '*Analytical Model of the Threshold Voltage and Subthreshold Swing of Undoped Cylindrical Gate-All-Around-Based MOSFETs*', IEEE TRANSACTIONS ON ELECTRON DEVICES,pp. 572-579, VOL. 54, NO. 3, MARCH 2007.
- [43] Jae Young Song, Woo Young Choi, JuHee Park, Jong Duk Lee, Young June Park, and Byung-Gook Park, '*Optimization of GAA MOSFET Structure and Comparison with DG MOSFETs*', IEEE 2005 Silicon Nanoelectronics Workshop, Kyoto, Japan, pp. 70-71, June 12-13, 2005.

- [44] Kyoung Hwan Yeo, Sung Dae Suk, Ming Li, Yun-young Yeoh, Keun Hwi Cho, Ki-Ha HongSeongKyu Yun, Mong Sup Lee, Nammyun Cho, Kwanheum Lee, Duhyun Hwang, Bokkyoung Park, Dong-Won Kim, Donggun Park, and Byung-Il Ryu, '*Gate-All-Around (GAA) Twin Silicon Nanowire MOSFET (TSNWFET) with 15 nm Length Gate and 4 nm Radius Nanowires*', Electron Devices Meeting, IEDM '06. pp. 1- 4, 2006.
- [45] Min-kyu Jeong and Jong-Ho Lee, '*Mobility and Effective Electric Field in Non-Planar Channel MOSFETs*', IEEE Transactions on Nanotechnology, pp. 106 – 110; 2009.
- [46] Byung-Gook Park , Jae Young Song, Jong Pil Kim, Hoon Jeong, Jung Hoon Lee, Seongjae Cho, '*Nanosculpture: Three-dimensional CMOS device structures for the ULSI era*', Microelectronics Journal, pp. 769–772, Vol.40, 2009.
- [47] Keun Hwi Cho, Sung Dae Suk, Yun Young Yeoh, Ming Li, Kyoung Hwan Yeo, Dong-Won Kim, Sung Woo Hwang, Donggun Park, and Byung-Il Ryu, '*Observation of Single Electron Tunneling and Ballistic Transport in Twin Silicon Nanowire MOSFETs (TSNWFETs) Fabricated by Top-Down CMOS Process*', Electron Devices Meeting, IEDM '06, 2006.
- [48] Sung Dae Suk Kyoung Hwan Yeo Keun Hwi Cho Ming Li Yun Young Yeoh Sung-Young Lee Sung Min Kim Eun Jung Yoon Min Sang Kim Chang Woo Oh Sung Hwan Kim Dong-Won Kim, '*High-Performance Twin Silicon Nanowire MOSFET (TSNWFET) on Bulk Si Wafer*', IEEE Transactions on Nanotechnology, pp.181-184 Vol.7 2008.
- [49] Runsheng Wang, Hongwei Liu, Ru Huang, Jing Zhuge, Liangliang Zhang, Dong-Won Kim, Xing Zhang, Donggun Park, and Yangyuan Wang, '*Experimental Investigations on Carrier Transport in Si Nanowire Transistors: Ballistic Efficiency and Apparent Mobility*', IEEE TRANSACTIONS ON ELECTRON DEVICES, pp. 2960-2967, VOL. 55, NO. 11, NOVEMBER 2008.
- [50] C. Dupré, T. Ernst, E. Bernard, B. Guillaumot, N. Vulliet, P. Coronel, T. Skotnicki, S. Cristoloveanu, G. Ghibaud and S. Deleonibus, '*A Mobility Extraction Method for 3D Multichannel Devices*', Solid-State Device Research Conference, ESSDERC 2008, pp. 230-233, 2008.
- [51] Donggun Park, '*3 Dimensional GAA Transistors : twin silicon nanowire MOSFET and multi-bridge-channel MOSFET*', IEEE International SOI Conference 2006.
- [52] YOON Eun-Jung; LEE Sung-Young ; KIM Sung-Min; KIM Min-Sang; SUNG HWAN KIM; LI MING ( ; SUK Sungdae; YEO Kyoung-hwan; CHANG WOO OH; CHOE Jung-Dong; CHOI Donguk; KIM Dong-Won;

PARK Donggun; KIM Kinam; RYU Byung-II; '*Sub 30 nm multi-bridge-channel MOSFET(MBCFET) with metal gate electrode for ultra high performance application*', International Electron Devices Meeting, San Francisco CA , ETATS-UNIS, pp. 627-630, 2004.

[53] LEE Sung-Young; YOON Eun-Jung; KIM Sung-Min; CHANG WOO OH ; MING LI; CHOI Jeong-Dong; YEO Kyoung-Hwan; KIM Min-Sang; CHO Hye-Jin; KIM Sung-Hwan; KIM Dong-Won; PARK Donggun; KIM Kinam; '*A novel sub-50 nm multi-bridge-channel MOSFET (MBCFET) with extremely high performance*', Symposium on VLSI Technology No24, Honolulu HI , ETATS-UNIS, pp. 200-201 ,2004.

[54] LEE Sung-Young; YOON Eun-Jung; KIM Sung-Min; CHANG WOO OH; MING LI; KIM Dong-Won; CHUNG Ilsub; PARK Donggun; KIM Kinam, '*Three-dimensional multi-bridge-channel MOSFET (MBCFET) fabricated on bulk Si-substrate*', Device research conference No62, pp. 119-120, Notre Dame IN , ETATS-UNIS 2004.

[55] Eun Jung Yun; Min Sang Kim; Sung Min Kim; Sung-Young Lee; Dong-Won Kim; Donggun Park; '*Characteristics of MBCFET (Multi-Bridge-Channel MOSFET) with Tall-Embedded-Gate (TEG)*', Solid-State and Integrated Circuit Technology, ICSICT '06, pp.81 – 83, 2006.

[56] Sung-Young Lee Min-Sang Kim Eun-Jung Yoon Sung-Dae Suk Sung-Min Kim, '*Single-metal gate multi-bridge-channel MOSFET (MBCFET) for CMOS application*', Integrated Circuit Design and Technology. ICICDT 200,pp 199 - 202 , 2005.

[57] J.P. Colinge; '*Multi-gate SOI MOSFETs*', Microelectronic Engineering, pp2071–2076, Vol 84, 2007.

[58] T. Ernst, E. Bernard, C. Dupré, A. Hubert, S. Bécu, B. Guillaumot, O. Rozeau, O. Thomas, P. Coronel, J.-M. Hartmann, C. Vizios, N. Vulliet, O. Faynot, T. Skotnicki, and S. Deleonibus , '*3D Multichannels and stacked nanowires Technologies for New Design opportunities in Nanoelectronics*', Integrated Circuit Design and Technology and Tutorial, ICICDT 2008.pp. 265-268 , 2008.

[59] B. Yang, K. D. Buddharaju, S. H. G. Teo, J. Fu, N. Singh, G. Q. Lo, and D. L. Kwong, '*CMOS Compatible Gate-All-Around Vertical Silicon-Nanowire MOSFETs*', 38th European Solid-State Device Research Conference, pp. 318 – 321, 15 - 19 Sep 2008, Edinburgh.

[60] Xiaoyu Hou, Falong Zhou, Ru Huang and Xing Zhang, '*Corner Effects in Vertical MOSFETs*', Solid-State and Integrated Circuits Technology, pp. 134-137, vol.1 2004.

- [61]. C. H. Wann, K. Noda, T. Tanaka, M. Yoshida and C. Hu, 'A comparative study of advanced MOSFET concepts', *IEEE Trans. Electron Devices*, vol. 43, no.10, pp. 1742-1753, Oct. 1996.
- [62] H. Takato, K. Sunouchi, N. Okabe, A. Nitayama, K. Hieda, F. Horiguchi, and F. Masuoka, 'High performance CMOS surrounding gate transistor (SGT) for ultra high density LSIs', in *IEDM Tech. Dig.*, 1988, pp. 222-225.
- [63] J. T. Park and J. P. Colinge, 'Multiple-gate SOI MOSFETs: Device design guidelines', *IEEE Trans. Electron Devices*, vol.49, no. 12, pp. 2222-2229, December, 2002.
- [64] S.-H. Oh, D. Monroe and J. M. Hergenrother, 'Analytic description of short-channel effects in fully-depleted Double-Gate and Cylindrical, Surrounding-Gate MOSFETs', *IEEE Electron Device Letters*, vol. 21, no. 9, pp. 445-447, September. 2000.
- [65] Benjamin Iñíguez, David Jiménez, Jaume Roig, and Hamdy A. Hamid, 'Explicit Continuous Model for Long-Channel Undoped Surrounding Gate MOSFETs', *IEEE Trans. on Electron Devices*, vol. 52, no. 8, pp. 1868-1872, August 2005.
- [66] Q. Chen, E. M. Harrell, II, and J. D. Meindl, 'A Physical Short-Channel Threshold Voltage Model for Undoped Symmetric Double-Gate MOSFETs', *IEEE Trans. on Electron Devices*, Vol. 50, no. 7, July 2003.
- [67] Y. Ma, Z. Li, L. Liu, L. Tian, and Z. Yu, 'Effective density-of-states approach to QM correction in MOS structure', *Solid-State Electron.*, vol. 44, pp. 401-407, 2000.
- [68] P. BOURRET, J. REGGIA, M. SAMUELIDES, 'Réseaux neuronaux une approche connexionniste de l'intelligence artificielle', Ouvrage de l'édition TEKNEA, 1991.