

REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE  
MINISTERE DE L'ENSEIGNEMENT SUPERIEUR  
ET DE LA RECHERCHE SCIENTIFIQUE

UNIVERSITE DE BATNA  
FACULTE DE TECHNOLOGIE  
DEPARTEMENT D'ELECTRONIQUE

**Mémoire**

Présenté en vue de l'obtention du diplôme de Magister en  
Électronique

**Option**

Micro-électronique IC-Design

**Présenté par**

YOUSFI Abderrahim

**THEME**

---

**Étude et modélisation de l'effet de la grille sur les performances  
électriques du transistor nanométrique  
à grille enrobée**

---

Devant le jury constitué de :

Pr. MAHAMDI Ramdane	Prof. Univ. Batna	Président
Dr. DJEFFAL Fayçal	M.C.A Univ. Batna	Rapporteur
Dr. BOURIDAH Hachemi	M.C.A Univ. Jijel	Examineur
Pr. DIBI Zohir	Prof. Univ. Batna	Examineur

2012

## **Remerciements**

*Je souhaite remercier ici un certain nombre de personnes qui ont contribué à l'aboutissement de ce travail de mémoire de Magister.*

*Un premier merci à mon directeur du mémoire **DJEFFAL Fayçal** qui par ses encouragements, son positivisme et sa franchise a su m'accompagner lors de ces deux années. Son aide permanent et son soutien m'ont permis de mener à bien cette recherche. Ce fut un plaisir de travailler avec lui.*

*J'exprime ma profonde et respectueuse gratitude à Monsieur **MAHAMDI Ramdane** professeur à l'Université de **Batna** pour m'avoir fait l'honneur d'accepté la présidence du jury de soutenance.*

*J'adresse mes sincères remerciements à Monsieur **BOURIDAH Hachemi** Maître de Conférence à l'Université de **Jijel** pour m'avoir fait l'honneur de juger cette thèse.*

*Mes remerciements s'adressent également à Monsieur **DIBI Zohir**, professeur à l'Université de **Batna**, qui m'honore de sa présence dans ce jury.*

*Je remercie enfin tous les membres du laboratoire de la Poste graduation d'électronique ainsi que tous ceux qui ont participé de près ou de loin à la réalisation de ce travail.*

***Je dédie ce travail à :***

***A Mon Père,***

*En vous, je voie un père dévoué à sa famille. Ta présence en toute  
circonstance m'a maintes fois rappelé  
le sens de la responsabilité.*

***A Ma Mère,***

*En vous, je voie la maman parfaite, toujours prête à se sacrifier pour le  
bonheur de ses enfants.*

***A Toute ma famille et tous mes collègues.***

*Merci pour tout.*

## Table des notations

$\epsilon_{ox}$	La permittivité électrique de l'oxyde
$\epsilon_{si}$	La permittivité électrique du silicium
$\mu$	Mobilité de porteurs dans le canal
$t_{si}$	épaisseur du Silicium
$t_{ox}$	épaisseur de l'oxyde de grille (SiO <sub>2</sub> )
$\psi_s$	Le potentiel de surface
$\mu_n$	Mobilité des électrons
$\mu_p$	Mobilité des trous
$q$	Charge élémentaire électrostatique
$c_{ox}$	Capacité d'oxyde
<i>CMOS</i>	Complementary Metal-Oxide-Semiconductor
<i>MOSFET</i>	Metal-Oxide-Semiconductor Field Effect Transistor
<i>DG MOSFET</i>	Double Gate MOSFET
<i>GAA MOSFET</i>	Gate All Around MOSFET
<i>nMOSFET</i>	Transistor à canal n
<i>pMOSFET</i>	Transistor à canal p
$L$	Longueur du canal
$N_A$	Concentration en dopants de type P
$N_D$	Concentration en dopants de type N
$n_i$	Densité de porteur intrinsèque
$T$	Température
<i>Si</i>	Silicium
<i>SiO<sub>2</sub></i>	Oxyde de silicium (isolant)
$V_{ds}$	Tension Drain-Source
$V_{gs}$	Tension grille-Source

$V_g$	Polarisation de grille normalisée
$V_g^*$	Représente la tension de la grille normalisée
$V_{bi}$	Potentiel aux jonctions source/drain-canal normalisé
$V_{th}$	Tension de seuil
<i>VLSI</i>	Intégration à très grande échelle
<i>ZCE</i>	Zone de charge d'espace
$x$	Affinité électronique
$x_{si}$	Affinité électronique du silicium
$\phi_{ms}$	Différence des travaux de sortie métal-semi-conducteur
<i>ECC</i>	Effet Canaux Courts

## Constantes fondamentales

Constante de Planck	$h$	$= 6.62618.10^{-34} Js$
Module de la charge élémentaire de l'électron	$e$	$= 1.602189.10^{-19} C$
Permittivité diélectrique du vide	$\epsilon_0$	$= 8.854.10^{-12} F / m$
Energie du Gap à 300K	$E_g$	$= 1.12 eV$
Affinité électronique	$x_{si}$	$= 4.01 eV$
Permittivité relative	$\epsilon_{si}$	$= 11.9$

## Table des Matières

<b>Introduction générale.....</b>		<b>1</b>
<b>Chapitre I</b>	<b>TECHNOLOGIE DU TRANSISTOR</b>	
I	Introduction.....	4
I.1	L'ère du transistor MOS.....	5
I.2	Transistor MOS .....	6
I.3	Principe de fonctionnement du MOSFET.....	8
I.3.1	Régimes de fonctionnement du transistor MOSFET.....	9
I.4	Quelles applications.....	12
I.5	Miniaturisation des transistors.....	13
I.5.1	Pourquoi réduire la taille des transistors .....	13
I.6	Effets canaux courts.....	14
I.6.1	Partage de charge de déplétion (CS).....	14
I.6.2	DIBL (abaissement de la barrière de potentiel induit par le drain).....	14
I.6.3	Courant sous seuil.....	16
I.6.4	Tension de seuil.....	18
I.7	Modélisation de l'effet de High-k (HfO <sub>2</sub> ).....	18
I.8	Conclusion .....	20
<b>Chapitre II</b>	<b>TRANSISTOR A GRILLE MULTIPLE</b>	
II	Introduction.....	22
II.1	Construction du MOSFET.....	23
II.1.1	matériau de grille.....	23
II.1.2	Grilles métalliques.....	24
II.1.3	Déplétion de grille.....	24
II.1.3.1	Amélioration du contrôle de la grille sur la charge de déplétion	25
II.2	Déférents structure du transistor.....	25
II.2.1	Structure double grille.....	25
II.2.2	Structure triple grille .....	26
II.2.3	Structure triple <sup>+</sup> grille.....	27
II.2.4	Structure quadruple grille.....	27
II.3	Transistors à grille enrobée.....	28
II.4	L'architecture MOSFET à grille enrobée.....	30
II.5	Différentes catégories de la technologie GAA MOSFET.....	32
II.5.1	Transistor GAA MOSFET rectangulaire.....	32
II.5.2	Transistor GAA MOSFET triangulaire.....	32
II.5.3	Transistor GAA MOSFET cylindrique.....	32
II.6	Conclusion .....	33

<b>Chapitre III</b>	<b>ALGORITHMES GENETIQUES</b>	
III	Introduction.....	35
III.1	Algorithmes évolutionnaires.....	36
III.1.1	Algorithmes génétiques (AGs).....	36
III.1.1.1	Principe des algorithmes génétiques.....	37
III.1.1.2	Caractéristiques des algorithmes génétiques.....	38
III.1.1.3	Codage.....	38
	Codage binaire.....	38
	Codage réel.....	38
	Codage de Gray.....	39
III.1.1.4	Espace de recherche des solutions.....	40
III.1.1.5	Fonction d'évaluation (fitness) et le hasard.....	40
III.1.1.6	Concepts et formalismes d'opérateurs génétiques.....	41
III.1.1.6.a	Sélection.....	41
	Roulette.....	41
	Tournoi.....	42
III.1.1.6.b	Croisement.....	42
III.1.1.6.c	Mutation.....	43
III.1.1.6.d	Elitisme.....	43
III.1.1.7	Critères de convergence.....	44
III.1.1.8	Grandes étapes de l'algorithme génétique.....	44
III.1.2	Avantages et inconvénients des algorithmes génétiques.....	45
III.1.2.1	Avantage des AGs.....	45
III.1.2.2	Inconvénients des AGs.....	45
III.1.2.3	Caractéristiques de l'optimisation génétique.....	46
III.1.2.4	Optimisation Multi objectifs.....	46
III.1.2.4.1	Introduction.....	46
III.2	Conclusion.....	48
<b>Chapitre IV</b>	<b>MODELISATION DU DMSG MOSFET NANOMETRIQUE</b>	
IV.1	Introduction.....	50
IV.2	Structure du transistor DMSG MOSFET.....	51
IV.3	Modélisation analytique.....	51
IV.3.1	Potentiel de surface $\psi_s(x)$ .....	52
IV.3.2	Tension de seuil $V_{th}$ (Threshold voltage).....	60
IV.3.3	Modélisation du <i>DIBL</i> .....	62
IV.3.4	Facteur sous le seuil $S$ .....	64
IV.4	Conclusion.....	66
<b>Chapitre V</b>	<b>OPTEMISATION MULTI OBJECTIFS DU TRANSISTOR</b>	
V.1	Introduction.....	68



V.2	Algorithme génétique multi objectifs (MOGA).....	77
V.3	Optimisation basée sur MOGA.....	78
V.4	Conclusion.....	73
	<b>Conclusion générale.....</b>	<b>75</b>

# *INTRODUCTION GENERALE*

## Introduction générale

Depuis les années 1950, le transistor à effet de champ MOSFET (Metal Oxyde Semiconductor Field Effect Transistor), en tant que brique de base des circuits intégrés, est le moteur principal de l'industrie du semi-conducteur. Son architecture et son principe de fonctionnement sont restés pratiquement inchangés à ce jour, mais ses dimensions physiques n'ont cessé de décroître, suivant la loi de Moore. Cependant, depuis le début des années 2000, la réduction de la taille des composants ne suffit plus à garantir de meilleures performances tout en réduisant le coût de fabrication. L'industrie des semi-conducteurs est dans une période clef de son développement, car elle passe du monde de la microélectronique à celui de la nanoélectronique. Afin de poursuivre l'augmentation des performances tout en maintenant l'architecture « classique » des transistors MOSFETs, plusieurs solutions existent. Entre autres, l'utilisation de substrats Silicium sur Isolant (SOI pour « Silicon-On-Insulator ») permet d'isoler électriquement la partie active des transistors (le canal de conduction) du substrat. L'incorporation d'une contrainte mécanique dans le canal est considérée comme la voie principale d'amélioration des MOSFETs, au même titre que la miniaturisation.

Les contraintes, si elles sont non intentionnelles, peuvent induire des défauts cristallins et notamment des dislocations pouvant générer des courants de fuite et des dysfonctionnements importants des transistors. Par contre, leur contrôle permet d'augmenter la vitesse de fonctionnement des transistors. L'application de cette contrainte mécanique contrôlée ainsi que la compréhension de ses effets sur les propriétés physiques est ainsi l'un des enjeux de l'industrie des semi-conducteurs avec la réduction des dimensions des dispositifs. L'objectif de ce travail de thèse est de progresser dans la compréhension, la prévision et la quantification des effets canaux courts dans le transistor MOSFET.

Les algorithmes évolutionnistes ou algorithmes évolutionnaires, sont une famille d'algorithmes s'inspirant de la théorie de l'évolution pour résoudre des problèmes divers. Leur principe est de simuler l'évolution d'une population d'individus divers auquel on applique différents opérateurs génétiques et que l'on soumet à chaque génération à une sélection. Ces algorithmes sont de plus en plus utilisés dans l'industrie car ils sont particulièrement adaptés aux problèmes d'optimisation comportant de nombreux paramètres.

Le domaine de la modélisation et la simulation des composants microélectroniques peuvent être considéré comme un champ important d'applications des techniques évolutionnaires.

Par conséquent, l'étude de la possibilité d'utilisation de ces techniques dans le domaine de la microélectronique, notamment sous forme des optimisateurs et des simulateurs des composants microélectroniques, s'avère nécessaire. En ce sens, les techniques évolutionnaires sont considérées comme un outil supplémentaire entre les mains de l'ingénieur et du chercheur, plutôt que comme un substitut aux méthodes plus classiques. Ces outils sont susceptibles d'apporter des éléments de réponse là où les procédures analytiques montrent leurs limites.

*CHAPITRE 1*  
*TECHNOLOGIE DU TRANSISTOR*

### **I. Introduction**

Ce premier chapitre présente le contexte de ces travaux de mémoire. En effet, le transistor MOS (Métal Oxyde Semi conducteur) à effet de champ (FET) atteint aujourd'hui des dimensions nanométriques. Dans une première partie, nous introduisons ce transistor MOS qui nous intéresse particulièrement. Nous verrons aussi dans une deuxième partie, qu'avec la diminution des dimensions, des effets parasites négligeables jusqu'à présent sont apparus. Pour pouvoir poursuivre cette miniaturisation sur les prochaines générations de transistor, il convient de développer de nouvelles architectures et introduire de nouveaux matériaux. C'est sur cet aspect, plus spécifique à l'objet de cette thèse.

### I.1.L'ère du transistor MOS

De 1920 à nos jours Le transistor MOS, tirant son appellation de sa structure verticale (Métal/Oxyde/Semi-conducteur), est aujourd'hui la brique élémentaire des circuits intégrés constituant la plupart des dispositifs microélectroniques qui nous entourent. Aussi appelé transistor à effet de champ, MOSFET (MOS Field Effect Transistor), son principe de base fut énoncé pour la première fois dans les années 1920 par J. E. Lilienfield [1], mais il fallut attendre 1960 pour en voir la première réalisation [2] (Figure I.1).

L'échec des nombreuses tentatives provenait à l'époque de la difficulté à contrôler l'état d'interface entre l'isolant et le semi-conducteur du canal. C'est dans les années 1960, avec l'utilisation de l'oxyde de silicium thermique ( $\text{SiO}_2$ ), que les technologies CMOS (Complementary MOS) et planaires imposèrent le transistor MOS comme l'élément incontournable de la microélectronique.



*Figure I.1: Premier transistor MOSFET réalisé par M. M. Atalla, D. Kahng et E. Labate en 1959[2]*

En effet, la technologie CMOS consiste à associer 2 types de transistor MOS (nMOS et pMOS) en tirant partie de leur régime de fonctionnement complémentaire afin de former l'élément de base de tous les circuits logiques : l'inverseur. De plus, la technologie planaire permet de fortes densités d'intégration. Ainsi le premier processeur vit le jour chez INTEL en 1971, constitué de 2300 transistors nMOS de  $10\mu\text{m}$  de longueur de grille et fonctionnant à une fréquence d'horloge de 108kHz.

Aujourd'hui, les processeurs comportent 140 millions de transistors de 45nm de longueur de grille et fonctionnent à une fréquence d'horloge supérieure à 4GHz [3] (Figure I.2).

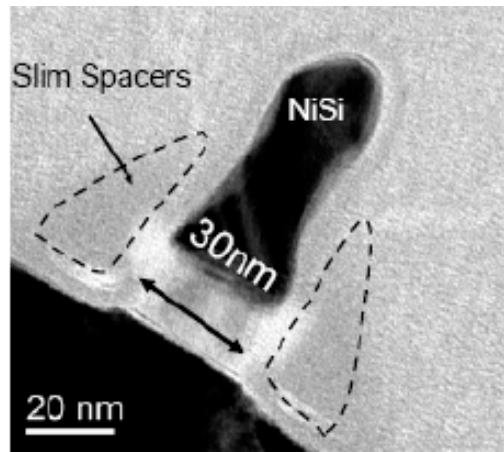


Figure I.2: Coupe TEM d'un transistor de longueur de grille 30nm[3]

## I.2 Transistor MOS

La figure (I.3) présente le schéma électrique équivalent d'un transistor MOSFET intrinsèque dans le régime d'inversion ( $V_{GS} > V_T$ ). Cette modélisation inclut les différentes résistances et capacités parasites habituelles. La superposition du schéma électrique et de la coupe du transistor met en évidence les origines physiques de ces éléments parasites [4]. Les caissons source et drain sont des zones fortement dopées, les porteurs qui les traversent y subissent donc un grand nombre d'interactions avec les impuretés dopantes ionisées. Les résistances d'accès intrinsèques  $R_S$  et  $R_D$  de ces caissons peuvent être non négligeables si elles deviennent du même ordre.

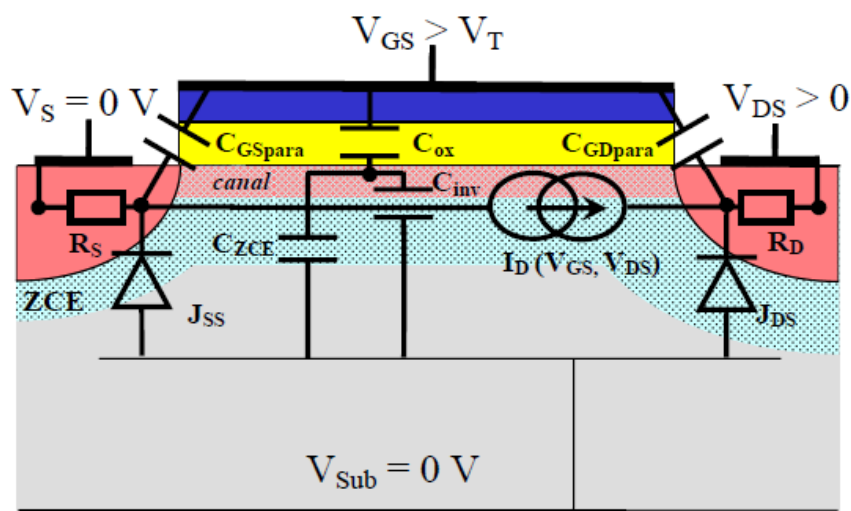


Figure I.3: Schéma électrique équivalent superposé à un schéma en coupe d'un MOSFET en inversion[4].



On a vu précédemment que l'effet de champ crée un canal de porteurs libres par l'intermédiaire de la capacité MOS. La longueur et la largeur de l'oxyde de grille étant très grandes devant son épaisseur ( $W$  et  $L_G \gg t_{ox}$ ), les effets de bord sont négligeables en première approximation.

La capacité MOS n'a donc qu'une seule dimension et on ne va considérer que des grandeurs surfaciques. La variation de charges surfaciques commandée par la grille  $\Delta Q(V_{GS})$  se répartit dans le semi-conducteur entre le canal d'inversion  $\Delta Q_{inv}$  et la zone de charge d'espace  $\Delta Q_{ZCE}$  soit :

$\Delta Q(V_{GS}) = \Delta Q_{inv} + \Delta Q_{ZCE}$ . Cette capacité MOS est modélisée par une capacité d'oxyde  $C_{ox}$  en série avec un montage en parallèle d'une capacité d'inversion  $C_{inv}$  et d'une capacité de substrat  $C_{ZCE}$ . La capacité surfacique d'oxyde  $C_{ox}$  est reliée à la structure métal de grille/isolant :  $C_{ox} = \epsilon_{ox} / t_{ox}$ . La tension à ses bornes est égale à la différence de potentiel aux limites de l'oxyde. La capacité surfacique  $C_{inv}$  est liée à la variation, sous l'effet de la tension de grille, de la charge d'inversion formée par les porteurs libres du canal  $\Delta Q_{inv}$ . En outre, on montre que pour  $V_G \gg V_T$ , la charge surfacique d'inversion  $Q_{inv}$  est donnée par :

$$Q_{inv} = C_{ox} \cdot (V_G - V_T).$$

La capacité surfacique  $C_{ZCE}$  correspond à la variation de charge surfacique de la zone de charge d'espace du substrat, d'extension  $T_{ZCE}$ , commandée par la grille donc  $C_{ZCE} = \epsilon_{si} / T_{ZCE}$  avec  $\epsilon_{si}$  permittivité diélectrique du silicium.

Pour augmenter le contrôle de la grille sur le canal,  $\Delta Q_{ZCE}$  et donc la capacité  $C_{ZCE}$  doit rester les plus faibles possibles pour ne pas dégrader les caractéristiques du transistor, en particulier sous le seuil.

Les capacités  $CGS_{para}$  et  $CGD_{para}$  modélisent des phénomènes capacitifs supplémentaires qui se rajoutent, côté drain et côté source, à ceux de la structure MOS idéale. Chacune de ces capacités peut inclure différents types de couplage électrostatique comme illustré en Figure (I.4). Tout d'abord, il peut exister un couplage dû à des effets de bord nommé  $C_{bord}$  : des lignes de champ (à 2 dimensions) se propagent entre l'électrode de grille et les caissons dans l'espace au-dessus des caissons. Dans le cas d'un recouvrement par la grille des caissons, il y a création, en régime d'inversion du canal, d'une zone d'accumulation dans les caissons et apparition de la capacité  $C_{recd}$  associée qui peut être très pénalisante. De plus, si la grille

recouvre les ZCE de jonction caisson/substrat, il y a compétition entre les ZCE commandées par la grille et la source. Cela se traduit par une modification de la capacité surfacique  $C_{ZCE}$  près des caissons.

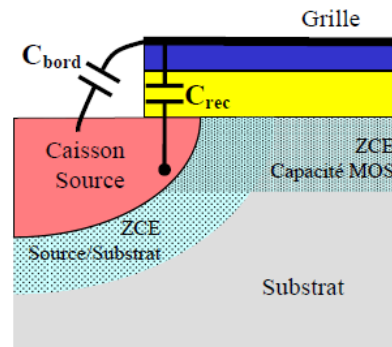


Figure I.4 : Décomposition de la capacité parasite  $CGS_{para}$  de la Figure I.3 en capacité  $C_{bord}$  et capacité de recouvrement  $C_{rec}$  grille/caisson[4].

Enfin, on constate la présence des jonctions N<sup>+</sup>/P Source/Substrat et aussi Drain/Substrat qui induisent des comportements résistifs et capacitifs susceptibles de détériorer aussi le comportement dynamique du transistor.

### I.3 Principe de fonctionnement du MOSFET

Le principe de fonctionnement d'un transistor MOS repose sur "l'effet de champ électrique", qui consiste à moduler de façon électrostatique une densité de charges mobiles dans un semi-conducteur.

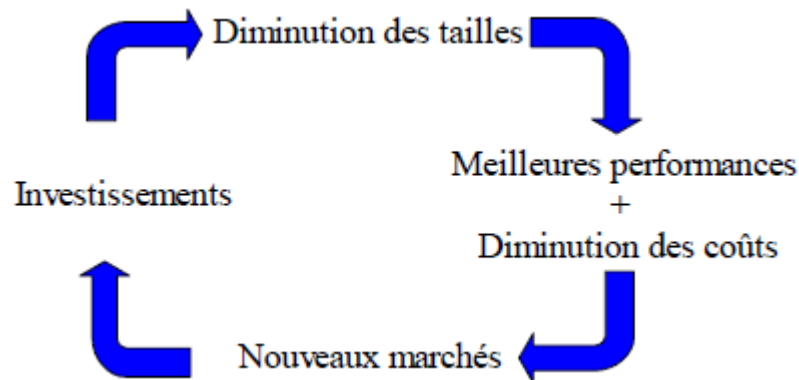


Fig. I.5: Cycle de croissance de l'industrie des semi-conducteurs [5].

Le transistor à effet de champ (MOSFET) repose sur l'action d'un champ électrique vertical. Ce champ permet de moduler localement la concentration des porteurs dans une zone semi-conductrice appelée canal de conduction ou canal d'inversion, située entre deux réservoirs de

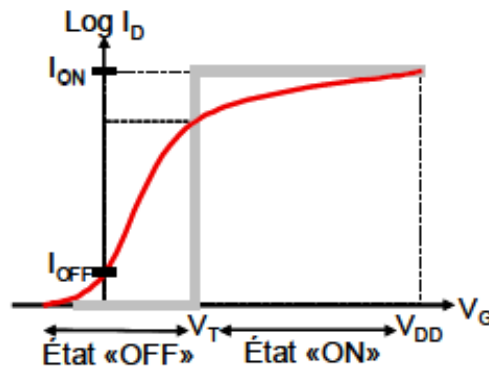
charges (la source et le drain). Le champ électrique est régi par une électrode de commande, appelée grille, à travers une couche isolante que constitue le diélectrique de grille (Figure I.3). Le fonctionnement de cette électrode s'apparente à un interrupteur contrôlant le passage de l'état passant à l'état fermé. Cette propriété explique son utilisation massive, principalement dans la conception des circuits logiques.

On distingue deux types de transistors MOSFETs :

Les nMOS dont le canal d'inversion est constitué d'électrons. Le canal est alors dopé de type P et les zones de source et de drain sont dopées N.

Les pMOS dont le canal d'inversion est constitué de trous. Le canal est dopé N et les zones de source et de drain sont dopées P.

Ces deux types de transistors ayant un fonctionnement symétrique, on ne détaillera que le transistor nMOS par la suite.



*Figure I. 7: Caractéristique de sortie  $I_D (V_G)$  idéale (en trait gras) et réelle (en trait fin) d'un transistor nMOSFET [6]*

Dans un cas idéal, lorsque la tension appliquée sur la grille est nulle ( $V_G = 0V$ ), le champ électrique est nul, il n'y a aucun porteur dans le canal et le courant de drain ( $I_{ds}$ ) équivalant au courant de fuite ( $I_{OFF}$ ): le transistor est bloqué. Au contraire, quand la polarisation de grille  $V_G$  est égale à celle du drain  $V_D$ , un champ électrique est créé, les porteurs affluent dans le canal, et peuvent alors transiter librement d'un réservoir à l'autre, générant un courant de drain non nul  $I_{DGT}$ : le transistor est alors passant (Figure I. 7). Le passage de l'état bloqué à l'état passant est effectif lorsqu'un nombre suffisant de porteurs est présent dans le canal, c'est-à-dire pour une tension  $V_G = V_T$ .

### I.3.1 Régimes de fonctionnement du transistor MOSFET :

Pendant le fonctionnement du transistor, la tension entre la source et le drain est positive, créant un champ électrique horizontal pouvant mettre en mouvement les porteurs dans le canal, ou les dopants étant de nature différente dans le canal et les zones de source et de drain, une barrière énergétique, de hauteur  $\phi$ , apparaît entre le canal et les extensions. Cette barrière empêche le passage des porteurs entre la source et le drain si aucune polarisation n'est appliquée sur le dispositif. L'ensemble source/substrat/drain peut être vu comme une jonction npn. On peut distinguer alors trois situations en fonction de la tension  $V_G$  appliquée sur la grille (Figure I. 8).

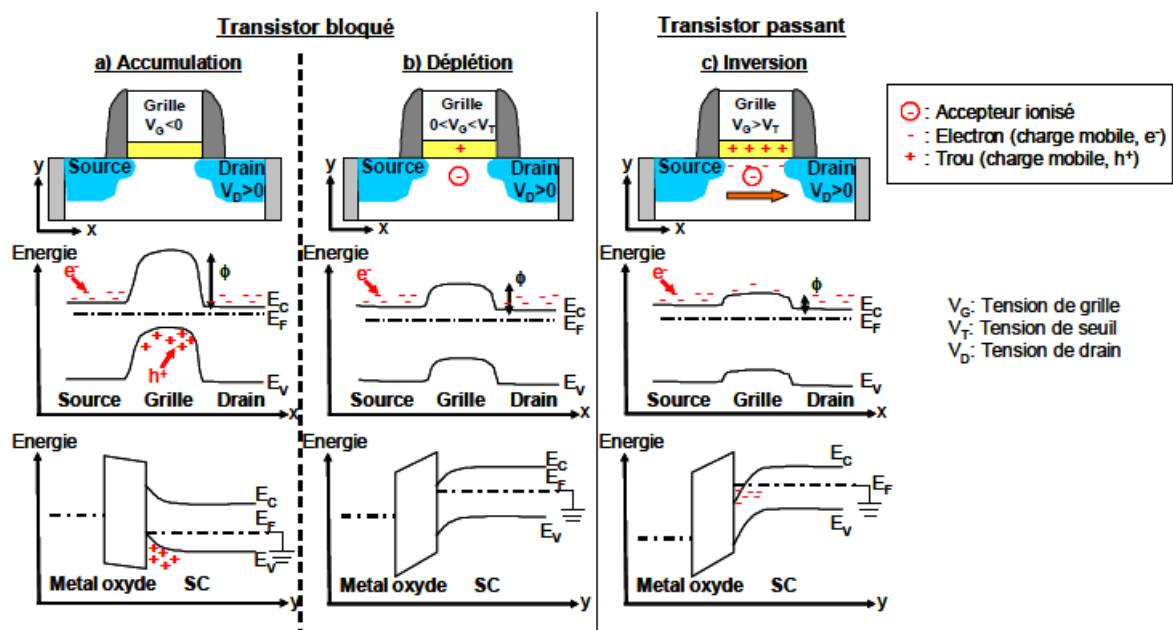


Figure I. 8: Description schématique des différents états de fonctionnement d'un transistor nMOS. La première ligne est une représentation schématique du MOS. La seconde représente une coupe longitudinale de l'énergie le long du canal, et la dernière représente l'énergie suivant une coupe transverse au canal dans les régions Métal, Oxyde et Semi-conducteur [7]

Dans ce cas, la tension de drain est aussi la tension nominale d'alimentation  $V_{DD}$

$$V_G = V_D = V_{DD}.$$

#### Régime d'accumulation

Une valeur largement négative de la tension de grille  $V_G$  crée un appel de trous (porteurs majoritaires du substrat) en surface du canal. On est en régime d'accumulation. L'énergie potentielle dans le canal est supérieure à celle de la source créant une barrière de potentiel. Le transistor est bloqué (Figure I.8.a).

**Régime de désertion**

A faible potentiel  $V_G$ , les trous (porteurs majoritaires) dans le substrat, sont repoussés en profondeur, ne laissant que les accepteurs ionisés (charges fixes de type opposé) dans le canal. Il apparaît alors une zone de charge d'espace où les charges fixes dues aux dopants créent une capacité de désertion ( $C_{DEP}$ ). Cela se traduit par une courbure de la bande de conduction en surface vers le niveau de Fermi. Le potentiel du canal demeure alors inférieur à celui de la source et le courant ne passe pas même si la barrière se voit déjà diminuée (Figure I.8.b).

**Régime d'inversion forte et tension de seuil**

Si l'on augmente encore le potentiel de grille  $V_G$ , la bande de conduction est encore plus fortement courbée vers le niveau de Fermi: la barrière de potentiel source-canal  $\phi$  est quasi nulle (Figure I.8.c). La tension de seuil ( $V_T$ ) correspond alors à la tension de grille ( $V_G$ ) pour laquelle le régime du transistor passe de l'inversion faible à l'inversion forte. Cette notion de tension de seuil est fondamentale dans le fonctionnement du transistor MOS car elle gouverne la mise en conduction de celui-ci. La condition d'inversion forte est obtenue lorsque le potentiel de surface dans le canal est égal à deux fois la différence  $\phi_F$  entre le niveau de Fermi et le niveau intrinsèque du silicium (Figure I.6). Cette condition assure que le canal contienne des porteurs de même type que la source et le drain.

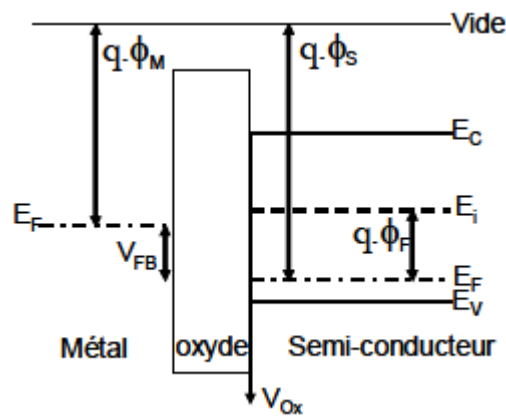


Figure I. 9: Schéma des bandes en régime de bande plates. Définition de la tension de bande plate ( $V_{FB}$ ).  $V_G = V_{FB}$  [8].

Si l'on se place en régime de bande plate (Figure I.9) [8], où le potentiel de surface dans le canal est égal à celui dans le volume, il faut alors, pour amener le transistor en conduction, appliquer sur la grille une tension de seuil  $V_T$  telle que :

$$V_T = V_{FB} + V_{OX} + 2\phi_F \tag{I.1}$$

$V_{OX}$  étant la chute de potentiel dans l'oxyde et  $V_{FB}$  étant défini comme la tension de bande plate prenant en compte la différence  $\phi_{ms}$  des travaux de sortie du silicium et du matériau de l'électrode de grille ainsi que la présence de charges dans l'oxyde.

Ces charges pouvant être des charges fixes ( $Q_F$ ) et des charges piégées à l'interface ( $Q_{SS}$ ), la tension de bande plate peut alors s'écrire:

$$V_{FB} = \phi_{ms} - \frac{Q_{SS}}{C_{OX}} - \frac{Q_F}{C_{OX}} \quad (I.2)$$

#### I.4 Quelles applications :

Le transistor MOS est principalement utilisé dans deux types d'applications :

Les applications à haute performance (HP) qui sont essentiellement les puces MPU (Micro Processor Unit) des ordinateurs de bureaux et des serveurs. La vitesse de calcul y est privilégiée au détriment de la consommation électrique qui est non négligeable que ce soit en fonctionnement ou en état de veille.

Les applications à basse consommation comme les dispositifs portables (ordinateur, téléphone). On y distingue les dispositifs opérant à faible puissance (LOP – Low Operating Power) pour les applications mobiles nécessitant une vitesse de calcul relativement grande et des batteries de large capacité (ordinateurs portables par exemple) et les dispositifs à très faible puissance de veille (LSTP – Low Standby Power) ayant de plus faibles courants de fuite avec des performances moindres.

A l'heure actuelle, de nombreuses applications demandent de plus en plus de puissance avec une portabilité toujours croissante. Les systèmes d'exploitation et autres applications logicielles sont de plus en plus gourmands en capacité de calcul. Il en résulte une course effrénée des industriels à l'augmentation de la puissance des dispositifs. Nous verrons par la suite que cette augmentation des performances passe par une miniaturisation des composants et que l'industrie des semi-conducteurs se trouve aujourd'hui face à des barrières technologiques: les constructeurs doivent innover pour continuer à améliorer les performances.

**I.5 Miniaturisation des transistors**

**I.5.1 Pourquoi réduire la taille des transistors ?**

La croissance de l'industrie des semi-conducteurs dépend pour l'instant de sa capacité à miniaturiser les transistors. L'objectif de la démarche est de délivrer de meilleures performances à moindre coût [5].

Des circuits plus petits réduisent la surface globale de la puce électronique et permettent donc de produire plus de transistors sur un même wafer sans impacter sur le prix de fabrication. Le coût des circuits diminue ainsi d'un facteur deux tous les 18 mois. Les performances électriques des composants sont également améliorées (tableau (1.1)). En diminuant la dimension des MOSFETs, le temps de passage de l'état "off" à l'état "on" diminue linéairement du fait de l'évolution du temps de réponse intrinsèque  $\approx$  longueur de canal/vitesse des porteurs.

Un autre avantage est la réduction de la consommation de puissance, utile pour augmenter la durée d'autonomie des systèmes mobiles mais aussi pour améliorer la fiabilité des systèmes hautes performances. Des puces plus petites consomment moins de puissance, donc moins d'énergie, sont utilisées pour chaque opération. En conséquence, le produit puissance temps de réponse est réduit. Enfin, la rapidité de transmission de l'information dans un circuit intégré est limitée par la vitesse de l'impulsion électrique. Pour pouvoir augmenter la rapidité globale d'une opération, il faut réduire les distances géométriques, et empiler un maximum de données d'information dans un minimum d'espace pour les rapprocher. Cette évolution permet à un large public d'accéder à des services plus performants, moins chers et souvent nouveaux. Des objets technologiques innovants sont ainsi produits et créent de nouveaux marchés dont les retombées financières sont réinvesties dans la course à l'intégration (Tab (I.1))

<b>Année</b>	<b>2004</b>	<b>2007</b>	<b>2010</b>	<b>2013</b>	<b>2016</b>
Nœud technologique (nm)	90	65	45	32	22
Longueur de grille physique (nm)	37	25	18	13	9
Tension d'alimentation (V)	1.2	1.1	1	0.9	0.8
Epaisseur d'oxyde équivalent (nm)	1.2	0.9	0.7	0.6	0.5
Tension de seuil en saturation (V)	0.2	0.18	0.15	0.11	0.10
Courant de fuite nominal des NMOS ( $\mu\text{A}/\mu\text{m}$ )	0.05	0.07	0.1	0.3	0.5
Courant conducteur nominal des NMOS ( $\mu\text{A}/\text{m}$ )	1110	1510	1900	2050	2400
Temps de réponse intrinsèque des NMOS (ps)	0.95	0.64	0.39	0.26	0.15

*Tab I.1 : Prévisions ITRS des caractéristiques des MOSFETs ultimes [9].*

### I.6 Effets canaux courts

De manière générale, les effets canaux courts que nous noterons SCE (*Short Channel Effects*) [10] – constituent tous des effets parasites qui influent sur les Deux effets parasites sont prédominants lorsque l'on atteint des dimensions très faibles : le partage de charge CS (*Charge Sharing*) et le DIBL (*Drain Induced Barrier Lowering*).

#### I.6.1 Partage de charge de déplétion (CS)

L'effet de partage de charge (CS) apparaît lorsqu'une partie significative du canal n'est plus contrôlée par la grille à cause de l'influence des jonctions de source et de drain. Quand  $V_{ds}$  augmente, la quantité de charge contrôlée par la grille diminue en dessous de sa valeur obtenue pour  $V_{ds} = 0V$ . Cet effet se traduit par une diminution de la tension de seuil et par une augmentation de la pente sous le seuil SS ainsi que du courant. Ce résultat s'observe bien sur la caractéristique  $I_d - V_g$  en échelle logarithmique de la figure (I.10).

En plus de cet effet canal court, on assiste à un effet canal étroit [11]. La région de déplétion effective créée par la tension de grille sous l'oxyde de grille s'étend latéralement. Cependant, contrairement à l'effet du canal court, cet effet dû au canal étroit conduit à une diminution de la valeur du courant et, ainsi, à une augmentation de la tension de seuil.

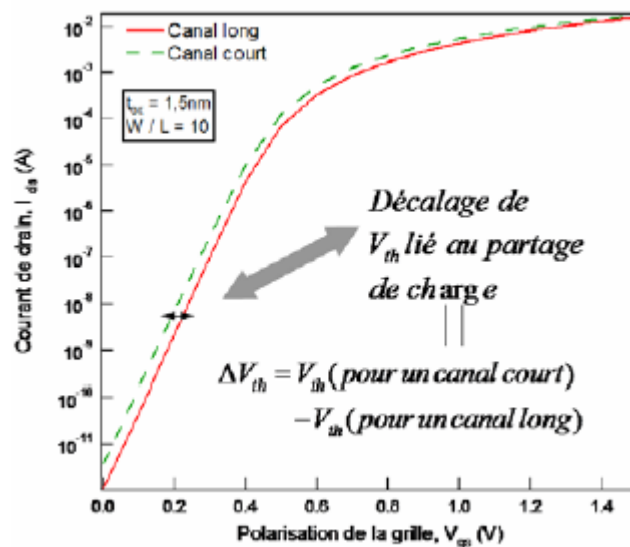


Fig. I.10 : Influence de l'effet du partage de charge sur la caractéristique du courant du transistor MOS pour  $V_d = 1V$  [11].

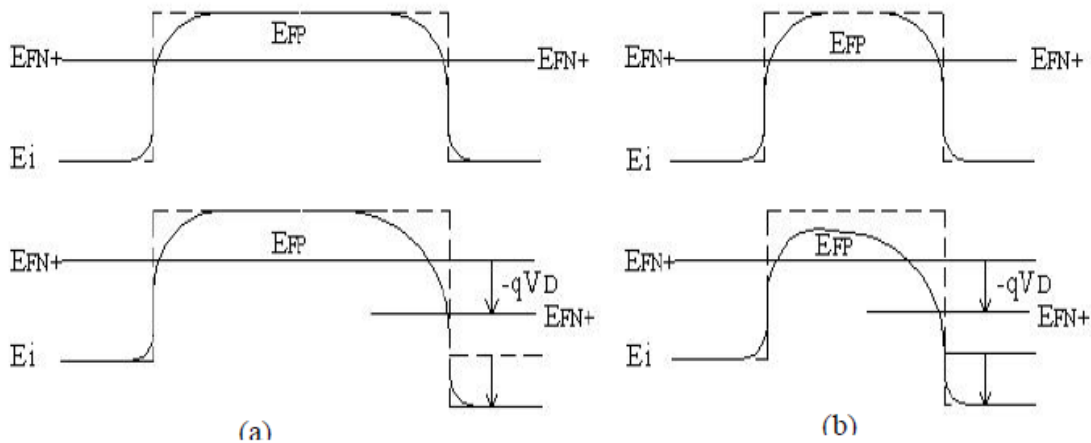
#### I.6.2 DIBL (abaissement de la barrière de potentiel induit par le drain)

Le phénomène de *DIBL* (« surface *DIBL* ») est pris en compte lorsque le transistor travaille en régime sous seuil (ou faible inversion) et concerne le potentiel de surface. En



faible inversion, le potentiel de surface dans le canal pour des dispositifs à canal long est à peu près constant et le courant est dû à la diffusion des porteurs minoritaires (Cette diffusion est due au gradient de concentration longitudinal aux jonctions). Le courant de drain dépend exponentiellement de la tension de grille. Il existe également, en régime de faible inversion, une barrière de potentiel à la jonction entre la source et le canal qui résulte de l'équilibre entre le courant de diffusion et de dérive (cas similaire à une jonction PN à l'équilibre). Si la tension au drain augmente [12], [13], la couche de déplétion s'étend de plus en plus dans le canal vers la source et il se produit un abaissement de la barrière source-canal.

L'abaissement de la barrière à la source permet l'injection d'électrons au travers du canal (en surface) et ceci indépendamment de la tension de grille. Comme conséquence, en régime sous seuil, la grille perd le contrôle du courant de drain. Un courant sous seuil important peut être observé quand la longueur du canal est inférieure à 1.5  $\mu\text{m}$ . Cet effet est d'autant plus marqué que la tension de drain augmente et que la longueur de canal diminue (Figure I.11) [14].



**Figure I.11: Profile du potentiel de surface pour des transistors n-MOS à canal (a) long et (b) court [12].**

L'effet *DIBL* est habituellement mesuré par le décalage de la courbe de transfert en régime sous seuil  $\Delta V_{th}$  divisé par le  $\Delta V_D$  entre deux courbes résultant de deux tensions de drain différentes :

$$DIBL = \frac{\Delta V_{th}}{\Delta V_D} \left( \frac{mv}{v} \right) \quad (I.3)$$

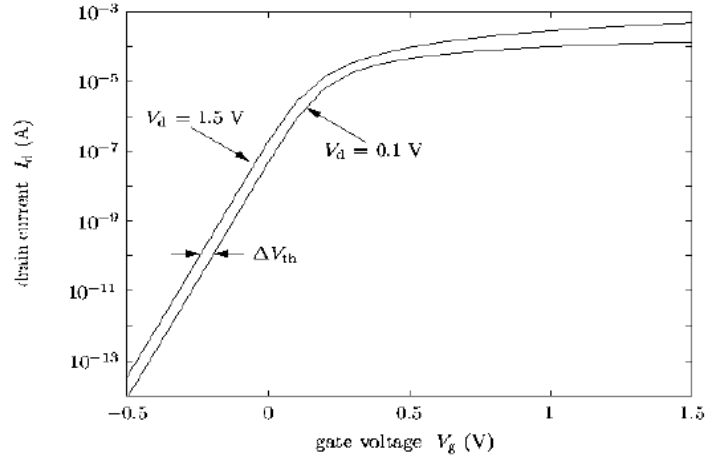


Figure I.12: Courbes de transfert pour des tensions de drain de 0.1V (Régime linéaire) et 1.5V (régime de saturation) [13].

Il faut remarquer que le phénomène de *DIBL* se produit avant que la zone de déplétion du côté du drain (plus en profondeur dans le substrat) ne rencontre celle du côté de la source sous l'effet d'une augmentation de la tension de drain.

En vue d'atténuer les effets de canal court, il est courant d'augmenter le dopage du canal.

Ceci permet de réduire l'extension de la zone de charge d'espace et donc réduit l'interaction entre le drain et la source.

**I.6.3 Courant sous seuil**

Le courant sous seuil est un courant qui circule entre le drain et la source du transistor [15], alors que la tension de grille  $V_{GS}$  est inférieure à la tension de seuil  $V_T$ .

Le comportement de ce courant a évolué au fur et à mesure de l'apparition des technologies submicroniques; c'est pourquoi, il convient de distinguer deux cas selon la longueur du canal du transistor.

Dans une approximation au premier ordre, pour les transistors à canaux longs, le courant sous seuil est donné par l'équation suivante:

$$I_{DS} = \mu C_{OX} \frac{W}{L} \phi_t^2 \exp\left(\frac{V_{GS}-V_t}{\phi_t}\right) \left(1 - \exp\left(\frac{V_{DS}}{\phi_t}\right)\right) \tag{I.4}$$

Où  $\phi_t = \frac{KT}{q}$

$n = 1 + C_D / C_{OX}$

Avec :

$C_D$  : la capacité de la couche déplétée.

$C_{ox}$  : la capacité de l'oxyde de grille.

Comme la tension de polarisation inverse,  $V_{DS}$  est grande devant  $\phi_t$  ( $=25\text{mv}$  à  $300\text{K}$ ), l'expression (I.4) peut se mettre sous la forme mieux connue de (I.5):

$$I_{Dsth} = \mu C_{ox} \frac{W}{L} \left( \frac{KT}{q} \right)^2 \exp\left( \frac{q(V_{GS} - v_t)}{nKT} \right) \quad (I.5)$$

La caractéristique du courant sous seuil est généralement représentée par une échelle semi-logarithmique ( $\log_{10}(I_{Dsth})$ ) en fonction de  $V_{GS}$ . Cette caractéristique est par conséquent une droite. L'inverse de la pente sous seuil (output swing) est donnée par:

$$S = \frac{nKT}{q} \ln(10) \quad (I.6)$$

Plus le facteur S est petit, plus le courant sous seuil sera négligeable pour une tension de grille donnée. Il faut donc minimiser le coefficient d'effet de substrat  $n(n = 1 + C_D / C_{ox})$  c'est-à-dire n proche de 1. On peut minimiser l'effet de substrat en réduisant  $C_D$ , c'est-à-dire en diminuant le dopage du substrat (Formule I.7 et I.8).

$$C_D = \frac{\epsilon_{si}}{W_D} \quad (I.7)$$

$$W_D = \sqrt{\frac{4\epsilon_{si}\phi}{qN_D}} \quad (I.8)$$

Où

$W_D$  : est l'épaisseur de la couche de déplétion dans le substrat.

$\phi$  : est le potentiel de Fermi dans le substrat.

$N_D$  : la concentration en impureté du substrat.

Habituellement, on mesure la valeur de la pente de la partie linéaire de la courbe correspondant à la conduction sous la tension de seuil. Plus la pente est élevée, plus le courant de fuite sera faible.

Pour les transistors à canal court (géométries fortement submicroniques), l'effet d'abaissement de la barrière de potentiel induite par le drain intervient, le courant sous seuil devient :

$$I_{DS} = \mu C_{ox} \frac{W}{L} \phi_t^2 \exp\left( \frac{V_{GS} - V_t + \eta V_{DS}}{n\phi_t} \right) \left( 1 - \exp\left( -\frac{V_{DS}}{\phi_t} \right) \right) \quad (I.9)$$

On obtient également (pour  $V_{GS} \gg \phi_t$ ), l'expression simplifiée:

$$I_{DS} = \mu C_{OX} \frac{W}{L} \left( \frac{KT}{q} \right)^2 \exp \left( \frac{V_{GS} - V_t + \eta V_{DS}}{n \frac{KT}{q}} \right) \quad (I.10)$$

Le facteur  $nV_{DS}$  diminue la valeur effective de  $(-V_t)$  et par conséquent augmente la valeur du courant de fuite. Ceci équivaut à une réduction de la tension de seuil et donc à décaler la courbe  $\log(I_{Dsth})$  en fonction de  $V_{GS}$  (Figure I.13) vers la gauche.

La figure (I.13) montre que la réduction de la longueur du canal augmente le courant sous seuil et par conséquent une dégradation au niveau de fonctionnement du transistor MOSFET sera observée.

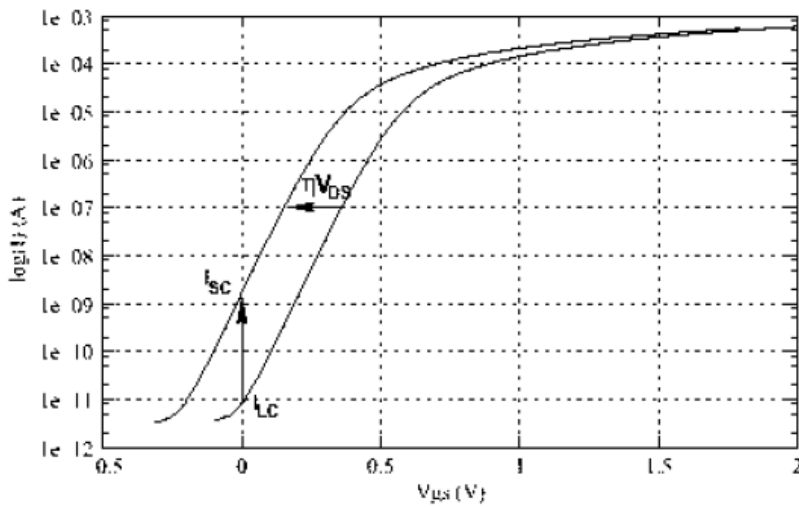


Figure I.13: Effet canal court sur le courant sous seuil [15].

### I.6.4 Tension de seuil

La tension de seuil est l'un des paramètres essentiels [16] de fonctionnement du transistor MOS. Elle est définie comme étant la tension à appliquer à la grille pour obtenir la forte inversion, c'est-à-dire :

$$\psi_s = 2 \cdot \phi_F \quad (I.11)$$

$$V_{th} = V_{FB} + 2 \cdot \phi_F + \frac{\sqrt{4 \cdot e \cdot N_A \cdot \epsilon_{si} \cdot \phi_F}}{C_{OX1}} \quad (I.12)$$

$$V_{FB} = \phi_M - \phi_{si}$$

$\phi_M$  sont tels que  $e \cdot \phi_M$  et  $e \cdot \phi_{si}$  représentent respectivement les travaux de sortie de la grille et du silicium,  $\epsilon_{si}$  est la constante diélectrique du silicium, et enfin  $C_{ox1} = (\epsilon_{ox} / t_{ox})$  désigne la

capacité de l'oxyde. Cette expression de  $V_{th}$  (I.12) est valable pour le transistor MOS à canal long.

### I.7 Modélisation de l'effet de High-k ( $HfO_2$ )

L'oxyde d'hafnium  $HfO_2$  avec sa permittivité relative  $\epsilon_r$  de l'ordre de 20-80, son gap relativement grand de l'ordre de 5,65eV, et enfin sa relative stabilité thermodynamique sur le silicium semble être un bon candidat pour être utilisé avec la couche l'oxyde [17].

La figure (I.14) montre que l'implémentation d'une couche d'oxyde de valeur de permittivité élevée High-k entre la couche d'oxyde et la grille joue un rôle important pour la réduction de l'effet de l'auto-échauffement sur le fonctionnement du transistor LDMOSFET et par conséquence l'amélioration des performances de notre transistor.

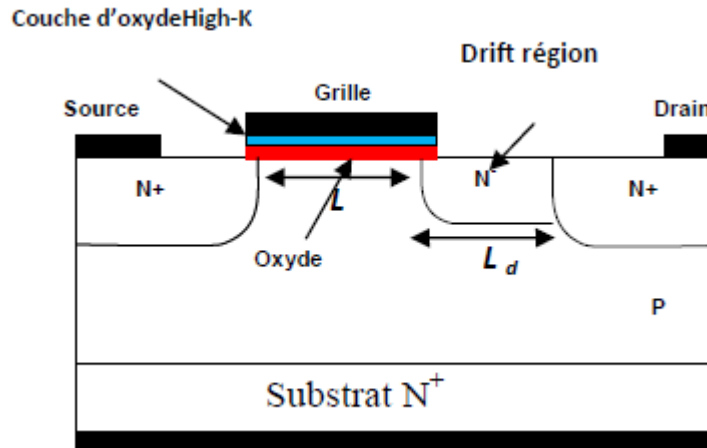


Figure (I.14) : Coupe schématique d'un LDMOS de type N avec une couche d'oxyde de valeur de permittivité élevée High-k[17].

**I.8 Conclusion :**

Pour conclure, nous pouvons souligner que le transistor MOS double grille est intéressant compte tenu des performances électriques qu'il offre la difficulté majeure dans son développement se situe au niveau technologique. Plus précisément, concernant le transistor MOS double grille planaire, la difficulté est l'alignement des deux grilles.

*CHAPITRE 2*  
*TRANSISTOR A GRILLE*  
*MULTIPLE*

### II. Introduction

Dans ce contexte, de nouveaux dispositifs émergent comme alternatives pour les prochaines générations technologiques. Ces dispositifs sont divers et variés. Nous pouvons citer les transistors sur substrat *SOI (Silicon On Insulator)* ainsi que les dispositifs multi grilles: les FinFETs, les MOSFETs Double Grille (*DG MOSFET*), Triple Grille et à Grilles Enrobantes (*GAA : Gate All Around*).



### II.1 Construction du MOSFET

#### II.1.1 Matériau de grille

Le principal critère pour le matériau de grille, c'est qu'il est un bon conducteur. Silicium poly cristallin fortement dopé est un conducteur acceptable mais certainement pas idéal, et souffre également de quelques lacunes plus techniques dans son rôle en tant que matériau de grille standard. Néanmoins, il ya plusieurs raisons favorisant l'utilisation de silicium poly cristallin:

La tension de seuil (et par conséquent le drain à la source aliment le courant) est modifié par la différence entre la fonction de travail matériau de grille et le matériel de canal, par ce que le silicium poly cristallin est un semi-conducteur, sa fonction de travail peut être modulée en ajustant le type et le niveau de dopage. Par ailleurs, en raison de poly silicium est la bande interdite même que le canal de silicium sous-jacent, il est assez simple de régler la fonction de travail pour atteindre des tensions de seuil bas pour les deux transistors NMOS et PMOS périphériques. En revanche, les fonctions de travail des métaux ne sont pas facilement modulées, donc la fonction de syntonisation de travail pour obtenir des tensions de seuil bas devient un défi important. De plus, l'obtention à bas seuil sur les deux appareils et dispositifs PMOS NMOS nécessiterait probablement l'utilisation de métaux différents pour chaque type d'appareil, introduire de complexité supplémentaire pour le processus de fabrication.

L'interface silicium  $\text{SiO}_2$  a été bien étudiée et est connu pour avoir des défauts relativement peu nombreux. En revanche de nombreuses interfaces métal-isolant contiennent des niveaux importants de défauts qui peuvent conduire à niveau de Fermi épinglage, de chargement, ou d'autres phénomènes qui dégradent la performance du dispositif en fin de compte. Dans le processus de fabrication MOSFET, il est préférable de déposer le matériau de grille avant certaines étapes à haute température afin de réaliser des transistors plus performants. Ces étapes à haute température feraient fondre certains métaux, limitant les types de métal qui peut être utilisé dans un processus de métal porte-base. Alors que les portes de poly silicium ont été la norme de facto pour les vingt dernières années, ils ont quelques inconvénients qui ont conduit à leur remplacement futur probable par des portes métalliques. Ces inconvénients sont:

Poly silicium n'est pas un grand chef d'orchestre (environ 1000 fois plus résistant que les métaux) qui réduit la vitesse de propagation du signal à travers le matériau. La résistivité peut être abaissée en augmentant le niveau de dopage, mais même poly silicium fortement dopé n'est pas aussi conductrice que la plupart des métaux. Afin d'améliorer la conductivité

d'autres, parfois un métal à haute température tels que le tungstène, titane, cobalt, de nickel et plus récemment est allié avec les couches supérieures du silicium poly cristallin. Un tel matériau est appelé mélange de siliciure. La combinaison siliciure-silicium poly cristallin a de meilleures propriétés électriques de poly silicium seul et n'a toujours pas fondu dans le traitement ultérieur. Aussi la tension de seuil n'est pas significativement plus élevée qu'avec poly silicium seul, parce que le matériel siliciure n'est pas près du canal. Le processus dans lequel siliciure est formé sur les deux l'électrode de grille et la source et de drain est parfois appelé salicide, auto-alignés siliciure.

Lorsque les transistors sont extrêmement réduits, il est nécessaire de faire la couche de diélectrique de grille très mince, d'environ 1 *nm* dans l'état de l'art des technologies. Un phénomène observé ici est l'épuisement dit poly, où une couche d'ozone est formée dans la couche silicium poly cristallin de grille à côté de diélectrique de grille lorsque le transistor est dans l'inversion. Pour éviter ce problème, un portail en métal est souhaité. Une variété de portes en métal comme le tantale, le tungstène, le nitrure de tantale et de nitrure de titane sont utilisés, généralement en conjonction avec diélectriques high-k. Une alternative est d'utiliser les portes de poly silicium entièrement siliciuré, un processus connu sous le nom FUSI.

### II.1.2 Grilles métalliques

L'utilisation du poly-silicium de grille provoque la déplétion des porteurs au sein du poly-silicium en régime d'inversion. Ainsi les porteurs dans la grille sont repoussés de l'interface grille-oxyde [18]. Il se crée donc une capacité parasite dans la grille qui diminue la capacité totale de la structure MOS et la rapidité des dispositifs. Ce phénomène de déplétion de grille peut être éliminé par l'utilisation d'une électrode métallique, laquelle offre également une plus grande flexibilité sur l'ajustement de la tension de seuil des dispositifs.

### II.1.3 Déplétion de grille

L'utilisation du poly-silicium de grille provoque la déplétion des porteurs au sein même du poly-silicium en inversion. Ce phénomène est connu sous le nom de déplétion du poly-silicium de grille [18–20]. Cette déplétion entraîne la diminution du courant de saturation  $I_{on}$  et l'augmentation effective de l'épaisseur d'oxyde. Ceci a pour conséquence directe, une diminution du contrôle de la grille sur le potentiel dans le canal. Le phénomène de déplétion de grille peut être éliminé par l'utilisation d'une électrode métallique, laquelle offre, en outre, la possibilité d'ajuster la tension de seuil des dispositifs. L'ajustement de la

tension de seuil se fait par le biais de l'ajustement du travail de sortie de la grille métallique. Parmi les matériaux métalliques potentiellement au cœur des recherches dans ce domaine, se trouvent les matériaux de type *midgap* dont les travaux de sortie sont identiques à celui du silicium. Nous pouvons citer le  $T_iN$  comme exemple de matériau de ce type.

### II.1.3.1 Amélioration du contrôle de la grille sur la charge de déplétion

Ainsi que nous l'avons signalé dans la première section, les modèles de séparation de charge fournissent la proportion de la charge de déplétion contrôlée par la grille par rapport à celle contrôlée par la source et le drain. Si nous comparons le transistor MOS bulk au transistor SOI, avec des dimensions identiques ( $L, W, t_{ox}, X_j$ ), nous constatons que le rapport entre la charge de déplétion contrôlée par la grille et le drain (ou la source) est beaucoup plus important en technologie SOI. Comme la montre la figure (II.1), ce phénomène est d'autant plus marqué que la longueur du canal diminue.

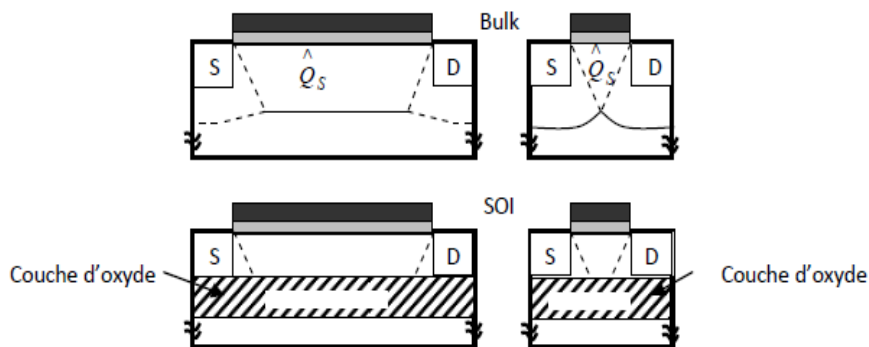


Fig. II.1 : Distribution de la charge de déplétion pour le MOSFET bulk et le SOI [21]

## II.2 Différentes structures du transistor

### II.2.1 Structure double grille :

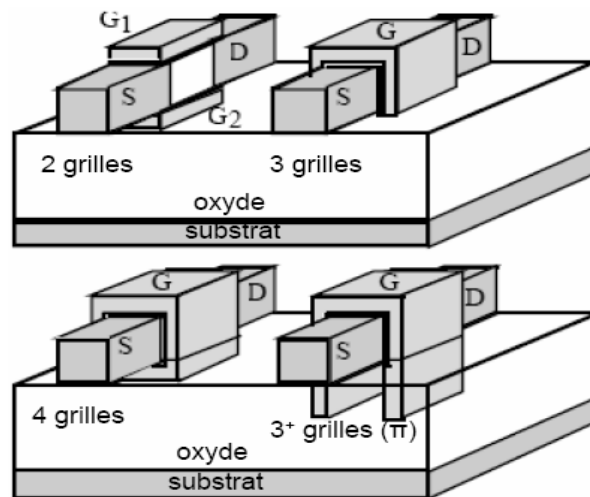
Le transistor MOS double grille (DG) est constitué de deux grilles placées sur le plan horizontal. La figure II.2 en présente l'architecture. Chaque grille exerce un contrôle sur le ou les canaux. Il existe une autre structure qui appartient à la catégorie du double grille bien qu'elle possède trois grilles ; elle est souvent appelée dans la littérature, le FinFET. Cette structure dispose d'une « troisième grille » reliant les deux autres grilles. Par rapport à un dispositif MOSFET double grille planaire, l'avantage d'un transistor FinFET est l'auto-alignement intrinsèque des deux grilles. La « troisième grille » se trouve sur une couche

d'oxyde de grille d'une épaisseur importante. De ce fait, elle n'effectue aucun contrôle sur le canal. Ainsi, seules les deux grilles latérales créent et contrôlent un canal d'inversion [22].

De plus, on observera qu'au niveau de la structure MOSFET double grille planaire, il existe deux variantes. Suivant la manière dont le dispositif est polarisé, nous assistons à des modes de fonctionnement différents. Nous avons ainsi le MOSFET double grille en mode de fonctionnement symétrique et le MOSFET double grille en mode de fonctionnement asymétrique.

### II.2.2 Structure triple-grille :

Cette structure dispose de trois grilles (TG), dont une au-dessus de l'oxyde et une sur chaque face latérale (Fig II.2). Les couches d'oxyde au contact de chacune des grilles ont une épaisseur suffisamment faible pour permettre la formation de trois canaux à l'intérieur du film de silicium [22].



*Fig. II.2 : Les différentes structures multi-grilles : SOI double-grille (2), SOI triple-grille (3), SOI quadruple-grille/ Surrounding-gate (4), et grille en forme  $\Pi$  ou  $\Omega$  (3+)[22]*

Suivant la forme de ces extensions, l'architecture diffère [23]. Si ces extensions se développent verticalement dans l'oxyde enterré, soit suivant la continuité des grilles latérales, nous parlons de structure  $\Pi$ FET. Si ces extensions se développent horizontalement, soit perpendiculairement aux grilles latérales, nous parlons de  $\Omega$ FET.

Ces extensions sont généralement obtenues en sur-gravant l'oxyde dans la phase de définition des zones actives. Leur rôle consiste à améliorer considérablement le contrôle électrostatique de la grille.

### II.2.3 Structure triple<sup>+</sup> grille :

Ces transistors sont représentés dans la Figure (II.3). Ils sont constitués non seulement de trois grilles positionnées au-dessus de l'oxyde de grille et sur les faces latérales, mais également de deux extensions [23].

### II.2.4 Structure quadruple-grille :

Ce composant possède quatre grilles (QG). La structure est décrite à la figure (II.2) Le film de silicium est recouvert de grille sur les quatre faces, d'où leur autre nom : "surrounding-gate" [24]. Des études restent encore à mener pour déterminer tous les avantages de ce type de composant.

L'idée d'ajouter de plus en plus de grilles repose sur le fait que, si l'épaisseur du film actif de silicium entre les différentes grilles est suffisamment faible, ces grilles polarisées peuvent commander le volume global de silicium entre la source et le drain. La conduction s'effectuant alors de manière volumique et non plus surfacique, on s'attend à des effets avantageux pour la valeur du courant de drain. De plus, la prise de contrôle du canal se révélant plus importante, on s'affranchit des effets canaux courts liés à l'influence de  $V_{ds}$  : la diminution drastique de l'épaisseur d'isolant devient moins cruciale. Enfin, par leurs dispositions, les grilles font enseigne de bouclier contre les lignes de champs créées par la polarisation du drain et qui influent sur la circulation des électrons. Finalement, les performances sont nettement améliorées avec de telles architectures multi-grilles.

A cet effet, elles font l'objet actuellement de recherches intenses dans de nombreux laboratoires.

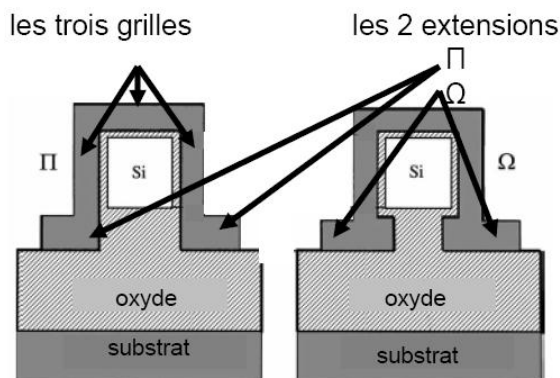


Fig. II.3 : L'extension des grilles conduisant aux structures  $\Pi$  et  $\Omega$  SOI MOSFETs [24]

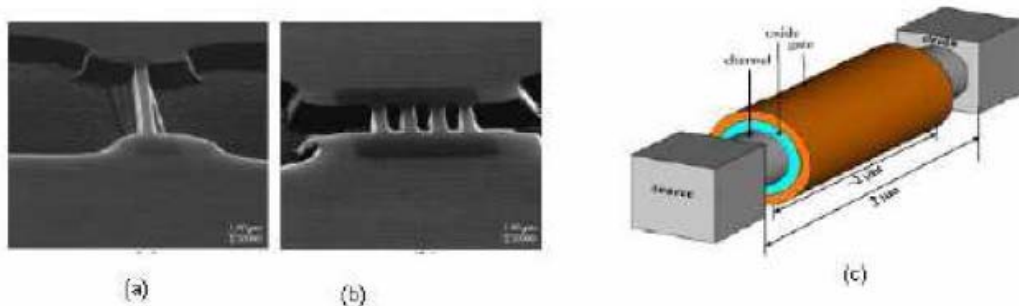
L'un des inconvénients de ces structures est l'accroissement des résistances des extensions source et drain. De plus, les dimensions de la zone active étant réduites à moins de quelques dizaines de nanomètres dans toutes les directions, de multiples questions se posent quant à la

physique du transport dans ces dispositifs : importance du transport balistique ou par effet tunnel entre source et drain. Finalement, le point qui reste de loin le plus critique réside, bien entendu, dans leur fabrication qui nécessite la mise en œuvre de procédés plus que délicats.

### II.3 Transistors à grille enrobée

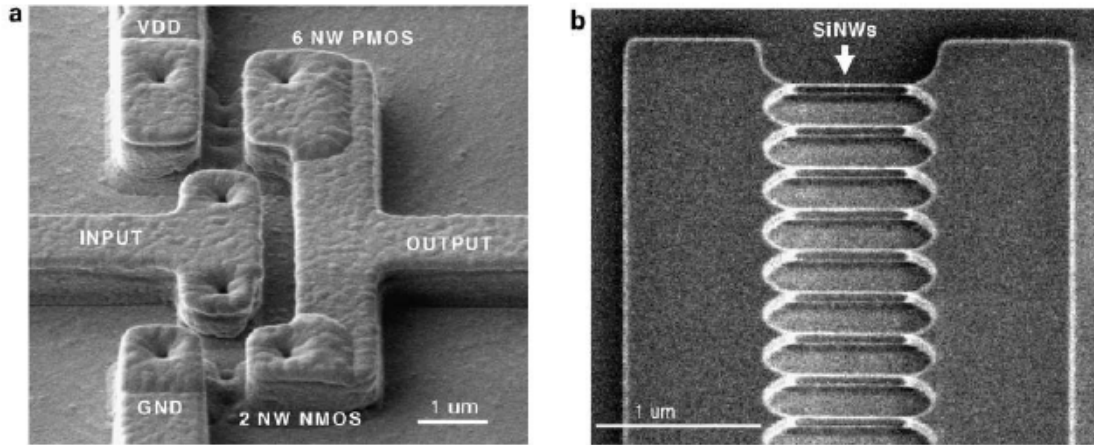
Le transistor à grille enrobée SG (Surrounding Gate) ou GAA (Gate All Around) MOSFET (figure II.4) représente la structure qui théoriquement offre la meilleure contrôlabilité de la grille sur le canal et donc la meilleure intégrité électrostatique possible [25].

Le premier SG MOSFET fut fabriqué en enveloppant l'électrode de grille autour d'une pile verticale de silicium. Les structures à grille enrobée incluent des composants tels que le CYNTHIA (à section circulaire) et le SG MOSFET en colonne (à section carrée). Des SG SOI MOSFETs d'une longueur de grille inférieure à 5nm ont montré une totale fonctionnalité. Plus récemment, des SG MOSFET planaire à section circulaire ou carrée ont été rapportés.



**Figure II.4 : Vue TEM (a) d'un et (b) de 4 canaux de MOSFETs à grille enrobée, (c) vue 3D d'un nanofile MOSFET [26].**

Néanmoins, la structure à section cylindrique est plus avantageuse compte tenu de l'absence d'angles droits ou de coins, il a été montré qu'une inversion prématurée peut survenir au niveau des coins, ce qui dégrade les caractéristiques sous seuil et crée une déformation indésirable dans la courbe de transconductance versus tension de grille [27]. Une comparaison entre les deux structures a été effectuée dans [28], les résultats de simulation ont confirmé l'avantage de la structure à section cylindrique avec une diminution considérable du courant  $I_{off}$ , et une réduction du *DIBL* et de l'inverse de la pente sous seuil.



*Figure II.5 : Image SEM (a) de l'inverseur en GAA nanofile, (1x2) canalNMOS et (3x2) canal PMOS, (b) multiple nanofiles en rangée d'une excellente symétrie [29].*

Les transistors à grille cylindrique se sont très bien adaptés à la technologie CMOS et à la l'intégration à très large échelle. Dans [30], un inverseur à base de nanofiles submicroniques d'environ 300nm et d'une épaisseur de 5nm a été réalisé avec succès (figure II.5). Une très bonne performance a été enregistrée tant au niveau de l'inverseur qu'à celui des nanofiles.

Les SG MOSFETs planaires submicroniques voir nanométriques permettent de réduire la surface unitaire des circuits, cependant, une disposition verticale des transistors permet une plus dense intégration. Dans [30], une structure de DRAM à base de transistors SG empilés (Stacked SGT) a été proposée (figure II.6), la simulation du procédé de fabrication a montré que l'empilement permet de réduire la taille de la cellule de moitié par rapport à une cellule SGT conventionnelle.

Le transistor VSG MOSFET représente la structure la plus optimale qui allie performance électrique et grande densité d'intégration.

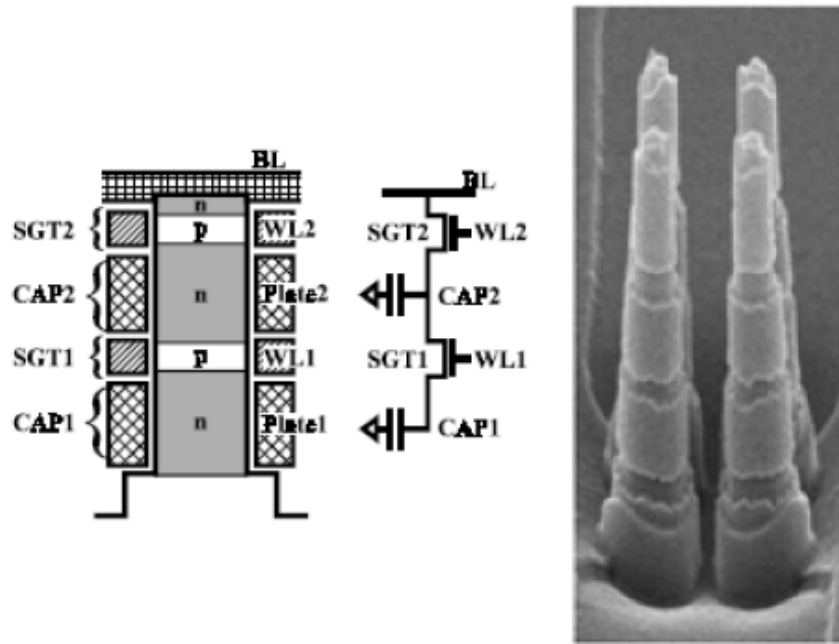


Figure II.6 : (a) structure de la S-SGT DRAM (b) circuit équivalent (c) image SEM de cellule S-SGT [30].

#### II.4 L'architecture MOSFET à grille enrobée

Le transistor MOSFET à grille enrobée SGT "surrounding gate transistor" [31] (gate all-around, GAA) [32] est une architecture MOSFET avancée où le canal en silicium est complètement entouré par la grille. Comme le montre la figure (II.7), trois différentes formes de section sont représentées [33]. Les transistors GAA seront décrits en détail dans ce rapport de thèse parce que c'est la géométrie choisie pour la modélisation neuronale et la modélisation et simulation des circuits nanométriques.

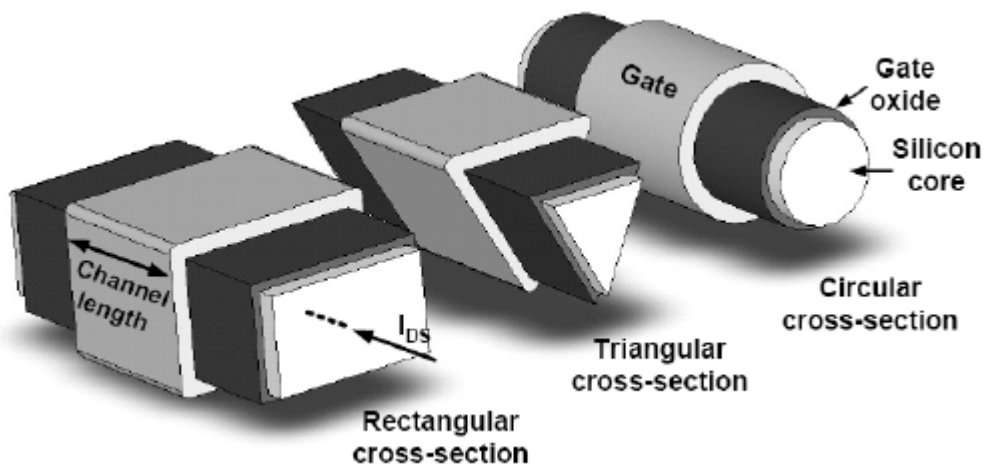


Figure II.7 Trois architectures du transistor GAA MOSFET avec des sections différentes [33]



Les transistors GAA sont des excellents dispositifs, en termes de SCE, *DIBL*, pente sous le seuil et le rapport  $I_{ON} / I_{OFF}$ . L'inconvénient principal du dispositif GAA est généralement pour le moment consiste aux procédés de fabrication qui sont très difficile. Cette fabrication est souvent basée sur la réalisation de nano fils de silicium. La section du canal est également cruciale pour le fonctionnement du dispositif. Les coins dans le canal (en forme rectangulaire ou triangulaire) contribuent dans les effets de coin, et sont considérés comme des parasites (tension de seuil double) ou parfois des effets bénéfiques (tension de seuil basse, inversion volumique local).

Les transistors GAA à nano fils de silicium sont également des structures très convenables dans les dispositifs à un seul électron (SET) [33].

De 1990 à 2000, les auteurs ont surtout été intéressés à la modélisation des propriétés électroniques utilisant la mécanique quantique, et de nombreuses publications sont encore déconnectées de toutes les demandes de dispositif [34].

Le calcul de la bande interdite de silicium dans un fil quantique de silicium a été proposé la première fois en 1993 par *M.-Y. Shen* [35].

Le premier transistor GAA sur SOI a été présenté en 1990 par *J.-P. Colinge* [36]. Malgré ces grandes dimensions ( $W/L=3\mu\text{m}/3\mu\text{m}$ ) et une épaisseur de 50 nm d'oxyde de grille, ces dispositifs pionniers présentent des caractéristiques correct. La fabrication du dispositif est très simple. Un fil SOI mince est défini par lithographie et gravure, cette étape est suivie par la formation du fil de l'oxyde enterré.

La grille utilisée est du LPCVD poly silicium.

Un autre remarquable GAA transistor MOS a ensuite été proposé en 1997 par *E. Leobandung et al* [37]. C'est l'un des premiers rapports qui comprend une description complète des performances GAA. Les dimensions du nano-fil sont en accord avec les prédictions de l'ITRS en 1997. Le fil a une section transversale rectangulaire (hauteur x largeur 50 nm 35-75nm), la longueur de fil minimum est 70 nm et l'épaisseur de l'oxyde de grille est 11nm. Le poly silicium est aussi utilisé comme matériau d'oxyde de grille. Les caractéristiques extraites sont bonnes, avec une pente sous seuil 90mV/dec. Une conception multi-canal est également proposée.

Depuis lors, de nombreux designs optimisés ont été rapportés.

Nous pouvons nous référer à *J. Y. Song et al* [38]. et *S. D. Suk et al.* [39] Qui ont effectués deux excellents rapports sur la technologie GAA CMOS. L'article [40] fait une comparaison entre les deux géométries double grille et GAA, et montre comment GAA augmente les

performances. En second lieu, ce rapport fait également une comparaison entre une forme rectangulaire et un canal de section circulaire, montrant que un canal en silicium cylindrique a un courant IOFF beaucoup plus réduit et les effets SCE et DIBL plus faible, en raison de l'absence des effets de coin. Les résultats publiés par ont également un grand intérêt et présente un processus pour l'intégration des MOSFET à double nano fils de silicium (twin silicon nanowire MOSFET). Ils ont obtenu des dispositifs GAA circulaire de 5-10 nm de diamètre avec une longueur de grille de 30nm, avec un courant Ion remarquablement élevé pour les transistors type n de  $2.64 \text{ mA}/\mu\text{m}$ .

### II.5 Différentes catégories de la technologie GAA MOSFET

Les transistors à grille enrobée GAA MOSFET peuvent être classés suivant des critères géométriques (la forme du canal) ou des critères électriques (la direction du transport électronique et la direction du champ de grille par rapport au plan du substrat qui est le plan horizontal) ou aussi le nombre des canaux qu'ils possèdent. Ainsi, pourrons-nous distinguer :

#### II.5.1 Transistor GAA MOSFET rectangulaire

L'architecture du transistor GAA MOSFET rectangulaire est basée sur celle du SOI à triple grilles (tri-gate) on ajoutant une grille d'où il tire le nom de quadruple-grille (quadruple gate [41]). La coupe du canal d'un tel transistor est sous forme d'un rectangle [42-44]. On note ici qu'il dérive de cette architecture deux autres nominations, GAA MOSFET à canal cubique [41] et GAA MOSFET carré [44] (voir figure (II.7)).

#### II.5.2 Transistor GAA MOSFET triangulaire

Le transistor GAA MOSFET triangulaire [45-46] tire son nom de la section de son canal qui est sous la forme d'un triangle (voir figure (II.7)).

#### II.5.3 Transistor GAA MOSFET cylindrique

Le nom du transistor GAA MOSFET cylindrique découle de la forme de son canal qui est sous la forme d'un cylindre [39-40] et il porte aussi le nom de transistor à canal circulaire. La figure II.10.a illustre cette architecture (voir figure (II.7))

## II.6 Conclusion

La miniaturisation des transistors MOS a permis d'augmenter la densité d'intégration et la vitesse de fonctionnement des circuits. Cette réduction des dimensions a engendré des phénomènes parasites qui dégradent les caractéristiques des composants. Ainsi, une solution alternative au transistor MOS bulk devient-elle progressivement nécessaire. Tout comme il y a soixante ans, lors de l'avènement de l'électronique sur semi-conducteur au détriment des tubes à vide, de nouveaux dispositifs permettant d'améliorer, voire de remplacer la technologie MOSFET bulk,

*CHAPITRE 3*  
*ALGORITHMES GENETIQUES*

### III. Introduction

Les algorithmes génétiques sont des algorithmes d'exploration fondés sur les mécanismes de la sélection naturelle et de la génétique et sur la théorie de l'évolution des espèces de Charles Darwin [49]. Ils utilisent à la fois les principes de la survie des structures les mieux adaptées, et les échanges d'information pseudo-aléatoires, pour former un algorithme d'exploration qui possède certaines des caractéristiques de l'exploration humaine. Ils sont une transcription directe du processus naturel d'évolution au monde de l'informatique.

Les possibilités espérées des mécanismes d'évolution ont conduit quelques chercheurs des années 1950 à vouloir les simuler pour les appliquer à l'ingénierie. Mais ces travaux n'ont pas été probants en raison des connaissances insuffisantes, à l'époque, de la génétique naturelle et aussi en raison des faibles performances des calculateurs alors disponibles. Mais depuis le début des années 60, la quantité de travaux sur les algorithmes évolutionnaires suit une croissance exponentielle. Les premiers travaux de John Holland remontent aux années 1960 et ont trouvé un premier aboutissement en 1975 avec la publication de « Adaptation in Natural and Artificial Systems » [50]. C'est cependant l'ouvrage de David Goldberg qui a largement contribué à développer les algorithmes génétiques [51].

En effet, les AGs ont des propriétés qui en font des candidats de choix pour résoudre des problèmes d'optimisation dans lesquels la taille de l'espace de recherche est importante. Les AGs sont fondés sur :

- Une représentation chromosomique des solutions du problème.
- Une méthode pour générer une population initiale de solutions.
- Une méthode d'évaluation qui classe les solutions selon leurs aptitudes.
- Des opérateurs génétiques, qui définissent la manière dont les caractéristiques des parents sont transmises aux descendants.

### III.1 Algorithmes évolutionnaires

Les Algorithmes Evolutionnaires (AE) sont des algorithmes stochastiques d'optimisation inspirés du paradigme de l'évolution darwinienne des populations. Selon Darwin, les individus les plus aptes survivent à la sélection naturelle et se reproduisent et ceci se répète d'une génération à l'autre, menant à l'adaptation de la population des individus à l'environnement au cours de l'évolution. En termes d'optimisation, l'évolution se traduit par un processus itératif de recherche de l'optimum dans l'espace de décision.

Le critère pour définir les éléments les "plus aptes" d'un sous-ensemble fini de cet espace correspond, naturellement, à l'objectif d'optimisation. L'adaptation à l'environnement est réalisée par le fait de trouver à chaque itération suivante des solutions potentielles meilleures, la performance des solutions étant évaluée à la base des valeurs correspondantes de la fonction objective. Cependant, plusieurs techniques ont été incluses dans les algorithmes évolutionnaires telle que les Algorithmes génétiques qui sont l'objectif de la prochaine section.

#### III.1.1 Algorithmes génétiques (GAs)

Le développement des techniques de solution de problèmes basées sur les principes d'héritage et d'évolution naturelle a été mis en évidence au courant des années soixante dix.

Parmi ces techniques ressort l'algorithme génétique. Cet algorithme a démontré de très bons résultats dans la résolution de problèmes d'origine combinatoire.

Les méthodes classiques d'exploration sont de trois types : les méthodes directes et indirectes (fondées sur le calcul), les méthodes énumératives et les méthodes aléatoires.

L'algorithme génétique est un exemple de procédure pseudo-aléatoire qui utilise un choix aléatoire pour guider une exploration dans un espace de recherche. En effet, l'algorithme génétique est une technique de solution aux problèmes d'optimisation combinatoire fondée sur les principes d'évolution naturelle et d'héritage [52]. A partir d'un ensemble de solutions (nommées population ou ensemble de chromosomes parents), l'algorithme se sert des opérateurs génétiques pour obtenir de nouvelles solutions (ensemble d'enfants), souvent meilleures selon un critère d'évaluation donné. Le processus prend après comme population la nouvelle génération et ainsi de suite. La condition d'arrêt du processus et la grandeur de la population initiale sont définis selon des tests expérimentaux, en fonction des connaissances du problème traité.

### III.1.1.1 Principe des algorithmes génétiques

Les algorithmes génétiques sont l'oeuvre de Holland [53]. Il s'est directement inspiré du modèle des lois de la nature de Darwin, modèle basé sur la survie des espèces les plus fortes. Ainsi, dans un bassin de population donné, les plus forts individus auront plus de chance de se reproduire et ainsi de transmettre leurs gènes pour produire de meilleurs descendants, augmentant la qualité globale de la population. La population qui résultera de cette reproduction sera donc globalement mieux adaptée à l'environnement que la précédente puisque la plupart des individus auront hérité de plusieurs des caractéristiques de l'"élite" de la génération précédente (puisque chacun hérite à la fois de sa mère et de son père). Et c'est ainsi, en recombinaison à chaque génération les caractéristiques élémentaires de bonne adaptation et en saupoudrant le tout d'un peu de hasard, que la population va évoluer vers une adéquation toujours meilleure avec l'environnement. Dans cette ligne de pensée où les spécimens se reproduisent, dans le modèle des algorithmes génétiques, les spécimens se reproduiront aussi; en particulier les plus forts à un rythme plus rapide. Des opérations génétiques sont effectuées sur deux candidats pour obtenir deux nouveaux candidats plus performants que leurs propres parents. La progéniture aura hérité de bons gènes de chaque parent. Pour trouver une solution à un problème, les AGs utilisent le hasard. En effet, les gènes de chaque parent sont choisis et croisés de façon aléatoire dans la progéniture.

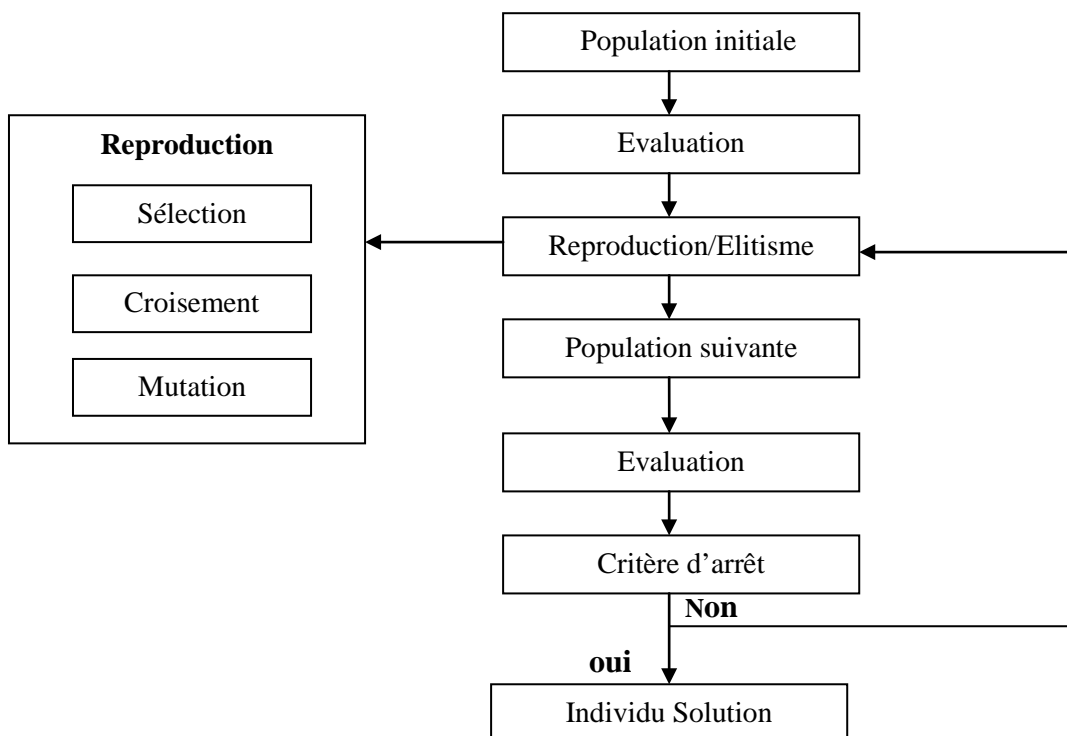


Figure III.1 : Schéma du principe des algorithmes génétiques [53]

### III.1.1.2 Caractéristiques des algorithmes génétiques

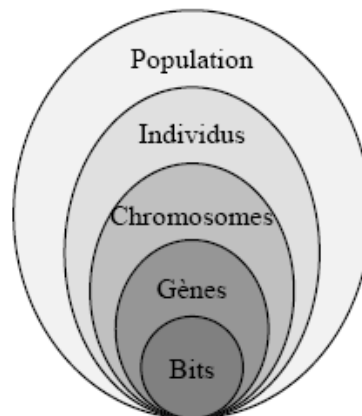
Les algorithmes génétiques se caractérisent par quatre aspects : le codage des paramètres du problème, l'espace de recherche, la fonction d'évaluation servant à sélectionner les chromosomes parents, et le hasard qui joue un rôle important dans l'évolution des chromosomes de génération en génération. Nous allons passer en revue ces différents aspects.

### III.1.1.3 Codage

Chaque paramètre d'une solution est assimilé à un gène, toutes les valeurs qu'il peut prendre sont les allèles de ce gène, on doit trouver une manière de coder chaque allèle différent de façon unique (établir une bijection entre l'allèle "réel" et sa représentation codée).

Un chromosome est une suite de gène, on peut par exemple choisir de regrouper les paramètres similaires dans un même chromosome (chromosome à un seul brin) et chaque gène sera repérable par sa position.

Chaque individu est représenté par un ensemble de chromosomes, et une population est un ensemble d'individus.



*Figure III.2: Les cinq niveaux d'organisation d'un algorithme génétique*

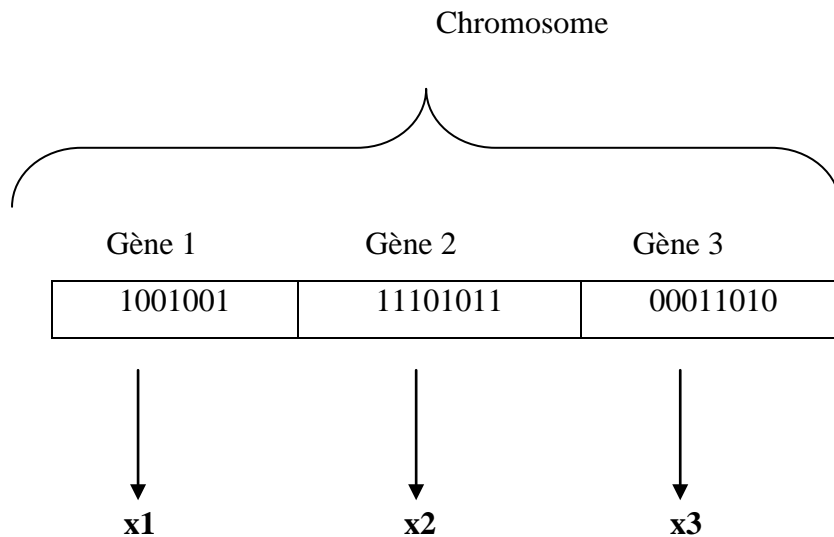
Il y a trois principaux types de codage utilisables, et on peut passer de l'un à l'autre relativement facilement :

**Codage binaire** : c'est le plus utilisé. Chaque gène dispose du même alphabet binaire  $\{0,1\}$ . Si un gène est représenté par un entier long (32 bits), les chromosomes qui sont des suites de gènes sont représentés par des tableaux de gènes et les individus de notre espace de recherche sont représentés par des tableaux de chromosomes.

**Codage réel** : les nombres binaires étant pour nous moins évocateurs que les nombres réels, des difficultés surviennent pour exprimer la fonction objective et traiter les problèmes à plusieurs variables. En outre, les opérations de conversion des solutions



potentielles (réelles) en chaînes de bits et des solutions obtenues en une forme réelle facilitant leur interprétation sont coûteuses en temps-machine. De plus, elles sont répétées un grand nombre de fois à chaque génération. La représentation réelle propose un compromis intéressant : elle élimine toutes les opérations de conversion, mais en contrepartie elle rend les algorithmes génétiques plus dépendants des problèmes.



*Figure III.4 : Illustration schématique du codage des variables réelles*

**Codage de Gray** : dans le cas d'un codage binaire on utilise souvent la "distance de Hamming" comme mesure de la dissimilarité entre deux éléments de population, cette mesure compte les différences de bits de même rang de ces deux séquences. Et c'est là que le codage binaire commence à montrer ses limites. En effet, deux éléments voisins en terme de distance de Hamming ne codent pas nécessairement deux éléments proches dans l'espace de recherche. Cet inconvénient peut être évité en utilisant un "codage de Gray" : le codage de Gray est un codage qui a comme propriété qu'entre un élément  $n$  et un élément  $n + 1$ , donc voisin dans l'espace de recherche, un seul bit diffère.

Il existe deux types de difficultés dans le choix d'un codage. D'une part celui-ci doit pouvoir être adapté au problème de façon à limiter au mieux la taille de l'espace de recherche, et aussi de façon que les nouveaux chromosomes engendrés par les opérateurs de recherche soient significatifs le plus souvent possible, c'est à dire qu'ils puissent coder des solutions valides respectant les contraintes du problème.

### III.1.1.4 Espace de recherche des solutions

La plupart des méthodes d'optimisation effectuent une recherche point à point. Les règles de transition d'un point à un autre sont souvent déterministes et la solution trouvée est souvent un optimum local au lieu d'être un optimum global. Les AGs, effectuent la recherche à partir d'une population de chaînes générées aléatoirement. Dans cette population, on retrouvera à la fois des candidats très performants et d'autres qui le sont moins.

Le parallélisme induit est un avantage évident car l'approche de la recherche à partir d'une population peut être perçue comme une recherche locale dans un sens généralisé. Ce n'est pas le voisinage d'une seule solution qui est explorée, mais le voisinage de toute la population; ce qui ne devrait pas être assimilé à une simple union des voisinages individuels [54]. Ainsi donc, une population initiale diversifiée offre plus de chances de bien cerner la recherche et de mieux se rapprocher de la solution optimale, sinon on risque d'obtenir des espèces dégénérées et la probabilité de converger vers un minimum global est ainsi fortement réduite.

### III.1.1.5 Fonction d'évaluation (fitness) et le hasard

Contrairement à bon nombre de méthodes qui requièrent beaucoup d'informations pour pouvoir fonctionner efficacement, les AGs nécessitent peu d'informations : ils fonctionnent essentiellement de manière aveugle. Pour effectuer une recherche de solutions meilleures, ils n'ont besoin que des valeurs des fonctions objectives associées aux chaînes individuelles. Ces valeurs ont pour but d'évaluer si un individu est mieux adapté qu'un autre à son environnement. Ce qui signifie qu'elle quantifie la réponse fournie au problème pour une solution potentielle donnée. Ainsi les individus peuvent être comparés entre eux [55].

Les individus déterminés par la fonction objective (fitness) vont servir au processus de sélection des candidats aptes à la reproduction et au processus de survie des espèces. Cette fonction, propre au problème, est souvent simple à formuler lorsqu'il y a peu de paramètres. Au contraire, lorsqu'il y a beaucoup de paramètres ou lorsqu'ils sont corrélés, elle est plus difficile à définir. Dans ce cas, la fonction devient une somme pondérée de plusieurs fonctions. Un ajustement des coefficients est alors nécessaire.

Par ailleurs, les AGs utilisent des règles de transition probabilistes plutôt que déterministes pour guider leur recherche. Le choix des chromosomes à perturber est réalisé de façon probabiliste. Dans le processus de croisement, le lieu de croisement est choisi aléatoirement à l'intérieur du chromosome. De même, le gène devant subir une mutation à

l'intérieur d'un chromosome est choisi selon une certaine probabilité. Le hasard occupe donc une place importante dans le fonctionnement des AGs.

### III.1.1.6 Concepts et formalismes d'opérateurs génétiques

Les opérateurs génétiques sont appliqués à une population initiale de façon à produire, dans le temps, des populations successives de qualité. Une des représentations génétiques les plus utilisées est la binaire, dans laquelle chaque gène (composant) d'un chromosome est symbolisé par les valeurs zéro ou un. La représentation par nombres entiers associe à chaque gène une valeur entière. La figure III.5 représente une chaîne (un chromosome) composé de 7 bits.

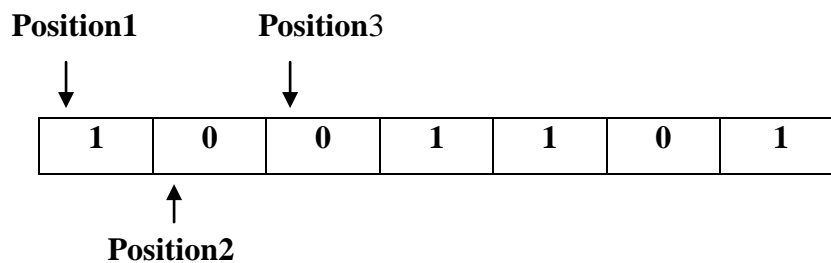


Figure III.5 : Schéma d'un chromosome

Les opérateurs génétiques de base sont : la sélection, le croisement, la mutation et l'élitisme.

#### III.1.1.6.a Sélection

La sélection permet d'identifier statistiquement les meilleurs individus d'une population et d'éliminer les mauvais. On trouve dans la littérature un nombre important de principes de sélection plus ou moins adaptés aux problèmes qu'ils traitent. Les deux principes de sélection suivants sont les plus couramment utilisés :

##### Roulette

Cette méthode exploite la métaphore d'une roulette de casino. La roue est divisée en autant de secteurs que d'individus dans la population. La taille de ces secteurs est proportionnelle à l'adaptation de chaque individu. En faisant tourner la roue, l'individu pointé à l'arrêt de la boule est sélectionné. Les individus les mieux adaptés ont donc plus de chance d'être tirés au sort lors du déroulement du jeu.

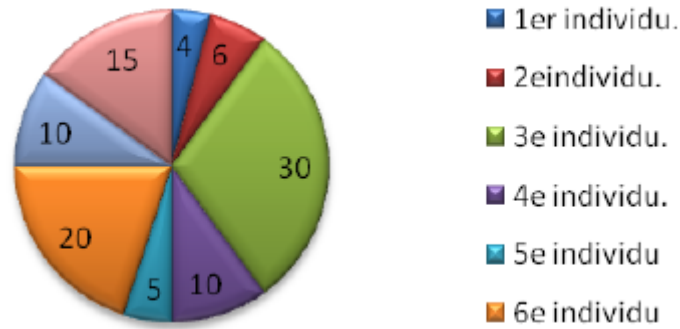


Figure III.6 : La roulette [56]

### Tournoi:

Cette méthode ressemble plus à ce qui se passe dans la réalité. Comme son nom l'indique, elle fait s'affronter deux ou plusieurs individus afin que le meilleur gagne. Plusieurs variantes existent. On peut par exemple faire varier le nombre d'individu qui doivent s'affronter au départ, ou encore permettre ou non que le même individu soit éligible plusieurs fois lors d'un même tournoi.

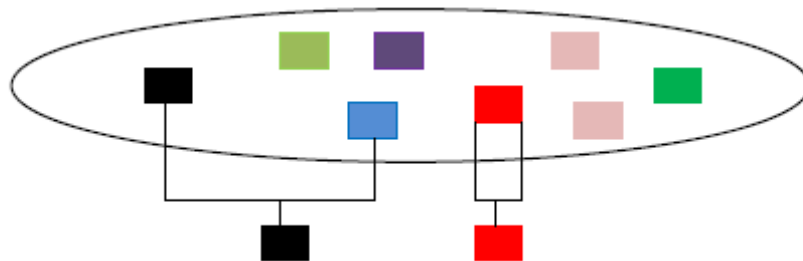


Figure III.7 : Le tournoi entre deux individus avec rééligibilité [54]

### III.1.1.6.b Croisement

Le croisement a pour but d'enrichir la diversité de la population en manipulant la structure des chromosomes. Classiquement, les croisements sont envisagés avec deux parents et génèrent deux enfants.

Initialement, le croisement associé au codage par chaînes de bits est le croisement à découpage de chromosomes (slicing crossover). Pour effectuer ce type de croisement sur des chromosomes constitués de M gènes, on tire aléatoirement une position dans chacun des parents. Le schéma ci-dessous illustre le croisement (figure III-8)

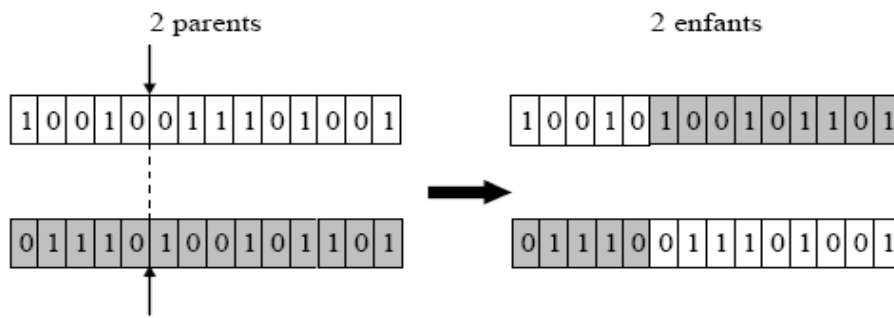


Figure (III.8) croisement

### III.1.1.6.c Mutation

La mutation est un processus qui consiste à permuter un bit choisi au hasard dans un chromosome. On attribue à ce processus la fréquence à laquelle la mutation se produit. Si on lui associe une probabilité de 0.005, un chromosome aura cinq chances sur mille d'être muté. La mutation modifie aléatoirement la valeur d'une position d'une chaîne comme illustré dans la figure (III.9). Elle est utile pour ramener du matériel génétique qui aurait été oublié par les opérateurs de croisement. Certaines implantations vont automatiquement changer la valeur du bit choisi, d'autres vont générer aléatoirement une nouvelle valeur de bit, ce qui n'entraîne aucune mutation [57].

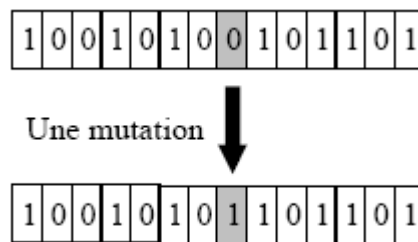


Figure III.9 mutation [57].

### II.1.1.6.d Elitisme

L'élitisme est un opérateur optionnel particulier, il permet de garder l'individu le mieux adapté d'une génération à la suivante. En effet, l'opérateur de sélection peut ne pas le sélectionner, le croisement avec un autre individu peut donner des individus moins adaptés si les gènes ne sont pas bien recombinaison ou encore sa mutation peut également le rendre moins adapté [58].

### III.1.1.7 Critères de convergence

Afin de mettre fin à l'algorithme génétique, trois critères de convergence ont été utilisés dans notre travail, si l'un de ces critères est atteint, le processus d'optimisation se termine en convergeant à la solution optimale. Les critères sont :

1. Quand l'erreur normalisée du meilleur chromosome tend à la plus petite valeur (l'erreur de tolérance fixée  $\varepsilon$ ) c.-à-d. : lorsqu'une solution optimale  $S_m$  est connue pour un problème donné, on peut aussi arrêter l'algorithme après l'atteinte d'un optimum pratique à cette solution:

$$\left| \frac{S_c - s_m}{S_c} \right| \times 100 \leq \varepsilon \quad (\text{III.1})$$

Où :  $S_c$  est la solution à comparer,  $S_m$  est la meilleur solution (solution optimale)

2. Si le meilleur individu de la population reste inchangé pendant un nombre donné  $t_n$  de générations, on considère que l'algorithme a convergé et que cette meilleure solution est l'optimum de cette recherche. Ce critère vérifie la création de nouvelles solutions plus performantes parmi la population.
3. Si le nombre d'itérations atteint le nombre de génération *NGEN* fixé.

### III.1.1.8 Grandes étapes de l'algorithme génétique

Le principe d'un algorithme génétique consiste à évaluer une population et à en générer une autre de façon itérative grâce aux actions opérées par les opérateurs génétiques. Le nombre de chromosomes dans une population reste inchangé à travers les diverses générations. Pour mettre en oeuvre un AG, il faut disposer d'un schéma pour coder les solutions du problème, une fonction d'évaluation, une procédure d'initialisation, un ensemble d'opérateurs et un ensemble de paramètres qui gouvernent l'élaboration de la population initiale, l'exécution des opérateurs et l'arrêt de génération de nouvelles populations.

De façon générale, un AG fonctionne selon les étapes suivantes :

- **Étape 1** : On génère une population initiale de taille  $n$ , représentant le nombre de chromosomes. Puis on choisit au hasard les gènes qui composent chaque chromosome. La qualité de la population initiale est très importante pour la génération de meilleures solutions. La diversité de la population est très importante pour éviter la convergence prématurée vers des minimums locaux. Cette diversité de population se définit

initialement et se maintient en combinant diverses stratégies de croisement et de mutation.

- **Étape 2** : On évalue chaque chromosome par la fonction objective, ce qui permet de déduire sa valeur d'aptitude.
- **Étape 3** : On exécute les cycles de génération de populations. Chaque nouvelle génération remplace la précédente. Le nombre de cycle  $x$  est déterminé au départ.  
Dans chaque cycle,  $n$  chromosomes sont choisis pour reproduction et croisement deux à deux. Après la création de la  $x^{\text{ème}}$  population, les chromosomes vont évoluer de façon telle que cette dernière génération contient des chromosomes qui sont meilleurs que ceux des générations précédentes.

### III.1.2 Avantages et inconvénients des algorithmes génétiques

#### III.1.2.1 Avantages des AGs

- ❖ Les AGs opèrent au niveau du codage des paramètres sans se soucier de leur nature, donc ils s'appliquent à de nombreuses classes de problèmes, qui dépendent éventuellement de plusieurs paramètres de natures différentes (booléens, entiers, réels, fonctions...).
- ❖ Potentiellement les AGs explorent tous l'espace des points en même temps, ce qui limite les risques de tomber dans des optimums locaux ;
- ❖ Les AGs ne se servent que des valeurs de la fonctionnelle pour optimiser cette dernière, il n'y a besoin d'effectuer de coûteux et parfois très complexes calculs;
- ❖ Les AGs présentent une grande robustesse c'est-à-dire une grande capacité à trouver les optimums globaux des problèmes d'optimisation.

#### III.1.2.2 Inconvénients des AGs

- ❖ Les AGs ne sont encore actuellement pas très efficaces en coût (ou vitesse de convergence), vis-à-vis de méthodes d'optimisation plus classiques ;
- ❖ Parfois les AGs convergent très vite vers un individu particulier de la population dont la valeur d'adaptation est très élevée ;
- ❖ L'utilisation d'un AG ne garantit pas le succès de l'optimisation ;
- ❖ En pratique l'efficacité d'un AG dépend souvent de la nature du problème d'optimisation. Selon les cas de choix des opérateurs et des paramètres seront souvent

critiques, mais aucune théorie générale ne permet de connaître avec certitude la bonne paramétrisation, il faudra faire plusieurs expériences pour s'en approcher.

### III.1.2.3 Caractéristiques de l'optimisation génétique

Une définition de l'optimisation peut être comme suit (Goldberg, 1995) : « Le désir humain de perfection trouve son expression dans la théorie de l'optimisation. Elle étudie comment décrire et atteindre ce qui est meilleur, une fois que l'on connaît comment mesurer et modifier ce qui est bon et mauvais... La théorie d'optimisation comprend l'étude quantitative des optimums et les méthodes pour les trouver ». Donc, l'optimisation cherche à améliorer une performance en se rapprochant d'un ou des points optimaux via un procédé d'amélioration. Cependant les procédures d'optimisation classiques se concentrent souvent sur les résultats finaux (convergence vers un optimum) et négligent les performances intermédiaires en oubliant que l'objectif majeur de l'optimisation est l'amélioration. Les AGs est un processus d'optimisation qui tient compte de cette idée en recherchant de meilleures solutions au cours des générations. En outre, face à un problème pour lequel il existe une infinité de solutions, la recherche d'une solution optimale consiste à explorer l'espace des solutions en se laissant guider par les principes de l'algorithme génétique, plutôt que d'essayer naïvement toutes les solutions une à une pour trouver la meilleure.

Les AGs se caractérisent par rapport aux différentes méthodes classiques d'optimisation selon les principaux points suivants :

- Ils utilisent un codage de paramètres et non pas les paramètres eux même du problème considéré.
- Ils considèrent une population de solutions au lieu d'une solution unique. Ceci va permettre d'escalader plusieurs pics en parallèle, réduisant ainsi la probabilité de trouver un faux pic.
- Ils utilisent des règles de transitions probabilistes et non déterministes dans le but d'inscrire leur exploration dans une optique d'amélioration probable.

### III.1.2.4 Optimisation multi objectifs

#### III.1.2.4.1 Introduction

Les problèmes d'optimisation occupent actuellement une place de choix dans la communauté scientifique. Non pas qu'ils aient été un jour considérés comme secondaires mais l'évolution des techniques informatiques a permis de dynamiser les recherches dans ce domaine. Le monde réel offre un ensemble très divers de problèmes d'optimisation :



- problème combinatoire ou à variables continues,
- problème à un ou plusieurs objectif (s),
- problème statique ou dynamique,
- problème dans l'incertain.

Cette liste n'est évidemment pas exhaustive, et un problème peut être à la fois multi objectif et dynamique.

**Un problème d'optimisation** est défini par un espace d'état, une ou plusieurs fonction(s) objectif(s) et un ensemble de contraintes.

**L'espace d'état** est défini par l'ensemble des domaines de définition des variables du problème.

Dans la plupart des problèmes, cet espace est fini car la méthode de résolution utilisée a besoin de travailler dans un espace restreint (Exemples : la méthode Monte-Carlo, les algorithmes génétiques). Cette limitation n'est pas problématique car lorsqu'un problème est posé, le décideur précise un domaine de valeurs envisageable à chacune des variables. De plus, pour des raisons opératoires et de temps de calcul, il est préférable de travailler sur des domaines finis.

**Les variables** du problème peuvent être de nature diverse (réelle, entière, booléenne, etc.) et exprimer des données qualitatives ou quantitatives.

**Une fonction objectif** représente le but à atteindre pour le décideur (minimisation de coût, de durée, d'erreur, etc.). Elle définit un espace de solutions potentielles au problème.

**L'ensemble de contraintes** définit des conditions sur l'espace d'état que les variables doivent satisfaire. Ces contraintes sont souvent des contraintes d'inégalité ou d'égalité et permettent en général de limiter l'espace de recherche.

La séparation entre les fonctions objectives et les contraintes peut paraître artificielle car nous pourrions considérer qu'une contrainte est un objectif à atteindre. Mais elle se justifie de deux manières différentes. D'une part, les contraintes sont appliquées sur l'espace de recherche alors que les objectifs définissent l'espace des solutions. D'autre part, dans de nombreuses méthodes les contraintes et les objectifs sont traités par des procédures différentes.

**Une méthode d'optimisation** recherche le point ou un ensemble de points de l'espace des états possibles qui satisfait au mieux un ou plusieurs critère(s). Le résultat est appelé valeur optimale ou optimum.

### III.2 Conclusion

On sait que les applications des algorithmes génétiques sont multiples : optimisation de fonctions numériques difficiles, traitement d'image, contrôle de systèmes industriels, cryptographie, apprentissage des réseaux de neurones, etc....

Les algorithmes génétiques seuls ne sont pas très efficaces dans la résolution d'un problème. Ils apportent cependant assez rapidement une solution acceptable. Néanmoins, il est possible de l'améliorer assez efficacement en le combinant avec un algorithme déterministe.

Au cours de ce chapitre, un algorithme d'optimisation basé sur les principes des algorithmes génétiques a été présenté. Dans le 5ème chapitre, cet algorithme sera appliqué à la résolution d'un problème d'optimisation relié au modèle analytique de différent paramètres tels que, facteur sous le seuil, tension de seuil et le *DIBL* pour étudier le comportement du transistor DMSG MOSFET.

*CHAPITRE 4*  
*MODELISATION DU TRANSISTOR*  
*DMSG MOSFET NANOMETRIQUE*

### IV.1 Introduction

Pendant que le transistor MOSFET approche les limites physiques et technologiques, différentes structures telle que les transistors multi-grille (DG MOSFET, GAA MOSFET...) sont les candidats les plus prometteurs pour la technologie CMOS nanométrique. L'une des particularités de ces structures et leur très bonne immunité face aux effets canaux courts. Le transistor SMSG MOSFETs permet de mieux contrôler le potentiel du canal et de résister au courant tunnel source-drain.

La simulation est de plus en plus importante pour comprendre la physique des dispositifs électroniques en profondeur et d'évaluer les performances des transistors multi-grille. Employant ces structures pour les applications analytique devient plus avantageux. L'inverse de la pente sous seuil est le paramètre électrique clé qui indique l'impact de l'effet des canaux courts sur les performances des transistors MOSFETs. La connaissance de la loi de variation de l'inverse de la pente sous seuil dans les transistors MOSFETs en fonction des différents paramètres géométriques (la longueur de grille, l'épaisseur/largeur du canal, l'épaisseur de l'isolant,...) joue un rôle très important dans les domaines de conception et de la modélisation des circuits intégrés.

Dans ce chapitre, une nouvelle conception du transistor SMSG MOSFET nanométrique, appelée DMSG MOSFET (Dual Material Surrounded Gate MOSFET), et son modèle analytique ont été proposé et étudié afin de minimiser les effets du canal court (ECC) et améliorer le comportement sous seuil pour les applications numériques.

## IV.2 Structure du transistor DMSG MOSFET

La coupe transversale du transistor DMSG MOSFET nanométrique est montrée dans la figure (IV.1a). Comme le montre la figure,  $t_{si}$  est l'épaisseur du silicium,  $t_{ox}$  est l'épaisseur de l'oxyde,  $L$  la longueur du canal,  $L_1$  la longueur de la première région,  $N_A$  et  $N_{D/S}$  représentent le niveau de dopage du canal ( $\cong 10^{15} cm^{-3}$ ) et les zones drain/source ( $\cong 10^{20} cm^{-3}$ ) respectivement. En utilisant une analogie du circuit équivalent, un dispositif DMSG MOSFET peut être représenté comme une combinaison des deux SG MOSFETs en série avec différent travail de sortie du matériau de grille comme indiqué dans la figure (IV.1b). Afin de comprendre les différentes caractéristiques du dispositif, il est utile de résoudre l'équation de Poisson en 2D dans la zone active du transistor. Les polarisations des deux grilles sont également identiques et correspondent à  $V_{gs}$ .

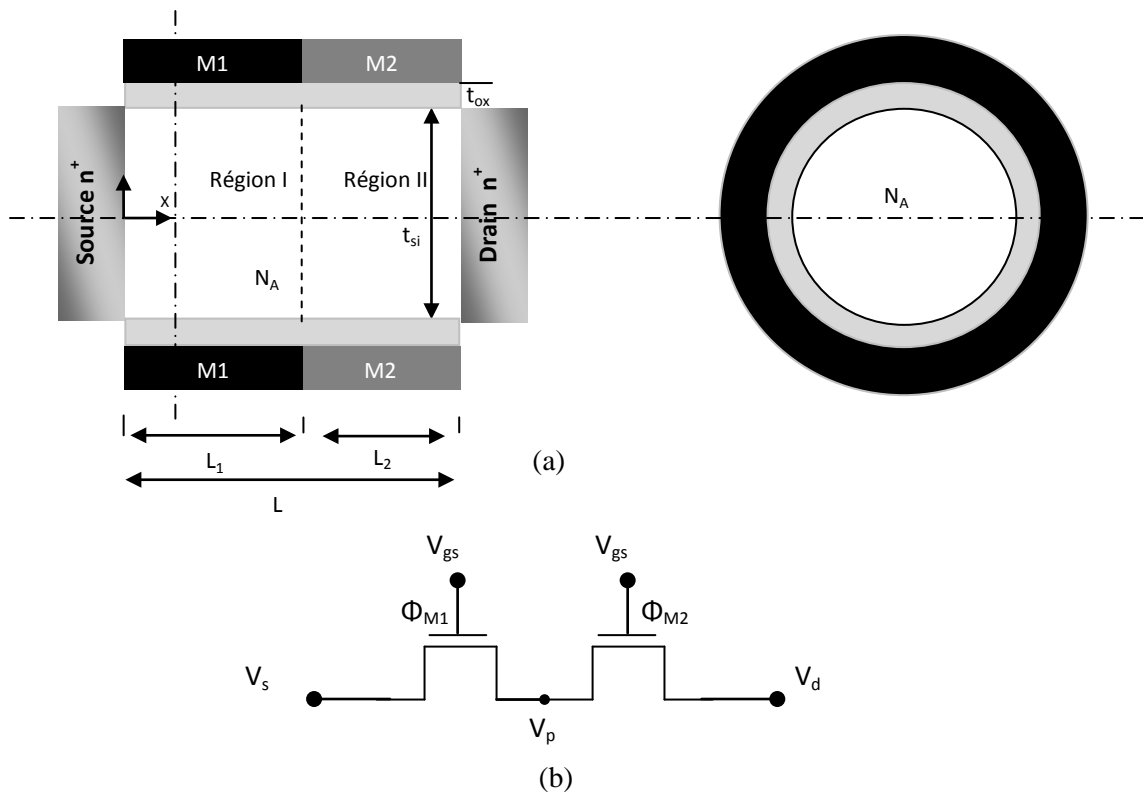


Fig. (IV.1) a) Structure du DMSG MOSFET, b) schéma équivalent

### IV.3 Modélisation analytique

#### IV.3.1 Potentiel de surface $\psi_s(x)$

Pour modéliser les effets canaux courts nous allons résoudre l'équation de Poisson suivant les dimensions transversale et longitudinale du canal [59]. Si nous considérons  $\psi(x, y)$  le potentiel à l'intérieur du film de silicium entièrement déplété, la relation de Poisson s'écrit :

$$\frac{1}{y} \frac{\partial}{\partial y} \left( y \frac{\partial \psi(x, y)}{\partial y} \right) + \frac{\partial^2 \psi(x, y)}{\partial x^2} = \frac{q \cdot N_A}{\epsilon_{si}} \quad (IV.1)$$

$q$  la charge élémentaire électrostatique,  $N_A$  est la concentration en dopants de type P et  $\epsilon_{si}$  représente la permittivité électrique du silicium.

$x$  correspond à la direction suivant la longueur du canal, et  $y$  correspond à celle orthogonale au canal. Ainsi,  $0 \leq x \leq L$  et  $0 \leq y \leq \frac{t_{Si}}{2}$ .

Les conditions aux limites pour le potentiel  $\psi$  doivent satisfaire la continuité du potentiel et la continuité de la composante normale du vecteur de déplacement électrique aux interfaces Si-SiO<sub>2</sub> [60].

$$\frac{C_{ox}}{\epsilon_{si} \cdot t_{si}} (V_g^* - \psi_s(x)) = \frac{\partial \psi(x, y)}{\partial y} \Big|_{y=0} \quad (IV.1a)$$

$$\frac{C_{ox} \cdot t_{si}}{4 \cdot \epsilon_{si}} (\psi_s(x) - V_g^*) = \frac{\partial \psi(x, y)}{\partial y} \Big|_{y=\frac{t_{si}}{2}} \quad (IV.1b)$$

$V_g^*$  : représente la tension du grille normalisée.

$C_{ox}$  : Capacité d'oxyde.

$$\psi(0, y) = V_{bi} \quad (IV.1c)$$

$$\psi(L, y) = V_{bi} + V_{ds} \quad (IV.1d)$$

$V_{bi}$  : Tension de jonction : Source / Canal ou Drain / Canal.

$$V_{bi} = \frac{K \cdot T}{q} \cdot \ln \left( \frac{N_{D/S}}{n_i} \right) \quad (IV.1e)$$

$N_{D/S}$  : Concentration du dopage de la source et du drain.

$V_{ds}$  : Tension drain-source.

$V_{F,eff}$  et  $V_{B,eff}$  appelées tensions de grilles efficaces (F : Front, B : Bottom). Elles sont introduites pour simplifier les notations, telles que :

$V_{gi}^* = V_{gs} - \phi_{MSi}$ ,  $\phi_{MSi}$  représente le travail de sortie du matériau de grille pour chaque région, (i=1,2)

$V_{gs}$  : Tension grille –source.

Quand  $V_{F,eff} = V_{B,eff}$ , le champ électrique dans la direction verticale (y) est symétrique par rapport au centre du canal ( $y = \frac{t_{Si}}{2}$ ) ce qui correspond au transistor DMSG MOSFET.

Pour résoudre (IV.1), nous considérons le dopage du film de silicium uniforme et un profil de potentiel parabolique dans la direction de l'effet du champ, c'est à dire la direction transversale au canal. Le potentiel s'écrit donc de la manière suivante [61] :

$$\psi(x, y) = C_0(x) + C_1(x) \cdot y + C_2(x) \cdot y^2 \quad (IV.2)$$

Avec  $C_0(x)$ ,  $C_1(x)$  et  $C_2(x)$  des coefficients que nous déterminons en appliquant les conditions aux limites pour le potentiel ainsi que pour le champ électrique au niveau des interfaces silicium-oxyde.

Ainsi en calculant (IV.2) pour  $y = 0$ , nous obtenons  $C_0(x)$  qui correspond au potentiel à l'interface oxyde- silicium  $\psi_s(x)$ .

$$\psi(x, 0) = C_0(x) = \psi_s(x) \quad (IV.3a)$$

Ensuite, la condition aux limites pour le champ électrique nous permet d'obtenir  $C_1(x)$  et  $C_2(x)$ . En effet, en dérivant (IV.2), nous obtenons d'une part  $C_1(x)$  qui correspond au champ électrique au niveau de l'interface entre le silicium et l'oxyde de dessus. Ce champ est aussi égal au champ à travers la couche d'oxyde de grille de dessus.

$$\left. \frac{d\psi(x, y)}{dy} \right|_{y=0} = C_1(x) = \frac{C_{ox} t_{si}}{4\epsilon_{Si}} \cdot (\psi_s(x) - V_g) \quad (IV.3b)$$

D'autre part, nous obtenons une combinaison de  $C_2(x)$  et  $C_1(x)$  correspondant au champ électrique au niveau de l'interface entre le silicium et l'oxyde de dessous, lequel est égal au champ à travers la couche d'oxyde de grille de dessous

$$\left. \frac{d\psi(x, y)}{dy} \right|_{y=\frac{t_{Si}}{2}} = C_1(x) + t_{Si} \cdot C_2(x) = -\frac{C_{ox}}{\epsilon_{Si}} \cdot \frac{V_g - \psi_s(x)}{t_{ox}} \quad (IV.3c)$$

En tenant compte de (IV.3b) dans (IV.3c), nous obtenons  $C_2(x)$ . Finalement, lorsque nous considérons les solutions de ces coefficients définies en (IV.3a, b et c), (IV.2) se réécrit sous la forme :

$$\psi(x, y) = \frac{C_{ox}}{\epsilon_{Si} \cdot t_{Si}} [V_g^* - \psi_s(x)] y^2 + \left( 1 + \frac{C_{ox} t_{Si}}{4\epsilon_{Si}} \right) \psi_s(x) - \frac{C_{ox} t_{Si}}{4\epsilon_{Si}} V_g^* \quad (IV.4)$$

Où  $\psi_s(x)$  représente le potentiel de surface Si/SiO<sub>2</sub> dont les frontières donnée par  $y = \frac{t_{Si}}{2}$  et

$$y = -\frac{t_{Si}}{2}.$$

En substituant (IV.4) en (IV.1), une équation différentielle ordinaire sur le seul plan de la surface potentiel est obtenue:

$$\frac{d^2\psi_s(x)}{dx^2} - \frac{1}{\lambda^2} \cdot \psi_s(x) = D \quad (IV.5)$$

La solution générale de telle équation est la somme de la solution complémentaire donnée par :  $A_1 e^{\frac{x}{\lambda}} + A_2 e^{-\frac{x}{\lambda}}$  associée à l'équation homogène et la solution particulière deviner facilement être  $-\lambda^2 D$ .

Ainsi, la solution générale de (IV.5) a la forme :  $\psi_s(x) = -\lambda^2 D + A_1 e^{\frac{x}{\lambda}} + A_2 e^{-\frac{x}{\lambda}}$

Où  $A_1$  et  $A_2$  sont des constantes déterminées par la satisfaction des conditions aux limites.



Dans la région I ( $0 \leq x \leq L_1$ ) l'équation à résoudre est:

$$\frac{d^2\psi_{s1}(x)}{dx^2} - \frac{1}{\lambda^2} \cdot \psi_{s1}(x) = D_1 \quad (IV.6)$$

$$\text{Avec } \lambda = \sqrt{\frac{\epsilon_{Si} \cdot t_{ox} \cdot t_{Si}}{4 \cdot \epsilon_{ox}}} \text{ et } D_1 = \frac{e \cdot N_A}{\epsilon_{Si}} - \frac{1}{\lambda^2} \cdot V_{g1}^*$$

Dans les conditions limites suivantes:

$$\psi(0.y) = V_{bi}$$

$$\psi(L_1.y) = V_p$$

$$\psi_{s1}(x) = -\lambda^2 \cdot D_1 + \frac{\phi_{D1} \cdot \sinh\left(\frac{x}{\lambda}\right) - \phi_{s1} \cdot \sinh\left(\frac{x-L_1}{\lambda}\right)}{\sinh\left(\frac{L_1}{\lambda}\right)} \quad (IV.7)$$

$$\text{Avec } \phi_{D1} = V_p + \lambda^2 \cdot D_1 \text{ et } \phi_{s1} = V_{bi} + \lambda^2 \cdot D_1.$$

Dans la région II ( $L_1 \leq x \leq L$ ) en suivant la même méthodologie que ci-dessus pour les éléments suivants :

$$\frac{d^2\psi_{s2}(x)}{dx^2} - \frac{1}{\lambda^2} \cdot \psi_{s2}(x) = D_2 \quad (IV.8)$$

$$\text{Avec } D_2 = \frac{e \cdot N_A}{\epsilon_{Si}} - \frac{1}{\lambda^2} \cdot V_{g2}^*$$

Dans les conditions limites suivantes:

$$\psi_{s2}(x)|_{x=L_1} = V_p \text{ (Limite des deux régions)}$$

$$\psi_{s2}(x)|_{x=L} = V_{bi} + V_{ds} \text{ (Côté Drain)}$$

$$\psi_{s2}(x) = -\lambda^2 \cdot D_2 + \frac{\phi_{s2} \cdot \sinh\left(\frac{x-L_1}{\lambda}\right) - \phi_{D2} \cdot \sinh\left(\frac{x-L}{\lambda}\right)}{\sinh\left(\frac{L-L_1}{\lambda}\right)} \quad (IV.9)$$

Avec  $\phi_{D_2} = V_p + \lambda^2 D_2$  et  $\phi_{S_2} = V_{bi} + \lambda^2 D_2$ .

$V_p$  est le potentiel engendré à la limite des deux régions qui peut être trouvé en utilisant l'équation de continuité du champ électrique à  $x = L_1$

$$\left. \frac{d\psi_{S_1}(x)}{dx} \right|_{x=L_1} = \left. \frac{d\psi_{S_2}(x)}{dx} \right|_{x=L_1}$$

$$V_p = \frac{\phi_{S_2} \cdot \sinh\left(\frac{L_1}{\lambda}\right) + \phi_{S_1} \cdot \sinh\left(\frac{L-L_1}{\lambda}\right) - \alpha \cdot \lambda^2 \cdot D_2 - \beta \cdot \lambda^2 \cdot D_1}{\sinh\left(\frac{L}{\lambda}\right)} \quad (\text{IV.10})$$

$$\text{Avec } \alpha = \cosh\left(\frac{L_1-L}{\lambda}\right) \cdot \sinh\left(\frac{L_1}{\lambda}\right) \quad \text{et} \quad \beta = \cosh\left(\frac{L_1}{\lambda}\right) \cdot \sinh\left(\frac{L-L_1}{\lambda}\right)$$

La figure (IV.2) montre la variation du potentiel de surface au long du canal pour  $L = 30nm$  du transistor DMSG MOSFET pour différents travaux de sortie  $\phi_{m1}$  et  $\phi_{m2}$ , à  $V_{GS} = 0.1V$  et  $V_{ds} = 0.4V$ . Pour explorer les meilleures performances du DMSG MOSFET, le potentiel calculé de la structure conventionnelle SG MOSFET est également inclus pour la comparaison. De la figure on peut voir que le profil du potentiel de surface dans le cas de la conception DMSG MOSFET montre une variation à l'interface des deux grilles ayant différents travaux de sortie, par comparaison avec celle de la structure conventionnelle SMSG MOSFET. Ce changement du potentiel de surface proche de l'interface des deux métaux de grille dans le cas de la conception DMSG MOSFET provient de la suppression des ECC. En raison de la discontinuité dans le potentiel du canal de la structure DMSG, le pic du champ électrique à côté du drain est réduit considérablement par comparaison à celle de la structure conventionnelle SMSG qui conduit à la réduction de l'effet des porteurs chauds. Cet effet est considéré comme un paramètre principal qui affecte les performances du transistor pour les applications des circuits à haute vitesse et à faible consommation de puissance. Ceci implique clairement que l'effet des porteurs chauds peut être considérablement amélioré par l'implémentation des matériaux de grille dans le canal.

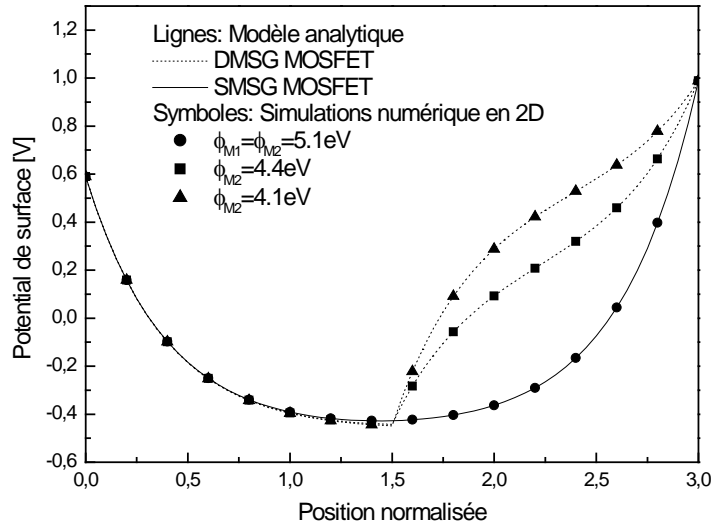


Fig. (IV.2) Variation du potentiel de surface  $\psi_s(x)$  en fonction de la longueur du canal

**Potentiel de surface minimal  $\psi_{s \min}$**

Si on suppose que le potentiel minimal se situe dans la région 2:

$$V_p = V_{bi} + V_{ds} \tag{IV.11}$$

L'expression du potentiel de surface se réduit à :

$$\psi_s(x) = \frac{(V_{bi} + V_{ds} + \lambda^2 \cdot D_1) \cdot \sinh(x/\lambda) - \phi_{s1} \cdot \sinh((x-L)/\lambda)}{\sinh(L/\lambda)} - \lambda^2 \cdot D_1 \tag{IV.12}$$

Si on suppose que le potentiel minimal se situe dans la région 1:

Dans ce cas, on a deux expressions différentes du potentiel de surface  $\psi_{s1}(x)$  dans la région 1 et  $\psi_{s2}(x)$  dans la région 2.

Une fois  $\psi_{s1}(x)$  et  $\psi_{s2}(x)$  obtenus, nous allons évaluer la valeur minimale de chaque potentiel ainsi que la position à laquelle ce minimum de potentiel est atteint. Nous noterons le minimum du potentiel de surface dans la région une par  $\psi_{s1 \min}$  et la position à laquelle  $\psi_{s1 \min}$  est obtenu  $x_{1 \min}$ . De même, le minimum du potentiel de surface dans la deuxième région est noté par  $\psi_{s2 \min}$  et la position à laquelle  $\psi_{s2 \min}$  est obtenu  $x_{2 \min}$ .

$\psi_{S \min}$  est le minimum du potentiel de surface dans le canal :

$$\psi_{S \min} = \begin{cases} \psi_{S1 \min} & \text{si } \psi_{S1 \min} < \psi_{S2 \min} \\ \psi_{S2 \min} & \text{si } \psi_{S2 \min} < \psi_{S1 \min} \end{cases} \quad (\text{IV.13})$$

Ainsi,  $x_{1 \min}$  et  $\psi_{s1 \min}$  sont déterminés en calculant respectivement :

$$\left. \frac{d\psi_{S1}(x)}{dx} \right|_{x=x_{1 \min}} = 0 \quad (\text{IV.14})$$

$$\text{et } \psi_{S1 \min} = \psi_{S1}(x_{1 \min}) \quad (\text{IV.15})$$

Ceci conduit à la solution de  $x_{1 \min}$  et  $\psi_{s1 \min}$  sous la forme :

$$x_{1 \min} = \frac{1}{2} \cdot \left[ L1 - \lambda \cdot \ln \left( \frac{\phi_{s1} - \phi_{D1} \cdot e^{\frac{L1}{\lambda}}}{\phi_{D1} - \phi_{s1} \cdot e^{\frac{L1}{\lambda}}} \right) \right] \quad (\text{IV.16})$$

$$\psi_{S1 \min} = -\lambda^2 \cdot D_1 + \frac{\phi_{D1} \cdot \sinh\left(\frac{x_{1 \min}}{\lambda}\right) - \phi_{s1} \cdot \sinh\left(\frac{x_{1 \min} - L1}{\lambda}\right)}{\sinh\left(\frac{L1}{\lambda}\right)} \quad (\text{IV.17})$$

De même pour  $x_{2 \min}$  et  $\psi_{s2 \min}$  :

$$\left. \frac{d\psi_{S2}(x)}{dx} \right|_{x=x_{2 \min}} = 0 \quad \Rightarrow$$

$$x_{2 \min} = \left( \frac{L + L1}{2} \right) + \frac{\lambda}{2} \cdot \ln \left( \frac{\phi_{D2} \cdot e^{\frac{L}{\lambda}} - \phi_{s2} \cdot e^{\frac{L1}{\lambda}}}{\phi_{s2} \cdot e^{\frac{L}{\lambda}} - \phi_{D2} \cdot e^{\frac{L1}{\lambda}}} \right) \quad (\text{IV.18})$$

$$\psi_{S2 \min} = -\lambda^2 \cdot D_2 + \frac{\phi_{s2} \cdot \sinh\left(\frac{x_{2 \min} - L1}{\lambda}\right) - \phi_{D2} \cdot \sinh\left(\frac{x_{2 \min} - L}{\lambda}\right)}{\sinh\left(\frac{L - L1}{\lambda}\right)} \quad (\text{IV.19})$$

Comme le minimum du potentiel de surface peut être localisé dans les deux régions. Cependant, il est observé que le potentiel de surface minimal  $\psi_s(x)$  est toujours obtenu dans la première région  $0 \leq x \leq L_1 \quad \forall$  la valeur de  $N_A$ . Ceci nous conduit d'écrire :

$$\psi_{S1\min} < \psi_{S2\min} \quad (\text{IV.20})$$

Donc:

$$\psi_{S\min} = \psi_{S1\min} = -\lambda^2 \cdot D_1 + \frac{\phi_{D1} \cdot \sinh\left(\frac{x_{1\min}}{\lambda}\right) - \phi_{s1} \cdot \sinh\left(\frac{x_{1\min} - L_1}{\lambda}\right)}{\sinh\left(\frac{L_1}{\lambda}\right)} \quad (\text{IV.21})$$

### IV.3.2 Tension de seuil $V_{th}$

Sous le seuil, les deux principaux paramètres qui sont influencés par les effets de canaux courts sont la pente sous le seuil et la tension de seuil. Physiquement, la dégradation de la pente sous le seuil est due à une diminution du contrôle électrostatique des grilles sur le canal. Ainsi, la pente sous le seuil sera plus importante pour un court dispositif. Concernant la tension de seuil, il s'agit du même phénomène : la diminution de la longueur de grille entraîne un abaissement de la barrière de potentiel entre la source et le drain. Ainsi, les électrons auront besoin de moins d'énergie pour aller de la source au drain. Le flux d'électrons sera donc supérieur pour une même polarisation de grille, dans le cas d'un transistor à canal court que pour un transistor à canal long.

En cas de la région 1 où,  $L_D = 0nm$  et  $L = L_1$ , et pour des tensions drain-source  $V_{DS}$  très basses, la tension de seuil  $V_{th}$  peut être calculée analytiquement en utilisant cette approximation. Dans ce cas, la position du minimum de potentiel de surface  $x_{\min}$  est au milieu du canal [62].

$$x_{\min} = x_{1\min} = \frac{L}{2} \quad (\text{IV.22})$$

En augmentant la tension drain- source  $V_{ds}$ , on a observé que la position du minimum de potentiel de surface a tendance de décaler vers le côté source.

La tension de seuil est la valeur de la tension de grille-source  $V_{gs} = V_g^*$  pour laquelle

$$\psi_s(x_{\min}) = \psi_{s \min} |_{V_{gs}=V_{th}} = 2 \cdot \phi_B \quad (IV.23)$$

Où  $\phi_B = (KT/q) \cdot \ln(N_A/n_i)$  est le potentiel de substrat du silicium.

Sachant que :  $\lambda = \sqrt{\frac{\epsilon_{Si} \cdot t_{ox} \cdot t_{Si}}{2 \cdot \epsilon_{ox}}} \cong 4nm$ , la solution de l'équation (IV.23) pour des tensions

drain-source  $V_{ds}$  très basses est donnée par :

$$V_{th} = \frac{2\phi_B + \frac{qN_A \lambda^2}{\epsilon_{Si}} - 2(V_{bi} + V_{ds}) \left( \frac{\sinh\left(\frac{L}{2\lambda}\right)}{\sinh\left(\frac{L}{\lambda}\right)} \right)}{1 - 2 \frac{\sinh\left(\frac{L}{2\lambda}\right)}{\sinh\left(\frac{L}{\lambda}\right)}} + \phi_{ms} \quad (IV.24)$$

L'approximation de l'expression de la tension de seuil pour un canal long est donnée par :

$$V_{th} = 2 \cdot \phi_B + \frac{q \cdot N_A \cdot \lambda^2}{\epsilon_{Si}} \quad (IV.25)$$

La tension de seuil peut être calculée en résolvant l'équation ci-dessous numériquement :

$$\psi_{S \min} = \psi_{S1 \min} = -\lambda^2 \cdot D_1 + \frac{\phi_{D1} \cdot \sinh\left(\frac{x_{1 \min}}{\lambda}\right) - \phi_{S1} \cdot \sinh\left(\frac{x_{1 \min} - L_1}{\lambda}\right)}{\sinh\left(\frac{L_1}{\lambda}\right)} = 2 \cdot \phi_B \quad (IV.26)$$

Où  $x_{1 \min}$ ,  $\phi_{D1}$ ,  $\phi_{S1}$  et  $D_1$  sont tous en fonction de la tension  $V_g^*$ .

La Figure (IV.3) illustre la tension de seuil du modèle proposé (DMSG MOSFET) en fonction de la longueur du canal à une tension appliquée de  $V_{ds} = 0.4V$  est comparée avec celle de la structure conventionnelle SMSG. Il est montré que les résultats obtenus du modèle proposé sont en bon accord avec ceux de simulation pour des longueurs de canal longues. La courbe indique que la tension de seuil diminue rapidement lorsque la longueur du canal diminue à 10

nm (pour les deux structures), ceci provient que la grille perd le contrôle du canal quand la polarisation du drain augmente régulièrement donne naissance à l'effet *DIBL*. De plus, il peut être vu que l'implémentation de la conception DMSG MOSFET introduit une variation (diminution de la valeur de la tension de seuil) dans la tension de seuil. On peut voir que le modèle analytique proposé fournit un bon accord pour une très large gamme de paramètres dimensionnels et électriques pour le transistor DMSG MOSFET fortement nanométrique en comparaison avec les simulations numériques en 2D. Par conséquent, les modèles analytiques développés peuvent être utilisées comme des fonctions objectives dans notre approche d'optimisation basée sur les algorithmes génétiques multi objectives.

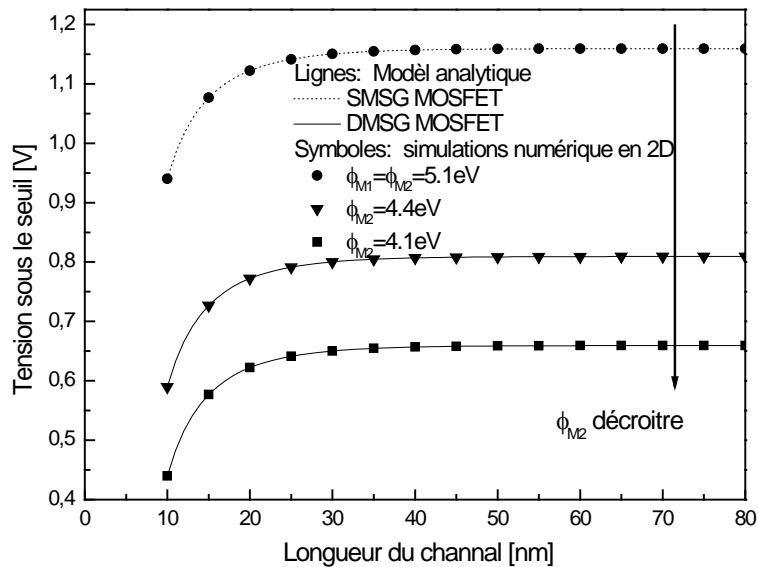


Fig. (IV.3). Variation de la tension de seuil  $V_{th}$  en fonction de la longueur du canal  $L$

### IV.3.3 Modélisation du DIBL

Comme nous l'avons rappelé dans le chapitre I, le *DIBL* est communément identifié comme une diminution de la tension de seuil relative à une augmentation de la polarisation du drain. Les modèles de *DIBL* introduisent généralement une dépendance en tension et en longueur de canaux de la tension de seuil. Plusieurs dépendances à la tension de drain et à la longueur de canal ont été proposées [30]. Elles sont souvent basées sur une dépendance linéaire du *DIBL* à la polarisation de drain. C'est une approche adéquate dans la plupart des cas. Cependant, concernant la dépendance à la longueur de canal, peu de modèles ont le mérite de fournir des résultats satisfaisants pour la double grille.

Nous définissons le *DIBL* comme étant la variation de la tension de seuil obtenu lorsque la polarisation de drain est modifiée. Ainsi, on écrit :

$$DIBL = \frac{d\Delta V_{th}}{dv_{ds}} \quad (IV.28)$$

$$DIBL = \frac{V_{th}(V_{ds2} = 0.4V) - V_{th}(V_{ds1} = 0.1V)}{V_{ds2} - V_{ds1}} [mV/V] \quad (IV.29)$$

#### IV.3.4 Facteur sous le seuil *S* :

Considérant la distribution du potentiel dans toute la région du canal, l'emplacement du potentiel minimum dans le sens de la longueur du canal, connu comme la «cathode virtuelle», est d'une grande utilité à des fins de modélisation appareil. Cet emplacement correspond au maximum d'une barrière d'énergie, sur lequel les électrons libres diffusent de la source et sont ensuite emportés dans le drain formant le sous-seuil courant de drain, où  $x_{min}$  est l'emplacement de la cathode virtuelle, le potentiel électrostatique à la cathode virtuelle peut trouver en remplaçant ( $x$ ) dans l'équation de potentiel par sa valeur minimale, où  $x_{min} = L/2$ .

Le facteur sous le seuil *S* peut être exprimé comme suit:

$$S = \frac{\partial V_{gs}}{\partial \log I_{ds}} = V_t \ln(10) \times \left[ \frac{\int_0^{\frac{t_{si}}{2}} e^{\psi_{min}/V_t} \left( \frac{\partial \psi_{min}}{\partial V_{gs}} \right) dy}{\int_0^{\frac{t_{si}}{2}} e^{\psi_{min}/V_t} dy} \right]^{-1} \quad (IV.30)$$

Une solution approximative pour cette intégrale a été prouvée d'avoir la forme:

$$S = \frac{KT}{q} \ln(10) \times \left[ \frac{\partial \psi_{smin}}{\partial V_{gs}} \right]^{-1} \quad (IV.31)$$

Ainsi, une expression analytique pour le facteur sous le seuil de notre DMSG MOSFET avec des effets de grilles peuvent être écrite en cas de  $0 \leq x_{min} \leq L_1$ .



Avec quelques approximations et les simplifications que:

$$S = \frac{KT}{q} \ln(10) \times \left[ 1 + \frac{-\left( \sinh\left(\frac{L_1}{\lambda}\right) + \sinh\left(\frac{L-L_1}{\lambda}\right) \right) \gamma + \sinh\left(\frac{x_{1\min} - L_1}{\lambda}\right)}{\sinh\left(\frac{L_1}{\lambda}\right)} \right]^{-1} \quad (IV.32)$$

$$\text{Avec } \gamma = \frac{\sinh\left(\frac{x_{1\min}}{\lambda}\right)}{\sinh\left(\frac{L}{\lambda}\right)}$$

La figure (IV.4) montre les valeurs du modèle analytique et celles de la simulation du facteur sous le seuil en fonction de la longueur du canal  $L$ , pour des valeurs fixes de  $L_1 = L/2$ ;  $t_{OX} = 2nm$ ;  $t_{si} = 10nm$ ;  $\phi_{m1} = 5.1ev$  et  $\phi_{m2} = 4.1ev$ . La différence élevée des travaux de sorties des deux régions est préférable pour supprimer les effets à canal court de façon plus efficace en raison de la faible dégradation sous le seuil. Comme le travail de sortie du matériau de grille proche du drain devient plus inférieur, le champ vertical au bout de grille peut facilement pénétrer dans le canal et de renforcer la capacité de contrôle de grille qui réduit la dégradation sous le seuil, ce qui confirme encore une fois que l'immunité du canal court et les porteurs chauds peut être amélioré par l'implémentation de la conception DMSG MOSFET.

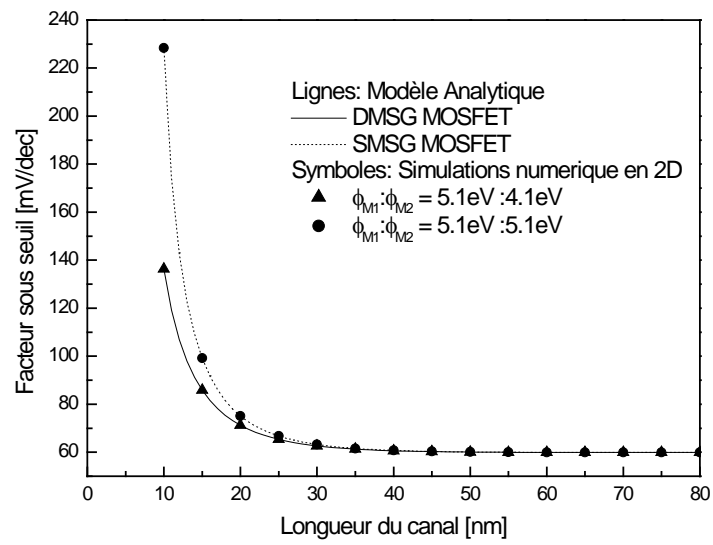


Fig. (IV.4). Facteur sous le seuil « S » pour DMSG MOSFET

#### IV.4 Conclusion

Nous venons de voir dans ce chapitre que malgré la bonne immunité de la structure du DMSG MOSFET aux effets à canaux courts, ces effets sont toujours présents. On ne peut pas les négliger, il faut donc les décrire.

Nous avons choisi une modélisation analytique pour les effets les plus importants. Il s'agit de la diminution de la tension de seuil, ce qui est appelé le  $V_{th}$ , le *DIBL*, qui est l'abaissement de la barrière de potentiel sous l'influence de la tension de drain ainsi que le facteur sous seuil. Tous ces effets sont bien pris en compte dans notre modèle analytique et ce, sans paramètre d'ajustement.

Il y a tout de même des limitations concernant les épaisseurs d'oxyde de grille et celle du film de silicium et autres paramètres à prendre en considération pour que le modèle soit valable.

Nous avons tout d'abord résolu l'équation de Poisson à 2D. Ensuite, on a proposé une expression du potentiel de surface à l'interface Si-SiO<sub>2</sub> et on a développé une expression analytique du minimum de potentiel de surface du transistor DMSG MOSFET symétriques à canal court. Cette expression a permis ensuite de développer des modèles analytiques de la tension de seuil, de la pente sous le seuil de l'abaissement de la barrière de potentiel induit par le drain (*DIBL*).

*CHAPITRE 5*  
*OPTIMISATION MULTI*  
*OBJECTIFS DU TRANSISTOR*

### V.1 Introduction

Ce chapitre est consacré à la validation de la technique d'optimisation utilisée qui se base sur les principes des algorithmes génétiques tels qu'ils ont été décrits au chapitre III. Les stratégies conventionnelles d'extraction de paramètres, telles que les méthodes de gradient ou les méthodes directes fournissent une succession des optimums locaux. Ailleurs, la méthode d'extraction de paramètres par les AGs fournit des solutions optimales globales du modèle analytique du dispositif étudié.

L'application des AGs exige la détermination de quatre paramètres fondamentaux: représentation de chromosome (population), les opérateurs génétiques (sélection, mutation et croisement), initialisation, l'évaluation de la fonction fitness et critère d'arrêt.

Dans ce chapitre, nous présentons l'applicabilité de l'approche d'optimisation multi objectif basée sur les algorithmes génétiques (MOGAs) pour optimiser et améliorer le comportement électrique de la structure DMSG MOSFET d'échelle 10nm à basse consommation de puissance et haute vitesse pour des applications numériques fortement nanométrique. L'optimisation de la conception, adoptée dans ce chapitre, est le processus de trouver le maximum / minimum de paramètres sous le seuil appelés les fonctions objectives et doit aussi satisfaire un certain ensemble de conditions spécifiées dans les contraintes pour  $L = 10\text{nm}$ .

Notre modélisation analytique du dispositifs et l'approche d'optimisation basée sur MOGAs démontre que la technique d'optimisation proposée est considérablement améliorée les performances du dispositif en terme du comportement sous seuil qui met l'approche de la structure proposée comme un candidat prometteur à un échelle de 10nm DMSG MOSFET à base des circuits numériques.

Enfin, l'exactitude du modèle a été vérifiée par la comparaison des résultats du modèle analytique avec ceux obtenues à l'aide de simulateur ATLAS 2D.

## V.2 Algorithmes génétiques multi objectifs (MOGAs)

Proposé par Fonseca et Fleming (1993), le MOGA est une méthode dans laquelle chaque individu de la population est rangé en fonction du nombre d'individus qui le domine. Ensuite, l'algorithme utilise une fonction de calcul de la performance permettant de prendre en compte le rang de l'individu et le nombre d'individus ayant le même rang.

Soit un individu  $x$  à la génération  $t$ , dominé par  $p(t)$  individus. Le rang de cet individu est :

$$range(x,t) = 1 + p(t)$$

La procédure de sélection utilise ensuite ces rangs pour sélectionner ou éliminer des blocs d'individus.

Cette méthode pose comme inconvénient un risque de convergence prématurée à cause de la grande pression exercée par la sélection. Pour éviter ce problème, les auteurs ont introduit une fonction de partage de performance afin de mieux répartir les solutions le long de la frontière Pareto. Mais les performances de l'algorithme sont dépendantes de la valeur du paramètre  $\delta_{sh}$  utilisé dans la fonction de partage.

## V.3 Optimisation basée sur MOGAs

Afin de concevoir un transistor DMSG MOSFET a échelle  $10nm$  avec une meilleure performance sous le seuil pour des applications des circuits numériques, on propose l'utilisation de l'approche d'optimisation basée sur MOGAs. Les algorithmes évolutionnaires ont été montré à résoudre des problèmes non-linéaires et multi variables en explorant toutes les régions de l'espace et exploiter de manière exponentielle les domaines prometteurs à travers les opérateurs génétiques comme: sélection, croisement et mutation, qui sera appliqué à des individus dans les populations [68-70]. Dans notre problème d'optimisation multi-objectif, des fonctions multi-objectives doivent être optimisés simultanément. Pour l'application du MOGAs, la sélection par tournoi est employée qui sélectionne chaque parent en choisissant au hasard des individus, puis en choisissant le meilleur individu de cet ensemble d'être un parent. Un croisement dispersé crée un vecteur binaire aléatoire.

Il sélectionne ensuite les gènes où le vecteur est l'unité du premier parent, et les gènes où le vecteur est nul à partir du deuxième parent, et combine les gènes pour former l'enfant. Un processus d'optimisation a été réalisé pour une population de 30 individus et le nombre maximal de générations égal à 150, pour lesquels la stabilisation de la fonction de fitness a été obtenue. Basé sur l'hypothèse que la tension de seuil et de l'effet *DIBL* sont linéairement reliés, ce qui suggère que la dégradation de ces paramètres a la même origine et parfaitement contrôlé par la longueur du canal. Par

conséquent, l'optimisation de la tension de seuil conduit à l'optimisation de l'effet *DIBL*. Par conséquent, trois fonctions objectives sont considérés dans cette étude, le facteur sous le seuil, courant sous le seuil à état OFF et la tension de seuil roll-off, qui est donné comme la différence entre la tension de seuil pour le canal long et court:  $\Delta V_{th} = V_{th,long} - V_{th,short}$ . Ainsi, la conception obtenue peut réduire efficacement le ECC et de fournir des meilleures performances sous le seuil électriques en satisfaisant des fonctions objectives suivantes:

Minimisation de la tension de seuil roll-off  $V_{th}(x)$ .

Minimisation du courent sous le seuil  $I(x)$ .

Minimisation du facteur sous le seuil  $S(x)$ .

Où  $x$  représente le vecteur d'entré normalisé des variables qui est donné comme.

$x = (L_1, t_{si}, t_{ox}, \phi_{M1}, \phi_{M2})$ , ainsi que les contraintes à respecter sont:

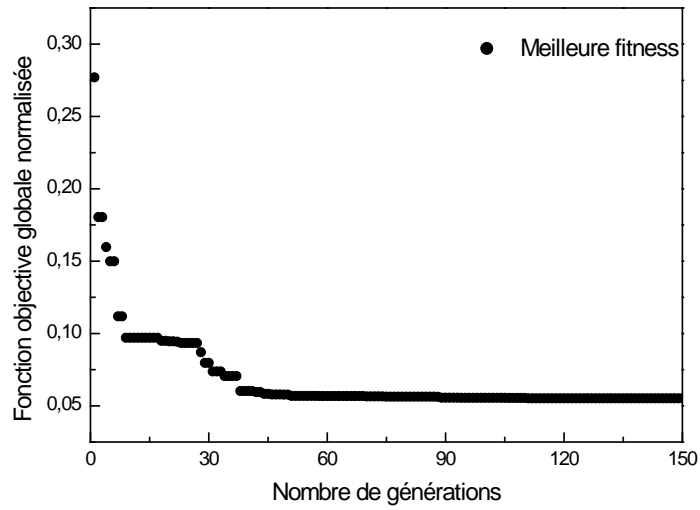
- $g_1(x) : x \in [x_{i\min}, x_{i\max}]$ ,  $x_i \in X$  (Chaque variable géométrique est limité dans une plage donnée).
- $g_2(x) : L = 10nm.$ .
- $g_3(x) : L_1 < L$ .
- $g_4(x) : \phi_{M1} > \phi_{M2}$ .

La fonction objective globale est obtenue par l'affectation d'un poids donné "basée sur la méthode approchée de la somme pondérée" donnée comme suit:

$$F(X) = w_1.I(X) + w_2.S(X) + w_3.\Delta V_{th}(X).$$

Avec  $w_i$  ( $i = 1-3$ ) sont des fonctions de poids satisfaire  $\sum_i w_i = 1$  [68]. Le choix des facteurs de pondération est arbitraire faite par l'utilisateur et il n'est généralement pas justifiée. Le changement de ces facteurs de pondération ( $w_i$ ) change la solution optimale. Dans notre étude, le facteur sous seuil, le courant sous seuil et la tension de seuil roll-off sont également importants. Par conséquent,  $w_i$  ( $i = 1-3$ ) peuvent être affectées des valeurs égales à 0.333.

Les paramètres de MOGAs étaient variés et l'erreur d'optimisation associée a été enregistrée. Fig. (V.1) montre la variation de la fonction objective normalisée globale en fonction de nombre générations où la fonction objective minimale peut être atteint pour 4500 itérations.



*Fig. (V.1) variation de la fonction objective globale normalisée*

La diminution régulière des paramètres sous le seuil de la meilleure solution de chaque génération jusqu'à ce qu'elle atteigne une valeur optimale peut être attribuée à la procédure de sélection utilisée (soit la sélection par roulette). L'optimisation de la conception finale du transistor DMSG MOSFET à l'échelle 10nm et leurs paramètres sous le seuil sont résumés dans le tableau1. Afin d'évaluer ces résultats on devrait se rappeler que l'outil standard de la conception CMOS propose  $SS \leq 100mV / dec$ , tandis que les dispositifs avec un facteur sous le seuil  $SS > 100mV / dec$  ne peuvent pas supporter dans les applications des circuits logiques.

Par conséquent, la structure d'échelle de 10nm peut être utilisée pour concevoir un circuit nanométrique pour des applications numérique à faible puissance.



**CHAPITRE V: OPTEMISATION MULTI OBJECTIFS DU TRANSISTOR**

Symbole	Structure Conventionnelle SMSG MOSFET (1)	Structure Conventionnelle SMSG MOSFET (2)	Structure Optimisée DMSG MOSFET à l'échelle 10nm
<b>Les variables géométriques:</b>			
longueur du canal $L(nm)$	10	10	10
Longueur du canal pour la première région $L_1(nm)$	--	--	5.2
épaisseur du silicium $t_{si}(nm)$	4	5	3
épaisseur d'oxyde $t_{ox}(nm)$	2	1	1
Le travail de sortie pour la première région $\phi_{M1}(ev)$	5.01	5.1	5.01
Le travail de sortie pour la deuxième région $\phi_{M2}(ev)$	5.01	5.1	4.07
<b>Fonctions Objectives:</b>			
Facteur sous le seuil $SS(mv/dec)$	85.0471	75.1151	64.7978
courant de l'état OFF $I_{OFF}(A)$	$6.1915 \times 10^{-10}$	$1.2235 \times 10^{-11}$	$1.053 \times 10^{-16}$
La tension de seuil roll-off $\Delta V_{th}(V)$	0.4181	0.5429	0.0028

**Tableau.1**

### V.4 Conclusion

Dans ce chapitre, la structure DMSG MOSFET a été analysée et les modèles des paramètres sous le seuil ont été développés pour prédire le comportement du dispositif à l'échelle nanométrique. De plus, le modèle sous le seuil a été comparé à celui de la structure conventionnelle SMSG MOSFET et son amélioration en performance a été discutée. Il a été démontré que la structure DMSG offre des meilleures caractéristiques en terme de facteur sous le seuil, la réduction de la tension sous seuil roll-off et l'amélioration du courant sous le seuil. Cependant, une approche basée sur MOGAs est proposée pour optimiser les performances électriques sous le seuil du dispositif DMSG d'une échelle nanométrique de 10 nm pour des applications des circuits numérique fortement nanométrique. L'approche proposée réussie à rechercher la meilleure performance possible du transistor, où le facteur sous seuil peut atteindre sa valeur idéale;  $SS \approx 60mV / dec$  pour le transistor DMSG d'échelle 10 nm et les paramètres géométriques d'entrée qui peuvent produire ces performances spécifiques. Les résultats obtenus remettent le transistor DMSG optimisé d'échelle 10nm potentiellement adapté aux applications numériques nanométrique et aux mémoires logiques.

# *CONCLUSION GENERALE*

## Conclusion générale

L'évolution des dispositifs MOSFETs vers le domaine nanométrique nécessite une modélisation qui permet de prendre en compte les effets quantiques et les effets canaux courts afin d'évaluer de nouvelles architectures prometteuses.

Les travaux reportés dans ce manuscrit ont eu pour objectif la modélisation et la simulation du transistor DMSG MOSFET en utilisant les techniques évolutionnaires (AGs et MOGAs) afin d'étudier la miniaturisation des dispositifs nanométriques.

Le premier chapitre de ce manuscrit a décrit les propriétés électriques et physiques des transistors MOSFETs, où nous avons vu que ces composants permettent de réduire les effets canaux courts en raison notamment de l'influence électrostatique.

Dans le deuxième chapitre, nous avons présenté les différents types et la technologie utilisée pour la réalisation des grilles des transistors MOSFETs à l'échelle fortement submicronique.

Dans le troisième chapitre, nous avons exposé les principes de la méthode d'optimisation par les algorithmes génétiques qui se penchera sur les opérateurs génétiques: la sélection, le croisement, la mutation et le remplacement. Sur ces bases, nous avons proposé dans la dernière partie, d'illustrer leur utilisation et leur domaine d'application dans les sciences contemporaines en tenant compte les avantages et les inconvénients de cette méthode.

Le quatrième chapitre est destiné à l'étude analytique des différents modèles compacts du transistor DMSG MOSFET à canal court et leurs limites de validité.

Dans le dernier chapitre, nous avons développé un modèle analytique optimisé du potentiel de surface, courant sous seuil, tension sous seuil et le facteur sous le seuil du transistor DMSG MOSFET en utilisant les techniques évolutionnaires (AG et MOGA).

Le bon accord entre les résultats numériques (ATLAS 2D) et les résultats obtenus par nos approches a montré l'applicabilité et l'efficacité des AGs et MOGAs à l'étude et la miniaturisation des dispositifs nanométriques.

Notre architecture d'optimisation multi-objective proposée dans ce manuscrit a montré une forte progression dans le domaine de la simulation et la modélisation des dispositifs électroniques nanométriques.

Pour poursuivre ce travail, une extension du modèle pour le régime de saturation peut être effectuée en incluant d'autres paramètres et effets tels que: la transconductance dynamique et les paramètres à faibles signaux.

# *BIBLIOGRAPHIE*

## Bibliographie

- [1] Lilienfeld, Julius Edgar, "Method and apparatus for controlling electric current" U.S. Patent 1,745,175 1930-01-28 (filed in Canada 1925-10-22, in US 1926-10-08).
- [2] Kahng, Dawon, " Electric field controlled Semiconductor Device U.S.Patent. 3,102,230 (Filed 31 May 31, 1960, issued August 27, 1963).
- [3] T; Marciniak, W. (1994), "A new approach to threshold voltage modelling of short-channel MOSFETS", *Solid-State Electronics* 29 (11): 1115–1127, November 1986.
- [4] Jérôme saint-martin , etude par simulation monte carlo d'architectures de mosfet ultracourts a grille multiple sur soi, Thèse de doctorat, l'université de paris-sud u.f.r. scientifique d'orsay.
- [5] Marc bescond, modelisation et simulation du transport quantique dans les transistors mosnanometriques, Thèse de doctorat, l'universite de provence (aix-marseille i)
- [6] Trabelsi M'hamed "Caractérisation des transistors à nanocristaux de silicium et des transistors SON par les techniques de bruit basse fréquence et de bruit télégraphique".Thèse de doctorat, institut national des sciences appliquées de Lyon, 2009.
- [7] Skotnicki, T.; Denat, C.; Senn, P.; Merckel, G.; Hennion, B. (1994), "A new analog/digital CAD model for sub-halfmicron MOSFETs", *Technical Digest., International Electron Devices Meeting*: 165–168, Dec. 11-14, 1994.
- [8] Olivier weber, Étude, Fabrication et Propriétés de Transport de Transistors CMOS associant un Diélectrique Haute Permittivité et un Canal de Conduction Haute Mobilité, Thèse de doctorat, L'institut national des sciences appliquées de Lyon; 2005.
- [9] "<http://public.itrs.net>," (2003).
- [10] Jérôme Saint-Martin, Étude par simulation monte Carlo d'architectures de MOSFET ultracourts à grille multiple sur SOI, Thèse de doctorat, U.F.R. scientifique d'Orsay, France.
- [11] M. Ferrier, "Modélisation analytique du transport balistique et quasi balistique dans les MOSFETs avancés," Thèse de doctorat, février, 2007.
- [12] D. Ferry, L. Akers, and E. Greeneich, "Ultra large scale integrated microelectronics," Prentice- Hall, Englewood Cliffs N.J, 1988
- [13] W. Henson, N. Yang, S. Kubicek, et al., "Analysis of leakage currents and impact on offstate power consumption for CMOS technology in the 100nm regime," *IEEE Transactions on Electron Devices*, vol. 47, pp. 1393–1400, 2000
- [14] M. Stockinger, Optimization of Ultra-Low-Power CMOS Transistors, Institut für ikroelektronik, PHD theses, 2000.

- [15] A. Dey, A. Chakravorty, N. DasGupta and A. DasGupta, Analytical Model of Subthreshold Current and Slope for Asymmetric 4-T and 3-T Double-Gate MOSFETs, IEEE Transactions Electron Devices, vol. 55, pp. 3442–3445, 2008.
- [16] C. Ngo, “Physique des semi-conducteurs,” 3<sup>ème</sup> edition, Dunod, 2004.
- [17] B.DIAGNE” Etude et modélisation compacte d’un transistor MOS SOI doublegrille dédié à la conception ” Thèse de Doctorat de l’université de Louis Pasteur 2007.
- [18] J.P. Colinge and C.A. Colinge, Physics of semiconductor devices’, Springer publishers, New York, USA, 2005.
- [19] J.G. Fossum, ‘Analytical modeling of quantization and volume inversion in thinSi film DG MOSFETs’, IEEE Transactions on Electron Devices, vol. 49, pp. 287-294, 2002
- [20] S. Cristoloveanu and S. S. Li, ‘Electrical characterization of SOI materials and devices, kluwer. Norwell (1995).
- [21] P. K. Bondyopadhyay, ‘Moore’s law governs the silicon revolution’, Proceedings of IEEE, vol. 86, pp. 78-81, 1998.
- [22] J.G. Fossum, ‘Analytical modeling of quantization and volume inversion in thinSi-film DG MOSFETs’, IEEE Transactions on Electron Devices, vol. 49, pp. 287-294, 2002.
- [23] J. Colinge, ‘Silicon-on-insulator technology: Materials to VLSI’, Kluwer Academic Publishers, Boston, USA, 3rd edition, 1997.
- [24] J. Colinge, ‘Silicon-on-insulator technology: Materials to VLSI’, Kluwer Academic Publishers, Boston, USA, 3rd edition, 1997.
- [25] J.P. Colinge, “Multi-gate SOI MOSFETs, “Microelectronic Engineering, Vol. 84, pp. 2071-2076, Sep-Oct. 2007.
- [26] A.K. Sharma, S. H. Zaidi, S. Lucero, S. R. J. Brueck, and N. E. Islam, “Mobility and Transverse Electric Field Effects in Channel Conduction of Wraparound-gate Nanowire MOSFETs, “ IEE Proc. Circuits, Devices and Systems, 151. 2004.
- [27] W. Xiong, J. W. Park, and J. P. Colinge, “Corner effect in multiple-gate SOI MOSFETs, “ in Proc. Int. SOI Conf., 2003, pp. 111–113.
- [28] Jae Young Song, Woo Young Choi, Ju Hee Park, Jong Duk Lee, and Byung- Gook Park, “Optimization of Gate-All-Around (GAA) MOSFETs, “IEEE T Transaction on Electron nanotechnology, vol. 5, May. 2006.
- [29] K.D. Buddharaju, N. Singh, S.C. Rustagi, Selin H.G. Teo, G.Q. Lo, N. Balasubramanian, D.L. Kwong, “Si-Nanowire CMOS Inverter Logic Fabricated Using Gate-All-Around (GAA) Devices and Top-Down Approach,“ Solid-State Electronics, 52, pp. 1312–1317, 2008.

- [30] M. Suzuki, T. Endoh, H. Sakuraba and F. Masuoka, "2.4F2 memory cell technology with stacked-surrounding gate transistor (S-SGT) DRAM," *IEEE Transaction on Electron Devices*, vol. 48, pp. 1599-1603, Aug. 2001.
- [31] J. B. Roldán, Andrés Godoy, Francisco Gámiz and M. Balaguer, 'Modeling the Centroid and the Inversion Charge in Cylindrical Surrounding Gate MOSFETs, Including Quantum Effects', *IEEE transactions on electron devices*, pp.411-416, vol. 55, Janvier 2008.
- [32] Yiming Li, Jung Y. Huang, Bo-Shian Lee, and Chih-Hong Hwang, 'Effect of Single Grain Boundary Position on Surrounding-Gate Polysilicon Thin Film Transistors', *Proceedings of the 7th IEEE International Conference on Nanotechnology August 2 - 5, 2007, Hong Kong*.
- [33] V. Pott, 'Gate-All-Around Silicon Nanowires for Hybrid Single Electron Transistor/CMOS Applications', *Thèse de Doctorat, Ecole Polytechnique Fédérale De Lausanne, France, 2008*.
- [34] R. J. Needs, A. J. Read, K. J. Nash, S. Bhattacharjee, A. Qteish, L. T. Canham and P. D. J. Calcott, 'A first-principles study of the electronic properties of silicon quantum wires', *Statistical and Theoretical Physics*, vol. 207 (1-3), pp. 411-414, 1994.
- [35] M.-Y. Shen and S.-L. Zhang, 'Band gap of a silicon quantum wire', *Physics Letters A*, vol. 176 (3- 4), pp. 254-258, 1993.
- [36] J.-P. Colinge, M. H. Gao, A. Romano-Rodriguez, H. Maes and C. Claeys, 'Silicon-on-insulator gate-allaround device', *Technical Digest of IEDM*, pp. 595-598, San Francisco CA, 1990.
- [37] E. Leobandung, J. Gu, L. Guo and S. Y. Chou, 'Wire-channel and wrap-around-gate metaloxide semiconductor Field-effect transistors with a significant reduction of short channel effects', *Journal of Vacuum Science and Technology: B*, vol. 15 (6), pp. 2791-2794, 1997.
- [38] J. Y. Song, W. Y. Choi, J. H. Park, J. D. Lee and B.-G. Park, 'Design optimization of gate-all-around (GAA) MOSFETs', *IEEE Transactions on Nanotechnology*, vol. 5 (3), pp. 186-191, 2006.
- [39] Kyoung Hwan Yeo, Sung Dae Suk, Ming Li, Yun-young Yeoh, Keun Hwi Cho, Ki-Ha HongSeongKyu Yun, Mong Sup Lee, Nammyun Cho, Kwanheum Lee, Duhyun Hwang, Bokkyoung Park, Dong-Won Kim, Donggun Park, and Byung-Il Ryu, 'Gate-All-Around (GAA) Twin Silicon Nanowire MOSFET (TSNWFET) with 15 nm Length Gate and 4 nm Radius Nanowires', *Electron Devices Meeting, IEDM '06*. pp. 1- 4, 2006.
- [40] B. Yang, K. D. Buddharaju, S. H. G. Teo, N. Singh, G. Q. Lo, and D. L. Kwong, 'Vertical Silicon-Nanowire Formation and Gate-All-Around MOSFET', *ieee electron device letters*, pp 791-794 ,vol. 29, JULY 2008.
- [41] M. A. HAMDY 'compact modeling of multiple gate mos devices', *Thèse de Doctorat, University of Rovira i Virgili, 2007*.



- [42] Gengchiao Liang, 'Structure Effects in the gate-all-around Silicon Nanowire MOSFETs', *Electron Devices and Solid-State Circuits, EDSSC 2007*. pp. 129 – 132, 2007.
- [43] Sung Dae Suk, Kyoung Hwan Yeo, Keun Hwi Cho, Ming Li, Yun Young Yeoh, Sung-Young Lee, Sung Min Kim, Eun Jung Yoon, Min Sang Kim, Chang Woo Oh, Sung Hwan Kim, Dong-Won Kim, and Donggun Park, 'High-Performance Twin Silicon Nanowire MOSFET (TSNWFET) on Bulk Si Wafer', *IEEE TRANSACTIONS ON nanotechnology*, pp 181-184 ,vol. 7, march 2008.
- [44] E. Moreno , J.B. Roldán , F.G. Ruiz, D. Barrera, A. Godoy, F. Gámiz, 'An analytical model for square GAA MOSFETs including quantum effects', *Solid State Electronics* pp. 1463–1469, Vol.54, 2010.
- [46] Kirsten E. Moselund, Didier Bouvet, Lucas Tschuor, Vincent Pott, Paolo Dainesi, and Adrian M. Ionescu, 'Local volume inversion and corner effects in triangular gate-all-around MOSFETs', *Solid-State Device Research Conference*, pp. 359 – 362 , 2006. ESSDERC 2006.
- [47] Vincent Pott, Kirsten Emilie Moselund, Didier Bouvet, Luca De Michielis, and Adrian Mihai Ionescu, 'Fabrication and Characterization of Gate-All-Around Silicon Nanowires on Bulk Silicon', *IEEE transactions on nanotechnology*, pp 733-744,vol. 7, 6, November 2008.
- [48] Min-kyu Jeong and Jong-Ho Lee, 'Mobility and Effective Electric Field in Non-Planar Channel MOSFETs', *IEEE Transactions on Nanotechnology*, pp. 106 – 110; 2009.
- [49], Darwin Charles, "L'origine des espèces", petite collection maspero, Paris, 1980.
- [50] Holland J.H., *Adaptation in natural and artificial systems: an introductory analysis with applications to biology, control, and artificial intelligence*, Cambridge, Mass: MIT Press, 1992
- [51], Goldberg, David Edward, *Genetic algorithms in search, optimization, and machine learning*, Addison-Wesley, 412 p., 1989.
- [52] H. Juidette, *Contribution à la mise en oeuvre de techniques de planification de chemin et d'optimisation*, thèse de doctorat, UFR- automatique et technologies de l'information, Rabat, 2002.
- [53] J. Holland, "Adaptation in natural and artificial systems", cambridge, MAA: MIT press, first edition of Michigan press, 1975.
- [54] M. Pirlot, A General local search method, *European Journal of Operational Research*, vol. 92, pp. 493-511, 1996.
- [55] S. Voisin, *Application des Algorithmes Génétiques à l'estimation de mouvement par modélisation markovienne*, Rapport DEA, Université Joseph Fourier, CNRS, France, 2004.
- [56] F. Djeflal, Z. Ghoggali, Z. Dibi, N. Lakhdar, Analytical analysis of nanoscale multiple gate MOSFETs including effects of hot-carrier induced interface charges, *Microelectronics Reliability*; vol.49, 2009, pp. 377-381.

- [57] D.E. Goldberg, "Algorithmes génétiques : exploration, optimisation et apprentissage automatique", éditions addison-wesley, France, 1994.
- [58] S. Voisin, Application des Algorithmes Génétiques à l'estimation de mouvement par modélisation markovienne, Rapport DEA, Université JOSEPH FOURIER, CNRS France, 2004.
- [59] A. K. Singh, "An analytical study of hot-carrier degradation effects in sub-micron MOS devices," The European physical journal, Applied physics, 2008
- [60] F. Djeflal, "Modélisation et simulation prédictive du transistor MOSFET fortement submicronique. Application à la conception des dispositifs intégrés, " Thèse de doctorat en Electronique, Université de Batna, 2006
- [61] R.H. Yan, A. Ourmazd, and K. F. Lee, "Scaling the Si MOSFET: from bulk to SOI to bulk," IEEE Transactions on Electron Devices, vol. 39, pp. 1704-1710, 1992
- [62] B. Diagne, "Etude et modélisation compacte d'un transistor MOS SOI double grille dédié à la conception, " Thèse de doctorat en Electronique, Université Louis Pasteur Strasbourg I, 2007
- [63] Deb, K, "Single and Multi-Objective Optimization Using Evolutionary Algorithms", Indian Institute of Technology, Kanpur Genetic Algorithms Laboratory (KanGAL), 2004.
- [64] Deb, K., "Multi-Objective Optimization using Evolutionary Algorithms", Edited by John Wiley & Sons, Chichester, 2001.
- [65] Büche, D., "Multi-Objectives Evolutionary Optimization of Gas Turbine Components", thèse de doctorat, Swiss Federal Institute of Technology, Zürich, 2003.
- [66] Fonseca, M. C., and P. J. Fleming, "Multi-objective genetic algorithms made easy: Selection, sharing and mating restrictions", In: Proceedings of the 1st International Conference on Genetic Algorithms in Engineering Systems: Innovations and Application, pp.45-52, 1995.
- [67] M. Chan, Y.Taur, C-H. Lin, J.He, AM. Niknejad, C. Hu, A framework for generic physics Based Double Gate MOSFET modeling, In Technical Proceedings of the 2003 Nanotechnology Conference and Trade Show, vol. 2, , pp. 270, Sun Francisco California, USA, 2003.
- [68] P. Huang, Y. Xu and B. Liang, Minimum-Torque Path Planning of Space Robots using Genetic Algorithms, International Journal of Robotics and Automation, vol. 21, pp. 229-236, 2006.
- [69] F. Djeflal, T. Bendib, Multi-objective genetic algorithms based approach to optimize the electrical performances of the gate stack double gate (GSDG) MOSFET, Microelectronics Journal, vol. 42, pp. 661-666, 2011.

[70] P.-C. Chang, J.-C. Hsieh, C.-Y. Wang, Adaptive multi-objective genetic algorithms for scheduling of drilling operation in printed circuit board industry, *Appl. Soft Comput.* Vol. 7, pp. 800–806, 2007.