

REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE
MINISTERE DE L'ENSEIGNEMENT SUPERIEUR ET DE LA RECHERCHE SCIENTIFIQUE

UNIVERSITE EL HADJ LAKHDAR BATNA
FACULTE DES SCIENCES DE L'INGENIEUR
INSTITUT D'ELECTRONIQUE



THESE

Présentée par : M^r BENBOUZA Mohamed Salah

Pour l'obtention du diplôme de Doctorat d'Etat en Electronique

Spécialité : Composants

Sujet :

**CONCEPTION ASSISTEE PAR ORDINATEUR DES
CIRCUITS INTEGRES MESFET GaAs**

Soutenue publiquement le:

Jury:

N. BOUGUECHAL
C. AZIZI-KENZAI
M. ZAABAT
D. E. AMEDDAH
A. OUNISSI
Z. HAFDI

Président
Rapporteur
Examineur
Examineur
Examineur
Examineur

Professeur
Professeur
Maître de conférence
Maître de conférence
Maître de conférence
Maître de conférence

بسم الله الرحمن الرحيم.

إلي بشرة، أمينة، أسامة و أسماء.
إلي جميع العائلة و كل المقربين.

A BACHRA, AMINA, OUSSAMA ET ASMA.
A MA FAMILLE ET A CEUX QUI ME SONT CHERS.

REMERCIEMENTS

Je tiens tout d'abord à remercier Mme C.KENZAI-AZIZI de m'avoir permis de réaliser cette thèse dans son équipe à l'institut de Physique de Constantine, pour sa disponibilité et la qualité de son encadrement ainsi que pour le soutien et la patience dont elle a fait preuve tout au long de ces quatre années. Son aide et son soutien m'ont été tout aussi utiles, notamment dans le domaine de la simulation électrique et de la conception.

Je remercie également M. Henri BAUDRAND pour m'avoir accueilli au sein de l'école polytechnique de Toulouse (ENSEEIH), pour son aide précieuse dans le traitement et l'analyse des caractéristiques électriques, et mon entière gratitude pour sa large participation à ces travaux, notamment en ce qui concerne le traitement et l'analyse haute fréquences des composants MESFET GaAs.

Je suis très honoré que M. N.BOUGUECHAL ait accepté d'être président du jury, qu'il en soit ici remercié. Je tiens à remercier Mr. M. ZAABAT, Mr. D. E. AMEDDAH, Mr. A. OUNISSI, Mme. Z. HAFDI d'avoir acceptées d'être membres du jury. L'enthousiasme de chacun dans cette tâche m'honore au plus haut point.

Mes profonds et sincères remerciements vont également à tous les enseignants de l'université de Batna

Enfin je ne pourrais terminer sans remercier très chaleureusement tous ceux qui ont largement contribué à l'aboutissement de ce travail et qui me supportent depuis de nombreuses années.

TABLE DE MATIERE

INTRODUCTION GENERALE.....	1
I - LA DIODE SCHOTTKY	6
I – 1. INTRODUCTION	6
I – 2. LES HYPERFREQUENCES.....	6
I - 3. PROPRIETES PHYSIQUES DE L'ARSENIURE DE GALLIUM.....	8
I – 3 – 1. Structure des bandes d'énergie.....	8
I – 3 – 2. Propriétés électriques du Silicium, GaAs et SiC.....	9
I – 3 – 3. Le facteur de mérite.....	11
I – 4. TRANSPORT ELECTRONIQUE.....	12
I – 5. LES FONCTIONS PRINCIPALES DE L'ELECTRONIQUE ANALOGIQUE.....	15
I – 6. LES FAMILLES DE COMPOSANTS.....	16
I – 6 – 1. Transistors à effet de champ.....	16
I – 6 – 2. Transistors à effet de potentiel.....	17
I – 6 – 3. Les composants quantiques.....	18
I – 7. LES TECHNIQUES DE CAO.....	18
I – 8. LA DIODE SCHOTTKY.....	19
I – 8 – 1. Introduction.....	19
I – 8 – 2. La physique de la diode Schottky.....	19
I – 8 – 3. Barrière de potentiel et zone de charge d'espace.....	21
I – 8 – 4. Courants dans la diode Schottky.....	23
I – 8 – 5. Le claquage par avalanche.....	24
I – 8 – 6. La capacité de la diode Schottky.....	26
I – 8 – 7. Schéma équivalent linéaire.....	27
I – 8 – 7 – 1. Partie extrinsèque.....	28
I – 8 – 7 – 2. Partie intrinsèque.....	28
I – 8 – 8. Schéma équivalent non- linéaire.....	30
I – 8 – 9. L'hétéro- structure simple barrière.....	31
I – 8 – 10. Résistance différentielle négative.....	34
I – 9. SIMULATION DE LA DIODE SCHOTTKY A L'AIDE DE PSPICE....	35
I – 10. CONCLUSION.....	39
BIBLIOGRAPHIE.....	40
II – LE TRANSISTOR A EFFET DE CHAMP MESFET GaAs.....	42
II – 1. GÉNÉRALITÉS SUR LES DISPOSITIFS MESFET GaAs.....	42
II – 2. LES DISPOSITIFS À EFFET DE CHAMP.....	43
II – 2 – 1. Méthode d'approche des paramètres fondamentaux....	43
II – 2 – 1 – 1. Contrôle du courant	43
II – 2 – 1 – 2. La charge et la capacité du canal	44
II – 2 – 1 – 3. Réversibilité du dispositif.....	45
II – 2 – 1 – 4. Notations.....	45
II – 2 – 1 – 5. Performances d'un composant à effet de champ.....	46
II – 2 – 2. LE TRANSISTOR A EFFET DE CHAMP A BARRIERE METAL- SEMI-CONDUCTEUR (MESFET).....	48
II – 2 – 2 – 1. Structure générale et principe de fonctionnement du MESFET	48
II – 2 – 2 – 2. Tension de pincement, tension de seuil	49
II – 2 – 2 – 3. Fonctionnement du MESFET : aspects quantitatifs	49
II – 3. ÉQUATIONS FONCTIONNELLES DU MESFET GaAs RECHERCHE D'UN MODELE DECRIVANT LES PHENOMENES PHYSIQUES	57

II – 3 – 1. Équations fonctionnelles du MESFET intrinsèque à canal non uniformément dopé	57
II – 3 – 1 – 1. Saturation par pincement du canal pour des grilles longues	60
II – 3 – 1 – 2. Saturation pour des grilles microniques	60
II – 3 – 1 – 3. Saturation pour des grilles submicroniques	60
II – 3 – 2. MESFET à canal uniformément dopé	61
II – 3 – 2 – 1. Dispositif à canal normalement bloqué.....	61
II – 3 – 2 – 2. Dispositif à canal normalement conducteur..	62
II – 3 – 3. Recul de la frontière de canal libre en régime de saturation du courant.....	63
II – 3 – 4. Comportement au voisinage du blocage	66
II – 4. EFFETS DE GEOMETRIE : ZONES D'ACCES ET SUBSTRAT...	67
II – 4 – 1. Influence de la résistance d'accès source- canal.....	67
II – 4 – 2. Débordement de la zone de charge d'espace de grille (effet de bord). Longueur effective du canal	69
II – 4 – 3. Influence de l'interface couche active substrat.....	69
II – 4 – 4. Commandes parasites : «Back gating et Side gating»...	71
II – 4 – 5. Effets piézoélectriques induits dans les MESFET GaAs lors des procédés de fabrication.....	72
II – 5. SCHEMA EQUIVALENT DU MESFET GaAs [17], [18].....	74
II – 5 – 1. Transistor interne.....	74
II – 5 – 2. Éléments parasites.....	75
II – 6. ÉVOLUTION DU TRANSISTOR A EFFET DE CHAMP A BARRIERES DE SCHOTTKY.....	75
II – 7. MODELE POUR- LE FONCTIONNEMENT EN PETITS SIGNAUX.....	77
II – 8. SIMULATION BIDIMENSIONNELLE DES CARACTERISTIQUES I-V DU TRANSISTOR MESFET GaAs.....	79
II – 8 – 1. Etude bidimensionnelle du transistor MESFET GaAs....	79
II – 8 – 2. Détermination de la tension bidimensionnelle dans la zone active.....	79
II – 8 – 3. Caractéristiques courant- tension I-V.....	80
II – 8 – 4. Détermination de l'équation générale du courant.....	81
II – 8 – 5. Effet de la loi de mobilité.....	82
II – 8 – 6. Effet de la tension $V_I(x, y)$	83
II – 8 – 7. Effet des éléments parasites.....	84
II – 8 – 8. Simulations.....	84
II – 9. EFFET NON LINEAIRE DE CAPACITE C_{GS} ET G_{GD}.....	88
II – 9 – 1. Détermination de la charge de la région de déplétion.....	88
II – 9 – 1 – 1. Régime linéaire.....	88
II – 9 – 1 – 2 - Mode de saturation.....	90
II – 9 – 2. Détermination des capacités.....	91
II – 9 – 2.- 1. La capacité grille – source.....	91
II – 9 – 2.- 2. La capacité grille drain.....	92
II – 9 – 3. Simulation des capacités C_{gs} et C_{gd}	93
II – 10. MISE EN EVIDENCE EXPERIMENTALE DES DIFFERENTS PHENOMENES LIES À L'INTERFACE.....	99
II – 10 – 1. Effet d'hystérésis et de coude sur le réseau de caractéristiques statiques de sortie.....	100

II – 10 – 2. Influence de la polarisation du substrat Sur les caractéristiques de sortie.....	100
II – 10 – 3. Influence de la polarisation du substrat sur la caractéristique de transfert à bas niveau de polarisation.....	101
II – 10 – 4. Influence de la polarisation du substrat sur la tension de seuil V_T	102
II – 10 – 5. Dispersion de la capacité d'entrée.....	103
II – 10 – 6. Dispersion de la conductance de sortie.....	103
II – 10 – 7. Interprétation des phénomènes.....	104
II – 11. INFLUENCE DE LA RESISTANCE DE GRILLE ET DU FACTEUR DE BRUIT.....	105
II – 11 – 1. Influence de la résistance de grille sur l'impédance d'entrée.....	105
II – 11 – 2. Influence de la grille sur le facteur de bruit.....	108
II – 12. CONCLUSION.....	109
BIBLIOGRAPHIE.....	111
III - CIRCUITS NUMERIQUES.....	117
III – 1. HISTORIQUE DES CIRCUITS INTÉGRÉS NUMÉRIQUES GaAs.	117
III – 2. RAPPEL DE QUELQUES PROPRIETES FONDAMENTALES DES CIRCUITS LOGIQUES	119
III – 2 – 1. Propriétés fondamentales.....	119
III – 2 – 1 – 1. Seuils logiques et niveaux logiques.....	119
III – 2 – 1 – 2. Graphes de transfert et marges de bruit.....	120
III – 2 – 1 – 3. Non- linéarité et gain de transfert.....	121
III – 2 – 1 – 4. Dissipation thermique.....	121
III – 2 – 1 – 5. Dynamique d'une porte le temps de propagation	121
III – 2 – 6. Entrance et sortance.....	122
III – 2 – 7. Chemin critique.....	122
III – 2 – 2. Intérêt du GaAs pour les circuits numériques.....	123
III – 2 – 3. Les contraintes liées à l'intégration des composants.....	124
III – 3. L'ASSEMBLAGE DES PROCÉDÉS TECHNOLOGIQUES SUR GaAs.....	125
III – 4. PARAMÈTRES ÉLECTRIQUES DES TRANSISTORS INTERVENANT DANS LA CONCEPTION D'UN CIRCUIT INTÉGRÉ	126
III – 4 – 1. Paramètres de conception.....	126
III – 4 – 2. Évaluation simplifiée des paramètres de la logique GaAs.....	129
III – 5. DETERMINATION DES PARAMETRES DOMINANTS DE TECHNOLOGIQUE	132
II – 5 – 1. Mesure des paramètres statiques sur une structure de tests associés.....	133
III – 5 – 2. Les méthodes utilisées pour l'extraction des principaux paramètres.....	135
III – 5 – 2 – 1. Tension de commande latérale parasite...	135
III – 5 – 2 – 2. Résistance de contact ohmique et résistance carrée de la couche active (R_c et R_{\square}).....	135
III – 5 – 2 – 3. Courant de saturation des MESFET (I_{dss})....	136
III – 5 – 2 – 4. Tension de seuil électrique (V_{ts}).....	136
III – 5 – 2 – 5. Conductance à saturation (G_{ds}).....	136
III – 5 – 2 – 6. Transconductance à saturation (g_{m0}).....	136
III – 5 – 2 – 7. Résistance d'accès (R_{sd}), conductance de canal (g_0) et tension de seuil faible champ (V_{t0}).....	137
III – 5 – 2 – 8. Paramètres des jonctions Schottky.....	137
III – 5 – 2 – 9. Détermination des profils de concentration de porteurs et de mobilité de la	

couche active.....	138
III – 5 – 3. Détermination du temps de propagation des portes.....	139
III – 5 – 4. Sensibilité des caractéristiques aux différents paramètres technologiques.....	141
III – 5 – 4 – 1. Incidence de l'assemblage des procédés.....	141
III – 5 – 4 – 2. Incidence de la longueur de grille.....	141
III – 5 – 4 – 3. Incidence de la commande latérale parasite..	142
III – 6. PRINCIPALES CARACTÉRISTIQUES DES DIFFÉRENTES FAMILLES LOGIQUES GaAs.....	143
III – 6 – 1. Les structures élémentaires, bases des familles logiques utilisant des MESFET.....	144
III – 6 – 2. Les différentes familles logiques.....	145
III – 6 – 2 – 1. La logique BFL (Buffered Fet Logic).....	145
III – 6 – 2 – 1 – 1. Caractéristiques statiques.....	146
III – 6 – 2 – 1 – 2. Caractéristiques dynamiques....	150
III – 6 – 2 – 2. La logique SDFL.....	151
III – 6 – 2 – 3. La logique DCFL.....	152
III – 6 – 2 – 3. La logique LPFL.....	152
III – 6 – 3. Caractéristiques générales de ces approches.....	153
III – 6 – 4. Performances des portes logiques.....	153
III – 7. ÉTAPES DE LA CONCEPTION ASSISTÉE PAR ORDINATEUR....	154
III – 7 – 1. Chaîne intégrée de logiciels : stations de travail.....	154
III – 7 – 2. Caractéristiques générales des différents niveaux de simulation.....	156
III – 7 – 2 – 1. La simulation fonctionnelle.....	156
III – 7 – 2 – 2. La simulation logique.....	156
III – 8. Modèles de MESFET utilisés en simulation électrique.....	157
III – 8 – 1. Modèle de MESFET.....	157
III – 8 – 2. Modèle des diodes Schottky.....	158
III – 8 – 3. Modèle des résistances.....	159
III – 9. REGLES DE DESSINS UTILISES DANS LES FILIERES DE FABRICATION DES CIRCUITS INTEGRES GAAS.....	160
III – 10. EXEMPLES DE RÉALISATIONS DE CIRCUITS INTÉGRÉS NUMÉRIQUES GaAs.....	161
III – 10 – 1. Les circuits à la demande.....	162
III – 10 – 2. La conception au micron d'un circuit intégré logique GaAs	164
III – 10 – 3. Exemples de réalisation de circuits intégrés.....	164
III – 10 – 3 – 1. Les diviseurs de fréquence GaAs à rang fixe.....	164
III – 10 – 3 – 2. L'additionneur à 4 bits GaAs.....	167
III – 11. INDUCTANCES ACTIVES CONTROLEES EN TECHNOLOGIE MESFET GaAs.....	169
III – 11 – 1. Introduction.....	169
III – 11 – 2. Inductances actives en technologie GaAs.....	169
III – 11 – 3. Inductances actives en technologie bipolaire silicium....	171
III – 11 – 3 – 1. Généralités.....	171
III – 11 – 3 – 2. Modèle de R. Kaunisto [30].....	172
III – 11 – 4. Modèles proposée.....	173
III – 11 – 4 – 1. Première inductance proposée.....	173
III – 11 – 4 – 2. Deuxième inductance proposée.....	174
III – 12. Comparaison des topologies figure III – 54 et figure III – 58.....	176
III – 13. CONCLUSION.....	177
BIBLIOGRAPHIE.....	178
CONCLUSION GENERALE.....	182
PUBLICATION EN RELAIION AVEC CE TRAVAIL.....	184

Liste des figures :

Figure I – 1 : Figure représentant la gamme des fréquences	7
Figure I – 2 : Diagrammes d'énergie des éléments du groupe IV.....	8
Figure I – 3 : Comparaison des différents facteurs de mérites des matériaux semi-conducteur.....	12
Figure I – 4 : Variation de l'énergie en fonction de k	12
Figure I – 5 : Vitesse en fonction du champ électrique.....	13
Figure I – 6 : Variation de la mobilité en fonction du champ électrique.....	13
Figure I – 7 : Semi-conducteur GaAs à multi- vallées.....	14
Figure I – 8 : Variation de la vitesse en fonction de l'énergie.....	14
Figure I – 9 : Variation de la mobilité en fonction du champ électrique.....	15
Figure I – 10 : Les fonctions de l'électronique analogique.....	16
Figure I – 11 : Les familles des transistors à effet de champ.....	17
Figure I – 12 : Les familles des transistors à effet de potentiel.....	17
Figure I – 13 : Les familles des composants quantiques.....	18
Figure I – 14 : Les niveaux d'énergie du métal et du semi-conducteur.....	20
Figure I – 15 : Les niveaux d'énergie de la jonction métal- semi-conducteur.....	20
Figure I – 16 : Niveau d'énergie lorsque $\phi_m < \phi_s$	21
Figure I – 17 : Schéma de formulation d'une diode.....	22
Figure I – 18 : Potentiel d'une diode en fonction de sa polarisation.....	22
Figure I – 19 : Schéma de déplacement des porteurs à l'interface.....	23
Figure I – 20 : Relevé de la caractéristique d' une diode Schottky.....	24
Figure I – 21 : Mesure et simulation de la caractéristique de la diode Schottky du transistor étudié.....	25
Figure I – 22 : Caractéristique directe de la diode avant et après vieillissement... ..	25
Figure I – 23 : Variation du facteur de d'idéalité en fonction du temps.....	26
Figure I – 24 : Variation de la capacité C_{gs} de la diode Schottky en fonction de la tension de grille.....	27
Figure I – 25 : Capacité de la diode Schottky simulé à partir de l'équation 1.18... ..	27
Figure I – 26 : Schéma équivalent.....	28
Figure I – 27 : Schéma électrique adopté pour les mesures courant tension.....	29
Figure I – 28 : Schéma équivalent non linéaire.....	30
Figure I – 29 : Schéma de bande d'une hétéro-structure simple barrière.....	32
Figure I – 30 : Evolution du courant et de la tension pour une hétéro-structure....	33
Figure I – 31 : Circuit RLC.....	34
Figure I – 32 : Schéma équivalent.....	35
Figure I – 33 : Circuit d'une simulation d'une diode Schottky.....	36
Figure I – 34 : Etape 1 de simulation.....	36
Figure I – 35 : Etape 2 de simulation.....	37
Figure I – 36 : Caractéristiques I-V de la diode Schottky.....	37
Figure I – 37 : Etape 1 de simulation.....	38
Figure I – 38 : Etape 2 de simulation.....	38
Figure I – 39 : Caractéristiques pour évaluer le temps de commutation de la diode Schottky.....	38
Figure II – 1 : Géométrie du dispositif à effet de champ MESFET.....	43
Figure II – 2 : Coupe d'un dispositif à effet de champ de type MESFET.....	44
Figure II – 3 : Coupe d'un dispositif à effet de champ de type MISFET ou TEGFET.....	44
Figure II – 4 : Dispositif interne et ses zones d'accès. Notations générales.....	46
Figure II – 5 : Coupe schématique du MESFET dans sa version primitive.....	48
Figure II – 6 : Le MESFET dans sa version évoluée implantée auto- alignée.....	48
Figure II – 7 : Les polarisations du MESFET.....	49
Figure II – 8 : Un réseau typique de caractéristiques « de drain ».....	50

Figure II – 9 : le canal est entièrement ouvert.	51
Figure II – 10 : Schéma du pincement du canal.....	52
Figure II – 11 : Simulation différence finis MESFET GaAs $L_g = 1 \mu\text{m}$	53
Figure II – 12 : Simulation Monte Carlo MESFET GaAs $L_g = 1 \mu\text{m}$	53
Figure II – 13 : Canal d'un MESFET GaAs en régime de saturation de vitesse quasi statique.....	54
Figure II – 14 : Simulation Monte Carlo d'un MESFET $L_g = 0.25\mu\text{m}$ a) Réseau des équipotentielles, b) diagramme particulaire, c) particules en survitesse et d) particules transférées.....	56
Figure II – 15 : Simulation Monte Carlo d'un MESFET $L_g = 0.25\mu\text{m}$ V_g négative a) Réseau des équipotentielles, b) diagramme particulaire, c) particules en survitesse et d) particules transférées.....	56
Figure II – 16 : Notations spécifiques pour l'étude du MESFET intrinsèque.	57
Figure II – 17 : Profils schématiques des concentrations,	64
Figure II – 18 : Abaissement de la barrière source canal sous l'influence du drain dans un MESFET à canal pincé.....	66
Figure II – 19 : Transistor MESFET en régime statique.....	67
Figure II – 20 : Les zones de charge d'espace induites par le blocage du.....	68
Figure II – 21 : Le creusement sous la grille	69
Figure II – 22 : Longueur effective L du canal en fonction de la tension de polarisation grille sature V_{gs} pour différentes longueurs de grille l_g	69
Figure II – 23 : Courants circulant dans des éléments de même surface situés à différentes profondeurs sous la grille du MESFET	70
Figure II – 24 : Circulation d'un courant de fuite à travers le substrat et charge des pièges.....	71
Figure II – 25 : Structure permettrait la mise en évidence de la commande parasite du canal par une électrode latérale (side gating).....	71
Figure II – 26 : Courant maximal I_o en fonction du potentiel de commande latérale pour différentes valeurs de la distance x_{cs}	72
Figure II – 27 : Les composantes du vecteur de polarisation piézoélectrique.....	72
Figure II – 28 : Densité de charges induites par la contrainte résultant de l'ouverture du film SiN_4 à la surface du GaAs.....	73
Figure II – 29 : Densité et charge (10^{17} cm^{-3}) due au dopage et charge au centre du ruban	74
Figure II – 30 : Schéma équivalent du MESFET.....	74
Figure II – 31 : Evolution du facteur $f_T = g_m/2\pi C_{gs}$ avec la longueur de grille d'un MESFET réalisé sur différents matériaux.....	77
Figure II – 32 : Les différentes régions de déplétion.....	80
Figure II – 33 : Répartition de la zone active selon la variation du champ électrique..	81
Figure II – 34 : Résistances parasites dans le MESFET GaAs.....	84
Figure II – 35 : Organigramme de calcul des caractéristiques I-V.	85
Figure II – 36 : Comparaison de la caractéristique I-V mesuré et calculé à l'aide de la simulation : (a) pour le MESFET N°1. (b) pour le MESFET N°2.....	86
Figure II – 37 : Effet des résistances parasites sur les caractéristiques I-V.....	87
Figure II – 38 : Effet des tensions de bord V_{ls} et V_{ld} sur les caractéristiques I-V.....	87
Figure II – 39 : Réseau de caractéristique $I_{DS}=f(V_{DS})$ pour $V_{GS}=0V, -0.5V, -1V$ présentant un phénomène d'hystérésis.....	88
Figure II – 40 : Effet du substrat, $I_D (V_{DS}, V_{GS})$ en fonction de la tension du substrat.....	89
Figure II – 41 : Capacité intrinsèque et parasite grille - drain en régime linéaire.....	94
Figure II – 42 : Capacité grille - drain en régime de saturation a) intrinsèque, b) parasite.....	94
Figure II – 43 : Capacité total grille-drain.....	95
Figure II – 44: Capacité intrinsèque et parasite grille - source en régime linéaire....	95

Figure II – 45 : Capacité grille - source en régime de saturation a) intrinsèque, b) parasite.	96
Figure II – 46 : Capacité totale de grille - source.	96
Figure II – 47 : Capacité totale de grille.	97
Figure II – 48 : Comparaison des résultats théoriques et expérimentales pour le MESFET 2	98
Figure II – 49 : Comparaison des résultats théoriques et expérimentales pour le MESFET 3.	98
Figure II – 50 : Comparaison des résultats théoriques et expérimentales pour le MESFET 3.	99
Figure II – 51 : Réseau de caractéristique $I_{DS}=f(V_{DS})$ pour $V_{GS}=0V, -0.5V,$ $-1V$ présentant un phénomène d'hystérésis.....	100
Figure II – 52 : Effet du substrat V_{SU} , sur le courant I_{DS} en fonction V_{DS}	101
Figure II – 53 : Caractéristique de transfert en fonction de la tension du en fonction de la tension du substrat.....	101
Figure II – 54 : Variation du courant de drain I_D en fonction de la tension de grille à faible tension drain-source, détermination de la tension de seuil V_T	102
Figure II – 55 : Variation de la tension de seuil en fonction de la polarisation du substrat.....	102
Figure II – 56 : Variations expérimentales de la capacité inverse de grille en fonction de la tension de grille pour diverses valeurs de la tension du substrat.....	103
Figure II – 57: Evolution en basses fréquences de l'impédance de sortie du MESFET GaAs.....	104
Figure II – 58 : Double zone de charge d'espace : a) charge d'espace dans le MESFET ; b) densité de charge.....	104
Figure II – 59 : Circuit équivalent en haute fréquence.....	105
Figure II – 60 : Influence de la grille sur R_{in}	107
Figure II – 61 : Influence de la grille sur C_{in}	107
Figure II – 62 : Influence de la grille sur R_{out}	108
Figure II – 63: Influence de la grille sur le bruit.....	109
Figure III – 1: Évolution des complexités des technologies Si et GaAs [3].....	118
Figure III – 2 : Définition des marges de bruit.....	120
Figure III – 3 : Graphe de transfert d'un opérateur logique.....	121
Figure III – 4: Temps de propagation d'un opérateur logique.....	122
Figure III – 5: Technologies planar.....	126
Figure III – 6: Caractéristique $I_{ds} = f(V_{ds}, V_{gs})$ d'un MESFET à appauvrissement $L=0,8\mu m$	127
Figure III – 7 : Lois de courant des MESFET normalement ouverts ($V_T < 0$) et normalement fermés ($V_T > 0$).....	127
Figure III – 8 : Schéma et caractéristiques d'un étage inverseur constitué de transistors normalement ouverts.....	129
Figure III – 9 : Caractéristiques statiques linéarisées.....	130
Figure III – 10 : Schéma équivalent dynamique de l'inverseur.....	131
Figure III – 11 : Inverseur logique BFL.....	131
Figure III – 12 : Schéma, équivalent dynamique de l'étage suiveur –adaptateur d'une porte.....	132
Figure III – 13 : Réticule de circuits intégrés numériques GaAs.....	134
Figure III – 14 : Détermination des résistances de contacts ohmiques et la résistance par carré de la couche active.....	136
Figure III – 15 : Détermination des paramètres de faible champ.....	137
Figure III – 16 : Détermination des caractéristiques des diodes Schottky.....	138
Figure III – 17 : Coupe d'un jumbo FET permettant la détermination du profil de dopage et la mobilité dans le canal.....	138
Figure III – 18 : Détermination du temps de propagation des portes.....	140

Figure III – 19 : Incidence des conditions d'implantation des zones N+ sur la tension de seuil et la conductance de sortie des MESFET.....	142
Figure III – 20 : Incidence de la commande parasite latérale sur les Caractéristiques des MESFET.....	143
Figure III – 21 : Étage décaleur- adaptateur d'une porte BFL.....	144
Figure III – 22 : Fonctions de transfert d'un inverseur logique BFL.....	144
Figure III – 23 : Schéma et caractéristiques de fonctionnement d'un inverseur DCFL.....	145
Figure III – 24 : Fonction de transfert d'un inverseur logique DCFL.....	145
Figure III – 25 : Porte logique BFL.....	146
Figure III – 26 : logique BFL.....	147
Figure III – 27 : Influence de la tension d'alimentation sur la caractéristique de transfert.....	148
Figure III - 28 : Caractéristique de transfert d'une porte logique BFL.....	149
Figure III – 29 : Simulation de la puissance consommée en fonction de la largeur Z.....	150
Figure III – 30 : Variation du temps de propagation t_{pd} en fonction de la largeur Z....	151
Figure III – 31 : Logique SDFL.....	152
Figure III – 32 : Logique DCFL.....	152
Figure III – 33 : Logique LPFL.....	152
Figure III – 34 : Modèle intrinsèque MESFET pour la simulation logique.....	154
Figure III – 35 : Principales étapes de la conception.....	155
Figure III – 36 : Localisation des éléments du schéma équivalent d'un MESFET GaAs.....	157
Figure III – 37 : Schéma équivalent du modèle intrinsèque de MESFET GaAs....	158
Figure III – 38 : Schéma équivalent d'une diode Schottky.....	158
Figure III – 39 : Résistance planaire.....	159
Figure III – 40 : Caractéristiques des résistances planaire à champ élevé.....	159
Figure III – 41 : Organisation d'une fonderie.....	163
Figure III – 42 : Paramètres de temps et performances associés aux trois approches de conception.....	163
Figure III – 43 : Structures interne de diviseur de fréquence.....	164
Figure III – 44 : Fonctions logiques réalisées à l'aide de GaAs.....	165
Figure III – 45 : Exemple de réalisation de diviseurs de fréquence.....	166
Figure III – 46 : Oscillogrammes de fonctionnement d'un diviseur de fréquence...	167
Figure III – 47 : Schéma logique d'un additionneur à 4 bits.....	168
Figure III – 48 : Réalisation d'un additionneur à 4 bits.....	168
Figure III – 49 : Topologie de base de l'inductance active [32].....	170
Figure III – 50 : Le circuit "Cascode FET feedback active inductor".....	170
Figure III – 51 : Circuit de l'inductance active présentée par Zhang [34].....	171
Figure III – 52 : Schéma électrique d'inductance active [35].....	172
Figure III – 53 : Simulation AC de l'inductance active et de la résistance série associée.....	172
Figure III – 54 : Premier schéma électrique de l'inductance active proposée.....	173
Figure III – 55 : Simulation AC de la résistance série associée à l'inductance.....	173
Figure III – 56 : Variation fréquentielle de l'inductance.....	174
Figure III – 57 : Variation fréquentielle de la valeur du coefficient de qualité de l'inductance.....	174
Figure III – 58 : Deuxième schéma électrique de l'inductance active proposée.....	175
Figure III – 59 : Simulation AC de l'inductance du circuit de la figure III – 53.....	175
Figure III – 60 : Simulation AC de la résistance série associée à l'inductance de la figure III – 53.....	175
Figure III – 61 : Variation fréquentielle de la valeur du coefficient de qualité de la figure III – 53.....	176

Liste des tableaux:

Tableau I – 1: Classification périodique des éléments des groupes III, IV et V...	page:9
Tableau I – 2: Energie du gap des différents semi-conducteurs (c) : structure cubique (H) : structure hexagonale	page:9
Tableau I – 3: Comparaison des propriétés physiques de plusieurs composées (Concentration en atomes dopants : 10^{17} cm ⁻³).....	page:10
Tableau I – 4: Propriété des différents matériaux semi- conducteur.....	page:11
Tableau I – 5 : Valeurs mesurés de la résistance Rg	page:30
Tableau I – 6 : valeurs mesurés de la capacité Cgs de la diode Schottky	page:31
Tableau II – 1: Tableau des paramètres composés Si, GaAs et InAs.....	page:77
Tableau II – 2: Les paramètres géométriques des transistors MESFET1 et MESFET2.....	page:85
Tableau II – 3: Les paramètres a1, b1, C1 et VI/Vp des transistors 1 et 2	page:86
Tableau II – 4: Paramètres du transistor MESFET1	page:93
Tableau II – 5: Les paramètres utilisés des transistors	page:97
Tableau III – 1: Réalisation de circuits à hautes performances en vitesse	page:119
Tableau III – 2: Paramètres de conception et de fabrication des MESFET GaAs.....	page:128
Tableau III – 3: Dimensions géométriques des transistors.....	page:135
Tableau III – 4: Dimension des règles de dessin des paramètres technologiques.....	page:147
Tableau III – 5: Comparaison des différentes configurations présentées.	page:152
Tableau III – 5: Caractéristiques logiques de la porte.....	page:149
Tableau III – 6: Puissance statique consommée.....	page:149
Tableau III – 7: Facteur de mérite.....	page:151
Tableau III – 8: Caractéristiques des 4 familles logiques.....	page:153
Tableau III – 9: Performances des 4 approches logiques.....	page:153
Tableau III – 10 : Dimension des règles de dessin des paramètres technologiques.....	page:160
Tableau III – 11 : Comparaison des différentes configurations présentées..	page:176

LISTE DES SYMBOLE

a : épaisseur du canal
 A^* : constante de Richardson
 B_C : bande de conduction
 B_V : bande de valence
 C_B : capacité boitier
 C_{ds} : capacité drain-source
 C_{gs} : capacité grille-source
 C_{gd} : capacité grille-drain
 C_{gs0} : capacité grille-source pour $V=0$ volts
 C_{BS} , C_{BD} et C_{DS} : capacités des couplages passifs entre les microrubans des connexions
CFM : le facteur de mérite combiné
 C_M : capacité de canal entre la grille G et le point M
 E : champ électrique (V/cm)
 E_c : champ critique de saturation de la vitesse,
 E_c : énergie de la bande de conduction
 $E_{critique}$: champ critique ($MV.cm^{-1}$)
 E_F : énergie de Fermi du métal
 E_V : énergie de la bande de valence
 E_g : gap ou largeur de bande interdite en eV
 f_c : fréquence de coupure
 f_T : fréquence de transition du transistor.
 F_T : produit gain-bande
 G : conductance de la diode
 G_m : transconductance
 I_{gs} : courant grille source
 I_S : courant de saturation
 j : densité de courant
JFM : facteurs de mérite
 k : vecteur d'onde
 k : constante de Boltzman
 L : la longueur du canal intrinsèque (ou de la partie du canal commandée par la grille),
 l_g : longueur de la grille,
 L_g : inductance parasite grille
 L_{GD} : longueur de la zone d'accès entre le contact de drain et la sortie d du canal,
 L_{GS} : longueur de la zone d'accès entre le contact de source et l'entrée s du canal
 L_p : inductance des fils de connexion
 m^* : masse apparente des électrons
 N_D : densité de porteur dans le canal
 q : charge de l'électron $=1,6.10^{-19}C$

Q : coefficient de qualité
 rd : résistance dynamique
 R_g: résistance parasite de grille
 R_□ : résistance de couche du semi-conducteur
 T : température
 v : vitesse des électrons
 V_B: tension de diffusion de la jonction
 V_{bi} : tension de barrière de la grille
 V_{br} tension d'avalanche
 V_d : tension en sortie du canal intrinsèque,
 V_D : tension sur la connexion de drain externe.
 V_G : potentiel de la grille G
 V_M : le potentiel du point M du canal
 V_P : tension de pincement
 V_s : tension à l'entrée du canal intrinsèque,
 V_S : tension sur la connexion de source externe.
 v_{sat} : vitesse de saturation des électrons en régime stationnaire sous champ fort
 des électrons ($E_c < E$), (cm.s⁻¹)
 V_T : tension de seuil
 W : largeur de la zone de charge d'espace
 X : largeur de transistor
 X_{sd} : espace source-drain
 γ : coefficient d'amortissement
 Z : largeur de grille
 θ_K : conductivité thermique (W.cm⁻¹.K⁻¹)
 n_i concentration intrinsèque (cm⁻³)
 μ_n : mobilité des électrons (cm².V⁻¹.s⁻¹)
 μ_p : mobilités des trous (cm².V⁻¹.s⁻¹)
 μ₀ : mobilité électronique en champ faible dans le canal
 ε_r : permittivité relative
 ε : constante diélectrique du matériau $\mathcal{E} = \mathcal{E}_0 \mathcal{E}_r$
 ε₀ : permittivité dans le vide
 λ_{th} : (W/cm.k)
 ξ: énergie
 χ : affinité électronique
 Φ_{bn} : travail de sortie de la jonction métal-semi conducteur
 φ_m : travail de sortie du métal
 φ_s : travail de sortie du semi conducteur
 ρ : densité de charge dans le semi-conducteur qN_D
 η : coefficient d'idéalité
 ω_n : pulsation propre du circuit RLC
 Δζ_{TL}^z : L'énergie de transfert dans le minimum secondaire L de la bande de conduction

INTRODUCTION GENERALE

INTRODUCTION GENERALE

Le développement des Systèmes de télécommunication et l'encombrement des bandes de fréquences aujourd'hui utilisées pour la transmission d'informations nécessite la mise en place de systèmes fonctionnant à des fréquences de plus en plus élevées ce qui implique la réalisation de circuits et de composants utilisables à des fréquences centimétriques et millimétriques. La tendance actuelle consiste à concevoir des systèmes pas trop onéreux, suffisamment fiables et facilement intégrables, afin d'en généraliser l'utilisation. Depuis quelques années, le transistor à effet de champ (MESFET) sur Arséniure de Gallium (GaAs) se présente comme le composant le plus adapté à ce besoin. Son utilisation dans la plupart des applications hyperfréquences et de commutation est justifiée par de remarquables performances telles que : un faible facteur de bruit (< 1 dB en dessous de 8 GHz), un gain en puissance élevé (10 dB en deçà de 12 GHz) associé à des fréquences de transition élevées et une bonne isolation entrée-sortie. Ainsi l'utilisation de ce composant s'est généralisée en régime d'amplification petit signal et faible bruit, domaine dans lequel sa suprématie n'est plus contestée. Ses possibilités pour l'amplification de puissance rendent possible le remplacement des transistors au silicium de faible puissance (inférieure à quelques watts) dans les satellites où la notion de poids est très critique. Soulignons enfin, que la rapidité de ce composant et de ses dérivés (temps de commutation inférieur à 30 ps) en fait un candidat de choix pour une prochaine génération de "super-ordinateurs".

Un nombre considérable de travaux a donc été consacré ces dernières années à la technologie et aux propriétés électriques des MESFET GaAs. Les premiers ont eu pour objectif l'amélioration du matériau de base, l'arséniure de gallium, dont les avantages par rapport au silicium résident en particulier dans la possibilité d'obtenir un matériau semi-isolant et aussi dans une mobilité électronique plus élevée (de trois à six fois) et donc une vitesse transitoire plus importante. Ces deux dernières propriétés étant favorables à un fonctionnement à fréquence élevée. Les travaux sur ce matériau ont eu pour résultats essentiels l'amélioration de la qualité cristallographique du semi-isolant et des qualités électriques du substrat. D'autres travaux ont été consacrés aux techniques lithographiques. Ainsi grâce à l'utilisation de masqueurs électroniques (ou à rayons X), ils ont permis, par la réduction des dimensions, d'améliorer sensiblement les performances dans le domaine des micro-ondes. Ces progrès technologiques ont eu pour conséquence l'avènement des circuits intégrés (C.I.) micro-ondes et de circuits logiques rapides sur GaAs. Il est maintenant possible de réunir sur une même puce de ce matériau plusieurs composants ainsi que les circuits associés. Du point de vue technologique, l'effort se porte aujourd'hui sur une amélioration du rendement de fabrication à travers un meilleur contrôle des processus. En effet, les étapes technologiques supplémentaires nécessaires dans la fabrication des C.I. par rapport à un élément discret peuvent provoquer des dégradations dans les performances du composant, particulièrement en bruit. Les résultats sont néanmoins d'ores et déjà suffisamment satisfaisants pour qu'on puisse commencer à étudier des circuits dont la réduction des dimensions est très poussée.

Il n'aurait pas été possible de parvenir à de telles réalisations si on n'avait su s'appuyer sur une modélisation des phénomènes physiques qui régissent le fonctionnement du composant. Or, pour pouvoir étudier théoriquement un circuit contenant plusieurs transistors, les modèles utilisés doivent rester proches de la réalité physique, tout en étant suffisamment simples pour être compatibles avec des impératifs de C.A.O. (Conception assistée par Ordinateur). Ces modèles doivent aussi être susceptibles de suivre l'évolution technologique et de permettre d'apprécier d'éventuelles améliorations consécutives à l'utilisation de nouvelles techniques.

Ainsi, à titre d'exemple, la réalisation de C.I. GaAs par implantation ionique s'est avérée être depuis quelques années une voie privilégiée. En effet, elle permet d'obtenir des transistors aux caractéristiques différentes sur un même substrat. Elle peut aussi éviter le recours à la gravure Méso pour l'isolation entre les composants. Par contre, elle implique la présence de profils de dopage non uniformes. Certes l'existence d'un profil de dopage non uniforme correspond à un degré de liberté supplémentaire pour la réalisation du composant. Il faut donc utiliser au mieux cette nouvelle possibilité d'optimiser les performances du composant en fonction des applications visées. Malheureusement la plupart des modèles simples utilisables pour la C.A.O. ne permettent justement pas la prise en compte d'un profil variable et ne sont donc plus adaptés aux besoins actuels. Soulignons enfin que le développement de l'épitaxie par jets moléculaires, qui autorise a priori n'importe quel profil de dopage, justifie encore plus la remarque précédente.

Pour ces raisons, il s'est avéré nécessaire d'élaborer un modèle utilisable pour les transistors dont la couche active présente un profil de concentration variable dans le sens perpendiculaire à la surface. Ce modèle doit décrire le plus précisément possible le comportement des composants, permettre une meilleure compréhension des phénomènes régissant leur fonctionnement et être utilisable pour l'optimisation de leurs performances.

L'objet de nos travaux est de proposer un tel modèle pour les régimes de fonctionnement statique et dynamique petits signaux. La présentation de ce modèle s'effectue en trois chapitres principaux.

Au premier chapitre, nous avons étudié les propriétés physiques et électriques de l'Arséniure de Gallium et nous avons présentés les différentes familles technologiques des transistors MESFET GaAs. Le fonctionnement et la modélisation de la diode Schottky, ainsi que l'ensemble des phénomènes physiques et géométriques qui la définissent, ont été étudiés et formulés. Afin d'améliorer la structure de base de la diode Schottky nous avons développé et simulé le modèle linéaire et non- linéaire.

Dans le deuxième chapitre, nous rappelons les notions de base nécessaires à la compréhension du fonctionnement du MESFET GaAs. Nous introduisons enfin les principes de base de toute modélisation et nous étudierons les caractéristiques principales du composant MESFET GaAs en précisant la structure, le principe de fonctionnement dans les régions linéaire, sous linéaire et saturée. Nous terminons par l'étude des régimes statiques et dynamiques du composant MESFET

Dans le troisième chapitre, nous présenterons certains résultats expérimentaux des différents procédés de fabrications des transistors et circuits intégrés MESFET GaAs. Nous terminons par une étude de l'influence en hautes fréquences de l'inductance sur les composants MESFET GaAs. Nous concluons enfin sur les conditions d'utilisation de ce modèle, et les améliorations éventuelles qu'il conviendrait de lui apporter

CHAPITRE I

LA DIODE SCHOTTKY

I - LA DIODE SCHOTTKY

Dans ce premier chapitre, nous avons étudié les propriétés physiques et électriques de l'Arséniure de Gallium et nous avons présenté les différentes familles des transistors MESFET GaAs. La diode Schottky de grille, son fonctionnement et les problèmes de polarisations liées à l'ensemble des phénomènes physiques et géométriques, sont caractérisés et simulés. Pour améliorer cette structure de base un modèle linéaire et non- linéaire est présenté.

I – 1. INTRODUCTION

La croissance importante du marché mondial des semi-conducteurs est liée au fait que ces matériaux sont à l'origine de la révolution technologique de ces quarante dernières années dans le domaine de l'électronique. En effet, l'électronique représente à l'heure actuelle le marché mondial le plus important en volume ainsi que celui présentant la croissance la plus rapide. Le marché des semi-conducteurs couvre des domaines industriels très divers allant de l'informatique, l'automobile, les applications spatiales et militaires, sans oublier bien entendu son rôle prépondérant dans les télécommunications.

Les matériaux semi-conducteurs interviennent principalement en microélectronique dans le domaine des radiofréquences et hyperfréquences ainsi qu'en optoélectronique. Le matériau de base est le Silicium. De nombreuses raisons ont fait que le Silicium est devenu le matériau semi-conducteur prédominant. Par exemple, le Silicium permet la réalisation de dispositifs électroniquement stables, qui supportent des températures supérieures à celle ambiante. De plus, le Silicium est susceptible de former un oxyde SiO_2 isolant et de grande stabilité chimique. Par contre, pour son utilisation en électronique rapide et en optoélectronique, les propriétés du Silicium sont insuffisantes. Les mobilités des porteurs sont relativement petites et les limitations physiques et non technologiques de ce matériau ont initié la recherche sur d'autres types de matériau notamment les composants III – V (GaAs, GaN et SiC).

I – 2. LES HYPERFREQUENCES

Le mot hyperfréquence désigne principalement le domaine des ondes centimétriques (ou micro-ondes) aujourd'hui le spectre (figure I – 1) d'applications s'élargit de plus en plus et couvre la gamme qui va du GHz (téléphone mobile) jusqu'au THz (applications spatiales) [1].

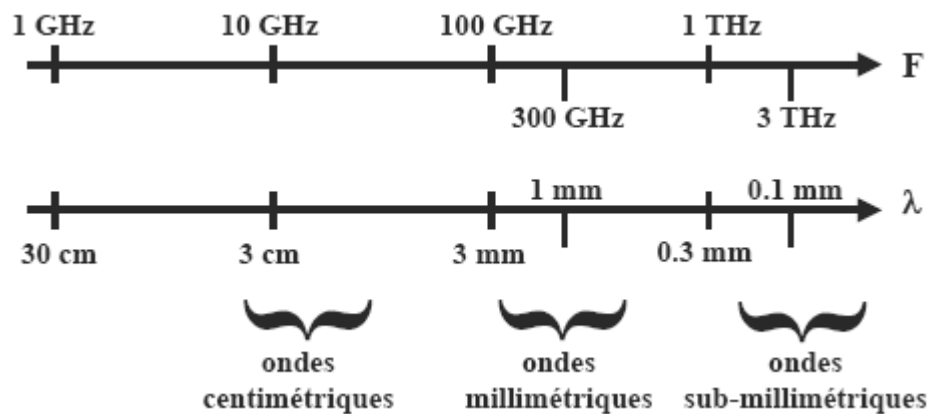


Figure I – 1 : figure représentant la gamme des fréquences.

Les principaux problèmes relatifs à l'utilisation de ces ondes proviennent généralement du fait que :

- on utilise des matériaux semi-conducteurs III-V (dont la technologie est moins maîtrisée que le Silicium)
- l'encombrement est élevé (technologies guides d'ondes)
- les coûts de fabrication sont importants.

Néanmoins, le fait que l'on puisse avoir sur toute la gamme de fréquence des composants à l'état solide, les progrès de la technologie, le développement des circuits intégrés monolithiques (MMIC), la miniaturisation des dispositifs, et surtout le fait que certaines fréquences (principalement optoélectroniques) ne puissent être atteintes qu'en matériaux III-V (jusqu'à aujourd'hui), impliquent un développement conséquent de l'utilisation des techniques des hyperfréquences et des composants associés.

Les hyperfréquences sont principalement utilisées pour le transfert d'informations, les mesures à distance avec des applications dans les domaines des télécommunications, des transports, du bio-médical et des applications spatiales en radioastronomie.

Citons quelques fréquences couramment utilisées déjà aujourd'hui ou qui le seront très bientôt :

- qqz GHz : les porteuses pour la téléphonie mobile, les radars (doppler)
- 60 GHz : communications entre automobiles
- 94 GHz : applications militaires (radars)
- 200 GHz- 2 THz : projets actuels de la NASA et de l'ESA ; observation de la terre vue de l'espace (environnement) et observation de l'espace lointain.

On parle aussi actuellement de débits d'informations à court terme de plusieurs centaines de Gbits/s, voire même du Terabit/s. Pour faire fonctionner ces systèmes, il faudra des composants d'extrémité possédant des fréquences de coupure proches du THz. D'où le développement d'une électronique appelée (électronique térahertz).

A cette montée en fréquence, difficile à réaliser d'un point de vue technologie de fabrication des composants (miniaturisation), viendront se greffer un certain

nombre d'obstacles physiques : atténuation de l'atmosphère (de l'ordre du km à quelques dizaines de GHz), les coûts de fabrication (développement de lignes de production pour des composants de plus en plus petits, technologies largement submicroniques voire nanométriques).

I - 3. PROPRIETES PHYSIQUES DE L'ARSENIURE DE GALLIUM [2], [3].

I - 3 - 1. Structure des bandes d'énergie.

Les semi-conducteurs et les métaux possèdent une structure cristalline particulière, c'est-à-dire que les atomes sont groupés en réseaux régulièrement disposés dans l'espace. Dans ces réseaux, la distance inter-atomique étant faible, de l'ordre de quelques Å, les atomes ne peuvent plus être considérés comme isolés, et il en résulte des interactions de nature électrostatique entre les divers atomes.

Les états d'énergie électroniques sont distribués selon une loi de dispersion appelée structure de bandes, représentée par une succession de bandes permises pouvant être séparées par des bandes interdites. Toutes les directions de propagation des électrons, c'est à dire tous les points du réseau réciproque, doivent être examinées afin d'établir l'existence d'une bande interdite. Si un tel gap d'énergie existe au dessus de la bande supérieure entièrement remplie par les électrons, à la température absolue zéro, le cristal est un isolant. Dans le cas particulier d'une largeur de bande interdite relativement petite, le solide est semi-conducteur. Dans tous les autres cas où le niveau de Fermi à la température zéro coïncide avec un niveau d'énergie dans une bande permise [4], le solide est un métal.

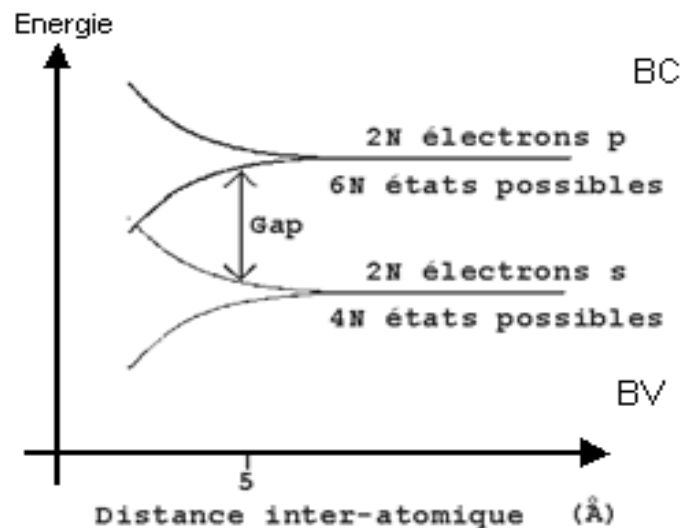


Figure I - 2 : Diagrammes d'énergie des éléments du groupe IV.

Dans les semi-conducteurs, à température différente de zéro, les porteurs de charges peuvent être des électrons dans la bande de conduction (BC) figure I - 2 et des trous dans la bande de valence (BV). Leur comportement dynamique est décrit à l'aide des paramètres de masse effective qui tiennent compte, en moyenne, de l'influence du potentiel périodique cristallin. La largeur de bande interdite (Gap) et les masses effectives sont des paramètres significatifs pour les propriétés des semi-conducteurs.

Considérons le gap des différents semi-conducteurs. Le gap est par définition la largeur de la bande interdite, c'est-à-dire la différence d'énergie entre le minimum absolu de la bande de conduction et le maximum absolu de la bande de valence. Les structures de bandes font apparaître deux types fondamentaux de semi-conducteurs : les semi-conducteurs dans lesquels le minimum de la bande de conduction et le maximum de la bande de valence sont situés en des points différents de l'espace des k , et les semi-conducteurs pour lesquels ces extrêmes sont situés au même point de l'espace des k , k représentant le vecteur d'onde.

Les seconds sont dits à gap direct, le prototype en est l'Arséniure de Gallium GaAs, les premiers sont dits à gap indirect. La nature du gap joue un rôle fondamental dans l'interaction du semi-conducteur avec un rayonnement électromagnétique et par la suite dans le fonctionnement des composants optoélectroniques [5].

Le tableau I – 1 présente la classification périodique des éléments des groupes III, IV et V. Les gaps des différents semi-conducteurs sont portés dans le tableau 1 – 2. On remarque que le gap augmente quand on passe du groupe IV aux groupes III et V, sur une même ligne du tableau périodique et diminue quand on descend le tableau.

Groupe III	Bore (B)	Aluminium (Al)	Gallium (Ga)	Indium (In)	Thallium (Tl)
Groupe IV	Carbone (C)	Silicium (Si)	Germanium (Ge)	Etain (Sn)	Plomb (Pb)
Groupe V	Azote (N)	Phosphore (P)	Arsenic (As)	Antimoine (Sb)	Bismuth (Bi)

Tableau I – 1 : Classification périodique des éléments des groupes III, IV et V

Semi-conducteur	Gap (eV)		Nature du gap	Constante diélectrique Relative $\epsilon_r = \epsilon / \epsilon_0$
	4°K	300°K		
C (c)	5.48	5.47	indirect	5.57
Si (c)	1.169	1.12	indirect	12
SiC (6H)	-	3.23	indirect	9.7
GaN (H)	-	3.44	direct	9.5
GaAs (c)	1.52	1.43	direct	11.5
InP (c)	1.42	1.27	direct	12.1

Tableau I – 2 : Energie du gap des différents semi-conducteurs
(c) : structure cubique (H) : structure hexagonale

I – 3 – 2. Propriétés électriques du Silicium, GaAs et SiC.

Les propriétés électriques élémentaires des Silicium, GaAs et SiC sont regroupées dans le tableau I - 2. Ces grandeurs dépendent de la température, des méthodes de tests utilisées, de la qualité du matériau mais également de la concentration en atomes dopants. Les propriétés du Si et SiC sont données en référence dans le même tableau. Il existe trois caractéristiques physiques qui font de ce semi-conducteur un candidat intéressant, notamment pour des applications à hautes températures. Il s'agit de :

- la largeur de bande interdite,
- la vitesse de saturation,
- la conductivité thermique.

Ainsi le Carbure de Silicium (Tableau I – 3) présente une largeur de bande interdite deux fois plus importante que celle du GaAs associée à une conductivité thermique approximativement dix fois plus forte que celle du GaAs à 300°K. De plus, la vitesse de saturation des électrons à fort champ électrique V_{sat} est de l'ordre de $2 \times 10^7 \text{ cm.s}^{-1}$ pour le Carbure de Silicium, ce qui est bien supérieur à la vitesse de saturation du GaAs et du Si ($1.0 \times 10^7 \text{ cm.s}^{-1}$).

Grandeurs Physiques	SiC	GaAs	Silicium
$E_g(\text{eV})$	2.40	1.43	1.12
$E_{critique} (\text{MV.cm}^{-1})$	2.12	0.4	0.25
$\theta_K (\text{W.cm}^{-1}.\text{K}^{-1})$ à 300°K	3.2	0.54	1.5
$n_i (\text{cm}^{-3})$ à 300°K	1.5×10^{-1}	1.0×10^{12}	1.0×10^{10}
$V_{sat} (\text{cm.s}^{-1})$	2.0×10^7	1.0×10^7	1.0×10^7
$\mu_n (\text{cm}^2.\text{V}^{-1}.\text{s}^{-1})$	800	8500	1400
$\mu_p (\text{cm}^2.\text{V}^{-1}.\text{s}^{-1})$	40	400	471
ϵ_r	9.72	12.5	11.7

Tableau I – 3 : Comparaison des propriétés physiques de plusieurs composés (Concentration en atomes dopants : 10^{17} cm^{-3})

Le semi-conducteur le plus répandu dans le marché des composants électroniques est bien sûr le Silicium (colonne IV du tableau de Mendeleïev).

Pour les hyperfréquences, on utilisera plutôt le GaAs, Arséniure de Gallium (colonnes III et V du tableau de Mendeleïev). Ce matériau est celui que l'on retrouvera le plus couramment dans l'industrie de la microélectronique utilisant les III-V.

De fait, en III-V, les couches utilisées sont épitaxiées couche atomique par couche atomique sur des substrats pré-conditionnés. Il en existe de deux types GaAs et InP.

Parmi les autres matériaux, on trouvera :

- les binaires: GaAs, AlAs, InP, InAs
- les ternaires, $\text{Al}_x\text{Ga}_{1-x}\text{As}$, $\text{In}_y\text{Ga}_{1-y}\text{As}$, $\text{Al}_x\text{In}_{1-x}\text{As}$,...
- les quaternaires : $\text{Ga}_{1-x}\text{In}_x\text{As}_{1-y}\text{Py}$,...

On commence aujourd'hui aussi à utiliser des matériaux binaires à base d'Antimoine (GaSb, AlSb,...) qui ont des propriétés particulières si on les empile.

A noter qu'aujourd'hui, dans le cadre de l'utilisation des hétérostructures, la microélectronique Silicium revient en force avec le SiGe ou le SiC.

Enfin des matériaux à base d'Azote (GaN,...) appelés matériaux grands gaps sont à l'étude pour développer des composants de puissance.

Face à cet ensemble de semiconducteurs, on voit que l'on va pouvoir procéder à une véritable ingénierie de matériaux et concevoir des structures complexes pour répondre aux besoins croissants de l'électronique très hautes fréquences.

I – 3 – 3. Le facteur de mérite

Les facteurs de mérite et le facteur de mérite combiné permettent de comparer différents matériaux semi-conducteur en fonction de leurs propriétés physiques. La figure I – 3 montre la comparaison des différents semi-conducteurs en fonction du facteur de mérite de Johnson qui est défini par :

$$JFM = \frac{Ec.Vsat}{2\pi} \quad (1.1)$$

et le facteur de mérite combiné CFM définie par :

$$CFM = \lambda_{th} \cdot \epsilon \cdot \mu Vsat \cdot E_c^2 \quad (1.2)$$

et la largeur de la bande interdite E_g

On constate que le diamant C est très avantageux, cependant les étapes technologiques pour fabriquer les composants en diamant restent difficiles à réaliser. Le GaN et le SiC sont pour l'instant les meilleurs candidats pour remplacer le GaAs.

Matériau	E_g (eV)	n_i à 300°K (cm^{-3})	ϵ_r	μ_n $cm^2/V.s$	μ_p $cm^2/V.s$	E_c (MV/cm)	V_{sat} $10^7 cm/s$	λ_{th} (W/cm.k)
Si	1,12	$1,5 \cdot 10^{10}$	11,7	1350	600	0,25	1	1,5
GaAs	1,43	$1,8 \cdot 10^6$	12,7	8500	400	0,4	2	0,5
GaN	2,3	$7.7 \cdot 10^{-1}$	11,1	350	100	1,3	1,4	0,8
GaP	3,4	$1,9 \cdot 10^{-10}$	9	900	-	3	1,5	1,3
C	5,45	$1,6 \cdot 10^{-27}$	5,5	1900	40	5,6	2,7	20

Tableau I – 4 : Propriétés des différents matériaux semi-conducteurs

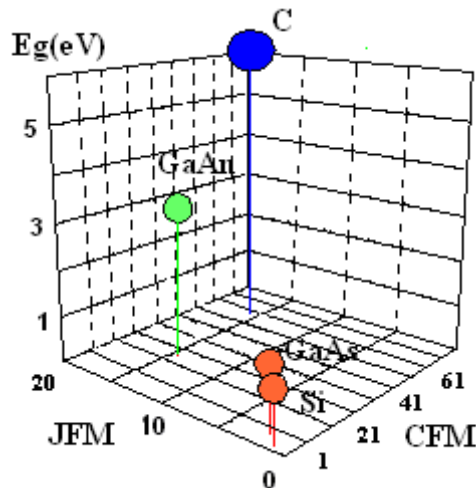


Figure I – 3 : Comparaison des différents facteurs de mérites des matériaux semi- conducteur.

I – 4. TRANSPORT ELECTRONIQUE

Toutes les études menées ces dernières années ont prouvé que les propriétés des matériaux sont liées à la configuration des bandes d'énergies. Ainsi la mobilité μ d'un matériau est fonction de la vitesse des porteurs, donc avec l'énergie, de ce fait une étude énergétique est nécessaire.

a) Equation de transport cas général

La variation de l'énergie en fonction du vecteur d'onde k pour la plupart de matériaux comme le montre la figure I – 4 est un domaine parabolique.

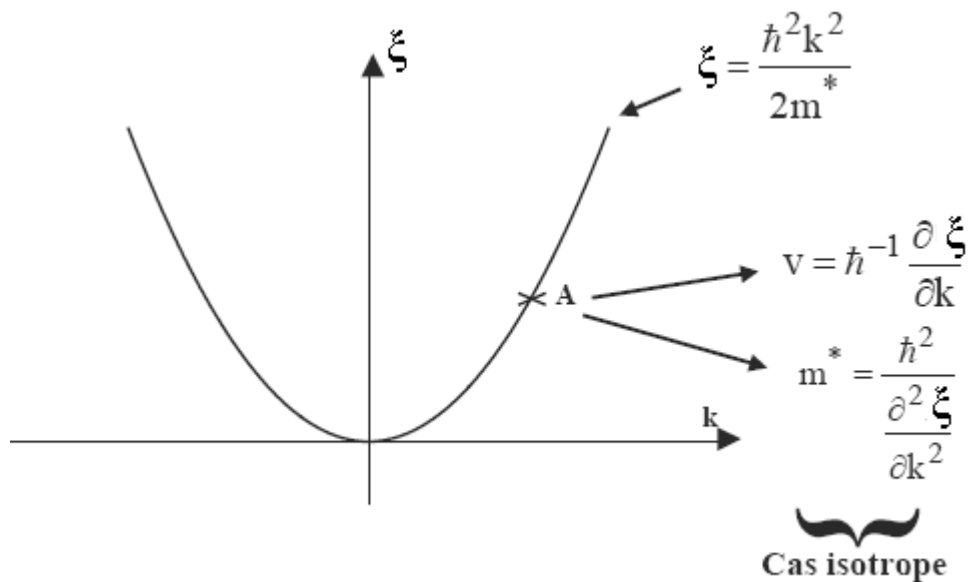


Figure I – 4 : Variation de l'énergie en fonction de k .

Si on applique un champ électrique E dans une direction d'un barreau semi-conducteur, on va obtenir les équations de conservation suivantes (à une dimension) :

$$m^* \frac{dv}{dt} = qE - m^* \frac{v}{\tau_m} \quad (\text{Équation de conservation de la vitesse}) \quad (1.3)$$

$$\frac{d\xi}{dt} = -\frac{(\xi - \xi_0)}{\tau_E} + qEv \quad (\text{Équation de conservation de l'énergie}) \quad (1.4)$$

τ_m : temps de relaxation du moment

τ_E : temps de relaxation de l'énergie

En régime stationnaire : $\frac{d}{dt} = 0$; la vitesse de l'électron est :

$$v = \frac{q\tau_m}{m^*} E \quad (1.5)$$

On appelle mobilité : $\mu(\xi) = \frac{q\tau_m}{m^*}$; cette mobilité dépend de l'énergie (via τ_m) et de la masse effective : m^*

$$\xi - \xi_0 = qv\tau_E E = q^2 \frac{q\tau_m\tau_E}{m^*} E^2 \quad (1.6)$$

Si on applique ces formulations au cas du Silicium (semi- conducteur mono-vallée), on obtient figure I – 5 les courbes simulées des équations (1.5) et (1.6).

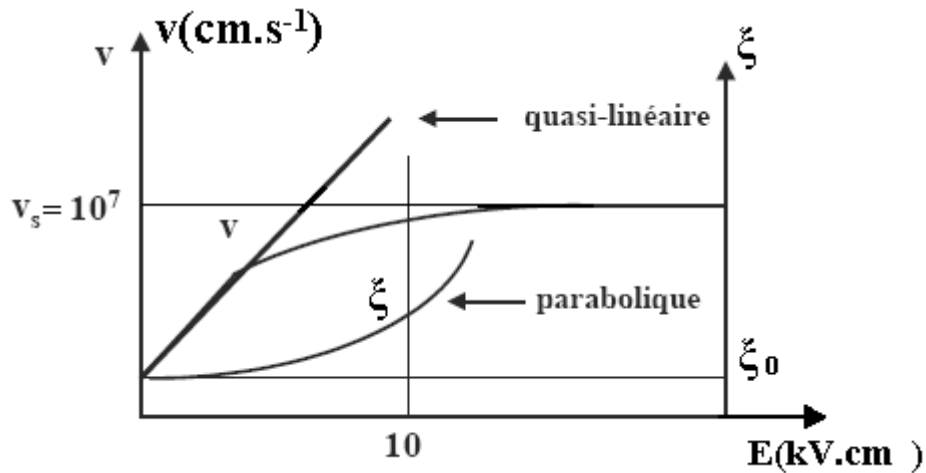


Figure I – 5 : Vitesse en fonction du champ électrique.

A champ faible :

$$\mu(\xi) \sim Cte \Rightarrow v = \mu.E$$

Mais en général :

$$v(\xi) = \mu(\xi).E \quad (1.7)$$

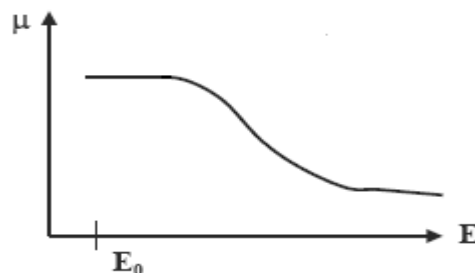


Figure I – 6 : Variation de la mobilité en fonction du champ électrique.

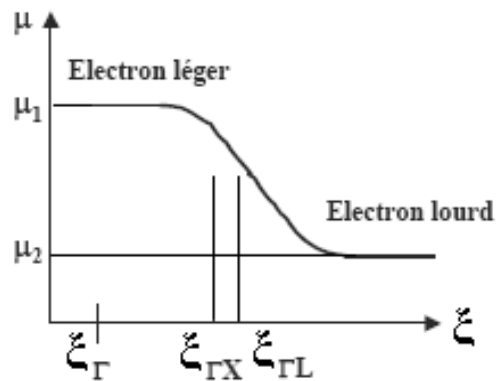


Figure I – 9 : Variation de la mobilité en fonction de l'énergie.

Ainsi, le GaAs montre un effet de mobilité différentielle négative.

Les phénomènes en régime non stationnaire sont obtenus en utilisant les équations (1.3) et (1.4) ne sera plus valable dans certains cas, notamment s'il y a des variations significatives dans le temps ou dans l'espace :

- $\frac{dE}{dt}$ Lorsque la fréquence de la tension ou du champ électrique dépasse quelques dizaines de GHz.
- $\frac{dE}{dx} = \frac{1}{v} \left(\frac{dE}{dt} \right)$ Lorsque l'on travaille sur des composants de dimensions submicroniques ($< 0.5 \mu\text{m}$).

On peut alors obtenir des effets de sur vitesse; à cause de gradients élevés et de transport balistique.

La plupart des recherches actuelles cherchent à exploiter ces effets pour augmenter les fréquences de fonctionnement de ces composants.

I – 5. LES FONCTIONS PRINCIPALES DE L'ELECTRONIQUE ANALOGIQUE

Sans entrer dans les détails de fonctionnement, ni de savoir quel composant est utilisé pour telle ou telle application, les principales fonctions de l'électronique analogique linéaire et non-linéaire sont :

- Détecter
- Amplifier
- Mélanger
- Générer
- Multiplier

L'exemple suivant illustre bien ces fonctions. La tête de détection hétérodyne à très hautes fréquences, qui intégrerait la plupart de ces fonctions. (Ce schéma s'applique bien sûr aux plus basses fréquences).

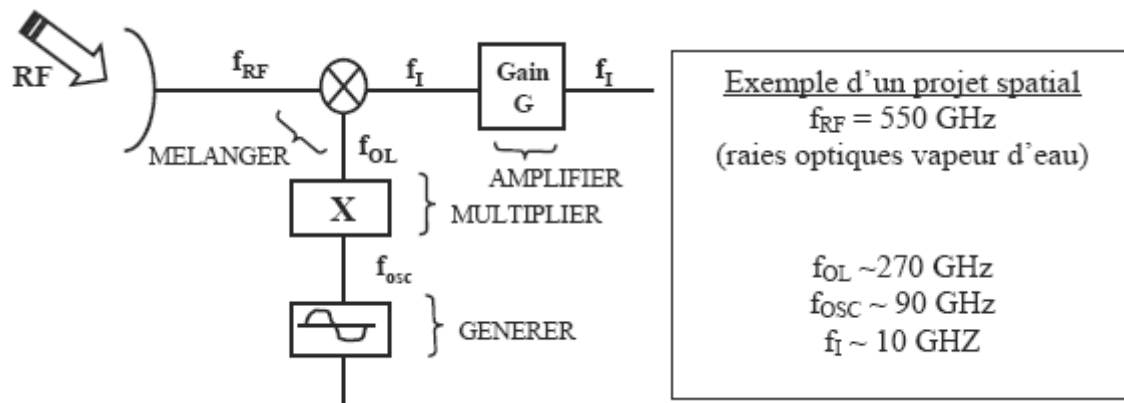


Figure I – 10 : Les fonctions de l'électronique analogique.

Nous nous sommes limités ici à l'électronique analogique, mais la montée en fréquence des applications de l'électronique numérique, fréquences d'horloge de PC dépassant largement le GHz, font qu'aujourd'hui certaines applications utilisent des composants hyperfréquences et que les mêmes problèmes de conception et d'optimisation se posent dans les deux disciplines.

I – 6. LES FAMILLES DE COMPOSANTS

Le but de ce paragraphe est de donner une vue d'ensemble des composants hyperfréquences qui existent aussi bien d'un point de vue commercial ou de laboratoire.

Ceci permettra de situer les composants qui seront étudiés plus en détail dans la suite de notre thèse.

Nous les diviserons en quatre grandes familles :

- Transistors à effet de champ (contrôlés en tension)
- Transistors à effet de potentiel (contrôlés en courant)
- Composants quantiques
- Composants micro-ondes et photoniques

I – 6 – 1. Transistors à effet de champ

Les différentes familles de transistor à effet de champ sont classées comme le montre la figure I – 11.

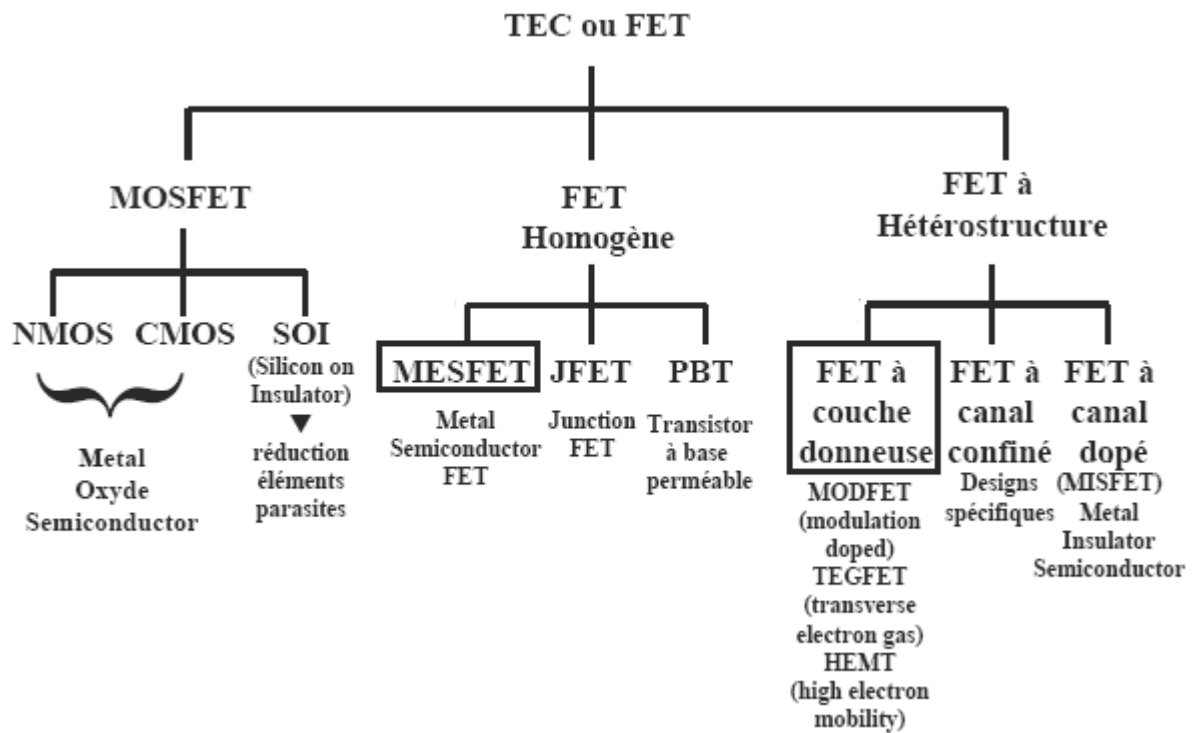


Figure I – 11 : Les familles des transistors à effet de champ.

I – 6 – 2. Transistors à effet de potentiel

Les familles de transistors à effet de potentiel sont répertoriées sur la figure I – 12.

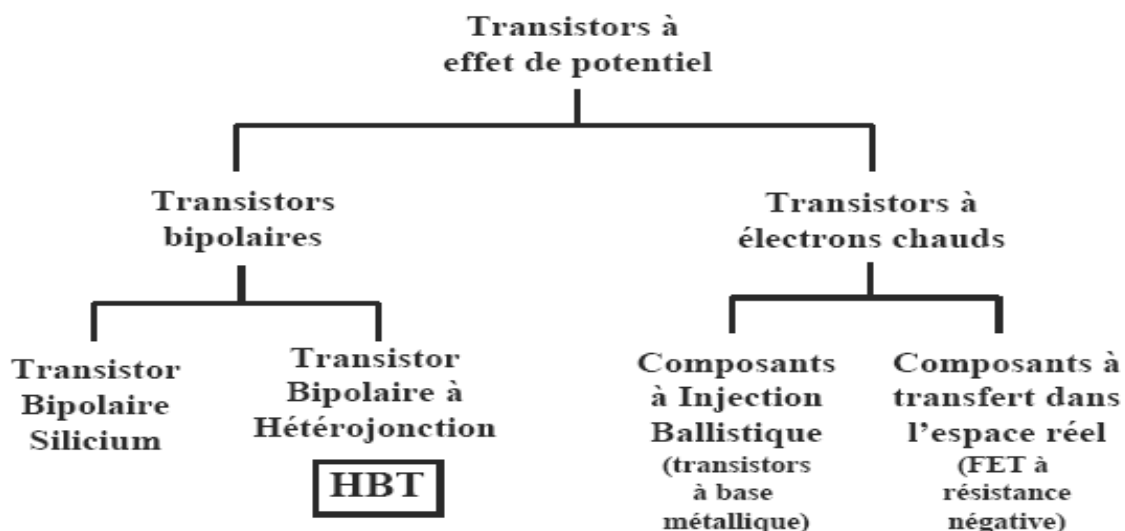


Figure I – 12 : Les familles des transistors à effet de potentiel.

I – 6 – 3. Les composants quantiques

Sur la figure I – 13 sont représentées les familles quantiques.

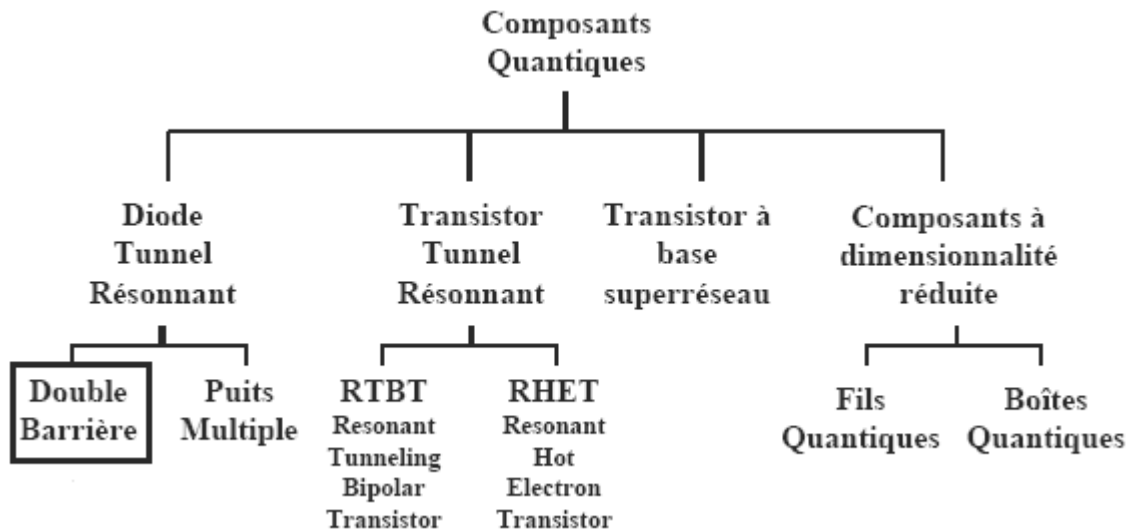


Figure I – 13 : Les familles des composants quantiques.

I – 7. LES TECHNIQUES DE CAO

Les techniques d'approche pour la conception assistée par ordinateur sont définies comme suit :

- Modèles physiques :

- résolution des équations de transport
- modèles particuliers (Monte-Carlo)
- modèles physico-électriques (dérive-diffusion, hydrodynamique...)
- modèles quantiques

- Modèles électromagnétiques :

- environnement des composants
- rayonnement

- Modèles électriques :

- schéma équivalent linéaire petit signal
- schéma équivalent de bruit
- schéma non-linéaire

- Simulations de circuits et applications.

La modélisation peut-être aussi une aide à la fabrication avec la génération de « layouts » (dessin de masques).

Ainsi, ces approches permettent de décrire (comprendre les phénomènes), prédire (aide à la conception) et utiliser (développement des applications) les composants.

Historiquement, le premier simulateur commercial fut SPICE pour les circuits électroniques devenus plus tard PSPICE. Ce logiciel, quant à son contenu, ne cesse de se développer.

Pour l'électromagnétisme, le utilisé aujourd'hui c'est HFSS (High Frequency Structure Simulator) de chez Agilent Technologies (Hewlett- Packard).

Pour les circuits micro-ondes, le plus populaire MDS (Microwave Design System) ou maintenant ADS (Advanced Design System) de chez Agilent.

Sans oublier les logiciels pouvant aller jusque la simulation technologique (SILVACO), et bien d'autres encore.

Revenons à ADS (ou MDS), largement utilisé en micro-ondes et en électronique non-linéaire. Ce dernier peut faire de l'analyse DC, AC petit signal et non-linéaire en régime de grand signal. Il repose sur la notion d'équilibrage harmonique (harmonic balance) pour les circuits multifréquences. Qui se résume à déterminer toutes les grandeurs caractéristiques intéressantes, matrices S, puissances, rendements, à toutes les fréquences de travail du dispositif. De plus, on peut introduire les éléments passifs de filtrage et d'adaptation d'impédances. Enfin, des études de bruit, en général à partir de modèles prédéfinis, sont possibles.

Pour les diodes et les transistors les plus courants, les bibliothèques de ces composants incorporant des modèles linéaires et non-linéaires sont disponibles dans ces logiciels. Néanmoins, pour les utiliser correctement et efficacement, il est nécessaire de connaître, au moins dans leurs grandes lignes, les principes physiques de fonctionnement de ces divers composants.

I – 8. LA DIODE SCHOTTKY

I – 8 – 1. Introduction

La diode SCHOTTKY [6], [7], [8] est un élément de base pour les composants à l'état solide en hyperfréquences dans la mesure où :

- Elle peut être utilisée seule pour ses caractéristiques non-linéaires en détecteur, mélangeur ou multiplieur avec, selon sa dimension de zone active, des fréquences de coupure supérieures au Téra hertz ;
- Le contact Schottky est l'élément de commande en tension des transistors à effet de champ (grille). Nous la retrouverons ainsi pour le MESFET.

L'hétérojonction métal-semi-conducteur est aussi à la base du fonctionnement de nombre de dispositifs (contact ohmique).

I – 8 – 2. La physique de la diode Schottky

Pour étudier la jonction métal-semi-conducteur, il faut connaître :

- le travail de sortie du métal : $q\phi_m$ (donnée structurale)
- l'affinité électronique du SC : $q\chi$ (donnée structurale)

En première approximation, la barrière qui se forme à la jonction est :

$$E = q\phi_m - q\chi$$

Sur la figure I – 14 sont représentés les niveaux d'énergie du métal et celle du semi-conducteur est du type N. Dans le semi-conducteur le niveau d'énergie E_{Fs} est proche de E_c .

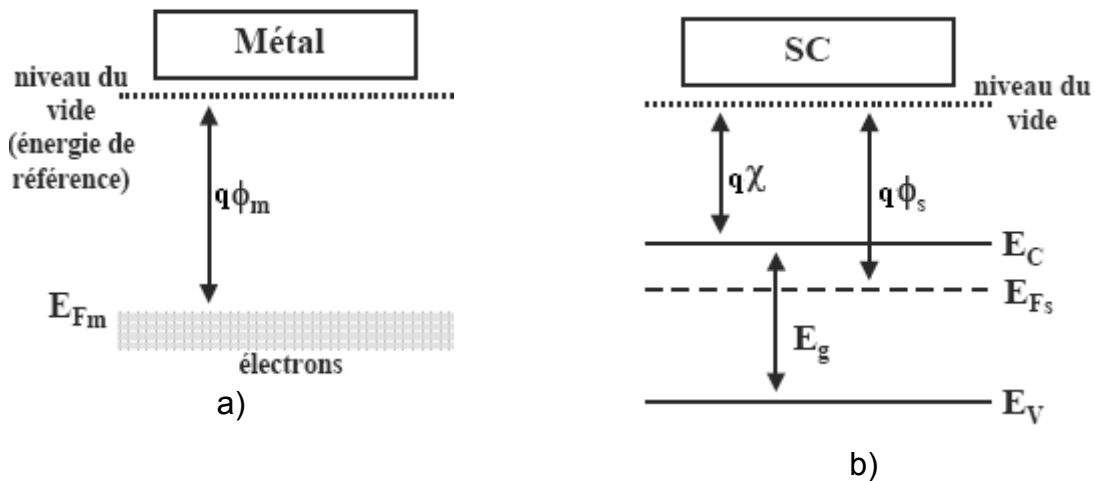


Figure I – 14 : Les niveaux d'énergie ;a) du métal ; b) du semi-conducteur.

Pour un semi-conducteur de type N deux cas sont possibles :

- soit $\phi_m \geq \phi_s$
- soit $\phi_m < \phi_s$

a) Cas ou $\phi_m \geq \phi_s$

Lorsque l'on accole les deux matériaux et que, à l'équilibre thermodynamique, les niveaux de Fermi s'alignent, les états d'énergie peuplés les plus hauts en énergie sont dans le semi-conducteur. Il y a donc des états d'énergie plus faibles vides dans le métal. Un certain nombre d'électrons vont donc transférer vers le métal (accumulation) et désert le semi-conducteur. Un champ électrique interne va se créer pour lutter contre cette diffusion, un équilibre va se créer et le phénomène s'arrêter. On aboutit alors à l'équilibre suivant :

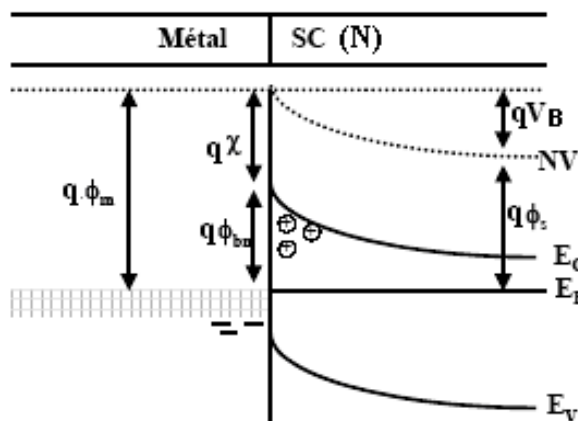


Figure I – 15 : Les niveaux d'énergie de la jonction métal-semi-conducteur $\phi_m \geq \phi_s$.

Où V_B : tension de diffusion

On voit dans ce cas, que la barrière à l'interface va commander le passage du courant du métal vers le semi-conducteur et semi-conducteur vers le métal on se trouve dans le cas d'un contact redresseur ou SCHOTTKY

b) cas ou $\phi_m < \phi_s$

Lors de la création de l'hétérojonction, c'est l'inverse qui va se produire avec une accumulation d'électrons dans le SC.

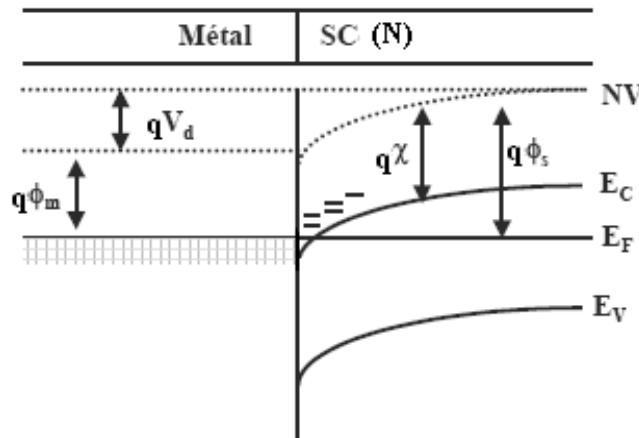


Figure I – 16 : Niveau d'énergie lorsque $\phi_m < \phi_s$.

Il n'y a plus de barrière à l'interface, les électrons vont s'échanger très facilement entre le SC et le Métal, on se trouve dans le cas d'un contact ohmique.

I – 8 – 3. Barrière de potentiel et zone de charge d'espace

Nous n'étudierons que le cas intéressant en tant que composant non-linéaire, c'est à dire le cas du contact redresseur.

Supposons une interface parfaite entre le métal et le semi-conducteur. Dans la réalité, il existe des états d'interface qui vont venir modifier la loi sur l'affinité et le travail de sortie. Ces états supplémentaires vont créer une couche interfaciale fine diélectrique à la jonction avec des transferts de charge modifiés. Ceci va modifier la hauteur de barrière, et on observe expérimentalement (loi empirique) que dans la plupart des cas:

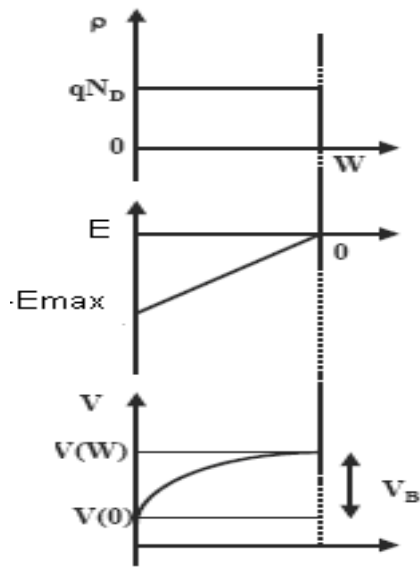
$$q\phi_{bn} \approx \frac{2}{3}E_g \tag{1.8}$$

La hauteur de la barrière vue par les électrons dans le semi-conducteur est donc :

$$V_B = \phi_{bn} - \left(\frac{E_C - E_F}{q} \right) \tag{1.9}$$

Pour connaître l'évolution du potentiel, du champ électrique et de la charge dans le semi-conducteur, il faut donc résoudre l'équation de Poisson.

Hypothèses : zone de charge d'espace désertée et la densité de charges volumiques $\rho = Cte$



$$\frac{d^2V}{dx^2} = -\frac{\rho}{\epsilon} \quad (1.10)$$

Ou encore $\frac{dE}{dx} = \frac{\rho}{\epsilon}$;

Avec : $\rho = qN_D$

Et les hypothèses $\begin{cases} E(W) = 0 \\ V(0) = -\phi_{bn} \end{cases}$

On obtient :

$$V_B = \frac{qN_D W^2}{2\epsilon}$$

$$\text{Ou encore } W = \sqrt{\frac{2\epsilon}{qN_D} V_B} \quad (1.11)$$

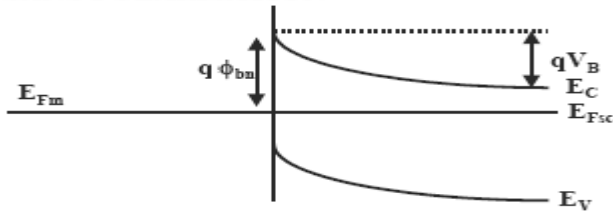
Figure I – 17 : Schéma de formulation d'une diode.

Remarque : Dans l'équation de Poisson le potentiel électrostatique est exprimée en Volts (V) et l'énergie des Bande en électron volts : (eV)

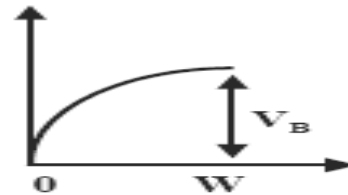
Passage entre les deux, via la charge de l'électron on doit changer le signe.

Sous l'action d'une tension extérieure, la largeur de la zone désertée va être modulée et par la suite la hauteur de barrière est modifiée.

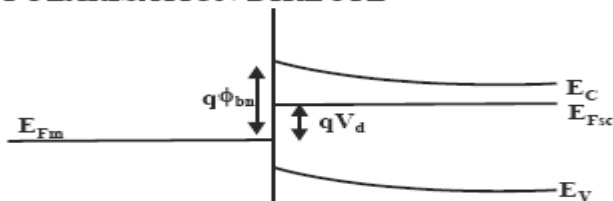
SANS POLARISATION



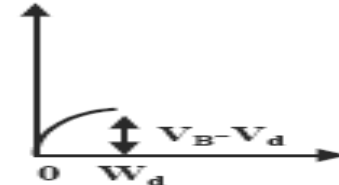
Potentiel



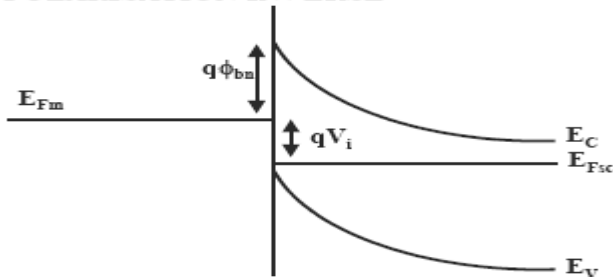
POLARISATION DIRECTE



Potentiel



POLARISATION INVERSE



Potentiel

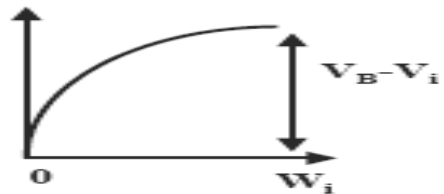


Figure I – 18 : Potentiel d'une diode en fonction de sa polarisation.

- En polarisation directe il y a réduction de la zone désertée
- En polarisation inverse il y a extension de la zone désertée

On a donc :

$$W(V) = \sqrt{\frac{2\varepsilon(V_B - V)}{qN_D}} \quad (1.12)$$

Ceci reste vrai tant que la zone de charge d'espace existe.

I – 8 – 4. Courants dans la diode Schottky

❖ Diode Schottky en polarisation directe :

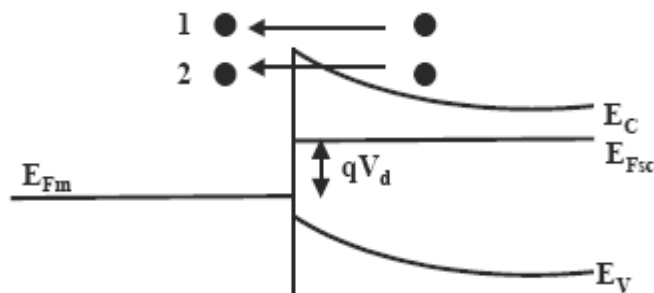


Figure I – 19 : Schéma de déplacement des porteurs à l'interface.

Les deux phénomènes principaux d'une polarisation en direct:

- **émission thermoïonique** : passage des électrons au dessus de la barrière de potentiel
- **effet tunnel** : les électrons passent au travers de la barrière, effet quantique (second ordre)
-

❖ Diode Schottky en polarisation inverse :

Les phénomènes sont équivalents, à part que la hauteur de barrière vue par les électrons du métal reste quasiment constante en fonction de la polarisation (c'est la valeur $q\phi_{bn}$).

Ainsi, la composante principale correspond au courant thermoïonique.

Ce résultat s'obtient en intégrant, dans l'espace des vitesses, la densité d'électrons se déplaçant sous l'action du champ électrique.

On obtient une relation de la forme :

$$J_{SC-M} = J_S \left(\exp \frac{qV}{kT} \right) \quad (1.13)$$

Avec

$$J_S = A^* T^2 \exp \left(-\frac{q\phi_{bn}}{kT} \right) \text{ et } A^* = \frac{4\pi q k^2 m^*}{h^3} \quad (1.14)$$

Où : A^* Constante de Richardson

Dans l'autre sens, en première approximation, la hauteur de barrière ne varie pas et le courant est quasiment constant. L'annulation du courant en 0 conduit :

$$J_{M-SC} = -J_s \quad (1.15)$$

Le courant total pour des tensions raisonnables (tension supérieures à la tension de claquage V_{br} :

$$J = J_s \left(\exp \frac{qV}{kT} - 1 \right) \quad (1.16)$$

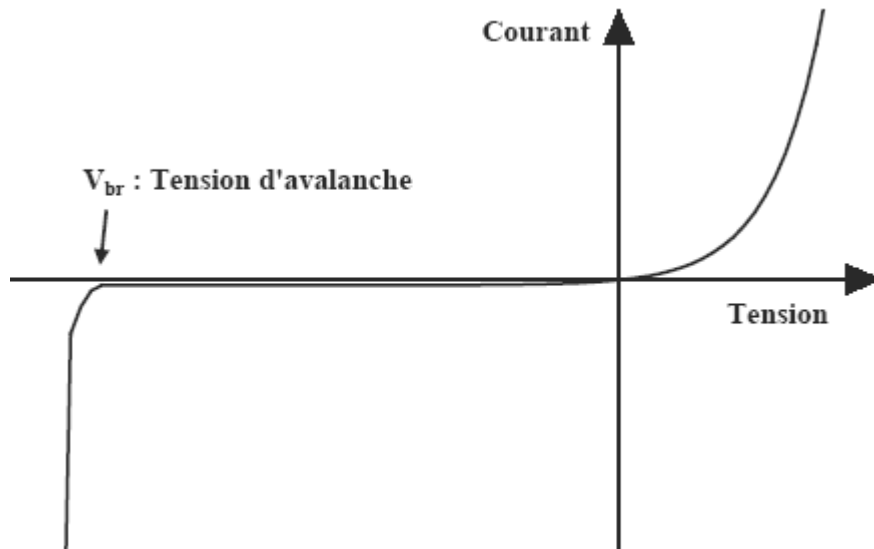


Figure I – 20 : Relevé de la caractéristique d'une diode Schottky.

Pour des polarisations inverses très importantes, le champ électrique devient très grand dans le semi conducteur, les électrons accélérés par ce dernier peuvent gagner beaucoup d'énergie et ramener des électrons issus de la bande de valence vers la bande de conduction

I – 8 – 5. Le claquage par avalanche

De plus, pour les composants réels, il existe un certain nombre de composantes parasites de courant qui induisent un ralentissement de sa montée pour les tensions de polarisation positive qui perd ainsi son caractère purement exponentiel.

On rajoute alors un paramètre η dans l'expression du courant, appelé coefficient d'idéalité.

On écrit donc la densité de courant :

$$J = J_s \left(\exp \frac{qV}{\eta kT} - 1 \right) \quad (1.17)$$

Le courant dans la diode est alors :

$$I = I_s \left(\exp \frac{qV}{\eta kT} - 1 \right) \quad (1.18)$$

Avec : I courant dans la diode Schottky (ou I_{gs}) et V tension de polarisation souvent noté: V_{gs} .

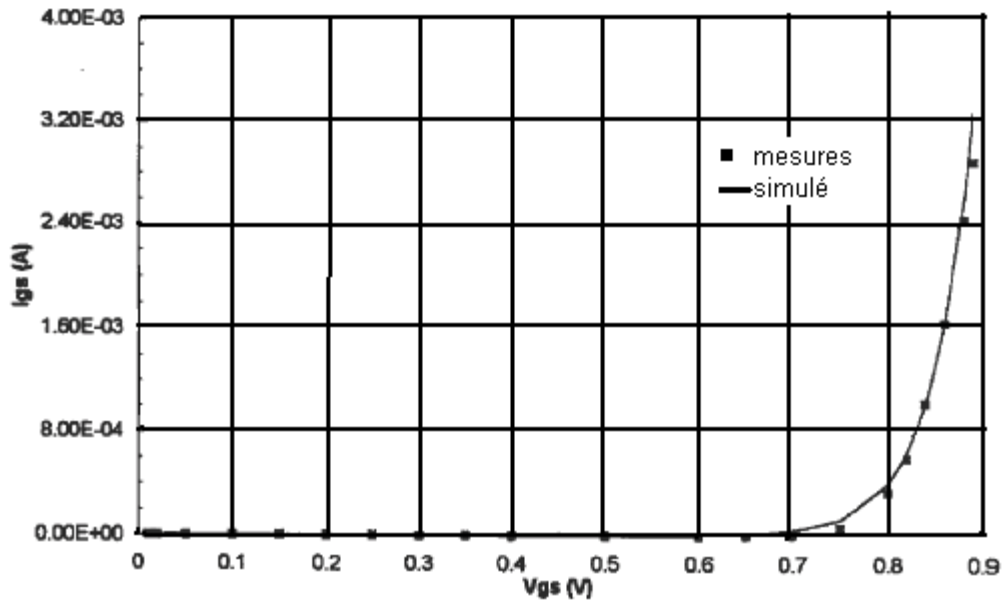


Figure I – 21 : Mesure et simulation de la caractéristique de la diode Schottky du transistor étudié.

La mesure de la caractéristique $I=f(V)$ est représenté sur la figure I – 21.

Les mesures des différentes caractéristiques de courant de grille montre une modification de l'interface qui se traduit par :

- la chute de la tension de seuil avec le vieillissement (figure I - 22).
- l'augmentation dans le temps du facteur d'idéalité (figure I - 23).

L'hypothèse de l'inter-diffusion de contact Or avec le contact métal semi-conducteur qui compose le contact Schottky en raison de sa faible épaisseur confirme la dégradation du facteur d'idéalité η .

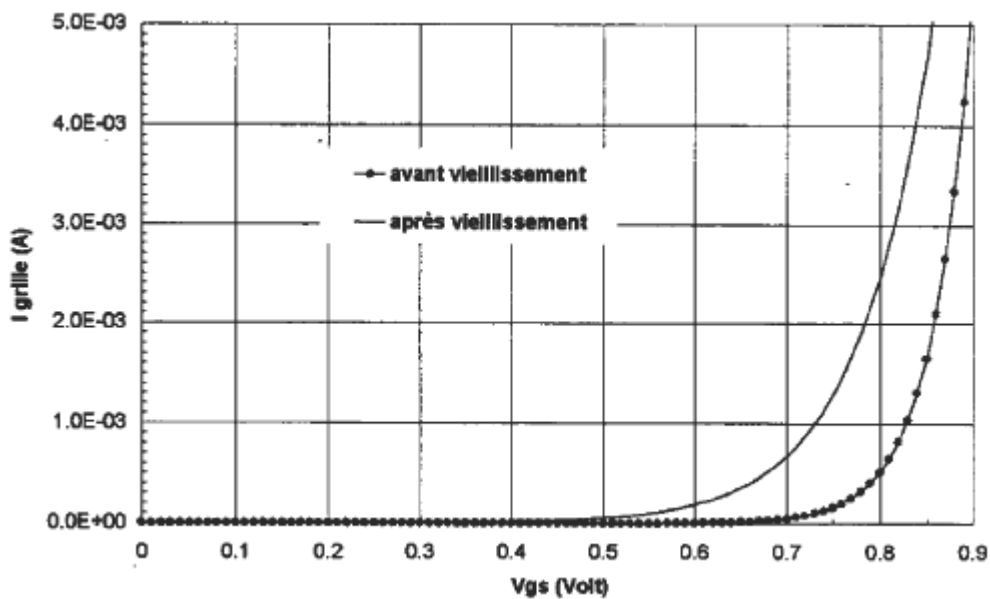


Figure I – 22 : Caractéristique directe de la diode avant et après vieillissement.

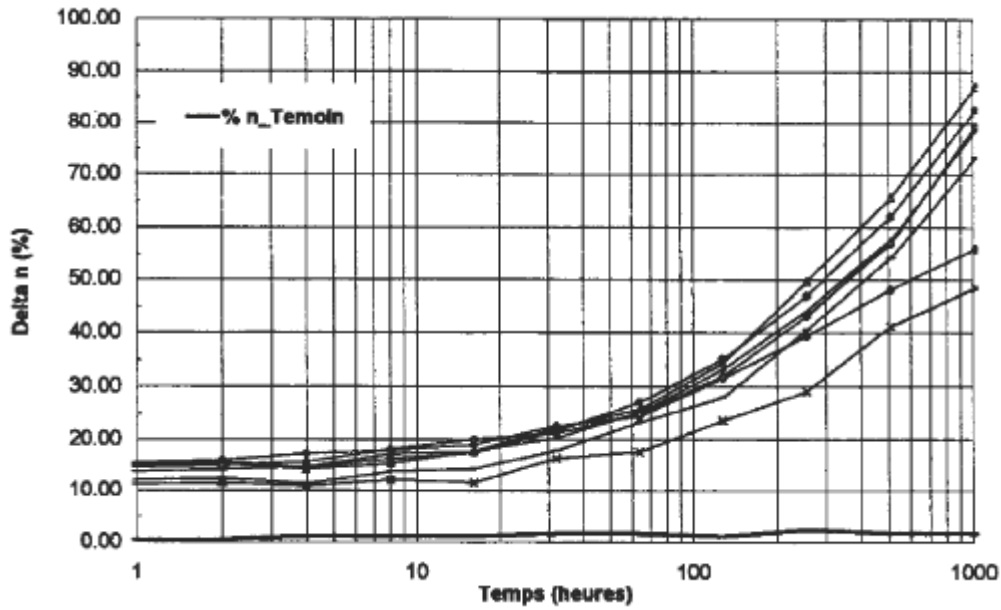


Figure I – 23 : Variation du facteur d'idéalité en fonction du temps.

I – 8 – 6. La capacité d'une diode Schottky

On utilise l'hypothèse de la capacité plane de type :

$$C_{gs} = \frac{\epsilon S}{W} \tag{1.19}$$

Où :

W est la largeur de la zone désertée, S est la surface du contact de la diode Schottky et C_{gs} est la capacité de la diode Schottky.

La charge s'écrit :

$$Q_{SC} = qN_D W \tag{1.20}$$

Et

$$C_{gs}(V) = \frac{dQ_{SC}}{dV} \tag{1.21}$$

On obtient alors :

$$C_{gs}(V) = \left[\frac{\epsilon q N_D}{2} \right]^{1/2} (V_B - V)^{-1/2} \tag{1.22}$$

En remarque pour $V=V_B$ alors $C_{gs} = + \infty$ mais l'approximation de la zone désertée n'est plus valable. Et pour $V = 0$ alors :

$$C_{gs}(V) = C_{gs0} = \sqrt{\frac{\epsilon e N_D}{2 V_B}} \tag{1.23}$$

La variation de la capacité d'entrée en C_{gs} par rapport à la tension de grille V_{gs}

est modélisée par l'équation :
$$C_{gs} = \frac{C_{gs0}}{\sqrt{1 - \frac{V_{gs}}{V_B}}} \tag{1.24}$$

Où : C_{gs0} est la capacité à $V_{gs}=0$ et V_B est la tension de la barrière Schottky qui est comprise entre 1,6 et 0,8 Volts.

La simulation de la capacité C_{gs} est représentée sur la figure I - 24.

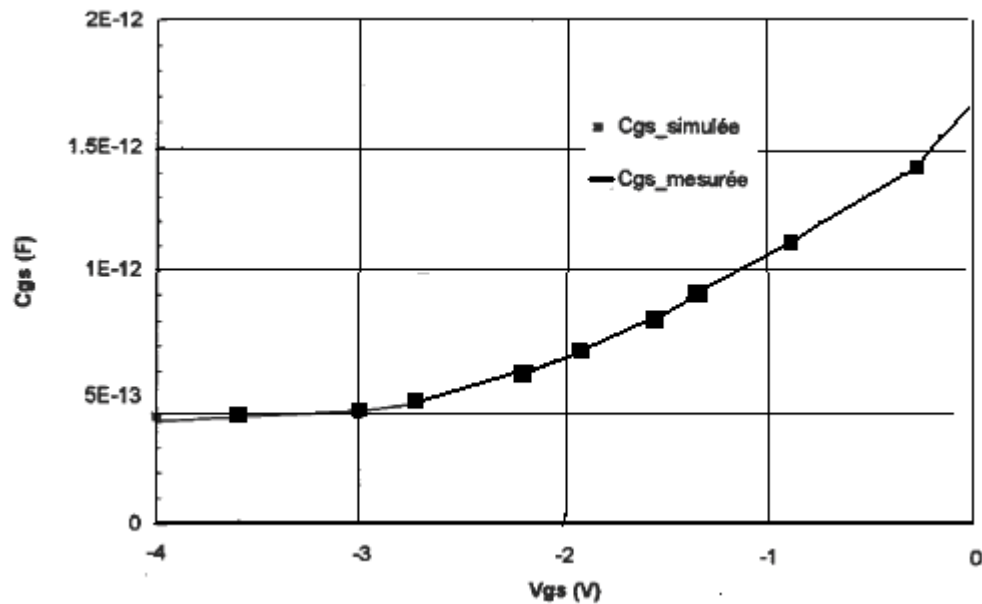


Figure I – 24 : Variation de la capacité C_{gs} de la diode Schottky en fonction de la tension de grille.

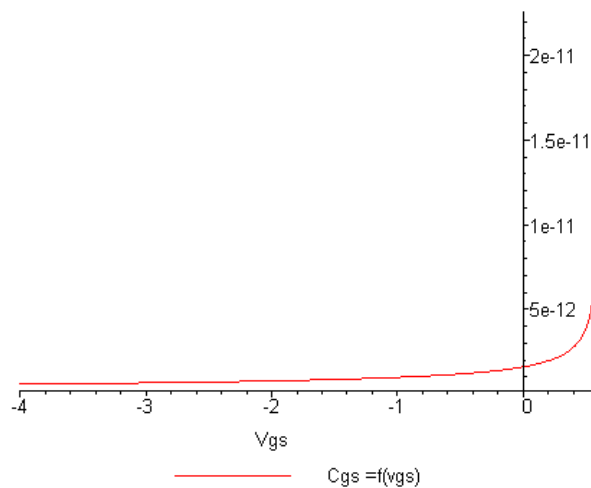


Figure I – 25 : Capacité de la diode Schottky simulée à partir de l'équation 1.24.

I – 8 – 7. Schéma équivalent linéaire et régime statique

Pour établir un schéma équivalent, ici c'est un cas simple, il va falloir différencier les éléments intrinsèques (caractéristiques du composant isolé) et les éléments extrinsèques [8], [9] (environnement du composant.)

Cette approche sera commune à tous les composants. La pratique montre qu'à mesure que l'on augmente les fréquences de fonctionnement des dispositifs, la détermination des éléments parasites est au moins aussi importante que la qualité

intrinsèque du composant. La fréquence de coupure du composant est toujours tributaire des éléments extrinsèques.

Quand on parle de schéma équivalent linéaire, cela sous-entend schéma équivalent petit signal. On se positionne sur un point de fonctionnement du dispositif et on analyse le fonctionnement du composant pour une petite excursion sinusoïdale autour de ce dernier.

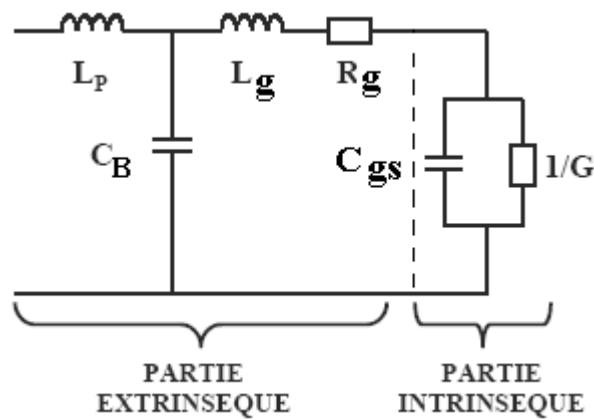


Figure I – 26 : Schéma équivalent.

I – 8 – 7 - 1. Partie extrinsèque:

- L_g inductances parasites dues aux éléments de connexion à la diode (fils, rubans métalliques...)
- C_B : capacité du boîtier
- R_g : résistance série parasite (régions passives du SC, contacts...)
- C_{gs} : capacité associée au contact métal semi-conducteur
- $1/G$: est la conductance de la diode ; $1/G = (I + I_s)q/\eta kT$
- L_p : inductances des fils de connexion de la diode au circuit extérieur

I – 8 – 7 – 2. Partie intrinsèque :

Les équations qui définissent le régime petit signal sont:

$$C_{gs}(V_{gs}) = \sqrt{\frac{qN_D \varepsilon}{2(V_B - V_{gs})}} \quad (1.25)$$

$$G(V_{gs}) = \left. \frac{dI}{dV} \right|_{V=V_{gs}} = \frac{qI_s}{\eta kT} \exp\left(\frac{qV_{gs}}{\eta kT}\right) \quad (1.26)$$

Sachant que par des mesures statiques, on peut déduire la valeur de G , on utilisera souvent des mesures d'impédance en régime petit signal pour déduire les valeurs des éléments parasites et C_{gs} . (en les comparants à la théorie).

En supposant G est très petite, la fréquence de coupure de la diode peut être estimée comme la fréquence correspondant au circuit R_g, C_{gs} série et on obtient :

$$f_c = \frac{1}{2\pi R_s C_{gs}} \quad (1.27)$$

Nous avons effectué des mesures courant-tension $I=f(V)$ pour une diode en régime statique à faible et à fort niveau de polarisation directe et inverse de la diode Schottky, les résultats de cette simulation sont reporter figure I – 21, La configuration adoptée pour faire la mesure est indiquée sur la figure I – 27.

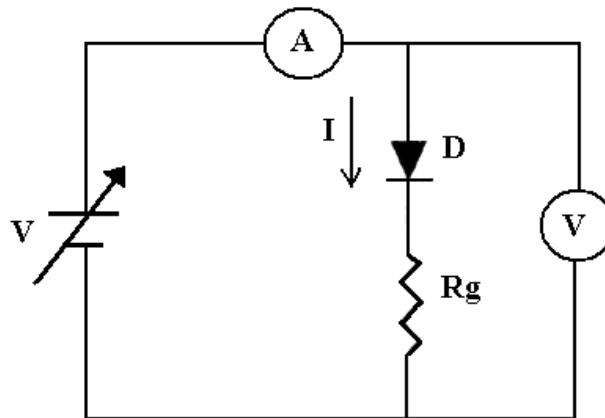


Figure I – 27. Schéma électrique adopté pour les mesures courant tension

a) à bas niveau de polarisation

Lorsque la chute de tension dans la résistance série R_g est négligeable vis-à-vis de la chute de tension dans la zone de charge d'espace, alors V et le courant I circulant dans la barrière Schottky s'exprime par:

$$\text{Log}(I) = \text{Log}(I_s) + (qV/\eta kT) \quad (1.28)$$

De la caractéristique $I(V)$ en direct à bas niveau de polarisation (entre 0.1 mA à 50pA) nous calculons, en utilisant l'équation (1.28) et par des techniques classiques, le facteur d'idéalité bas niveau η et le courant de saturation I_s .

b) à fort niveau de polarisation directe

Lorsque la chute de tension dans la résistance série R_g ne peut pas être négligée vis-à-vis de la chute de tension dans la zone de charge d'espace, le courant à travers la diode Schottky en fonction de la tension appliquée V est donné par l'équation (1.18). Après des transformations mathématiques élémentaires, l'équation (1.18) peut s'écrire :

$$V = R_g I + a \cdot \text{Log}(I) + b \quad (1.29)$$

Avec:

$$a = \eta kT/q$$

$$b = -a \text{Log}(I_s)$$

De la caractéristique directe $I(V)$ à fort niveau de polarisation (entre 1 et 3 mA), nous calculons, en utilisant l'équation (1.29), la résistance R_g et le facteur d'idéalité fort niveau η , et le courant de saturation I_s .

La détermination de la résistance série est un élément important pour évaluer la qualité de la diode Schottky car ce paramètre influe directement sur les performances hyperfréquences de la diode. De plus, toute dégradation éventuelle du contact métallique doit se traduire par une dégradation de R_g .

En plus des paramètres déjà traités, nous relevons à partir des mesures $I(V)$ à fort et à bas niveau de polarisation directe les paramètres suivants:

V_1 : tension directe pour un courant de 1 mA

V_2 : tension directe pour un courant de 3mA

$rd = \frac{\Delta V}{\Delta I}$: résistance dynamique quasi statique

Les résultats trouvés sont reportés dans le tableau I – 5 ; où les transistors MESFET 1 et MESFET 2 sont du type GAT1 432A/4/LID et THC 302 N°18.

Transistors	$R_g(\Omega)$	rd	η	$I_s (mA)$
MESFET1	18	25	0.98	0.06
MESFET2	15	20	0.96	0.03

Tableau I – 5 : Valeurs mesurés de la résistance R_g

I – 8 – 8. Schéma équivalent non-linéaire et régime dynamique

Par approche non-linéaire, on sous-entend approche grand-signal.

Le schéma est basé sur le précédent où l'on remplace $1/G$ par un générateur de courant et C_{gs} par une capacité tous deux variables en fonction de la tension appliquée aux bornes de la diode.

En général, les éléments extrinsèques sont supposés ne pas dépendre de la tension appliquée à leurs bornes [10]. Ainsi, ils restent inchangés dans le schéma non-linéaire par rapport au schéma équivalent petit signal.

On obtient donc:

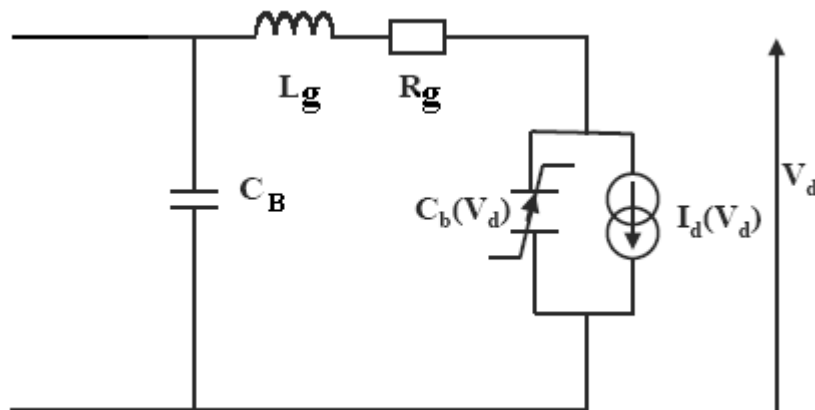


Figure I – 28 : Schéma équivalent non linéaire.

Et on utilise les lois déterminées précédemment qui sont :

$$I(V) = I_s \left[\exp\left(\frac{qV}{\eta kT}\right) - 1 \right] \quad (1.30)$$

Et

$$C_{gs}(V_{gs}) = C_0 \left[1 - \frac{V_{gs}}{V_B} \right]^{-1/2} \quad (1.31)$$

Dans la limite de validité, bien sûr, des approximations utilisées pour les établir.

Ainsi, quatre données sont nécessaires pour décrire la diode Schottky :

- I_s
- η
- C_{gs}
- V_B

Ceux-ci peuvent être déterminés à partir des mesures I-V statiques et le C-V en régime petit signal en étudiant par exemple la courbe I-V en échelle logarithmique. On peut même grâce à ces différentes études remonter à des paramètres physiques de conception et de fabrication de la diode, comme le dopage. Associé à l'analyse des éléments extrinsèques, ceci permet en général d'optimiser les composants.

Le régime dynamique consiste à mesurer la capacité C_{gs} de la diode Schottky en fonction de la tension inverse appliquée à la diode ; ces mesures ont été faites à une fréquence fixe de 1 GHz avec une polarisation inverse V appliquée à la diode qui varie entre 0 et -1.5 V.

La détermination de la valeur de la capacité nous permet d'évaluer l'aptitude de la diode à fonctionner à des fréquences élevées (plus la résistance R_g est constante, plus la capacité est faible, plus la fréquence de coupure est élevée). Les résultats obtenus par ces mesures sont reportés dans le tableau I – 6.

Transistors	f(GHz)	C_{gs} (pF)	V(V)	Vbr(V)	R_g (Ω)
MESFET1	1	0.10	-0.410	-3	18
MESFET2	1	0.12	-0.410	-3	18

Tableau I – 6 : valeurs mesurés de la capacité C_{gs} de la diode Schottky

Aujourd'hui, pour des composants de surfaces très petites (typiquement $< 1\mu\text{m}^2$), on obtient des fréquences de coupure de plusieurs Terahertz. (mélangeur subharmonique, la fréquence de coupure atteint 2.5 THz).

I – 8 – 9. L'hétéro-structure simple barrière

Dans le cadre de la radio-astronomie, la montée en fréquence des dispositifs électroniques est actuellement un axe de recherche majeur. Pour des applications spécifiques, des composants possédant des fréquences de coupure de l'ordre de quelques Terahertz sont nécessaires. Disposer d'une source de puissance suffisante

à ces fréquences est aujourd'hui impossible à l'état solide et l'on a recours à des multiplicateurs de fréquences. Ceux-ci permettent de transférer un signal source aux alentours de 100 GHz à des fréquences de plusieurs centaines de GHz. Cette multiplication de fréquence est généralement basée sur la modulation de la capacité d'une diode en fonction de la tension appliquée (effet Varactor).

Si la diode Schottky était jusqu'alors le composant attitré pour ce type d'applications, depuis quelques années le panorama s'élargit à des structures qui sont l'hétéro-structure simple barrière que nous allons étudier de manière simplifiée.

Les deux objectifs à atteindre pour obtenir un composant performant sont les suivants :

- Bloquer la conduction jusqu'à des tensions relativement élevées d'où l'utilisation d'une barrière de potentiel ;
- La non-linéarité de la capacité que nous obtiendrons par la modulation spatiale avec la tension d'une zone désertée.

Une structure peut être schématisée comme suit :

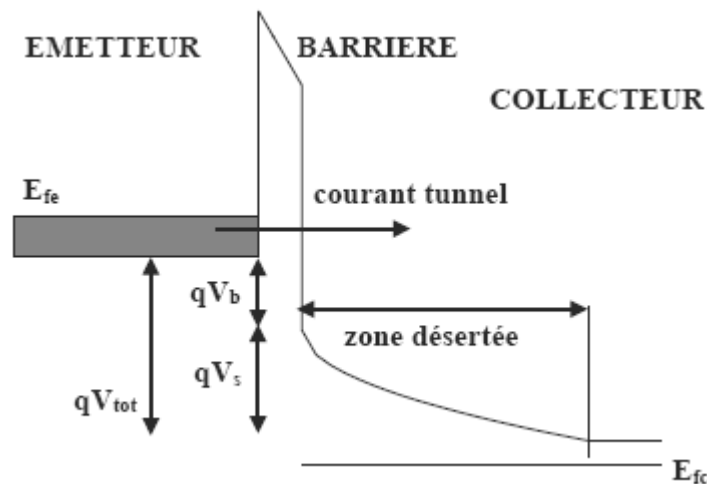


Figure I – 29 : Schéma de bande d'une hétéro-structure simple barrière.

Dans la pratique, on symétrisera la structure en introduisant de part et d'autre de la barrière semiconductrice des zones modérément dopées, afin de pouvoir obtenir un effet de modulation de zone désertée pour les deux sens de polarisation de la structure.

Le courant est dominé par l'effet tunnel au travers de la barrière, que l'on choisit relativement épaisse et haute pour limiter son évolution. On obtient alors un courant croissant de manière monotone à mesure que la tension augmente.

La capacité est maximale à l'équilibre, correspondant en première approximation à la capacité plane calculée en considérant la barrière seule. Puis, elle décroît par augmentation de la zone désertée jusqu'à une valeur minimale fixée par les dimensions du dispositif et/ou l'écrantage complet du champ électrique.

On obtient :

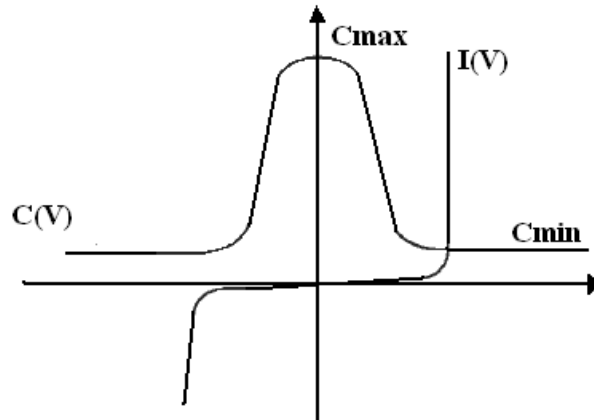


Figure I – 30 : Evolution du courant et de la tension pour une hétéro-structure.

Pour les données suivantes :

$$L_{gs} = 25 \text{ nm}$$

$$W_{max} = 300 \text{ nm}$$

$$N_D = 10^{23} \text{ m}^{-3},$$

$$S = 40 \text{ } \mu\text{m}^2$$

$$C(V_G=0) = 0.176 \text{ pF}$$

$$C(V_G=7.6 \text{ V}) = 13.5 \text{ fF}$$

On déduit la fréquence de coupure du composant par :

$$f_c = \left(\frac{1}{C_{min}} - \frac{1}{C_{max}} \right) / 2\pi^2 \quad (1.33)$$

Avec R_g la résistance série = 5 Ω , on obtient : $f_c = 2 \text{ THz}$.

Le schéma équivalent typique utilisé en régime grand signal est équivalent à celui de la diode Schottky, avec les éléments intrinsèques constitués d'un générateur de courant en parallèle avec une capacité variable.

En toute rigueur, on ne possède pas de loi analytique décrivant l'évolution du courant tunnel comme on dispose d'une loi exponentielle dans la diode Schottky, ainsi soit on fait une approximation avec une loi équivalente et un coefficient d'idéalité bien choisi, soit on utilise un « fit » par rapport à la mesure expérimentale en utilisant des combinaisons de polynômes et lois exponentielles.

Pour la capacité, il en est de même, différentes approches peuvent être alors utilisées, proches de la physique comme celle proposée par l'Université de Chalmers en Suède, ou purement empirique comme :

$$C(V) = C_{min} + \left(\frac{C_{max}}{C_{min}} - 1 \right) \frac{hC_{min}}{(h + V^2)} \quad (1.34)$$

Où h est un paramètre de fit, dans lequel interviendra la surface du composant.

Ce composant, récent puisque les études ont commencé au début des années 90, est aujourd'hui un candidat sérieux pour les applications en multiplication de fréquences. Il concurrence très sérieusement en gammes millimétriques et sub-millimétriques la toute puissante diode Schottky.

I – 8 – 10. Résistance différentielle négative

A basses fréquences, on peut fabriquer à partir de circuits à transistors stables et par des réactions ou contre-réactions bien choisies, des circuits devenant instables ou résonnants et donc oscillants. (Exemple : oscillateur à pont de Wien à base d'amplificateurs opérationnels)

A plus hautes fréquences, les transistors classiques ne suivent plus et il a fallu concevoir des composants présentant des caractéristiques particulières, comme par exemple une résistance différentielle négative, pour y remédier.

Soit le circuit RLC suivant :

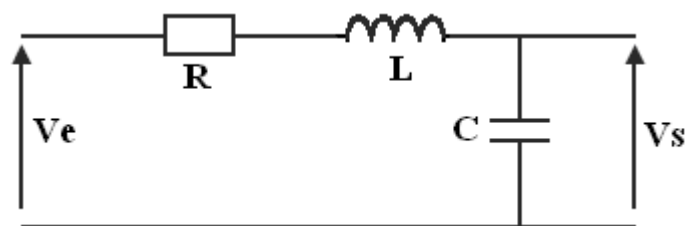


Figure I – 31 : Circuit RLC.

En régime sinusoïdal, on peut écrire

$$\frac{V_s}{V_e} = \frac{1}{1 - \left(\frac{\omega}{\omega_n}\right)^2 + 2j\gamma \frac{\omega}{\omega_n}} \quad (1.35)$$

Où

$$\omega_n = \frac{1}{\sqrt{LC}} \text{ et } \gamma = \frac{R}{2} \sqrt{\frac{L}{C}} \quad (1.36)$$

Où ω_n est la pulsation propre et γ le coefficient d'amortissement.

On distingue alors 3 cas:

- $\gamma > 1 \rightarrow$ solution apériodique amortie
- $\gamma = 1 \rightarrow$ fonctionnement critique
- $\gamma < 1 \rightarrow$ solution oscillatoire amortie

$$\text{Avec : } \begin{cases} \omega_0 = \omega_n \sqrt{1 - \gamma^2} : \text{pulsation} \\ e^{-\gamma\omega_n t} : \text{facteur d'amortissement} \end{cases} \quad (1.37)$$

La solution purement sinusoïdale correspond à $\gamma = 0$ et $\omega_0 = \omega_n$, vrai si $R = 0$ or il existe toujours dans un circuit des résistances parasites.

Ainsi, si l'on suppose que l'on est capable de créer un composant tel que son schéma équivalent soit:

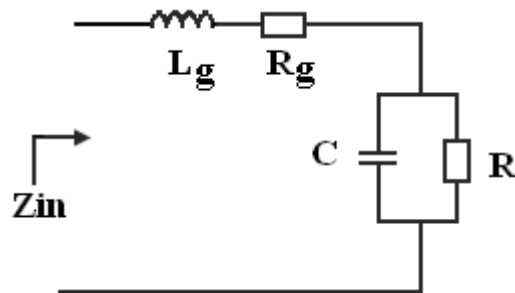


Figure I – 32 : Schéma équivalent.

Qui sera négatif jusque (Fréquence maximale d'oscillation)

$$f_r = \frac{1}{2\pi RC} \sqrt{\frac{R}{R_g} - 1} \quad (1.38)$$

Avec un circuit d'accord dont la fréquence caractéristique sera inférieure à f_r , on aura la possibilité de créer un oscillateur à une fréquence $f_0 < f_r$ en exploitant la partie réel ($Z_{in} < 0$) et donc l'opportunité d'annuler la partie réelle de l'impédance globale du circuit.

Les circuits dont les effets physiques qui peuvent être utilisés pour obtenir une résistance différentielle négative :

- dispositifs à transfert d'électrons : diode Gunn
- dispositifs à effet tunnel : diode Tunnel et diode Tunnel résonant
- dispositifs à avalanche et temps de transit : diode Impatt.

I – 9. SIMULATION DE LA DIODE SCHOTTKY A L'AIDE DE PSPICE

Une diode de Schottky-barrière est fabriquée en appliquant un contact en métal à un semi-conducteur de type N ou P. Le matériel fondamental peut être Silicium, ou Arséniure de Gallium. Le contact métal-semi-conducteur se comporte comme une diode du type N ou P, Elle diffère des jonctions ordinaires de diode de deux manières importantes :

- a) **La commutation est plus rapide** : La diode de Schottky réalise le transport courant par le mouvement des porteurs de majorité, par opposition aux diodes normales, qui utilisent des porteurs de minorité. Ceci produit une diode très rapide due à la réduction énergétique des effets habituels de stockage de charge liés aux porteurs de minorité.
- b) **La chute de tension est inférieure** : La courbure de la caractéristique vers l'avant de la diode de Schottky est beaucoup plus petite que celle des diodes normales, de l'ordre de 0.3V à 0.5V pour le silicium et autour de 7V pour des diodes de Schottky de Arséniure de Gallium.

Pour modéliser une diode de Schottky il est important de représenter premièrement la caractéristique I-V et à partir de celle-ci déduire le temps de commutation de la manière suivante.

Soit le circuit de la diode Schottky représenté en figure I - 33.

SCHOTTKY TEST CIRCUIT

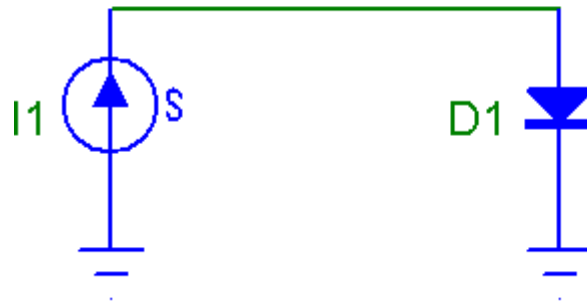


Figure I – 33 : Circuit d'une simulation d'une diode Schottky.

A l'aide du logiciel PSPICE ont doit suivre les étapes représenté par les figure I - 34 et I - 35. Le pas et les paramètres ont été fixés comme indiqué.

P	X Expression	Y Expression	X Range	Y Range
1	V(D1)	I(D1)	0.5,0,0.05	0.1,0,0.01

Figure I – 34 : Etape 1 de simulation.

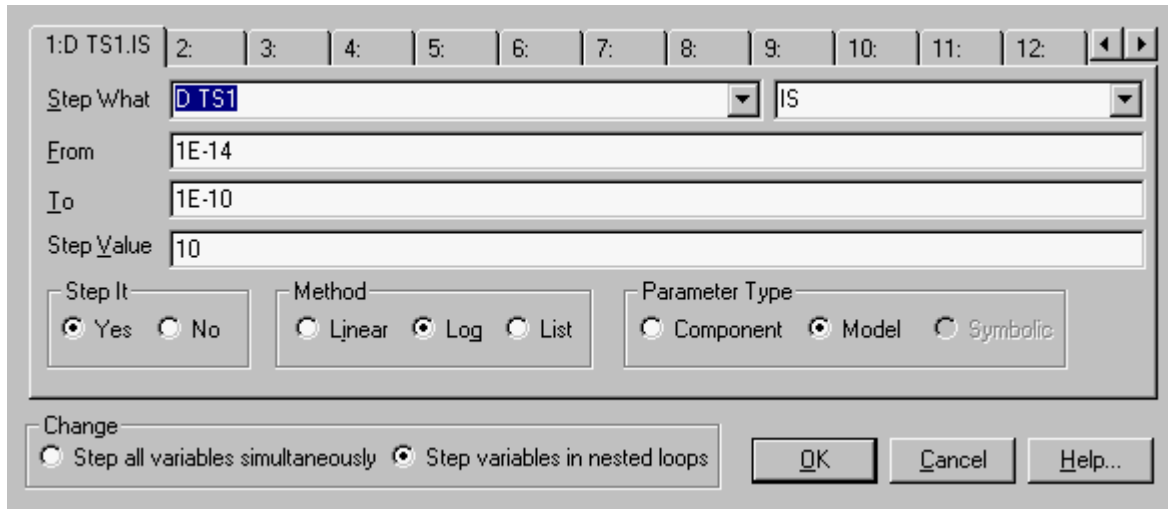


Figure I – 35 : Etape 2 de simulation.

On obtient les courbes des caractéristiques de la diode Schottky représentés sur la figure I - 36.

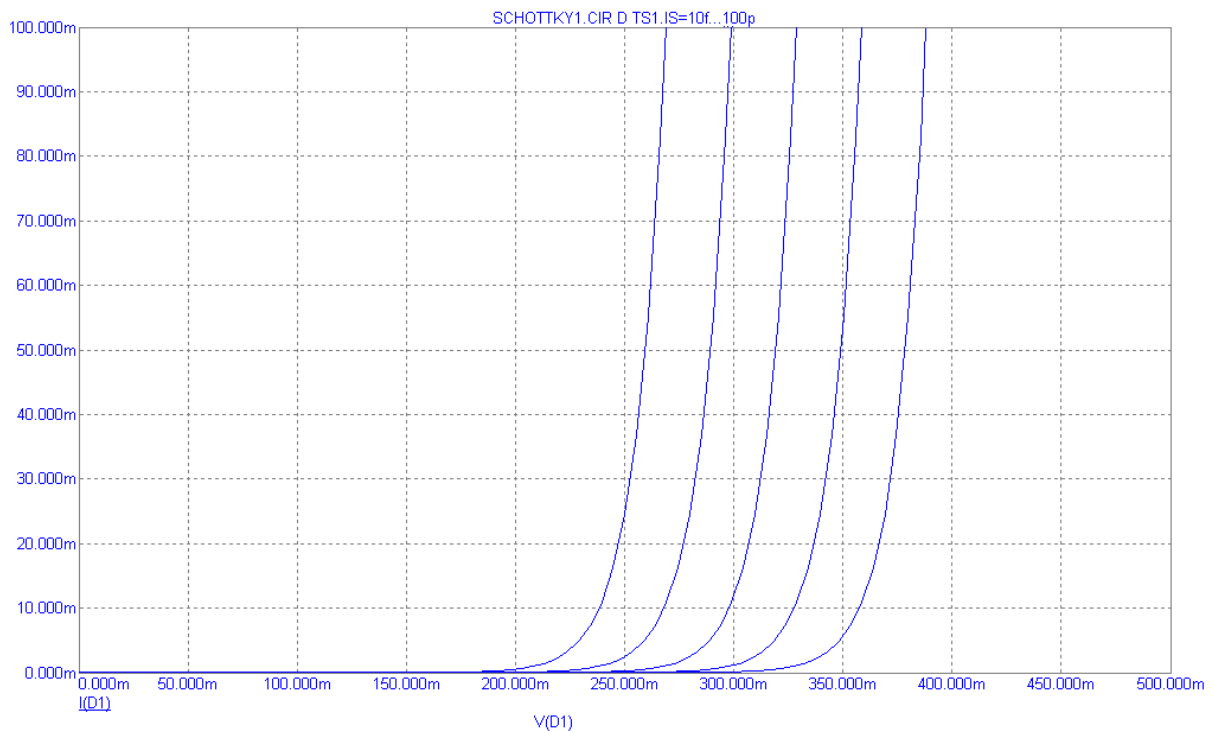


Figure I – 36 : Caractéristiques I-V de la diode Schottky.

Pour évaluer le temps de commutation d’une diode Schottky on doit suivre les étapes représentées par les figure I - 37 et I - 38. Les courbes obtenues figure I - 39 nous permettent de déduire le temps de commutation qui est égal à 20ns.

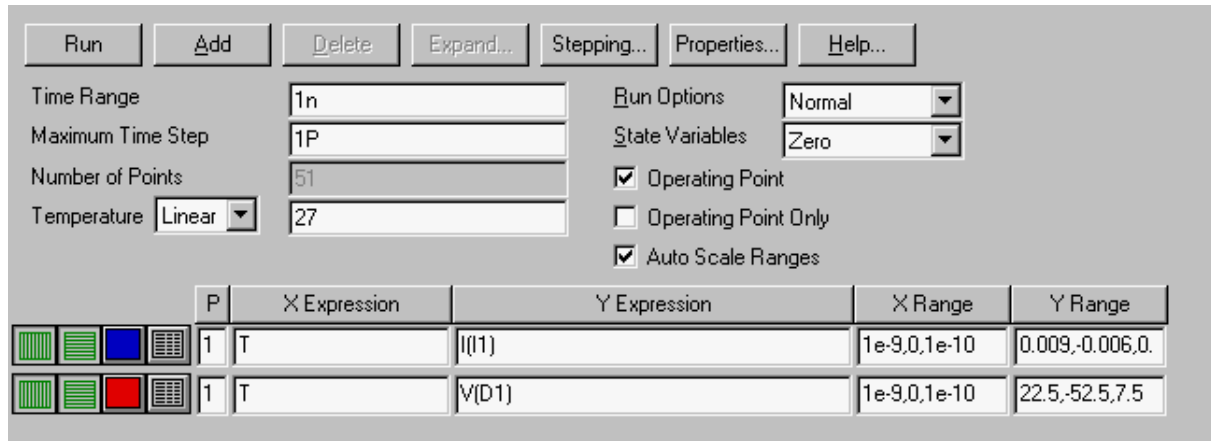


Figure I – 37 : Etape 1 de simulation.

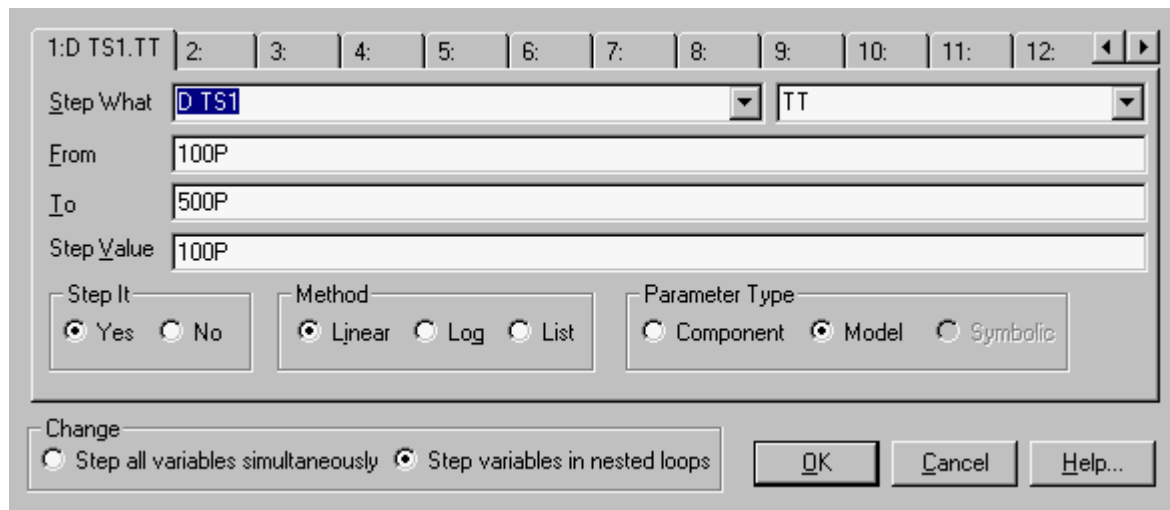


Figure I – 38 : Etape 2 de simulation..

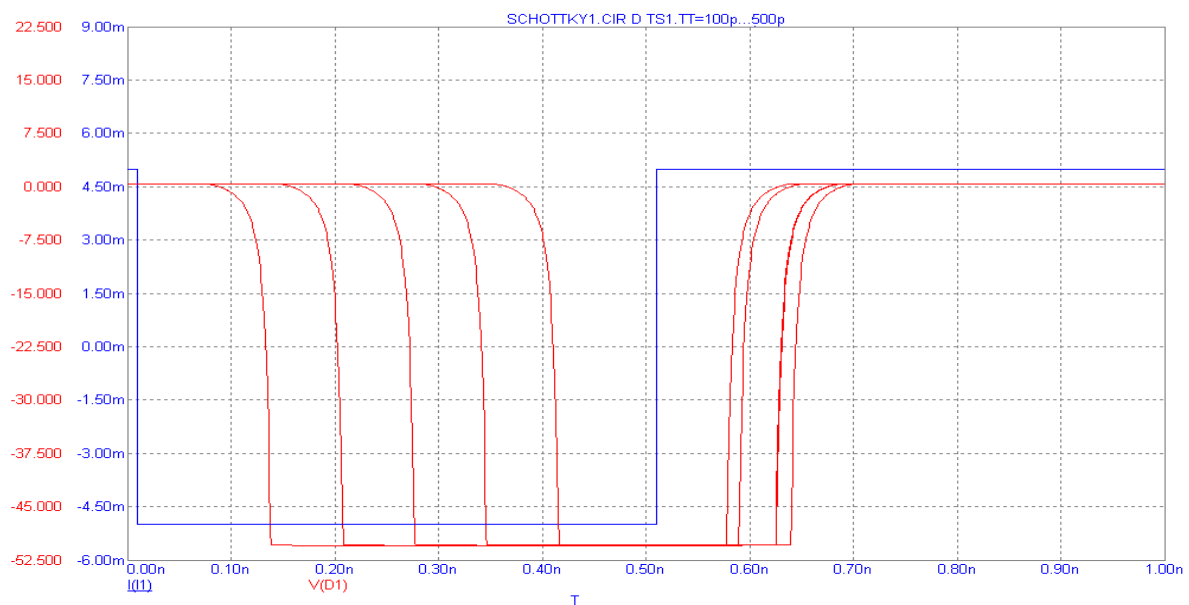


Figure I – 39 : Caractéristiques pour évaluer le temps de commutation de la diode Schottky.

I – 10. CONCLUSION

Nous avons vu qu'à partir des principales propriétés physiques des composés semi-conducteurs nous avons évalué le plus performant qui est le GaAs et par la suite défini l'ensemble des paramètres physiques et géométriques qui le caractérise. Aussi cette étude nous a permis de modéliser la diode Schottky qui est le composé principal du transistor MESFET GaAs. Cette modélisation qui est un premier pas pour une CAO des circuits intégrés.

BIBLIOGRAPHIE**[1] - S. M. SZE,**

Physics of semiconductor devices,
John Willey and Son, Inc New-York, 10016, 2000.

[2] - Electronic device letter,

Vol. 13, n°10, Transaction on, 1996.

[3] - C. KITTEL,

“Introduction à la physique de l'état solide”,
Dunod, Paris, 1970.

[4] - H.MATIEU,

“Physique des semi-conducteur et des composant électroniques”,
Collection Masson ,4eme Edition Enseignement de la Physique, 2000.

[5] - F. LEVY,

“Physique et technologie de Semi- conducteur”,
Traité des matériaux Presse des Polytechnique, 1998.

[6] - J. GRAFFEUILLE,

“Le transistor hyperfréquence à grille métallique GaAs propriétés statique te dynamiques”, Thèse doctorat d'Etat, Paul Sabatier Toulouse, 1977.

[7] - J. GRAFFEUILLE, R. SARES,

“Applications des transistors à effet de champ”,
Ed. Eyrolles, 1984.

[8] - M. S. BENBOUZA,

“Étude et simulation des transistors MESFET GaAs à Grille Schottky”,
Magistère, Université de Constantine, 1990.

[9] - S. KHEMISSI, N. MERABTINE, C. KENZAI-AZIZI, M. S. BENBOUZA,

“Influences des paramètres technologiques sur les caractéristiques I-V du transistor MESFET GaAs à grille courte”,
Science et Technologie, B N°24, Constantine, pp. 31-36, Dec. 2005.

[10] - M. S. BENBOUZA, N. MERABTINE,

“An Improvement of Electrical and Technological properties in second Generation MESFETs Devices”,
International journal of Electrical and power Engineering,
2006.

CHAPITRE II

LE TRANSISTOR A EFFET DE CHAMP MESFET GaAs

II - LE TRANSISTOR A EFFET DE CHAMP MESFET GaAs

Dans ce chapitre, nous allons étudier les caractéristiques principales du composant MESFET GaAs en précisant la structure, le principe de fonctionnement dans les régions linéaire, sous linéaire et saturée. Ensuite, nous allons étudier les propriétés statiques et dynamiques du composant MESFET. Le système d'équation générale régissant le comportement de la zone active est établi. Les techniques mathématiques d'analyse de la répartition du potentiel et du courant ont été développées. L'ensemble des éléments parasites qui interviennent dans le fonctionnement du modèle proposé du transistor sont identifiés et caractérisés.

A la fin de ce chapitre, nous avons étudié et simulé l'influence de la résistance de grille et du facteur de bruit sur l'impédance d'entrée.

II - 1. GÉNÉRALITÉS SUR LES DISPOSITIFS MESFET GaAs

Les premiers dispositifs réalisés sur semiconducteurs III-V sont apparus vers les années 1970 [1], [2]. Il s'agissait du transistor à effet de champ à grille Schottky réalisés sur GaAs (MESFET). Depuis, les progrès technologiques, notamment l'apparition des techniques d'épitaxie ont permis le développement des dispositifs à hétérojonctions : transistors à effet de champ utilisant la couche inter faciale bidimensionnelle d'électrons et transistors bipolaires.

Tout comme leurs homologues en silicium les dispositifs électroniques III-V se rangent en deux catégories : les dispositifs unipolaires à effet de champ et les dispositifs bipolaires. On peut ajouter à ces dispositifs ceux de l'émission ou de détection optoélectroniques. Les dispositifs unipolaires ne mettent en jeu qu'un seul type de porteurs. Dans l'expression générale du courant $I=qnSv$ l'élément de contrôle est le produit nS de la concentration des porteurs n par la section droite S du canal. A l'inverse, les dispositifs bipolaires contrôlent le courant par l'injection de porteurs minoritaires dans la région de base. La charge des minoritaires injectés étant automatiquement neutralisée par une charge équivalente de majoritaires issus de l'électrode de commande, ces dispositifs mettent donc enjeu les deux types de porteurs (d'où leur nom). Ils sont donc sensibles aux propriétés d'injection et de recombinaison des porteurs. Chaque dispositif fait l'objet d'une présentation générale de sa structure et de son principe. On établit ensuite l'ensemble des équations fonctionnelles caractéristiques du dispositif intrinsèque. L'environnement est ensuite incorporé de manière à construire un schéma équivalent utilisable pour la conception des circuits.

La recherche des relations décrivant le fonctionnement physique d'un dispositif est en général très liée à l'usage envisagé. Nous établissons dans ce qui suit un ensemble de relations dont le but est de décrire les phénomènes physiques régissant le comportement des dispositifs III-V. Ces modèles doivent aider à reconnaître l'influence des paramètres de structure et des paramètres technologiques sur le comportement électrique du composant. Ils peuvent également servir de base aux modèles utilisables en Conception Assistée par Ordinateur, mais ces derniers doivent répondre aux doubles contraintes de la structure logicielle et d'une description très proche de la réalité expérimentale.

II - 2. LES DISPOSITIFS À EFFET DE CHAMP

II – 2 -1. Méthode d'approche des paramètres fondamentaux

II – 2 -1 - 1. Contrôle du courant

Les dispositifs à effet de champ contrôlent le courant établi dans un « canal » et circulant entre deux contacts appelés « source » et « drain ». Pour simplifier nous pouvons supposer que les lignes de courant sont parallèles. Soit alors M un point du canal et S_M la section droite du canal en ce point (figure II - 1). L'intensité I du courant a pour expression générale :

$$I = qn_M S_M v_M \quad (2.1)$$

n_M est la densité des porteurs en transit au point M et v_M , leur vitesse. Nous appellerons également Z la largeur du canal h_M sa hauteur en M et $Q_M = qn_M h_M$ la charge surfacique ($F \cdot cm^{-2}$) en transit au point M : $I = ZQ_M v_M$

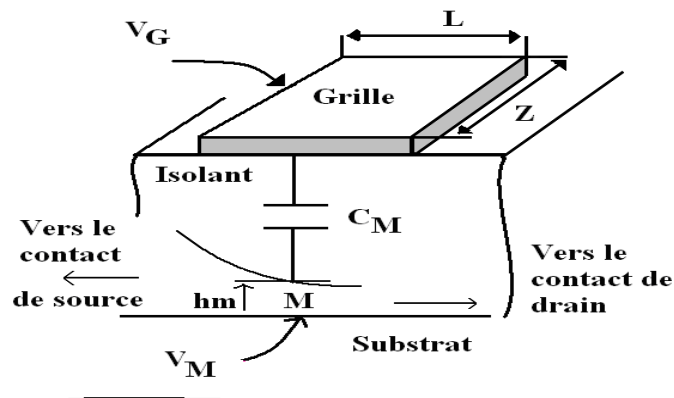


Figure II – 1 : Géométrie du dispositif à effet de champ MESFET.

La charge de canal en M est alors :

$$Q_M = C_M (V_G - V_M) \quad (2.2)$$

Où C_M capacité de canal entre la grille G et le point M

V_G potentiel de la grille G

V_M le potentiel du point M du canal

Le contrôle du courant s'effectue par l'intermédiaire de la charge Q_M . On peut alors distinguer deux catégories de dispositifs.

Dans la première catégorie, le canal est une couche semiconductrice fortement dopée (généralement de type N pincée entre un substrat isolant et la zone de charge d'espace d'une jonction polarisée en inverse. C'est le cas du MESFET dont la figure II - 2 donne le schéma de principe, le canal est une couche semiconductrice pincée entre un substrat isolant et la zone de charge d'espace d'une jonction polarisée en inverse.

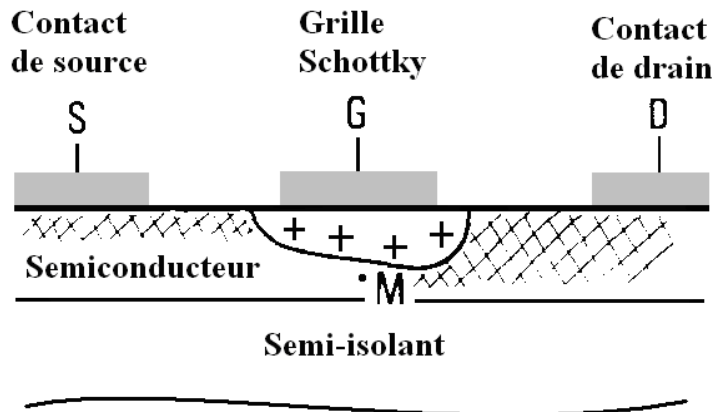


Figure II – 2 : Coupe d'un dispositif à effet de champ de type MESFET.

Dans la seconde catégorie, la charge Q_M est constituée par les électrons accumulés le long d'une interface : interface semi-conducteur-isolant dans le cas du MISFET, interface d'une hétérojonction dans le cas des TEGFET, MISFET et HEMT. La couche d'électrons est généralement «bidimensionnelle ». La figure II - 3 donne le principe de ces dispositifs où le canal est une couche bidimensionnelle induite contre une interface.

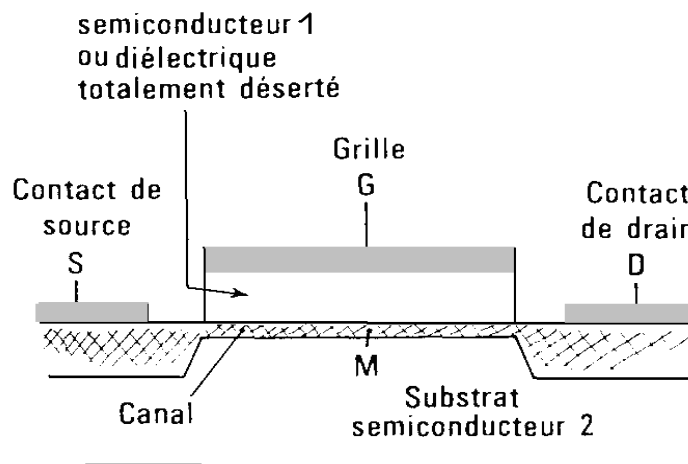


Figure II – 3 : Coupe d'un dispositif à effet de champ de type MISFET ou TEGFET.

II – 2 – 1 – 2. La charge et la capacité du canal

Dans les deux cas, l'électrode de commande ou grille est isolée du canal soit par une zone de charge d'espace, soit par une couche diélectrique. Il est donc naturel de définir entre le point courant M du canal et la grille de commande une capacité C_M telle que la charge du canal au point M vérifie :

$$Q_M = C_M (V_G - V_M) \quad (2.3)$$

Où V_G est la tension appliquée sur la grille et V_M est la tension au point courant M du canal (Q_M et C_M sont définis pour l'unité de surface). La figure II - 1 précise également ces notations.

Lorsqu'un courant circule le long du canal entre l'électrode de drain (portée au potentiel V_D) et l'électrode de source (au potentiel V_S) le potentiel du point courant M varie de V_D et V_S . Il en est donc de même de la charge Q_M et ce dans les deux types de dispositifs. Cependant, une distinction fondamentale s'opère lorsque l'on considère la capacité C_M . Alors qu'elle est sensiblement constante vis-à-vis du point considéré M dans le cas des MISFET et TEGFET (l'épaisseur du diélectrique étant constante) elle est, par essence même, variable dans le cas du MESFET puisque la profondeur de la charge d'espace au point M dépend de la polarisation $V_G - V_M$. Les équations fonctionnelles reflètent dans le cas général cette différence de comportement.

Cependant, lorsque l'intervalle de variation de V_M , c'est-à-dire la différence de potentiel V_{DS} entre drain et source, est petite devant $V_G - V_M$, la capacité C_M du MESFET reste elle-même sensiblement constante. Il existe donc, en général, une plage de tensions de commande dans laquelle les équations fonctionnelles du MESFET rejoignent formellement celle du MISFET.

II – 2 – 1 – 3. Réversibilité du dispositif

Dans le cas le plus fréquent, le dispositif à effet de champ est entièrement symétrique par rapport à un plan perpendiculaire au canal et passe par le centre de la grille. Cette symétrie garantit la possibilité d'un fonctionnement réversible, le courant pouvant circuler dans un sens ou dans l'autre suivant les polarisations respectives de la source et du drain. Nous nous efforcerons dans toute la mesure du possible d'établir les équations fonctionnelles respectant cette possibilité.

II – 2 – 1 – 4. Notations

Un certain nombre de paramètres et certaines notations ont un caractère suffisamment général pour être présentés en préambule.

Nous serons généralement amenés à distinguer entre le dispositif intrinsèque dénommé parfois zone active ou encore transistor interne, et son environnement. La figure II - 4 établit ce genre de distinction en faisant ressortir les « zones d'accès » source- grille et grille- drain et précise les notations. En indice, les petites lettres seront réservées à la partie intrinsèque, les grandes lettres désignant les éléments externes. Pour ménager une description très générale du fonctionnement - en particulier du fonctionnement réversible - les tensions seront référencées à un neutre N qui pourra, le cas échéant, coïncider avec l'une des connexions externes (le plus souvent la source).

Nous désignerons ainsi :

V_d : tension en sortie du canal intrinsèque,

V_s : tension à l'entrée du canal intrinsèque,

V_D : tension sur la connexion de drain externe.

V_S : tension sur la connexion de source externe.

V_G : tension de grille,

V_T : tension de seuil, ou tension qui, appliquée sur la grille fait apparaître le canal (généralement repérée par rapport à l'entrée du canal),

V_{SUB} : tension appliquée au substrat (considéré comme équipotentiel).

Par ailleurs, x étant l'abscisse courant le long du canal, et y l'ordonnée selon un axe perpendiculaire, $V(x, y)$ est la tension au point M de coordonnée (x, y) dans le canal.

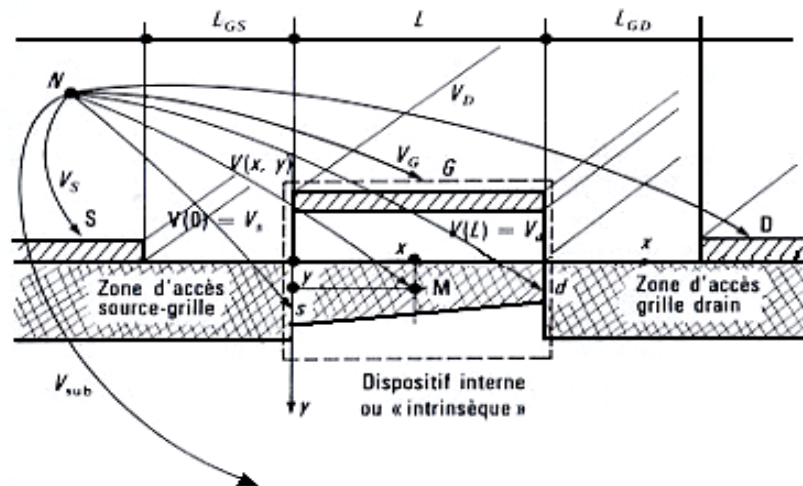


Figure II – 4 : Dispositif interne et ses zones d'accès. Notations générales.

Nous désignerons également par :

Z : la largeur du canal (selon la direction perpendiculaire au plan de la figure II - 4).

L : la longueur du canal intrinsèque (ou de la partie du canal commandée par la grille),

L_{GS} : la longueur de la zone d'accès entre le contact de source et l'entrée s du canal,

L_{GD} : la longueur de la zone d'accès entre le contact de drain et la sortie d du canal,

l_g : la longueur de la grille,

μ_0 : désigne la mobilité électronique en champ faible dans le canal,

v_{sat} : est la vitesse de saturation des électrons en régime stationnaire sous champ fort ($E_c < E$),

E_c : est le champ critique de saturation de vitesse,

$\Delta\zeta_{TL}$: L'énergie de transfert dans le minimum secondaire L de la bande de conduction.

Enfin les notations spécifiques aux divers dispositifs seront précisées au fur et à mesure de leur description

II – 2 – 1 – 5. Performances d'un composant à effet de champ

Dans un dispositif parfait, c'est-à-dire dans lequel l'accès à la zone active n'est limité par aucune résistance, le temps de transit t_t , des porteurs à travers cette zone est également le délai séparant les instants d'entrée et de sortie du signal, bien qu'un délai ne puisse être associé à aucune limitation en fréquence. Le paramètre t_t , et la fréquence dite de transition $f_T = \frac{1}{2\pi t_t}$, qui lui est associée sont considérés comme caractéristiques du dispositif intrinsèque.

Si δq_t est l'accroissement de la charge en transit dans la zone active, l'accroissement correspondant au courant est $\delta i_s = \frac{\delta q_t}{t_t} = CZL \frac{\delta v_g}{t_t}$ où CZL est la capacité d'entrée. On obtient donc

$$f_T = \frac{g_m}{2\pi CZL} \tag{2.4}$$

Un dispositif réel comporte toujours des zones d'accès dont le caractère résistif associé à la capacité d'entrée et aux capacités parasites introduit un délai inertiel qui cette fois limite les performances en fréquences. On définit aussi la

fréquence maximum d'oscillation f_{max} pour laquelle le gain en puissance d'adaptation est égal à l'unité. Ce paramètre peut se mettre en général sous la forme d'une moyenne géométrique entre deux fréquences, l'une étant f_T , l'autre une fréquence f_C caractéristique des réseaux dissipatifs d'accès à l'entrée et à la sortie ($f_{max} = \sqrt{f_T f_C}$).

Soit la vitesse moyenne de transit des électrons dans le canal, on aura

$$t_M = L/v_M.$$

On sera amené à distinguer deux cas :

a) Si les électrons du canal transitent en régime stationnaire et si V_{dsmax} est la tension maximale que l'on peut faire régner entre source et drain on obtiendra

$$t_t = L^2 / \mu_n V_{dsmax} \quad (2.5)$$

Ou encore

$$f_T = \mu_n V_{dsmax} / L^2. \quad (2.6)$$

Cette formulation s'appliquera sur grilles longues pour lesquelles le temps de transit t_t , est supérieur au temps de relaxation de l'énergie τ_e .

b) Si les électrons transitent en régime de survitesse ou quasi balistique leur vitesse maximale est atteinte lorsque la tension entre les extrémités du canal est de l'ordre de l'énergie de transfert $\Delta\xi_{TL}$. Dans ce cas

$$f_T = \mu_n \Delta\xi_{TL} / L^2. \quad (2.7)$$

Cette formulation sera considérée dans le cas des grilles courtes (en pratique dès que $L < 1 \mu m$).

D'une manière générale les performances du transistor à effet de champ vont se trouver dominées par la mobilité initiale μ_n , et le terme $1/L^2$.

La mobilité initiale (ou en champ faible) μ_n des électrons est limitée par les impuretés de dopage dans le cas du MESFET GaAs (μ_n varie entre 4 500 et 5000 $cm^2 \cdot V^{-1} \cdot s^{-1}$). Elle est dégradée par l'interface entre couche isolante et la couche active dans le cas du MISFET ($\mu_n = 2000 \text{ cm}^2 \cdot V^{-1} \cdot s^{-1}$ pour In P). Elle peut en revanche atteindre une valeur très élevée dans les dispositifs à TEGFET HEMT ou MISFET.

On gagne en rapidité et en transconductance en réduisant la longueur du canal. Toutefois lorsque celle-ci passe au dessous du micron, des phénomènes nouveaux viennent compliquer cette description telle que les effets de bords sous la grille.

Dans les circuits logiques, le transistor travaille le plus souvent sur charge capacitive. La rapidité est alors conditionnée par la valeur maximale du courant disponible en sortie, elle-même proportionnelle à CZL et inversement proportionnelle au temps de transit. Le facteur de mérite est alors $CZL f_T$, c'est-à-dire la transconductance g_m .

II – 2 – 2. Le transistor à effet de champ à barrière métal-semi-conducteur MESFET

II – 2 – 2 – 1. Structure générale et principe de fonctionnement du MESFET

Le MESFET est le premier composant réalisé sur GaAs [1], [2]. Il comporte le plus souvent une couche active de type N, réalisée sur un substrat semi-isolant, deux contacts ohmiques (source et drain) et une grille métallique déposée à mi-chemin entre source et drain dans des conditions créant une barrière de Schottky.

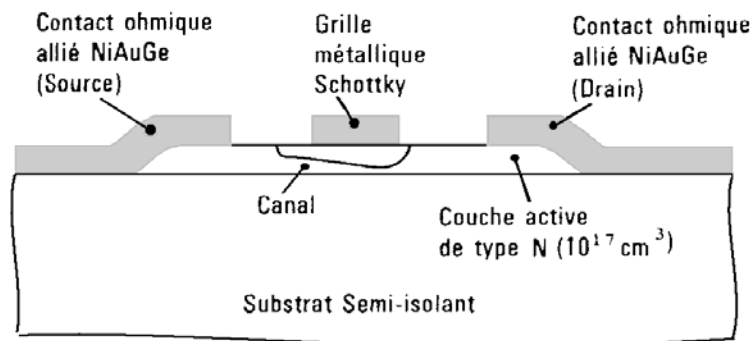


Figure II – 5 : Coupe schématique du MESFET dans sa version primitive.

La couche active est déposée par épitaxie sur le substrat semi-isolant. Elle est ensuite attaquée chimiquement pour obtenir un îlot dans lequel est réalisé le transistor. Les contacts ohmiques de source et de drain sont obtenus par alliage.

La figure II - 6 montre le MESFET dans sa version la plus élaborée. La couche active est implantée directement dans le substrat semi- isolant. La grille, en métal réfractaire, est ensuite déposée. Deux zones N⁺ sont ensuite implantées en se servant du métal comme d'un masque pour obtenir deux zones d'accès auto-alignées sur la grille.

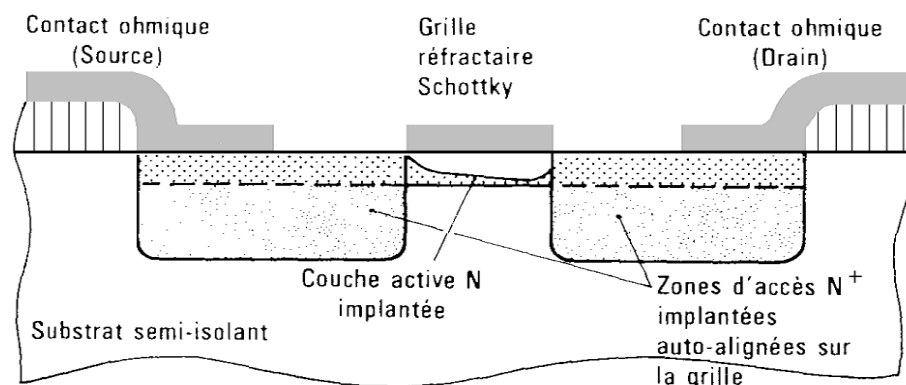


Figure II – 6 : Le MESFET dans sa version évoluée implantée auto-alignée.

Le MESFET tire ses excellentes performances de trois propriétés essentielles :

- l'existence du substrat semi- isolant contre lequel vient se pincer le canal,
- la possibilité d'utiliser une électrode de contrôle de type Schottky,
- la mobilité élevée des électrons du GaAs.

II – 2 – 2 – 2. Tension de pincement, tension de seuil

La tension de pincement V_p , est la hauteur de barrière électrostatique qui amènerait la zone de charge d'espace située sous la grille à occuper l'épaisseur totale de la couche active. Dans le cas d'une couche d'épaisseur a et dopée uniformément à la concentration N_D , la tension de pincement est donnée par $V_p = qN_D a^2 2\epsilon_0 \epsilon_r$. Si la couche est implantée, $N_D(y)$ représentant le profil selon l'axe Oy (figure II – 4) la tension de pincement est donnée par [3], [4].

$$V_p = \frac{q}{\epsilon_0 \epsilon_r} \int_0^a \int_y^a N_D(y') dy' dy = \frac{q}{\epsilon_0 \epsilon_r} \int_0^a y N_D(y) dy \quad (2.8)$$

Au repos, en l'absence de tension de polarisation sur la grille, la tension de diffusion ϕ_D de la barrière de Schottky provoque une pénétration de la ZCE jusqu'en $y = y_0$.

Si $y_0 > a$ ($\phi_D > V_p$) le canal est pincé par la ZCE avant même toute polarisation de la grille. Le transistor est dit normalement bloqué ou « à enrichissement ».

Si $a > y_0$ ($V_p > \phi_D$) le canal existe sous la grille. Le transistor est dit normalement conducteur ou « à déplétion ».

La définition de la tension de seuil V_T suit tout naturellement : c'est la tension appliquée entre la grille et la couche active amène la charge d'espace à occuper toute l'épaisseur de la couche. Après ce qui vient d'être mentionné, on a bien évidemment

$$V_T = \phi_D - V_p$$

La tension de seuil est donc positive dans le cas d'un transistor à enrichissement, négative dans le cas d'un dispositif à déplétion.

II – 2 – 2 – 3. Fonctionnement du MESFET : aspects quantitatifs

Pour simplifier l'exposé nous étudierons le fonctionnement d'un dispositif à déplétion dont la couche active sera supposée uniformément dopée. En régime de fonctionnement normal, le dispositif est polarisé comme le montre la figure II - 7. La grille est polarisée négativement par rapport à la source : la barrière de Schottky est en inverse le drain est polarisé positivement par rapport à la source. Il crée dans l'ensemble du dispositif un champ électrique qui draine les électrons dans sa direction. La différence de potentiel entre la grille et le point courant M du canal est plus faible à l'extrémité située près de la source (entrée du canal). Le canal est donc plus resserré près du drain qu'à son entrée. L'intensité du champ électrique va donc croissant depuis l'entrée du canal (partie large) jusqu'à sa sortie (partie resserrée).

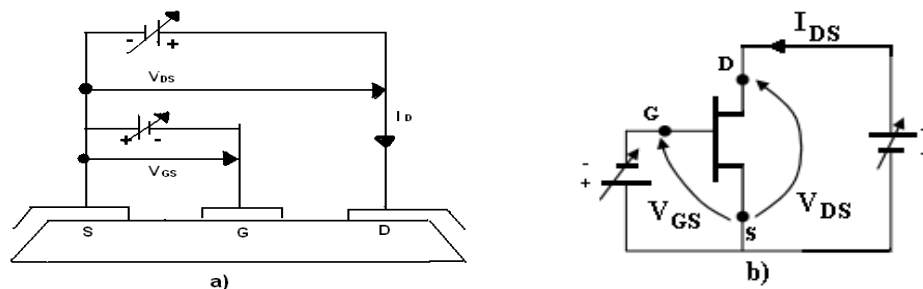


Figure II – 7 : Les polarisations du MESFET.

a) Emplacement des sources de polarisation

b) Représentation symbolique du MESFET et des grandeurs électriques associées à son fonctionnement

La figure II - 8 est un réseau typique de caractéristiques donnant l'évolution du courant I_D circulant entre drain et source lorsque l'on fait croître la tension V_{DS} en maintenant la tension de grille V_{GS} à une valeur constante. On peut séparer les caractéristiques de ce réseau en deux régions : une région linéaire dans laquelle le courant I_D croît avec la tension V_{DS} et une région dite de «saturation» où le courant de drain est sensiblement indépendant de V_{DS} . Ce comportement met en jeu un ensemble de phénomènes que nous allons maintenant décrire.

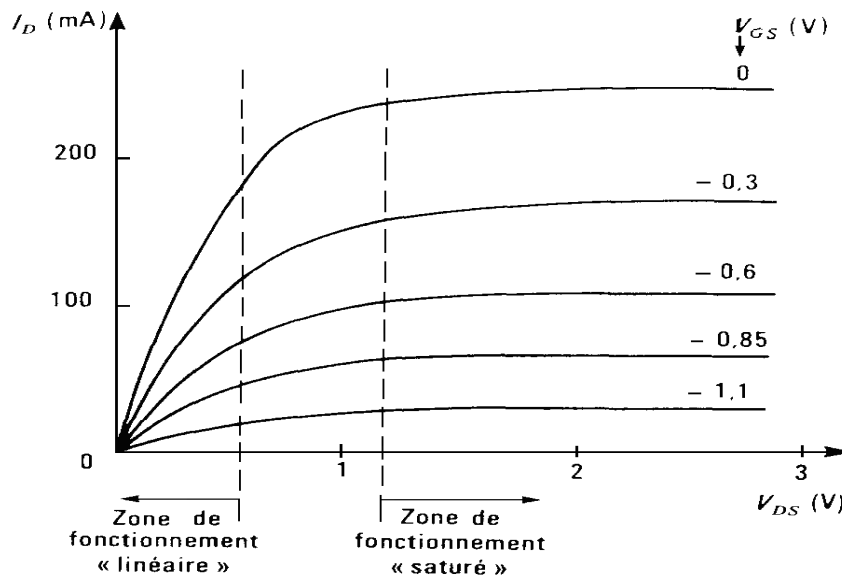


Figure II - 8 : Un réseau typique de caractéristiques « de drain »
 I_D, V_{DS} à $V_{GS} = \text{Cte}$ montrant les deux zones principales de fonctionnement.

Il est bon toutefois de noter dès à présent que ces propriétés interviennent également dans le fonctionnement du MISFET et du TEGFET. Leur généralité justifie donc que nous nous y arrêtions assez longuement.

a) Fonctionnement linéaire

Pour les faibles valeurs de la tension de drain ($V_{DS} \ll V_{GS} - V_T$) le canal reste de section sensiblement uniforme sous la grille. Son ouverture (sa hauteur) dépend essentiellement de la tension qui polarise celle-ci. Le dispositif se comporte alors comme une conductance, contrôlée par la grille : le courant I_D varie proportionnellement à V_{DS} (figure II - 9a).

b) Régime de saturation du courant

Lorsque la tension de drain s'accroît, la pénétration de la zone de charge d'espace s'accroît à la sortie du canal. L'apparition de ce resserrement provoque le ralentissement de la croissance du courant du drain (figure II - 9b). Trois mécanismes sont alors susceptibles de provoquer la « saturation » du courant de drain : le pincement du canal, la saturation de vitesse en régime de transport stationnaire, le transfert après régime de survitesse.

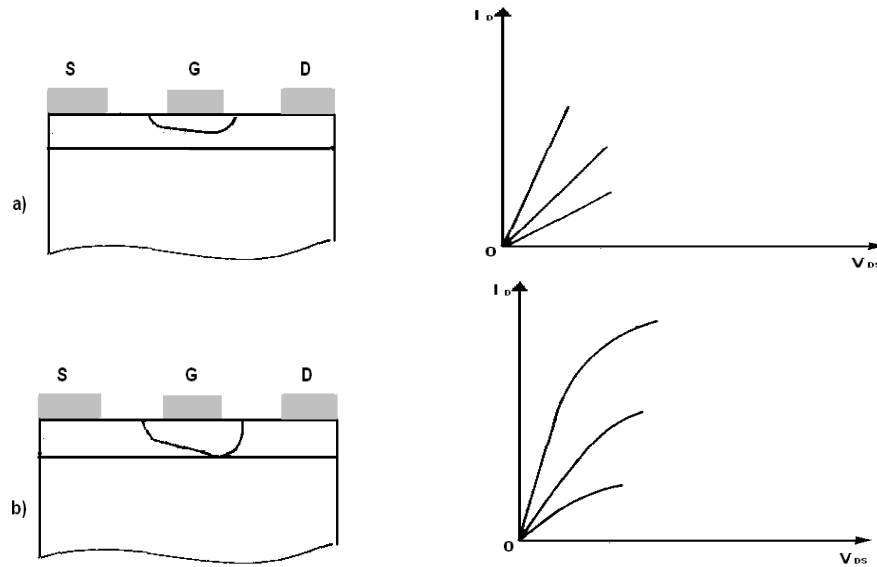


Figure II – 9 : En a) le canal est entièrement ouvert. Le courant est proportionnel à V_{DS} . Le transistor se comporte comme une conductance contrôlée par la grille. Le rétrécissement du canal près du drain en b) provoque le ralentissement de la croissance de I_D .

• Le pincement du canal

Il est illustré par la figure II - 10. Pour une certaine valeur $V_{Dsp} = V_{DS} - V_T$ de la tension drain- source, la zone de charge d'espace a rejoint le substrat à la sortie du canal. Celui-ci est donc pincé. On pourrait alors distinguer deux parties dans le canal. En amont du point de pincement P , le canal existe et les électrons y circulent en provenance de la source, sous l'effet du champ longitudinal. La tension entre le point P et la source est celle qui provoque le pincement. Elle demeure donc constante, égale à $V_{GS} - V_T$, quelle que soit la valeur de V_{DS} tant que celle-ci demeure supérieure ou égale à $V_{GS} - V_T$. Le courant fourni par le canal libre et arrivant au point P est donc indépendant de V_{DS} pour peu que la géométrie de cette partie libre demeure invariable, c'est-à-dire que le point P reste fixe. Cette géométrie reste cependant sensible à la tension V_{GS} ce qui assure le contrôle du courant I_D par la grille.

En aval du point de pincement P le canal a disparu pour faire place à la région de charge d'espace désertée sous les influences conjointes de la grille et du drain. Mais la composante longitudinale du champ électrique est devenue très importante. Les électrons parvenant au point de pincement sont alors collectés et projetés en direction du contact de drain. Le champ épuise totalement le flux des porteurs parvenant en P . Il est incapable de contrôler ce flux. Ce phénomène est analogue à l'effet du collecteur d'un transistor bipolaire [3].

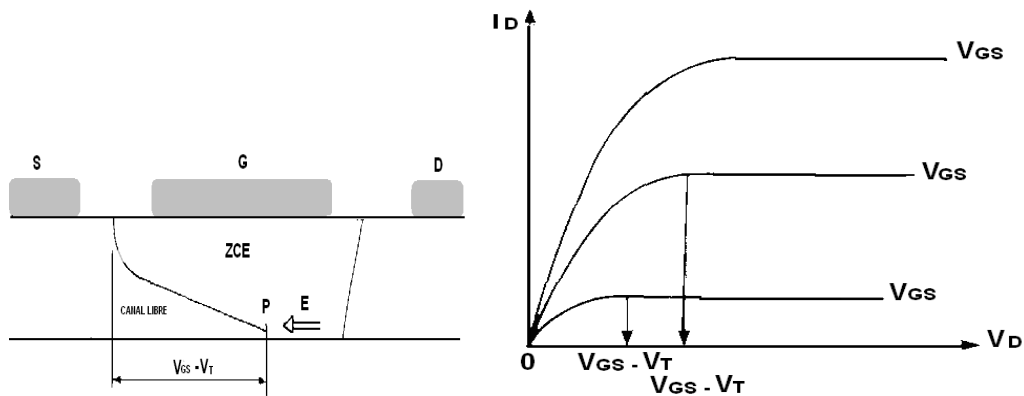


Figure II – 10 : Schéma du pincement du canal.

En régime de pincement, lorsque V_{DS} est supérieure à V_{DSp} le point de pincement P a tendance à reculer légèrement vers la source ce qui provoque en général un léger accroissement de I_D lorsque V_{DS} croît.

La théorie et l'expérience montrent qu'en fait le pincement total du canal n'est jamais atteint dans le MESFET GaAs (sauf peut être dans les dispositifs à grille très longue ou pour des valeurs très faibles de la différence $V_{GS} - V_T$). L'accroissement très important du champ électrique dans le canal, lorsque celui-ci commence à se resserrer, induit un échauffement des porteurs qui provoque en général leur transfert dans les vallées supérieures de la bande de conduction avant que ne survienne le pincement. Les électrons transférés sont des électrons lents voyageant en vitesse limite. La saturation de la vitesse des porteurs dans la partie resserrée du canal rend alors le courant indépendant de la tension V_{DS} , [4], [5].

Cependant, comme nous l'avons expliqué au chapitre 1 de la première partie, les phénomènes de transfert dans les vallées supérieures s'accompagnent souvent d'un régime non stationnaire de l'énergie. Nous sommes donc amenés à considérer les deux possibilités exposées ci-après.

• La saturation de la vitesse électronique en régime quasi statique [6], [7]

Lorsque le canal est suffisamment long et lorsque le champ électrique ne croît pas trop rapidement sous la grille. Les électrons peuvent circuler en régime stationnaire de l'énergie. Leur temps de transit doit être largement supérieur au temps de relaxation τ_ε de l'énergie. Dans GaAs avec $\tau_\varepsilon = 10^{-12}$ s et en supposant pour les électrons une vitesse voisine de 10^7 cm. s⁻¹. On voit que la longueur de la grille doit être, au minimum de l'ordre de 1 μ m.

Dans ces conditions la vitesse des électrons suit la loi quasi statique décrite par la courbe de la figure I – 8. Elle se sature lorsque le champ électrique atteint la valeur critique E_c (3,6 kV cm⁻¹ dans GaAs), elle décroît lorsque le champ dépasse cette valeur et se stabilise à la limite v_{sat} (environ $8 \cdot 10^6$ cm. s⁻¹ dans GaAs).

Le ralentissement des électrons provoque leur accumulation dans le canal. Ce qui assure la continuité du courant. Inversement lorsqu'à la sortie du canal le champ électrique commence à décroître et à se rapprocher de sa valeur critique E_c , la vitesse des électrons s'accroît, ce qui provoque une désertion du canal.

Les figures II - 11 et II - 12 donnent les résultats de simulations à l'ordinateur montrant la répartition de la concentration des électrons dans le canal d'un MESFET

GaAs ainsi que le réseau correspondant des équipotentiels [8]. Le canal comporte à nouveau deux parties : une partie libre où les électrons voyagent en régime de mobilité et qui s'étend jusqu'au plan où le champ électrique atteint sa valeur critique E_c ; une partie saturée où les électrons voyagent en vitesse limitée par le transfert. La figure II - 13 résume cette étude en donnant l'allure des profils de la concentration des électrons, du champ électrique et de la vitesse électronique stationnaire dans le canal.

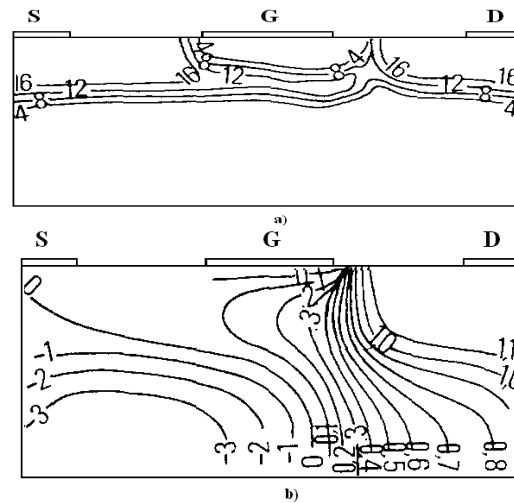


Figure II – 11 : Simulation MESFET GaAs longueur de grille $L_G = 1 \mu m$ avec la méthode des différences finies ;
 a) Équiconcentrations en unités $2 \cdot 10^{15} cm^{-3}$; b) Équipotentiels.

La figure II – 11 représente le résultat d'une simulation à l'ordinateur au moyen d'un programme en différences finies incluant la loi vitesse-champ quasi statique. On note l'existence d'un domaine d'accumulation d'électrons lents en sortie du canal.[6]

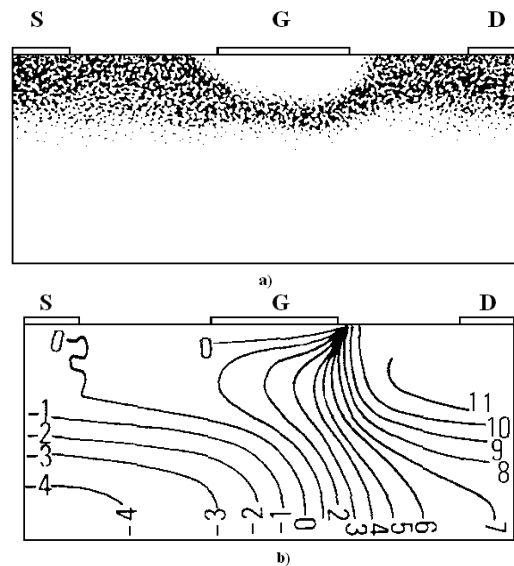


Figure II – 12 : Simulation MESFET GaAs longueur de grille $L_g = 1 \mu m$; avec la méthode de Monte Carlo ;
 a) Répartition des électrons ; b) Réseau des équipotentiels. Le dispositif est le même que celui de Ici figure II - 11.

La simulation figure II – 12 utilise la simulation du type Monte Carlo capable de rendre compte de l'existence d'un régime non stationnaire en énergie (survitesse). L'identité avec la figure II - 11 montre que pour cette longueur de grille les phénomènes de survitesse ont peu d'influence. [8]

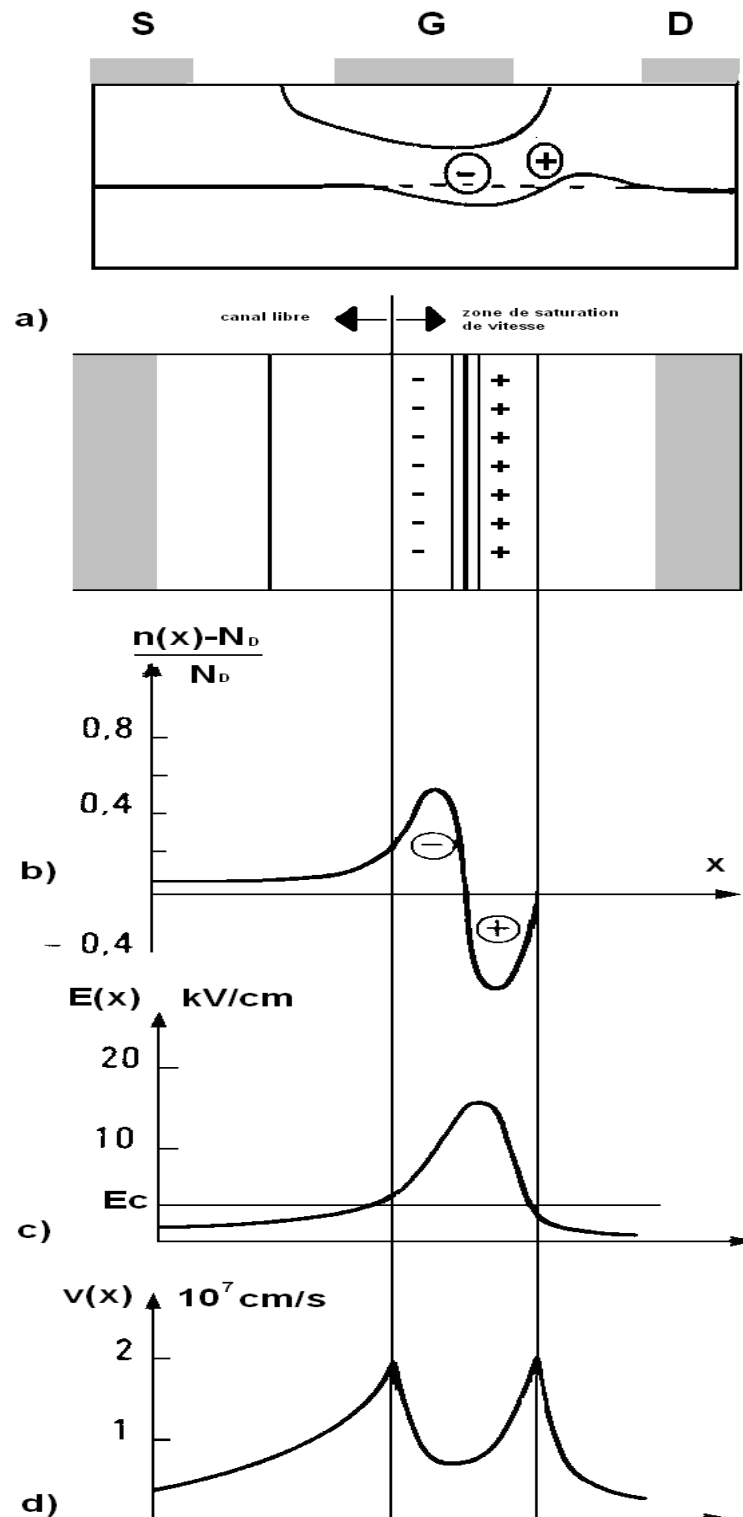


Figure II – 13 : Canal d'un MESFET GaAs en régime de saturation de vitesse quasi statique.

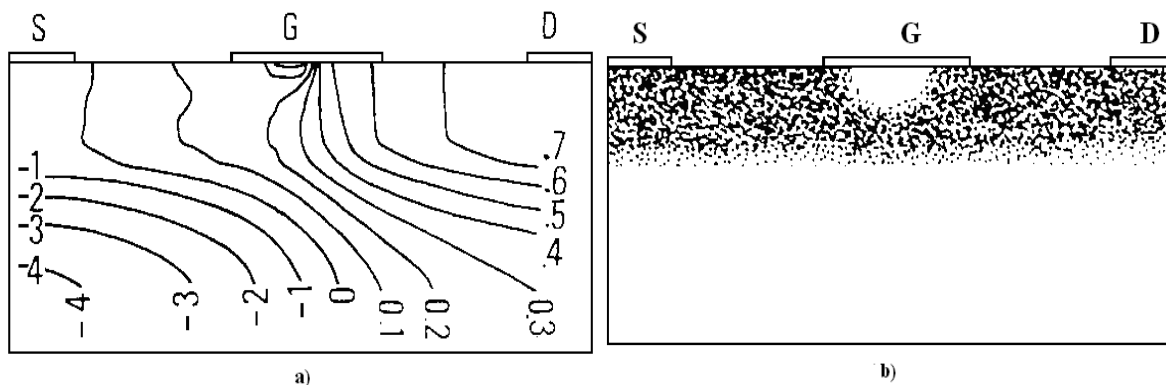
Ou :

- a) Position du domaine d'accumulation d'électrons.
- b) Profil de la concentration d'électrons normalisée au dopage initial N_D .
- d) Profil du champ électrique.
- e) Variation de la vitesse des électrons le long de l'axe du canal.

• **Le transfert après parcours en survitesse ou en régime quasi balistique** [8], [9]

C'est le troisième mécanisme susceptible de conduire à la saturation du courant. Il s'observe sous les grilles courtes ($L_g < 1 \mu\text{m}$) où apparaît un gradient de champ électrique intense et sous lesquelles le temps de transit des électrons devient de l'ordre du temps de relaxation de l'énergie. Le régime stationnaire ne pouvant s'établir, les électrons voyagent en survitesse. Leur perte d'énergie dans les collisions contre les phonons optiques polaires est faible. On peut alors considérer que les électrons transforment presque intégralement en énergie cinétique l'énergie potentielle perdue en remontant le champ électrique. Lorsque leur énergie cinétique atteint environ 0,36 eV les électrons sont transférés dans les vallées L, ralentissent immédiatement et s'accumulent. Le reste de leur parcours dans le canal s'effectue à vitesse constante « saturée » indépendante du champ électrique. Le courant de drain I_D est devenu indépendant de V_{DS} .

Les figures II - 14 et II - 15 donnent les résultats de la simulation à l'ordinateur d'un MESFET possédant un canal uniformément dopé contrôlé par une grille « submicronique » ($l_g = 0,5 \mu\text{m}$). La simulation est du type Monte-Carlo particulière. Elle prend en compte d'une manière très fidèle les phénomènes de transport non stationnaire [8]. Sur la figure II - 14 le canal est largement ouvert, les électrons y circulent en survitesse : le MESFET est dans sa zone de fonctionnement linéaire. Dans le cas donné par la figure II - 15, une tension de grille plus négative a provoqué le rétrécissement du canal. On constate qu'en amont de l'équipotentielle 0,4 V l'essentiel de la population électronique circule en survitesse.



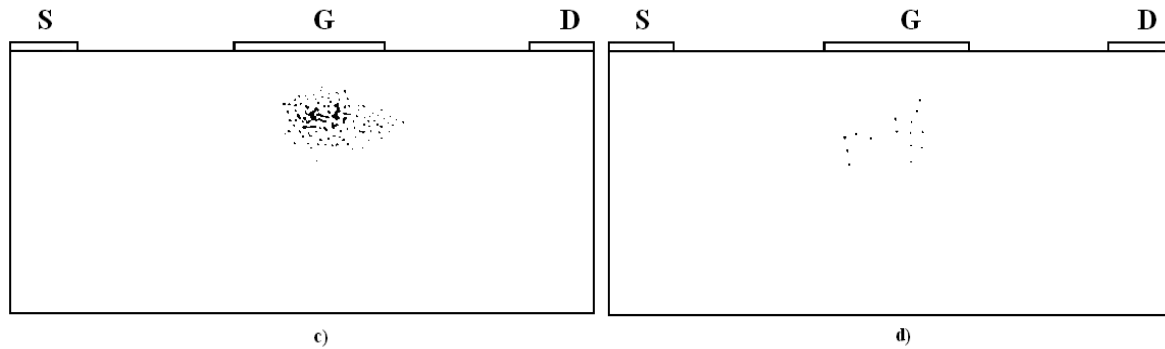


Figure II – 14 : Simulation Monte Carlo particulaire d'un MESFET à grille $0,25 \mu\text{m}$, en GaAs.

Où :

- a) Réseau des équipotentiels,
- b) diagramme particulaire;
- c) particules en survitesse (canal libre);
- d) particules transférées dans les vallées L ou X. Le dispositif est en régime de fonctionnement linéaire.

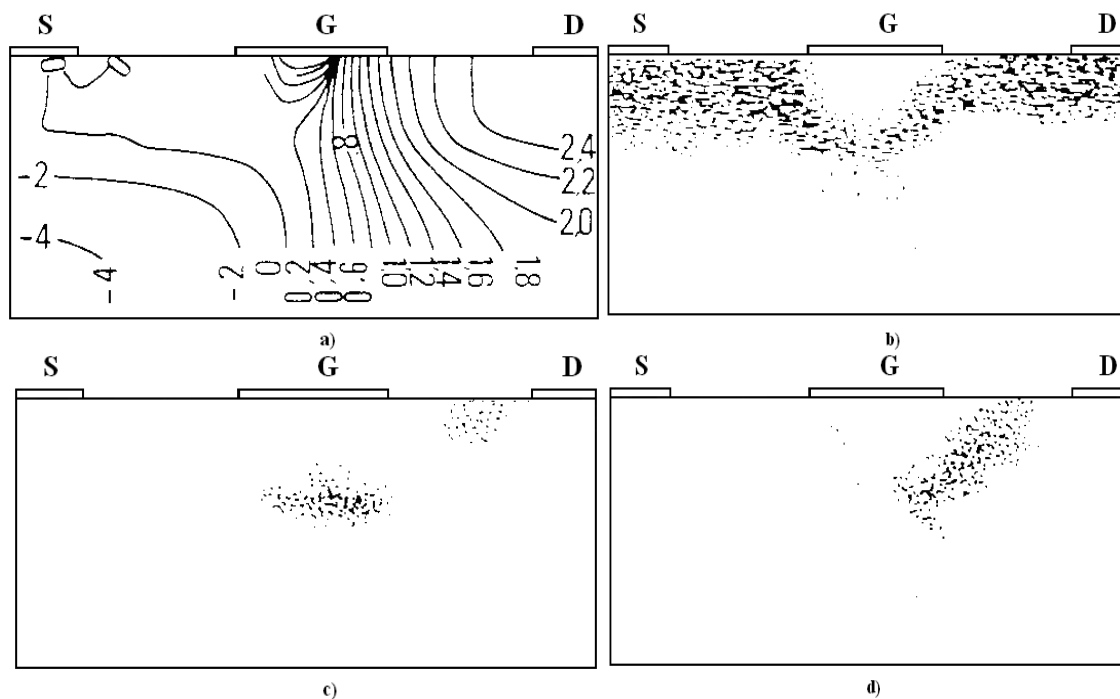


Figure II – 15 : Simulation MESFET GaAs avec la méthode de Monte Carlo ; la grille est polarisée négativement. Le dispositif est le même que celui de Ici figure III - 14

- Où :
- a) Réseau des équipotentiels:
 - b) diagramme particulaire
 - c) particules en survitesse. Le canal libre s'étend jusqu'au voisinage de l'équipotentielle 0.4 V .
 - d) particules transférées dans L ou X. Le transfert débute au franchissement de l'équipotentiels 0.4 V Les électrons lents se sont accumulés.

Nous avons donc ici une illustration assez fidèle des phénomènes décrits dans ce paragraphe.

II – 3. ÉQUATIONS FONCTIONNELLES DU MESFET GaAs RECHERCHE D'UN MODELE DECRIVANT LES PHENOMENES PHYSIQUES

Nous nous intéresserons tout d'abord au dispositif interne (ou intrinsèque) tel qu'il a été défini au II – 2 – 2 – 1. Nous reviendrons ensuite au dispositif réel en introduisant les zones d'accès ainsi qu'un certain nombre d'effets secondaires liés au caractère bidimensionnel (effets de géométrie). L'étude du dispositif interne se fait en général sous trois hypothèses que nous adopterons :

- la frontière séparant le canal de la zone de charge d'espace située sous la grille est abrupte:

- le substrat est impénétrable. Cette hypothèse sera remise en question plus loin.

- dans tout le canal les équipotentielles sont des plans perpendiculaires à l'axe Ox (figure II - 16) alors que c'est l'inverse dans la zone de charge d'espace : c'est l'hypothèse dite du « canal graduel » [13]. Elle revient à négliger la composante E_y , du champ dans le canal et sa composante E_x dans la zone de charge d'espace. Cette hypothèse est bien vérifiée lorsque le rapport L/a est grand devient l'unité.

L'écriture des relations fonctionnelles est conduite en trois étapes. Nous établirons tout d'abord des relations valables dans le cas général d'un dopage non uniforme de la couche active (cas du MESFET à canal implanté). Nous en déduisons ensuite facilement l'ensemble des équations classiques du MESFET à dopage uniforme dont nous établissons, pour finir, une approximation quadratique d'un maniement plus simple.

La longueur du canal libre au sens du sera notée L_s , et ϕ_g , sera la variation totale du potentiel électrostatique à travers la zone de charge d'espace.

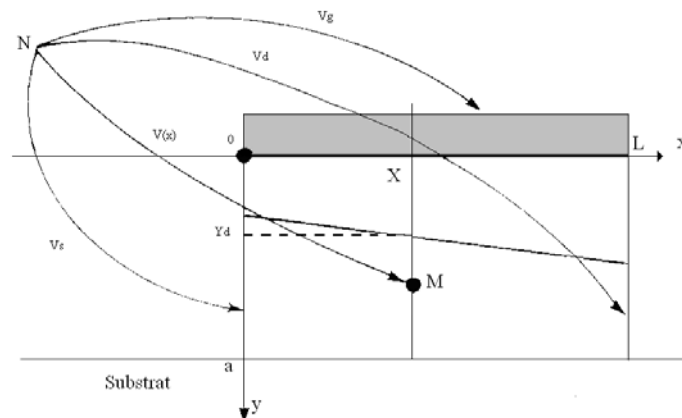


Figure II – 16 : Notations spécifiques pour l'étude du MESFET intrinsèque.

Le point $M(x, y)$ sur la figure II – 16 est un point courant dans le canal avec l'hypothèse canal graduelle c.-à-d. le potentiel au point M est indépendant de l'ordonnée y .

II – 3 – 1. Équations fonctionnelles du MESFET intrinsèque à canal non uniformément dopé (cas du MESFET à canal implanté)

Le dopage $N_D(y)$ de la couche active est supposé varier avec la profondeur y . Nous introduirons pour traiter les problèmes de charge de canal et de charge d'espace la fonction intégrale du dopage [10].

$$Q(y) = q \int_0^y N_D(y) dy \quad (2.9)$$

Étude du canal libre

Étudions la pénétration $y_d(x)$ de la charge d'espace, les champs électriques et le courant dans le plan x.

Dans l'hypothèse graduelle, le champ électrique de la zone de charge d'espace n'a qu'une composante verticale $E_y(x, y)$ reliée au dopage et à la pénétration $y_d(x)$ par:

$$E_y(x, y) = \frac{q}{\epsilon_0 \epsilon_r} \left[\int_0^y N_D(y) dy - \int_0^{y_d} N_D(y) dy \right] \quad (2.10)$$

ou encore en introduisant la fonctionnelle Q(y)

$$E_y(x, y) = \frac{1}{\epsilon_0 \epsilon_r} [Q(y) - Q(y_d)] \quad (2.11)$$

La profondeur de pénétration $y_d(x)$ est elle-même reliée à la chute du potentiel électrostatique dans la charge d'espace à l'abscisse x

$$\varphi_g(x) = \frac{1}{\epsilon_0 \epsilon_r} \int_0^{y_d(x)} (Q(y_d) - Q(y)) dy \quad (2.12)$$

$$\varphi_g(x) = \frac{1}{\epsilon_0 \epsilon_r} \left[y_d Q(y_d) - \int_0^{y_d(x)} Q(y) dy \right] \quad (2.13)$$

Après une intégration par parties

$$\varphi_g(x) = \frac{q}{\epsilon_0 \epsilon_r} \int_0^{y_d(x)} y N_D(y) dy \quad (2.14)$$

Avec φ_D la tension de diffusion de la barrière Schottky dans le GaAs et $V(x)$ la tension du canal dans le plan x on a par ailleurs

$$\varphi_g(x) = \varphi_D + V(x) - V_g \quad (2.15)$$

La composante $E_x(x)$ du champ électrique dans le canal est alors donnée par

$$E_x(x) = -\frac{\partial V}{\partial x} = -\frac{\partial \varphi_g(x)}{\partial x} = -\frac{q}{\epsilon_0 \epsilon_r} y_d N_D(y_d) \frac{dy_d}{dx} \quad (2.16)$$

Nous en déduisons l'expression du courant I_D circulant dans le canal sous la forme plus générale :

$$I_D = Z \mu_n E_x(x) \int_{V_d(x)}^a dN_D(y) dy \quad (2.17)$$

$$I_D = \frac{q Z \mu_n}{\epsilon_0 \epsilon_r} y_d(x) N_D(y_d) [Q(a) - Q(y_d)] \frac{dy_d}{dx} \quad (2.18)$$

Ce courant est conservatif. En considérant par ailleurs que la mobilité μ_n des électrons est constante sur toute l'étendue L_S , du canal libre, nous pouvons intégrer le second membre de cette équation pour obtenir finalement

$$I_D = \frac{qZ\mu_n}{\varepsilon_0\varepsilon_r} \frac{Z}{L} \int_{y_d(0)}^{y_d(L_s)} y_d(x) N_D(y_d) [Q(a) - Q(y_d)] dy_d \quad (2.19)$$

La transconductance $g_m = \frac{\partial I_D}{\partial V_g}$ peut être déduite de la relation (2.19) on l'écrit sous la forme :

$$g_m = \frac{\partial I_D}{\partial y_d(L_s)} \frac{\partial y_d(L_s)}{\partial V_g} + \frac{\partial I_D}{\partial y_d(0)} \frac{\partial y_d(0)}{\partial V_g} \quad (2.19)$$

pour obtenir finalement son expression générale

$$g_m = 2\mu_n \frac{Z}{L} \{Q(y_d(L_s)) - Q(y_d(0))\} \quad (2.20)$$

De la même façon, on peut exprimer la conductance de drain ou conductance du canal $g_D = \frac{\partial I_D}{\partial V_D}$

Avant saturation du courant, $L_s = L = \text{cte}$, le premier terme de g_D donne la conductance du régime linéaire. Il dépend de V_g à travers $y_d(L)$. Lorsque la saturation est obtenue on a $y_d(L) \approx a$: le premier terme décroît fortement (s'annule s'il y a pincement total du canal) et le second terme, avec la variable L_s , prend en compte le recul de la frontière du canal libre sous l'influence de la tension de drain. Ce phénomène est étudié plus loin.

La charge totale en transit dans le canal libre est

$$Q_t = \int_0^{L_s} [Q(a) - Q(y_d)] dx \quad (2.21)$$

Elle dépend des trois tensions de polarisation V_s , V_d et V_g . On peut donc définir trois capacités différentielles

$$C_g = \left. \frac{\partial Q_t}{\partial V_g} \right|_{V_d = \text{cte}, V_s = \text{cte}} \quad C_d = \left. \frac{\partial Q_t}{\partial V_d} \right|_{V_g = \text{cte}, V_s = \text{cte}} \quad C_s = \left. \frac{\partial Q_t}{\partial V_s} \right|_{V_g = \text{cte}, V_d = \text{cte}} \quad (2.22)$$

D'une manière générale, la capacité C_α relative à la tension V est donnée par

$$C_\alpha = - \int_0^{L_s} N_D(y_d) \frac{\partial y_d}{\partial V_\alpha} dx + Q(a) \frac{\partial L_s}{\partial V_\alpha} \quad (2.23)$$

On se ramène alors facilement aux capacités C_{gs} , C_{gd} , C_{ds} , couplant respectivement grille- source, grille-drain et drain-source dans le schéma équivalent au moyen des relations

$$C_{gs} = 1/2(C_g - C_d + C_s) \quad (2.24)$$

$$C_{ds} = 1/2(-C_g + C_d + C_s) \quad (2.25)$$

$$C_{gd} = 1/2(C_g + C_d - C_s) \quad (2.26)$$

La charge d'espace s'étendant au-delà de l'abscisse L_s , entre grille et drain dans la partie saturée du canal introduit une capacité différentielle se plaçant en série avec C_{ds} et C_{gd} [14].

II – 3 – 1 – 1 . Saturation par pincement du canal pour des grilles longues

Le pincement apparaît en tout premier lieu au niveau du drain pour la tension

$$V_{dsat}=V(L)=V_g-V_T \quad (2.27)$$

Le courant I_D , atteint sa valeur de saturation avec

$$I_{Dsat} = q\mu_n \frac{Z}{\epsilon_0 \epsilon_r L} \int_{y_d(0)}^a y_d(x) N_D(y_d) [Q(a) - Q(y_d)] dy_d \quad (2.28)$$

II – 3 – 1 – 2. Saturation pour des grilles microniques

Cette saturation est dite quasi statique, la longueur du canal L_g est environ $1\mu\text{m}$

La vitesse des électrons atteint sa valeur limite V_{sat} au niveau du drain lorsque le champ est à sa valeur critique E_c . Le courant doit vérifier simultanément deux relations

$$I_{Dsat} = \mu_n Z E_c \int_{y_q(L)}^a q N_D(y) dy \quad (2.29)$$

$$I_{Dsat} = q\mu_n \frac{Z}{\epsilon_0 \epsilon_r L} \int_{y_d(0)}^{y_d(L)} y_d N_D(y_d) [Q(a) - Q(y_d)] dy_d \quad (2.30)$$

Il faut déterminer $y_d(L)$ pour atteindre V_{sat} et I_{Dsat} Dans le cas général, cela ne peut se faire que numériquement.

II – 3 – 1 – 3. Saturation pour des grilles submicroniques :

Le transfert survient en premier lieu au niveau du drain lorsque la différence de potentiel $V(L) \forall V(0)$ atteint une valeur ΔV_t légèrement supérieure à $\Delta \xi_{TL}/q$ (soit environ 0,4 V). La pénétration de la ZCE en $x = L$ vérifie alors l'équation

$$\varphi_g(L) = \varphi_D - V_g + \Delta V_t = \frac{q}{\epsilon_0 \epsilon_r} \int_0^{y_d(L)} y N_D(y) dy \quad (2.31)$$

Connaissant $y_d(L)$ et $y_d(0)$ on peut alors calculer I_{Dsat}

Dans le cas général d'un profil de dopage non uniforme, les calculs précédents ne peuvent déboucher sur des expressions analytiques simples. On doit faire appel au calcul numérique sur ordinateur pour extraire les paramètres du schéma équivalent. Cette approche peut servir de base au modèle numérique introduit dans des simulateurs de circuits tels SPICE, ASTEC III (CISI) ou CIRCEC (Thomson-CSF).

L'hypothèse d'un dopage uniforme permet de pousser plus avant les calculs. Nous en donnons deux applications : la première pour le MESFET dont la tension de seuil v_T est voisine de zéro: la seconde pour MESFET normalement conducteur ($V_T < 0$).

II – 3 – 2. MESFET à canal uniformément dopé

Le dopage étant uniforme, la pénétration $y_d(t)$ de la charge d'espace se calcule aisément en tout plan x

$$y_d(x) = (2\varepsilon_0\varepsilon_r\varphi_g(x)/qN_D)^{1/2} \quad (2.32)$$

Avec la tension de pincement $y_p = qN_D a^2 / 2\varepsilon_0\varepsilon_r$, nous introduisons la variable réduite.

$$u(x) = \varphi_g(x)/V_p = 1 + (V_T - V_g + V(x))/V_p \quad (2.33)$$

La pénétration de ZCE $y_d(x)$ s'exprime simplement par

$$y_d(x) = a.u(x)^{1/2} \quad (2.34)$$

En posant

$$I_0 = q\mu_n N_D a \frac{Z}{L} V_p \quad (2.35)$$

Les relations (2.17) et (2.19) du paragraphe précédent s'intègrent très facilement avec $N_D = \text{cte}$. Elles donnent

$$I_D = I_0 L (1 - u(x)^{1/2}) \frac{du}{dx} \quad (2.36)$$

$$I_D = I_0 \frac{L}{L_S} \left\{ u(L_S) - u(0) - \frac{2}{3} (u(L_S)^{3/2} - u(0)^{3/2}) \right\} \quad (2.37)$$

II – 3 – 2 - 1. Dispositif à canal normalement bloqué (tension de seuil voisine de zéro)

Le MESFET à tension de seuil voisine de zéro travaille avec un canal dont l'ouverture est voisine de l'épaisseur n de la couche active. La tension de grille est normalement positive

$$0 < V_g - V(0) < \varphi_D$$

La variable réduite $u(x)$ est donc inférieure à 1 dans la majeure partie du canal libre. On vérifiera après quelques calculs que la saturation du courant donne lieu aux formulations suivant :

a) Pincement du canal :

$$u(L) = 1, \quad u(0) = 1 - (V_g - V_T - V(0))/V_p \quad (2.38)$$

b) Saturation par la vitesse :

$u(0) = 1 - (V_g - V_T - V(0))/V_p$, $E_x(L) = Ec$, l'élimination de $u(L)$ entre (2.36) et (2.37) ($L_s = L$) donne une relation implicite en

$$X = I_{Dsat} / I_0 \text{ avec } \theta = V_p / LEc.$$

$$X = (1 - \theta X)^2 - u(0) - \frac{2}{3} (1 - \theta X)^3 - u(0)^3 \quad (2.39)$$

Qui doit être résolue numériquement

c) Saturation par transfert

$$u(L) = 1 - (V_g - V_T - (V(0) + \Delta V_t))/V_p \quad (2.40)$$

$$u(0) = 1 - (V_g - V_T - V(0))/V_p \quad (2.41)$$

Le courant I_{Dsat} est alors donné par (2.37) avec $(L_s=L)$ $x = I_{Dsat}/I_0$, la tension intrinsèque de drain à saturation vérifient $V_{sat}(L) - V(0) = \Delta V_t$

II - 3 - 2 - 2. Dispositif à canal normalement conducteur (tension de seuil négative)

Le MESFET à tension de seuil négative travaille avec une ouverture de canal toujours inférieure à l'épaisseur de la couche active. La tension de grille est normalement négative. La variable réduite $u(x)$ est donc voisine de 1 dans la majeure partie du canal libre.

$$(V_T - V_g + V(x))/V_p \ll 1$$

Un développement limité au premier ordre des relations (2.36) et (2.37) conduit aux expressions rapprochées

$$I_D = 2\beta L (V_g - V_T - V(x)) E_x(x) \quad (2.42)$$

$$I_d = 2\beta \frac{L}{L_s} \left\{ (V_g - V_T)(V(L_s) - V(0)) - \frac{V(L_s)^2}{2} + \frac{V(0)^2}{2} \right\} \quad (2.43)$$

Dans lesquelles on a posé $\beta = \frac{I_0}{4V_p^2}$

En réordonnant la seconde relation on obtient une expression d'usage plus facile

$$I_d = 2\beta \frac{L}{L_s} \left\{ (V_g - V(0) - V_T)(V(L_s) - V(0)) - (V(L_s)^2 - V(0)^2)/2 \right\} \quad (2.44)$$

Remarque : L'usage conduit souvent à prendre le point de référence de tension à l'entrée du canal, la formule précédente s'écrivant alors sous la forme souvent rencontrée :

$$I_D = 2\beta ((V_{gs} - V_T)V_{ds} - V_{ds}^2/2) \quad (2.45)$$

Il est facile d'établir les relations du régime de saturation dans les trois cas discriminés :

a) Grilles longues :

Pincement du canal est obtenu en $x = L = L_s$

$$V_{dsat} = V(L) = V_g - V_T \quad (2.46)$$

$$I_{Dsat} = \beta ((V_g - V(0) - V_T)^2) \quad (2.47)$$

b) Grilles « microniques » :

Saturation par la vitesse avec $E_x(L) = E_c$

Le courant I_{Dsat} doit vérifier les relations (2.42) et (2.43) simultanément. L'élimination de $V(L) - V(0)$ entre ces deux relations conduit alors à

$$I_{Dsat} = 2\beta L^2 E_c^2 \left\{ \left(1 + (V_g - V(0) - V_T)^2 / L^2 E_c^2 \right)^{1/2} - 1 \right\}$$

Cette relation se simplifie pour donner :

- Si $V_g - V(0) - V_T < LE_c$

On à

$$I_{Dsat} \approx \beta (V_g - V(0) - V_T)^2 \quad (2.48)$$

C'est à dire en régime quadratique.

- Si $LE_c \ll V_g - V(0) - V_T$

On à

$$I_{Dsat} = 2\beta LE_c (V_g - V(0) - V_T - LE_c) \quad (2.49)$$

Ce qui donne une allure linéaire à la caractéristique de transfert grille-drain.

En pratique, $E = -3,6$ kV/cm, de sorte que pour $L = 1 \mu m$, LE_c est de l'ordre de 0,36 V. La caractéristique quadratique s'observe donc lorsque le canal est peu ouvert c'est-à-dire au voisinage du seuil de conduction. La caractéristique linéaire s'observe lorsque le canal est franchement ouvert.

Ces deux régimes successifs correspondent bien aux observations expérimentales sur des MESFET normalement conducteurs dont la longueur de grille est voisine de 1 μm .

c) Grille submicronique

La condition de saturation du courant est

$V(L) - V(0) = \Delta V_t (\approx \Delta \zeta_{TL} / q)$ le courant I_{Dsat} est donné par la relation (2.44)

$$I_{Dsat} = 2\beta \left\{ LE_c (V_g - V(0) - V_T) \Delta V_t - \Delta V_t^2 / 2 \right\} \quad (2.50)$$

La caractéristique de transfert grille-drain $I_{Dsat} = f(V_g)$ est donc sensiblement linéaire.

II - 3 - 3. Recul de la frontière de canal libre en régime de saturation du courant

La diminution de la longueur du canal libre lorsque la tension de drain dépasse sa valeur de saturation V_{Dsat} , est un phénomène commun à tous les positifs à effet de champ. Elle est surtout sensible, en valeurs relatives, sur les dispositifs à grille courte. Dans le MESFET, elle résulte de l'occupation d'une partie du canal par une zone enrichie en électrons suivie par une zone désertée. Nous appellerons «domaine» le dipôle horizontal ainsi constitué, par analogie avec le domaine de Gunn des dispositifs du même nom [11]. Le problème est de relier l'extension du domaine à la chute de tension qu'il provoque dans le canal. Il est compliqué par le fait que contrairement à ce qui se passe dans les dispositifs Gunn, le domaine ne peut prendre le contrôle du courant de drain, celui-ci étant toujours le fait de la partie restée libre du canal. La figure II - 17 schématise les profils de concentration, de champ électrique et de potentiel à l'intérieur du domaine.

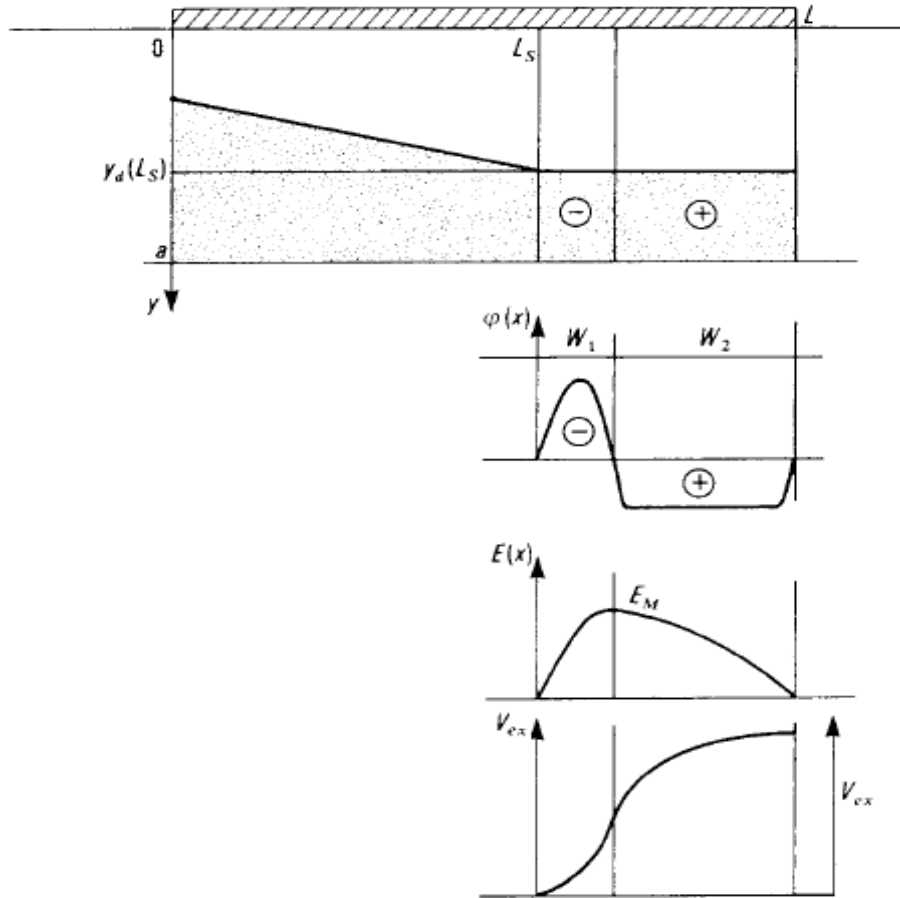


Figure II – 17 : Profils schématiques des concentrations, champ électrique et chute de tension dans le domaine après saturation du courant de drain.

Nous allons établir une relation entre la chute de tension, dans le domaine, son extension $L - L_s$, et le courant de canal I_D Il nous faudra ensuite rattacher ces quantités aux équations décrivant le canal en régime de saturation avec $I_D > I_{Dsat}$ et $V_d > V_{dsat}$ [6].

Nous supposons que la section droite du domaine est égale à celle du canal en $x=L_s$, soit $Z(a - y_d(L_s))$. Avec W_1 , l'extension de la zone accumulée, la charge négative Q_A , est égale à $-I_D W_1 / V_{dsat}$.

La charge dans la zone désertée est l'opposée de Q_A . En supposant une totale désertion, l'épaisseur W_2 de cette zone est telle que

$$W_2 = -Q_A q Z \int_{y_d(L_s)}^a N_D(y) dy \tag{2.51}$$

Entre le courant I_D , l'épaisseur totale $L - L_s = W_1 + W_2$ du domaine et la charge Q_A , existe donc la relation

$$Q_A = -q Z (L - L_s) \int_{y_d(L_s)}^a N_D(y) dy / \left(1 + a Z v_{sat} \int_{y_d}^a N_D(y) dy / I_D \right) \tag{2.52}$$

Nous calculons ensuite la valeur maximale E_m du champ dans le domaine :

$$E_m = -Q_A / \varepsilon_0 \varepsilon_r Z (a - y_d(L_s)) \quad (2.53)$$

et la chute du potentiel V_{ex}

$$V_{ex} = \frac{1}{2} E_m (L - L_s) \quad (2.54)$$

$$V_{ex} = -qZ(L-L_s)^2 \int_{y_d(L_s)}^a N_D(y) dy / 2\varepsilon_0 \varepsilon_r (a-y_d) \left(1 + qZv_{sat} \int_{y_d(L_s)}^a N_D(y) dy / I_D \right) \quad (2.55)$$

Si $V(L_s)$ est le potentiel dans le canal en $x=L_s$, on a évidemment :

$$V_d = V(L_s) + V_{ex}$$

L'extension $y_d(L_s)$ de la ZCE de grille en $x=L$, est par ailleurs toujours reliée $V(L_s)$ par

$$\varphi(L_s) = \varphi_D - V_g + V(L_s) = \frac{a}{\varepsilon_0 \varepsilon_r} \int_0^{y_d(L_s)} y N_D(y) dy \quad (2.56)$$

Il nous faut maintenant considérer chacun des mécanismes entraînant la saturation de la vitesse.

a) Saturation du la vitesse quasi statique

Le courant I_D et l'extension $y_d(L_s)$ vérifient la relation (2.17):

$$I_d = \mu_n Z E_c \int_{y_d(L_s)}^a q N_D(y) dy \quad (2.57)$$

La longueur libre L , peut ensuite être tirée de la relation (2.19):

$$L_s = \left\{ q \mu_n Z \int_{y_d(0)}^{y_d(L_s)} y_d N_D(y_d) [Q(a) - Q(y_d)] dy_d \right\} \varepsilon_0 \varepsilon_r I_D \quad (2.58)$$

Partant d'une valeur arbitraire de I_D , choisie supérieure à I_{Dsat} on peut calculer successivement $y_d(L_s)$ par (2.17), L_s , par (2.19), la chute de tension V_{ex} dans le domaine, la tension $V(L_s)$ et finalement la tension de drain correspondante est :

$$V_d = V_{ex} + V(L_s).$$

b) Saturation par transfert après vol balistique

La tension $V(L_s)$ est fixée par la condition de transfert à :

$$V(L_s) = V(0) + \Delta V_t; \text{ l'extension } V(L_s) \text{ est donc connue.}$$

On peut alors à nouveau partir d'une valeur arbitraire du courant $I_D > I_{Dsat}$, en déduire L_s comme précédemment, calculer alors la chute de tension V_{ex} dans le domaine et en déduire la tension de drain V_d .

II – 3 – 4. Comportement au voisinage du blocage :

Régime exponentiel, recul de la tension de seuil sous l'influence de la tension de drain.

Dans les régions de fonctionnement où le transistor devrait être normalement bloqué, c'est-à-dire lorsque $V_{gs} - V_T \ll 0$, on peut observer de nouveaux comportements [8],

- une réouverture du canal sous l'influence d'un accroissement de la tension de drain,

- une commande quasi exponentielle du courant par V_{gs}

- une dépendance également exponentielle de I_D à V_{ds} .

L'expression du courant de drain revêt alors l'allure suivante

$$I_D \approx I_1 e^{\frac{q}{kT}(\alpha V_{gs} - \eta V_{ds})} \quad (2.59)$$

Les paramètres α et η dépendent de l'épaisseur de couche, de la longueur de grille L et de la distance grille- source l_{gd} . Le paramètre I_1 dépend des caractéristiques géométriques, du dopage et de la mobilité.

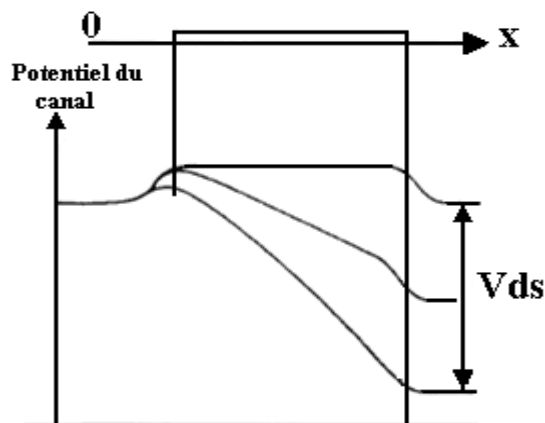


Figure II – 18 : Abaissement de la barrière source canal sous l'influence du drain dans un MESFET à canal pincé

Ce régime exponentiel est lié à la présence d'une barrière de potentiel à l'entrée du canal, s'opposant à la pénétration des électrons. Cette barrière se construit sous l'influence de la tension de grille qui tend à appauvrir en électrons la zone pincée entre le substrat et la ZCE de grille. Elle se détruit en revanche progressivement sous l'influence de la tension de drain (figure II - 18).

La tension de seuil V_T du transistor a été définie pour le régime quadratique du courant saturé. Entrant alors dans l'expression $I_D = \beta(V_{gs} - V_T)^2$, elle peut être obtenue graphiquement par extrapolation de la caractéristique $\sqrt{I_D} = f(V_{gs})$.

Le double contrôle exponentiel qui, comme nous venons de le voir, précède la quadratique au voisinage du pincement, introduit une dépendance de la caractéristique $\sqrt{I_D} = f(V_{gs})$ vis-à-vis de la tension de drain V_{ds} . Il en résulte une dépendance de la tension de seuil V_T extrapolée. Cette dépendance est d'autant plus marquée que la longueur de grille est plus faible, l'influence du drain se trouvant renforcée. Elle diminue lorsque l'on accroît le dopage de la couche active [8].

II – 4. EFFETS DE GEOMETRIE : ZONES D'ACCES ET SUBSTRAT

II – 4 - 1. Influence de la résistance d'accès source- canal

La zone séparant le contact de source de l'entrée du canal présente une résistance appelée résistance d'accès et notée R_{SG} . Les potentiels de commande du transistor étant définis par rapport au contact de source, on retrouve une situation de la rétroaction négative série-série, la chute de tension développée dans R_{SG} par le courant de drain s'oppose à la commande en se retranchant de V_{GS} (figure II - 19).

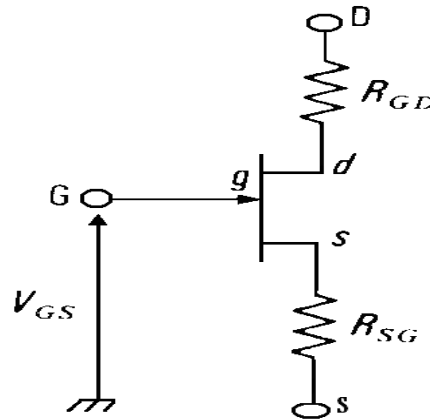


Figure II – 19 : Transistor MESFET en régime statique

Lorsque le transistor est appelé à fonctionner en régime de petits signaux, il est facile de tenir compte de R_{SG} en introduisant la transconductance externe S du transistor $S = \frac{\partial I_D}{\partial V_{GS}}$ par opposition à la transconductance interne $g_m = \frac{\partial I_D}{\partial V_{gs}}$.

L'application immédiate des principes de la rétroaction donne alors

$$S = \frac{g_m}{1 + R_{SG} g_m} \quad (2.60)$$

- R_{SG} se comporte la résistance de la couche $R_C = R_{\square} L_{GS} / Z$ et la résistance de contact généralement exprimée par $r_c = \sqrt{R_{II} f_c}$, f_c étant le facteur de contact et R_{\square} la résistance par carré de la couche active.

Lorsque le transistor est appelé à fonctionner en signaux forts il faut repartir des expressions non linéaires du courant de drain. Nous traitons simplement le problème en utilisant les approximations de la tension de seuil négative. Les deux résistances sont supposées égales $R_{SG} = R_{GD} = Rg$ et l'on a :

$$\begin{cases} V_{gs} = V_{GS} - Rg I_D \\ V_{ds} = V_{DS} - 2Rg I_D \end{cases} \quad (2.61)$$

En introduisant ces expressions dans les relations approchées donnant I_D et en supposant que les chutes de tension dans les zones d'accès sont faibles devant les tensions de commande on obtient facilement [12] les expressions donnant le courant de drain en fonction des tensions extérieures V_{GS} et V_{DS}

Pour le fonctionnement linéaire (avant saturation)

$$I_D = 2\beta^*(V_{GS} - V_T)V_{DS} - V_{DS}^2/2 \quad (2.62)$$

Avec :

$$\beta_{sat}^* = \beta/(1 + 2\beta(2(V_{GS} - V_T)V_{DS})) \quad (2.63)$$

Pour le fonctionnement saturé.

$$I_D = 2\beta_{sat}^*(V_{GS} - V_T)V_{DS} - V_{DS}^2/2 \quad (2.64)$$

$$\beta_{sat}^* = \beta/(1 + 2\beta L E_c R) \quad (2.65)$$

Pour un transistor typique de rapport $Z/L = 100$ avec $\beta = 2 \cdot 10^{-2} \text{ A/V}^2$ et $R = 10 \Omega$ on trouve $\beta^* = 1,7 \cdot 10^{-2} \text{ A/V}^2$. On voit que la correction est de l'ordre 15 %.

En pratique, les résistances d'accès du MESFET sont dominées par la zone de désertion induite, dans les espaces grille- source et grille-drain, sous l'effet du blocage du niveau de Fermi en milieu de bande interdite, à la surface libre du GaAs. La figure II - 20 illustre la réduction d'épaisseur du canal d'accès due à l'effet de surface.

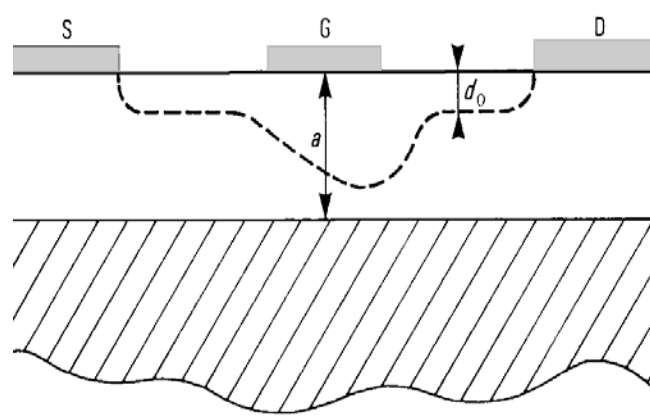


Figure II – 20 : Les zones de charge d'espace induites par le blocage du niveau de Fermi en surface réduisent la hauteur du canal libre dans les zones d'accès.

Le potentiel de surface est du même ordre de grandeur que la hauteur de barrière Schottky. Les ZCE ont donc une extension comparable sous la surface libre et sous la grille lorsque celle-ci n'est pas polarisée. La grille perd donc tout pouvoir de commande dès que sa polarisation la fait passer légèrement en direct.

Ce phénomène interdit le fonctionnement du type normalement bloqué. Les remèdes ont été trouvés dans le procédé de surcreusement de grille (grille enterrée) (figure II - 21).

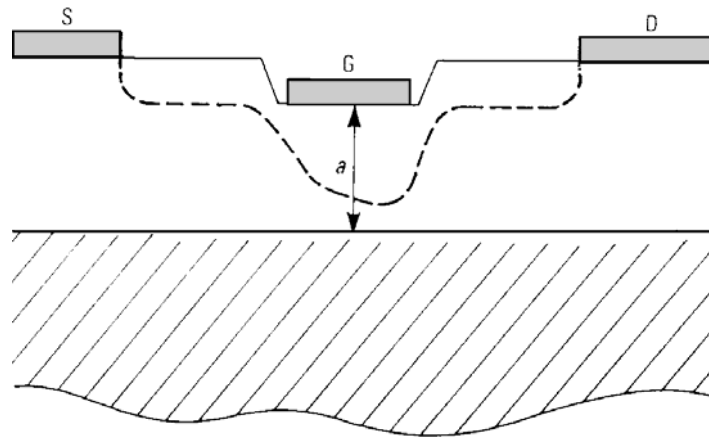


Figure II – 21 : Le creusement sous la grille restitue à celle-ci son pouvoir de commande sur le canal.

II – 4 – 2. Débordement de la zone de charge d'espace de grille (effet de bord). Longueur effective du canal

L'extension latérale de la zone de charge d'espace de la grille (effet de bord) conduit à un allongement du canal. La figure II - 22 donne l'évolution de la longueur effective L du canal avec la différence de potentiel grille-source pour différentes longueurs de grille l_g . On peut noter l'importance croissante de l'effet de bord à mesure que l_g est réduite. Le temps de transit des électrons sous la grille se trouve accru en proportion.

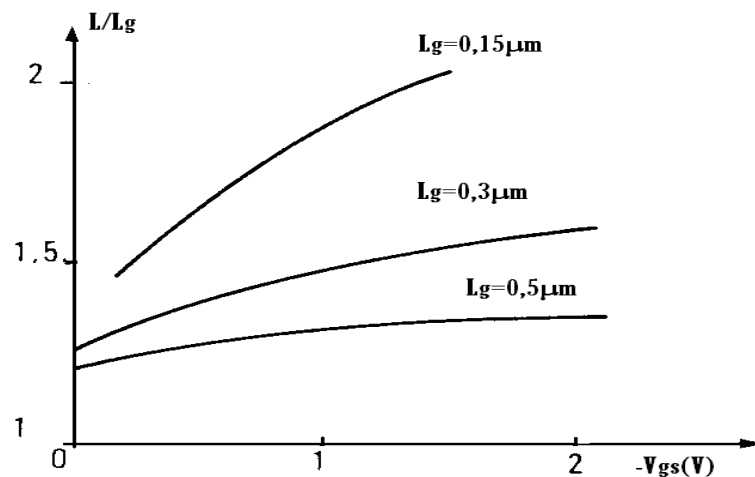


Figure II – 22 : Longueur effective L du canal en fonction de la tension de polarisation grille sature V_{gs} pour différentes longueurs de grille l_g . La tension drain-source est 2V.

II – 4 - 3. Influence de l'interface couche active substrat

L'interface couche active-substrat n'est pas en général l'obstacle idéal. Les électrons peuvent être injectés dans le substrat. Les figures II - 15 donnent une illustration de ce phénomène.

Le caractère fortement bidimensionnel et la non-linéarité des lois de transport qui interviennent ne permettent pas de donner une représentation analytique

précise du phénomène. Le domaine de Gunn piégé à la sortie de la grille peut influencer la barrière de potentiel couche active- substrat, donc de faible hauteur [6], [8] en l'abaissant au voisinage de l'extrémité du canal libre, favorisant ainsi l'injection (figure II - 23). L'influence électrostatique du contact de drain peut s'effectuer à travers le substrat et contribuer également à l'abaissement de barrière.

Le courant (figure II - 23) circulant dans des éléments de même surface et dans l'axe du domaine piégé suit la diminution de la vitesse des porteurs lorsque le champ et la tension V_{ds} croissent. Mais simultanément le domaine se trouve «contourné» par un important courant de fuite injecté dans le substrat et qui rétablit une croissance continue du cotisant total. [6], [8].

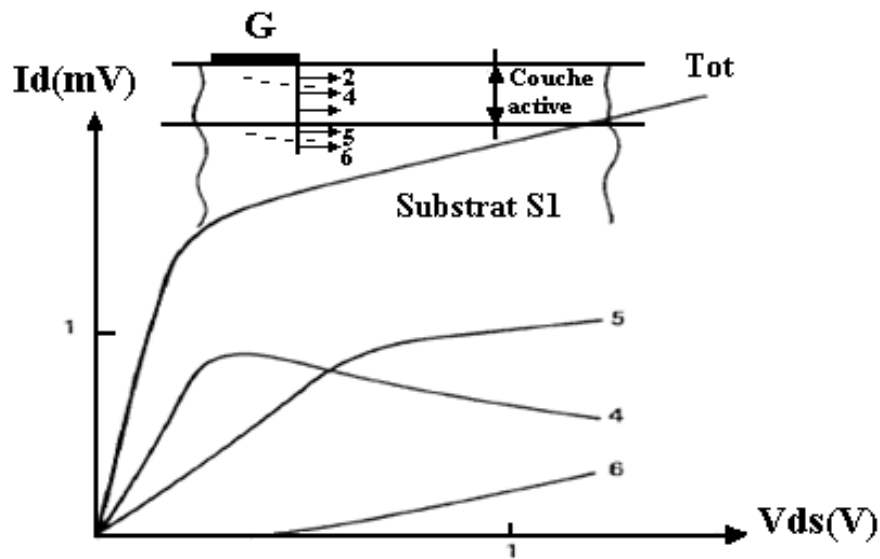


Figure II – 23 : Courants circulant dans des éléments de même surface situés à des profondeurs différentes sous la grille du MESFET

L'injection dans le substrat est à l'origine d'un courant de fuite apportant un terme additionnel g_{df} la conductance de canal après saturation. Pour représenter ce terme on utilise souvent des lois approchées telles que

$$g_{df} = g_0(V_{GS})(V_{DS} - V_{Dsat}) \quad (V_{DS} > V_{Dsat}) \tag{2.66}$$

Avec

$$g_0(V_{GS}) = ZG_0(V_{GS} - V_T - 0,4) \quad (\text{Tension en volts}) \tag{2.67}$$

L'injection dans le substrat peut être la source d'instabilités graves. La région couche active-substrat est en effet généralement le siège de défauts interfaciaux en concentration importante. La charge des pièges par les électrons transitant en leur voisinage a pour conséquence de créer progressivement une charge d'espace négative dont la contre partie positive apparaît dans la couche active et pince le canal. La figure II – 24 est une illustration du phénomène.

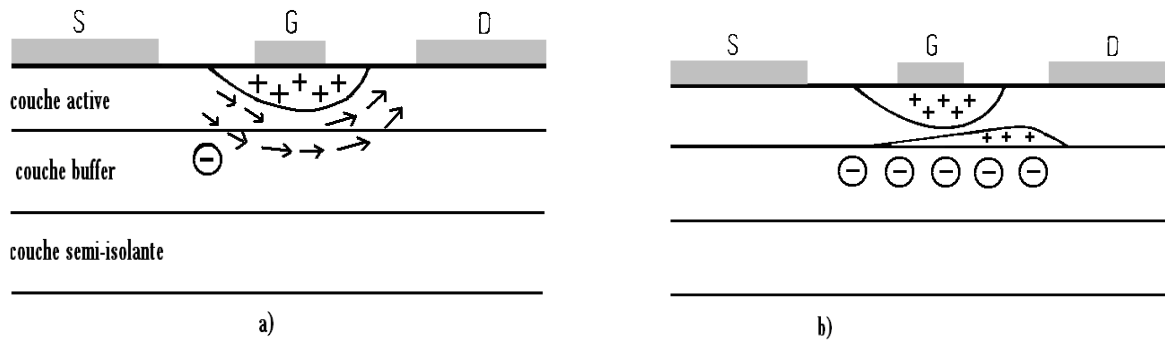


Figure II – 24 : Circulation d'un courant de fuite à travers le substrat et charge des pièges a). Pincement progressif du canal par la zone de charge d'espace Induite dans la couche active b).

L'emploi de couches tampon (buffer) et de substrat LEC de très haute pureté à permis de réduire ce phénomène.

II – 4 – 4. Commandes parasites : « Back gating» et « Side gating»

L'existence de la barrière interfaciale couche active-substrat est une nécessité physique résultant de la différence de position du niveau de Fermi dans la couche active très dopée et dans le substrat semi-isolant (parfois de type légèrement P). Une modulation de l'épaisseur de cette barrière x_{cs} conduit à une commande parasite du courant de drain [13] (figure II – 25). Cette modulation peut être induite par un contact externe au transistor, pris lui-même sur la couche épitaxiale. La figure II – 25 [14] montre une structure typique permettant l'étude du phénomène. Le contact latéral peut, dans un circuit intégré, être tout simplement le contact de source d'un autre transistor logique BFL par exemple

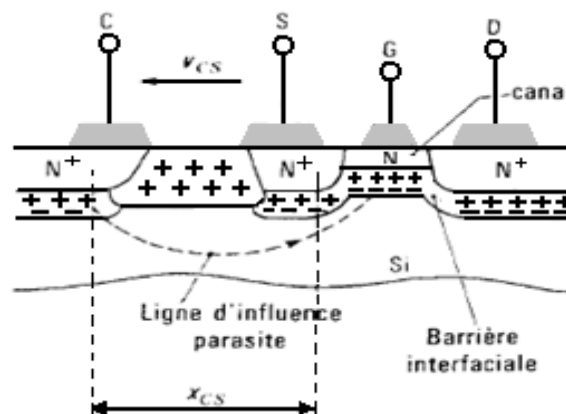


Figure II – 25 : Structure permettrait la mise en évidence de la commande parasite du canal par une électrode latérale (side gating).

Le mécanisme de ces commandes parasites n'est pas unique. Il dépend de la nature de l'électrode mise en cause, de la géométrie du système et des paramètres de la barrière de potentiel. Il met en cause la répartition des potentiels le long de la ligne d'influence (figure II – 26). Il est à peu près établi que cette répartition est de nature ohmique (et non électrostatique) et met en jeu le courant de fuite circulant à travers le substrat. Certains auteurs attribuent la modulation de la barrière à la présence d'un domaine de Gunn le long de celle-ci.

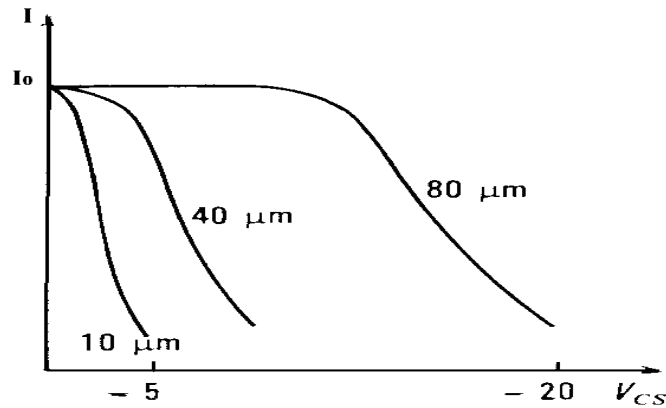


Figure II – 26 : Courant maximal I_0 en fonction du potentiel de commande latérale pour différentes valeurs de la distance x_{CS} .

II – 4 - 5. Effets piézoélectriques induits dans les MESFET GaAs lors des procédés de fabrication

On sait depuis longtemps que des contraintes mécaniques intenses peuvent être introduites dans le matériau semi-conducteur sous l'effet des déformations aux interfaces des dépôts diélectriques ou métalliques. On a pu mesurer des contraintes de compression de l'ordre de $5 \cdot 10^9$ dyn/cm² dans les films de nitrure de silicium (Si_3N_4) déposés par pulvérisation cathodique réactive sur GaAs. La contrainte induite dans le semi-conducteur est en général beaucoup plus faible sauf au voisinage des zones d'ouverture du film, c'est-à-dire, par exemple, au voisinage de la grille d'un MESFET.

L'estimation de la distribution des contraintes et de leur influence sur les paramètres du semi-conducteur a été étudiée par Kirkby [15]. Pour un film diélectrique d'épaisseur e_1 siège d'une contrainte σ_1 , la répercussion σ_s dans le semi-conducteur est $\sigma_s = 4\sigma_1 e_1 / W_s$ où W_s est l'épaisseur du substrat semi-conducteur.

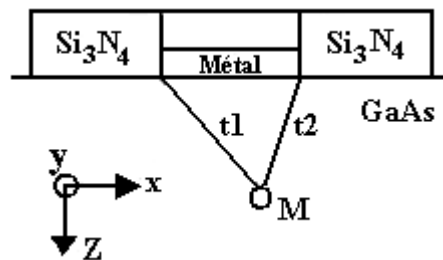


Figure II – 27 : Les composantes du vecteur de polarisation piézoélectrique.

Cette contrainte se répartit selon les composantes d'un tenseur qui permettent de calculer les composantes du vecteur de polarisation piézoélectrique P . Dans le système de coordonnées de la figure II - 27 les contraintes créées par l'ouverture perpendiculaire au plan de la figure, pratiquée dans la couche Si_3N_4 induisent un vecteur piézoélectrique de composantes

$$p_x = d_{14} \sigma_{zx} \quad (2.68)$$

$$p_y = d_{14} \sigma_{yz} \quad (2.69)$$

$$p_z = \frac{1}{2} d_{14} (\sigma_{yy} - \sigma_{xx}) \tag{2.70}$$

Dans GaAs, d_{14} a pour valeur $2,6 \cdot 10^{-17} \text{C /dyn}$. La densité de charges induite $Pp = \nabla \cdot \vec{P}$ est représentée sur la figure II - 28 [16].

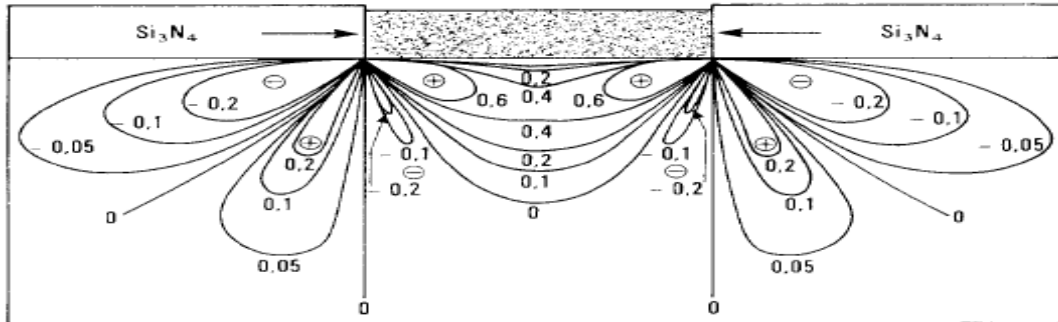


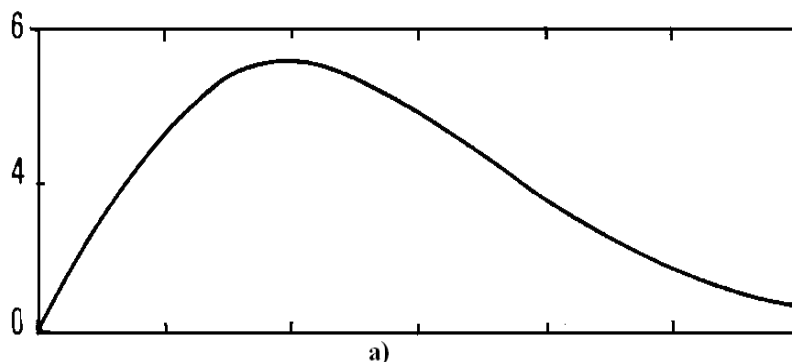
Figure II - 28 : Densité de charges induites par la contrainte résultant de l'ouverture du film SiN4 à la surface du GaAs.

Pour une contrainte σ_t de $5 \cdot 10^9 \text{ dyn /cm}^2$ une densité de charge de $7 \cdot 10^{15} \text{ charges/cm}^3$ est obtenue dans l'axe du ruban de grille à environ $0,2 \mu\text{m}$ de profondeur (figure II - 29).

Il est bon de noter que la polarisation par piézoélectricité est assimilable à une charge d'ions fixes qui se compense par une modification dans la répartition et la densité des électrons du canal.

Une propriété importante de ces effets est leur dépendance relativement à l'orientation du composant à la surface de la tranche. La conséquence est que le courant de drain des MESFET, toutes choses égales par ailleurs, n'est pas le même selon que leur grille est orientée dans la direction $\langle 011 \rangle$ ou la direction conjuguée $\langle 0\bar{1}\bar{1} \rangle$ (la surface étant elle-même un plan $\langle 100 \rangle$). Une différence d'au- moins 25 % est prévisible théoriquement et bien vérifiée par l'expérience. Cette variation du courant est traductible par une variation de l'ordre de plusieurs centaines de millivolts sur la tension de seuil des dispositifs.

charge piézoélectrique
au centre du ruban 10^{15} cm^{-3}



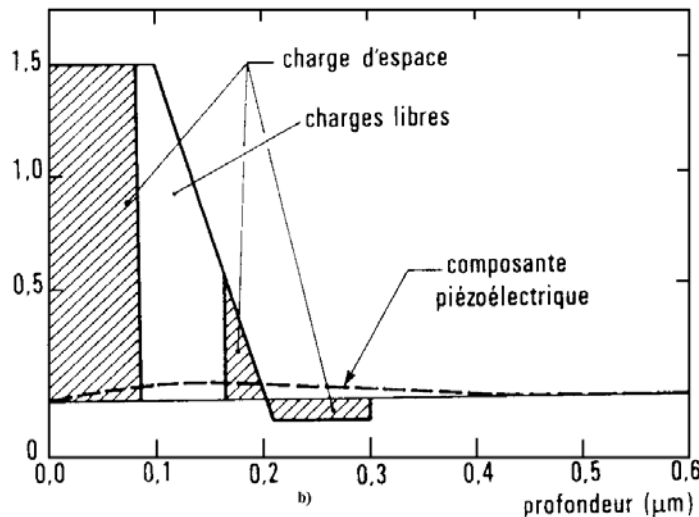


Figure II – 29 : Densité de charge (10^{17} cm^{-3}) piézoélectrique au centre du ruban a) et sa répartition en profondeur b).

II – 5. SCHEMA EQUIVALENT DU MESFET GaAs [17], [18]

Un schéma équivalent du MESFET GaAs est proposé sur la figure II - 30. On distingue le transistor interne (ou intrinsèque) délimité par le rectangle pointillé, et les éléments parasites externes.

II – 5 – 1. Transistor interne

Ses éléments peuvent être calculés au moyen des formules établies auparavant. On doit tester l'état de saturation du canal pour sélectionner l'une des expressions pour la source de courant I_D . On note que les effets liés aux variations d'épaisseur ou de longueur L , du canal sous l'influence de la tension de drain sont pris en compte automatiquement dans les expressions donnant I_D .

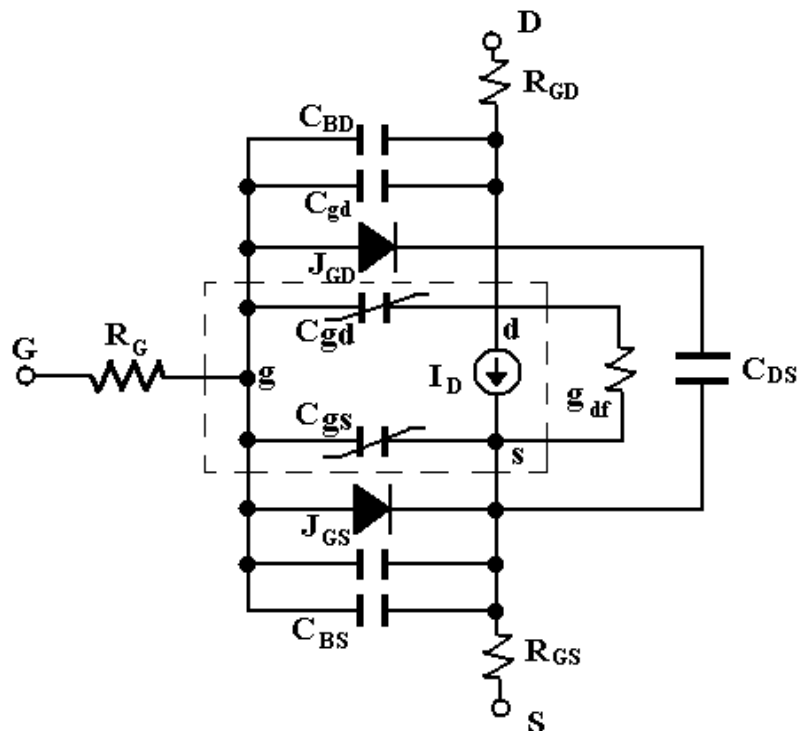


Figure II – 30 : Schéma équivalent du MESFET.

On ne doit donc pas inclure la conductance de drain intrinsèque g_d dans ce schéma. Les capacités C_{GS} et C_{GD} représentent les variations de la charge de canal Q_t avec les tensions appliquées sur les noeuds internes. Ces capacités tendent vers zéro lorsque le canal est pincé. Si le dopage du canal peut être considéré comme constant, une évaluation simplifiée de C_{gs} et C_{gd} conduit à

$$C_{gs} = \frac{Zl_g}{2\sqrt{2}} \sqrt{\frac{qN_D \epsilon_0 \epsilon_r}{\phi_D - V_g + V_s}} \quad (2.71)$$

$$C_{gd} = \frac{Zl_g}{2\sqrt{2}} \sqrt{\frac{qN_D \epsilon_0 \epsilon_r}{\phi_D - V_g + V_d}} \quad (2.72)$$

II – 5 – 2. Éléments parasites

Les éléments extrinsèques comportent deux diodes permettant de tenir compte de l'injection de courant lors d'un passage en directe de la jonction Schottky, soit au niveau du drain (courant I_{GD}), soit au niveau de la source (courant I_{GS}). Les courants dans ces diodes s'expriment classiquement comme indiqué au chapitre 1.

$$I_{GD} = I_0 (\exp q(V_g - V_d) / mkT - 1) \quad (2.73)$$

$$I_{GS} = I_0 (\exp q(V_g - V_d) / mkT - 1) \quad (2.74)$$

$$I_0 = Zl_g A^* T^2 \exp(-q\phi_{BT} / KT) / 2 \quad (2.75)$$

Les capacités C'_{gs} , et C'_{gd} représentent les effets de bord de la ZCE Schottky. Elles sont approchées par $C'_{gs} = C'_{gd} = \pi\epsilon_0\epsilon_r Z / 2$ avant pincement du canal et [26] on a après pincement du canal.

$$C'_{gs} = \epsilon_0 \epsilon_r Z \text{Arctg} \sqrt{(\phi_D - V_T) / (V_T - V_g + V_s)} \quad (2.76)$$

$$C'_{gd} = \epsilon_0 \epsilon_r Z \text{Arctg} \sqrt{(\phi_D - V_T) / (V_T - V_g + V_d)} \quad (2.77)$$

Les capacités C_{BS} , C_{BD} et C_{DS} figurent les couplages passifs entre les microrubans des connexions. Enfin les résistances R_{GS} , R_{GD} - mentionnées plus haut - figurent les accès grille- source et grille- drain, R_G étant la résistance du ruban métallique de grille.

Avec R_{\square} la résistance de couche du semi-conducteur fc la résistance spécifique du contact ($\Omega \cdot \text{cm}^2$) on a :

$$R_{GS} = (R_{\Pi} + \sqrt{R_{\Pi} fc} \cdot L_{GS} / Z), R_{GD} = (R_{\Pi} + \sqrt{R_{\Pi} fc} \cdot L_{GD} / Z) \quad (2.78)$$

II – 6. ÉVOLUTION DU TRANSISTOR A EFFET DE CHAMP A BARRIERES DE SCHOTTKY

Depuis son apparition sous ses premières versions des années 70, le transistor MESFET GaAs n'a pas cessé d'évoluer [19], [20]. Les principaux moteurs de cette évolution ont été et demeurent :

- la recherche de l'uniformité et de la stabilité, notamment des tensions de

seuil sur une même plaquette [21],

- la maîtrise des interfaces couche active-substrat [13],
- la solution du problème des résistances d'accès (réduction des charges d'espace superficielles),
- enfin, l'amélioration générale des performances électriques dont les paramètres les plus représentatifs sont la transconductance g_m et la fréquence de transition f_T .

Les solutions technologiques proposées pour résoudre ces problèmes passent avant toute chose par l'amélioration de la qualité des matériaux et en particulier des substrats. Le tirage des cristaux de grand diamètre sous encapsulation (LEC) a permis d'obtenir des substrats à très faible taux d'impuretés résiduelles dont la compensation ne demande qu'une faible concentration de chrome ($[Cr] < 10^{15} \text{ cm}^{-3}$). La résistivité de ces substrats reste excellente ($\rho > 10^8 \text{ cm}\Omega$) bien que la mobilité électronique y soit élevée ($\mu_n > 510^3 \text{ cmV}^{-1} \cdot \text{s}^{-1}$)

Ces substrats ont permis l'implantation directe de la couche active assurant une meilleure maîtrise des tensions de seuil. Leur faible teneur en chrome ou en impuretés à niveau profond ont réduit considérablement les effets de piégeage et les phénomènes d'interfaces qui leur sont associés. L'auto alignement de la grille par implantation résout le problème des résistances d'accès [22], [23].

Ces progrès ont eu un effet décisif pour la mise au point du transistor à enrichissement et par voie de conséquence de la logique à couplage direct (DCFL).

En 1988, le MESFET reste le plus sûr garant d'un débouché industriel d'une électronique III-V.

L'amélioration des performances électriques a, de son côté, suscité de nombreuses recherches très appuyées par les méthodes modernes de modélisation. La réduction de la longueur de grille (base de diminution du temps de transit) doit s'accompagner d'une mise à l'échelle des autres paramètres, notamment de l'épaisseur de la couche active et de son dopage. Le non respect des règles de changement d'échelle entraîne l'accroissement de la conductance de drain g_d (effet de canal court) ce qui limite le gain intrinsèque g_m/g_d . Le « scaling » du MESFET pose cependant un problème délicat du fait des dopages élevés et du contrôle d'épaisseur de la couche active qu'il exige. Par exemple, pour réduire la longueur de grille à $0,1 \mu\text{m}$ le dopage de la couche active doit être amené à 10^{18} cm^{-3} et son épaisseur réduite à 30 nm . La transconductance est alors portée à 450 ms/mm pour un gain intrinsèque de 7.

La structure MESFET peut s'envisager sur d'autres matériaux. Les courbes de la figure II – 31 montrent l'évolution théorique de f_T avec la longueur de grille, pour GaAs, InP, $\text{Ga}_{0,47}\text{In}_{0,53}\text{AsInAs}$ et Si, le dopage étant fixé à 10^{17} cm^{-3} . L'accroissement des performances est ici étroitement lié à l'aptitude à soutenir des vitesses élevées jusqu'à des fortes énergies électrostatiques sans provoquer le phénomène de transfert. Les deux paramètres entraînant cette aptitude sans la mobilité initiale μ_0 et l'énergie de transfert dont les valeurs sont reportés dans le tableau II – 1.

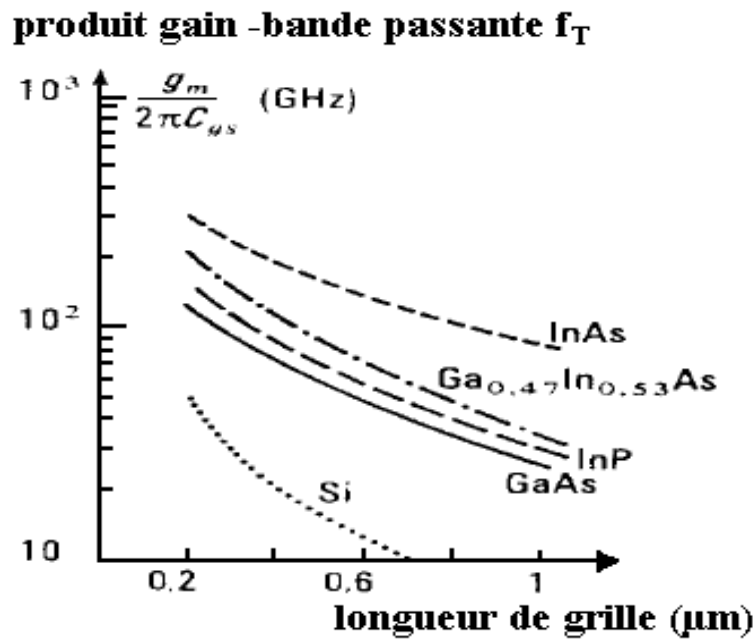


Figure II – 31 : Evolution du facteur $f_T = g_m/2\pi C_{gs}$ avec la longueur de grille d'un MESFET réalisé sur différents matériaux.

$N_D=10^{17}\text{cm}^{-3}$	Si	GaAs	InAs
$\mu_0(\text{cm}^2.\text{V}^{-1}\text{s}^{-1})$	700	4600	16000
$\Delta\xi_{TL}$ (eV)	-	0,33	0,87
$\mu_0\Delta\xi_{TL}$ (cm^2s^{-1})	-	1520	13900
$V_{\text{max}}(\text{V})$	0,8	1,8	3,5

Tableau II – 1 : Tableau des paramètres composés Si, GaAs et InAs

II – 7. MODELE POUR LE FONCTIONNEMENT EN PETITS SIGNAUX

Le transistor est supposé polariser normalement ($V_{BE} > 0$, $V_{BC} < 0$). On superpose aux tensions et courants de repos des petits signaux variables. Chaque variable est aussi la somme d'une composante continue et d'une composante variable. Pour une variable quelconque x , les notations employées sont les suivantes

$$x_A(t) = \underset{\substack{\downarrow \\ \text{composante} \\ \text{continue}}}{X_A} + \underset{\substack{\downarrow \\ \text{petit} \\ \text{signal} \\ \text{continue}}}{x_a(t)} \tag{2.79}$$

A désignant l'électrode à laquelle la variable se réfère.

Pour obtenir les expressions liant les composantes variables des courants et des tensions, nous ferons appel aux équations du contrôle par les charges stockées.

La charge stockée présente une composante fixe Q_B et une composante variable $q_b(t)$

$$q_B(t) = Q_B + q_b(t).$$

Nous admettrons encore que la fréquence la plus élevée f_b du signal de commande $v_{be}(t)$ est inférieure à l'inverse du temps de transit des électrons dans la base ($f_b t_b < 1$). Dans ces conditions, on peut admettre que le profil de la concentration des minorités s'établit instantanément dans la base et que la relation suivante entre q_b et v_{be} est vérifiée

$$q_B(t) = Q_B + q_b(t) = n_{0p} \exp \frac{q}{kT} v_{BE}(t) = n_{0p} \exp \frac{q}{kT} (V_{BE} + v_{BE}) \quad (2.80)$$

D'où l'on tire

$$q_b(t) = n_{op} (e^{\frac{q}{kT} V_{BE}}) \frac{q}{kT} v_{be} = Q_B \frac{q}{kT} v_{be} \quad (2.81)$$

La composante variable du courant de collecteur est alors elle-même donnée par :

$$i_c(t) = \frac{q_b}{t_b} = \frac{Q_B}{t_b} \frac{q}{kT} v_{be} \quad (2.82)$$

Soit

$$i_c(t) = \frac{q}{kT} I_C v_{be} = g_m v_{be} \quad (2.83)$$

La transconductance $g_m = \frac{i_c}{v_{be}}$ du transistor a donc pour expression

$$g_m = \frac{q}{kT} I_C \quad (2.84)$$

Examinons maintenant la composante variable du courant de base. On a de même

$$i_B(t) = I_B + i_b = \frac{q_B}{\tau} + \frac{dq_B}{dt} = \frac{q_B}{\tau} + \frac{q_b}{\tau} + \frac{dq_b}{dt} \quad (2.85)$$

Soit

$$i_b = \frac{q_b}{\tau} + \frac{dq_b}{dt} \quad (2.86)$$

Ou encore :

$$i_b = \frac{q_B}{\tau} \frac{q}{kT} v_{be} + Q_B \frac{q}{kT} \frac{d}{dt} v_{be} \quad (2.87)$$

en introduisant l'expression de Q_B en régime permanent

$$Q_B = t_B I_C \quad (2.88)$$

et en rappelant que $\frac{\tau}{t_B} = b_0$ est le gain en courant du transistor en émetteur commun, on obtient :

$$i_b = \frac{q}{\tau} I_C \frac{1}{b_0} v_{be} + \frac{q}{kT} \tau I_C \frac{d}{dt} v_{be} \quad (2.89)$$

On notera :

$$r_{\pi} = \frac{KT}{qI_C} b_0 \quad (2.90)$$

$$C'_{\pi} = \frac{\tau_B I_C}{KT} \quad (2.91)$$

r_{π} et C'_{π} et sont respectivement la résistance et la capacité dynamiques d'entrée du montage émetteur à la masse. La valeur instantanée du courant de base i_b prend alors la forme :

$$i_b = \frac{v_{be}}{r_{\pi}} + C'_{\pi} \frac{d}{dt} v_{be} \quad (2.92)$$

On note que $r_{\pi} C'_{\pi} = \tau$

II – 8. SIMULATION BIDIMENSIONNELLE DES CARACTERISTIQUES I-V DU TRANSISTOR MESFET GaAs.

II – 8 – 1. Etude bidimensionnelle du transistor MESFET GaAs

La plupart des modèles physiques actuels [24], [25], [26] sont basés sur la résolution bidimensionnelle de l'équation de Poisson. Cette équation connue en physique des semiconducteurs est utilisée dans tous les modèles pour expliquer les différents phénomènes physiques spécifiques du MESFET GaAs.

Mais le problème principal pour ces modèles réside dans le couplage des équations différentielles, partielles et non-linéaires qui nécessitent d'être résolues simultanément. La difficulté de poser des hypothèses valables pour les conditions limites aux interfaces libres nécessite le recours à des approximations et la négligence d'un certain nombre de termes qui agissent négativement sur l'exactitude du modèle.

Dans cette étude nous présentons un modèle analytique qui associe entre la description des phénomènes physiques et la simplicité des équations mathématiques.

II – 8 – 2. Détermination de la tension bidimensionnelle dans la zone active

Le traitement mathématique bidimensionnel des équations différentielles à l'aide de la technique de Green donne une distribution bidimensionnelle du champ électrique sous la région de la zone de charge d'espace (ZCE).

L'équation générale de Poisson à deux dimensions s'écrit :

$$\Delta V_C(x, y) = \frac{\partial^2 V_C}{\partial x^2} + \frac{\partial^2 V_C}{\partial y^2} = \frac{-\rho(x, y)}{\epsilon} \quad (2.93)$$

Pour calculer la tension sous la grille la zone de charge d'espace est divisée en deux régions principales comme il montre dans la figure II - 32 [27]:

a) La région (1): Au-dessous de la grille directement, elle est dite région contrôlée par la grille. Nous utilisons l'approximation unidimensionnelle pour calculer la composante de la relation de tension $V_q(x, y)$ spécifique à cette région.

b) La région (2): En dehors de la première région dite région non contrôlée par la grille.

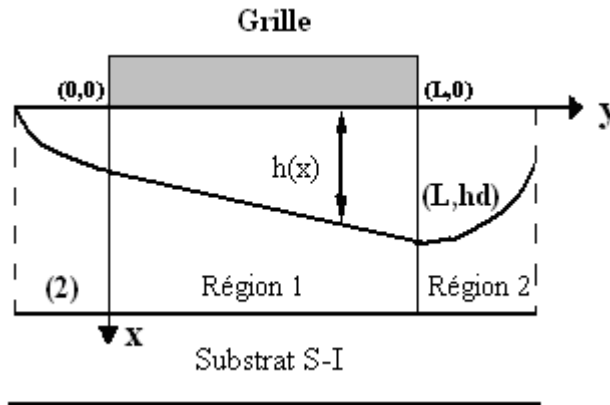


Figure II – 32: Les différentes régions de déplétion.
(1) contrôlée par la grille, (2) non contrôlée par la grille.

La tension bidimensionnelle du canal sous la grille s'écrit comme suite :

$$V_c(x,y) = V_q(x,y) + V_l(x,y) \quad (2.94)$$

$$\text{Où: } V_q(x,y) = \int_0^y \frac{eN_d(x,y)}{\epsilon} y dy + y \int_y^{h(x)} \frac{eN_d(x,y)}{\epsilon} dy + V_{bi} - V_g \quad (2.95)$$

$$\text{Et: } V_l(x,y) = \left[A_1^s \frac{\text{Sinh}(k_1(L-x))}{\text{Sinh}(k_1L)} + A_1^d \frac{\text{Sinh}(k_1x)}{\text{Sinh}(k_1L)} \right] \text{Sin}(k_1y) \quad (2.96)$$

$$\text{Avec } A_1^s = \frac{2}{a} \int_0^a [V_c(0,y) - V_q(0,y)] \text{Sin}(k_1y) dy \quad (2.97)$$

$$\text{Et: } A_1^d = \frac{2}{a} \int_0^a [V_c(L,y) - V_q(L,y)] \text{Sin}(k_1y) dy \quad (2.98)$$

A_1^d et A_1^s : sont des coefficients de Fourier pour la tension supplémentaire de grille côtés drain et source respectivement [27].

$$\text{Et: } k_1 = \frac{\pi}{2a}$$

A partir de (3) et (4) l'expression de la tension totale devient :

$$V_c(x,y) = \int_0^{h(x)} \frac{eN_d(x,y)}{\epsilon} y dy + V_l(x,y) - V_g + V_{bi} \quad (2.99)$$

II – 8 – 3. Caractéristiques courant-tension I-V

Pour calculer l'expression du courant de drain en fonction de la tension de drain pour diverses valeurs de la tension de grille, nous utilisons les hypothèses suivantes:

- On néglige le courant dans le sens y, cette approximation est valable pour les composants à grille courte.
- On suppose la mobilité des électrons constante.
- On divise le canal en trois régions selon la valeur du champ électrique figure II - 33 [28].

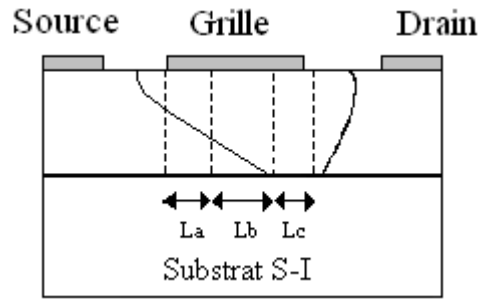


Figure II – 33 : Répartition de la zone active selon la variation du champ électrique.

II – 8 – 4. Détermination de l'équation générale du courant

Pour calculer l'équation générale du courant de drain nous avons utilisé l'approximation unidimensionnelle pour simplifiés les expressions mathématiques. On utilise aussi les expressions suivantes :

$$\vec{J}_x = -e\mu_n N_d(y) E_x = -e\mu_n N_d \frac{dV}{dx} \quad (2.100)$$

L'expression du courant de drain qui s'écrit:

$$I_d = - \int_{(s)} J_x ds = -Z \int_{h(x)}^a J_x dy \quad (2.101)$$

En utilisant des intégrales simples, l'expression de courant est obtenue par la relation:

$$I_d = \frac{(eN_d)^2 Z\mu_n}{\varepsilon L} \left[\frac{a}{2} (h_d^2 - h_s^2) - \frac{1}{3} (h_d^3 - h_s^3) \right] \quad (2.102)$$

Où:

$$h_s = \left[\frac{2\varepsilon}{eN_d} (V_{bi} - V_g) \right]^{1/2} \quad (2.103)$$

$$h_d = \left[\frac{2\varepsilon}{eN_d} (V_d + V_{bi} - V_g) \right]^{1/2} \quad (2.104)$$

Sont les largeurs de la zone de charge d'espace (ZCE) côté source et côté drain respectivement.

En définissant le courant de pincement par :

$$I_p = \frac{(eN_d)^2 Z\mu a^3}{2\varepsilon L} \quad (2.105)$$

Et la tension de pincement V_p par :

$$V_p = \frac{eN_d}{2\varepsilon} a^2 \quad (2.106)$$

L'expression générale du courant dans le canal I_d devient :

$$I_d = I_p \left[\frac{V_d}{V_p} - \frac{2}{3} \left(\frac{V_d + V_{bi} - V_g}{V_p} \right)^{3/2} + \frac{2}{3} \left(\frac{V_{bi} - V_g}{V_p} \right)^{3/2} \right] \quad (2.107)$$

II – 8 – 5. Effet de la loi de mobilité

L'hypothèse de mobilité constante et indépendante du champ électrique dans le GaAs de type N ne peut pas traduire les phénomènes physiques.

L'expression analytique des variations de la mobilité avec le champ électrique que nous utilisons est une relation simplifiée [29] donnée comme suit :

- Pour le domaine des champs électriques faibles où $E < E_0$:

$$\mu = \mu_0 \quad (2.108)$$

- Pour le domaine des champs électriques élevés au delà de E_0 ($E \geq E_0$)

$$\mu = \frac{\mu_0}{\left[1 + \left(\frac{E - E_0}{E_s}\right)^2\right]^{1/2}} \quad (2.109)$$

Cette loi de mobilité permet d'obtenir les différentes expressions du courant de drain dans différents régimes de fonctionnement.

Les caractéristiques $I_d(V_d, V_g)$ du transistor MESFET GaAs correspondant à des régimes de fonctionnement différents, nous régis par les équations suivantes :

a) Régime linéaire :

Ce régime existe tant que « La » occupe tout le canal, il est correspond au domaine des champs faibles où la mobilité est égale à μ_0 .

L'expression du courant de drain dans ce régime s'écrit comme :

$$I_d = I_{pl} \left[\frac{V_d}{V_p} - \frac{2}{3} \left(\frac{2V_d + V_{bi} - V_g}{V_p} \right)^{3/2} + \frac{2}{3} \left(\frac{V_{bi} - V_g}{V_p} \right)^{3/2} \right] \quad (2.110)$$

$$\text{Où: } I_{pl} = \frac{e^2 N_d^2 Z \mu_0 a^3}{2 \varepsilon L_a} \quad (2.111)$$

b) Régime de pincement :

Quand la tension de drain augmente, le champ électrique dans le canal augmente au delà de E_0 . Le canal sous la grille présente alors deux régions : L'une de longueur « La » dans laquelle le champ est inférieur à E_0 et la mobilité des électrons est constante donnée par $\mu = \mu_0$. L'autre de longueur « Lb » ($L = La + Lb$) dans laquelle le champ est supérieur au champ E_0 mais inférieur au champ E_m , et la mobilité des électrons est donnée par l'expression (2.106.b).

1^{ère} Région :

Pour : $E < E_0$ et $0 < x < La$

$$\text{On a } La = \frac{I_{pl} \cdot L}{I_d} \left[\frac{V_{da}}{V_p} - \frac{2}{3} \left(\frac{V_{da} + V_{bi} - V_g}{V_p} \right)^{3/2} - \frac{2}{3} \left(\frac{V_{bi} - V_g}{V_p} \right)^{3/2} \right] \quad (2.112)$$

2^{ème} Région :

Pour : $E_0 < E < E_m$ et $La < x < L$

$$\text{On a } Lb = \frac{I_{ps} \cdot L}{I_d} \left[\frac{V_d - V_{da}}{V_p} - \frac{2}{3} \left(\frac{V_d + V_{bi} - V_g}{V_p} \right)^{3/2} + \left(\frac{V_{da} + V_{bi} - V_g}{V_p} \right)^{3/2} \right] \quad (2.113)$$

Où :

$$I_{ps} = \frac{I_p}{\left[1 + \left(\frac{E - E_0}{E_s}\right)^2\right]^{1/2}} \quad (2.114)$$

c) Régime de saturation :

Dans ce cas le canal sous la grille est divisé en trois régions La, Lb et Lc où :
 $L = L_a + L_b + L_c$.

$$L_a = \frac{I_{ps} \cdot L}{I_d} \left[\frac{V_{da}}{V_p} - \frac{2}{3} \left(\frac{V_{da} + V_{bi} - V_g}{V_p} \right)^{3/2} - \frac{2}{3} \left(\frac{V_{bi} - V_g}{V_p} \right)^{3/2} \right] \quad (2.115)$$

$$L_b = \frac{I_{ps} \cdot L}{I_d} \left[\frac{V_{dm} - V_{da}}{V_p} - \frac{2}{3} \left(\frac{V_{dm} + V_{bi} - V_g}{V_p} \right)^{3/2} + \frac{2}{3} \left(\frac{V_{da} + V_{bi} - V_g}{V_p} \right)^{3/2} \right] \quad (2.116)$$

$$L_c = \frac{I_{ps} \cdot L}{I_d} \left[\frac{V_d - V_{dm}}{V_p} - \frac{2}{3} \left(\frac{V_d + V_{bi} - V_g}{V_p} \right)^{3/2} + \frac{2}{3} \left(\frac{V_{dm} + V_{bi} - V_g}{V_p} \right)^{3/2} \right] \quad (2.117)$$

Où : V_{da} et V_{dm} sont des tensions maximales des régimes linéaire et pincement successivement.

II – 8 – 6. Effet de la tension $V_l(x, y)$:

L'effet de la tension $V_l(x, y)$ est pris en considération dans les expressions de la tension de drain et de grille suivantes :

$$\begin{cases} V_d \rightarrow V_d + V_{Id} \\ V_g \rightarrow V_g + V_{Is} \end{cases} \quad (2.118)$$

Où V_{Is} et V_{Id} sont des composantes de $V_l(x, y)$ côtés source et drain respectivement, elles sont calculées à partir des équations suivantes :

$$V_{Is} = V_l(0, h_s) = A_1^s \sin\left(\frac{h_s \pi}{2a}\right) \quad (2.119)$$

$$V_{Id} = V_l(L, h_d) = A_1^d \sin\left(\frac{h_d \pi}{2a}\right) \quad (2.120)$$

Les expressions des coefficients A_1^s et A_1^d sont très complexes [28], Elles sont liées essentiellement aux tensions de polarisations V_d et V_g , et aux tensions V_{bi} et V_p .

$$A_1^s = V_p \left[a_1 + b_1 \left(\frac{V_{bi} - V_g - V_l}{V_p} - c_1 \right)^{1/2} \right] \quad (2.121)$$

$$A_1^d = V_p \left[a_1 + b_1 \left(\frac{V_d + V_{bi} - V_g - V_l}{V_p} - c_1 \right)^{1/2} \right] \quad (2.122)$$

Pour un dopage uniforme les coefficients a_1 , b_1 , c_1 et V_l sont des constants.

II – 8 –7. Effet des éléments parasites :

Les caractéristiques que nous avons présentées sont celles des grandeurs internes ou intrinsèques (I_d , V_d , V_g). Pour obtenir les caractéristiques externes ou extrinsèques du composant (I_{ds} , V_{ds} , V_{gs}) il suffit de prendre en considération l'effet des résistances parasites d'accès de source R_s et de drain R_d , et aussi l'effet de la résistance R_p parallèle au canal sur les valeurs des tensions de polarisations (figure II – 34).

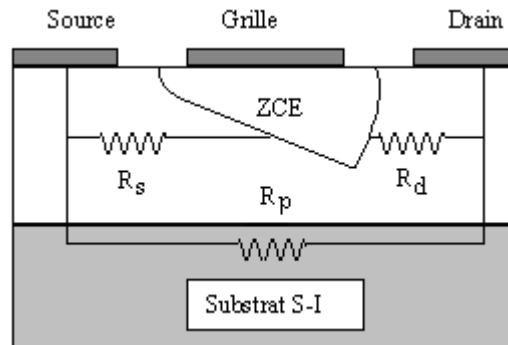


Figure II – 34 : Résistances parasites dans le MESFET GaAs.

Pour obtenir les expressions réelles des caractéristiques I_{ds} (V_{ds} , V_{gs}), il suffit de remplacer les termes intrinsèques par les termes extrinsèques dans toutes les relations précédentes.

Donc :

$$V_d = V_{ds} + V_{ld} - (R_s + R_d) I_d \quad (2.123)$$

$$V_g = V_{gs} + V_{ls} - R_s I_d \quad (2.124)$$

$$I_d = I_{ds} - (V_d / R_p) \quad (2.125)$$

II – 8 – 8. Simulations:

Afin de valider les caractéristiques I-V du transistor MESFET GaAs établies précédemment, un logiciel de simulation basé sur les diverses formules et les équations qui est basé sur l'organigramme figure II – 35.

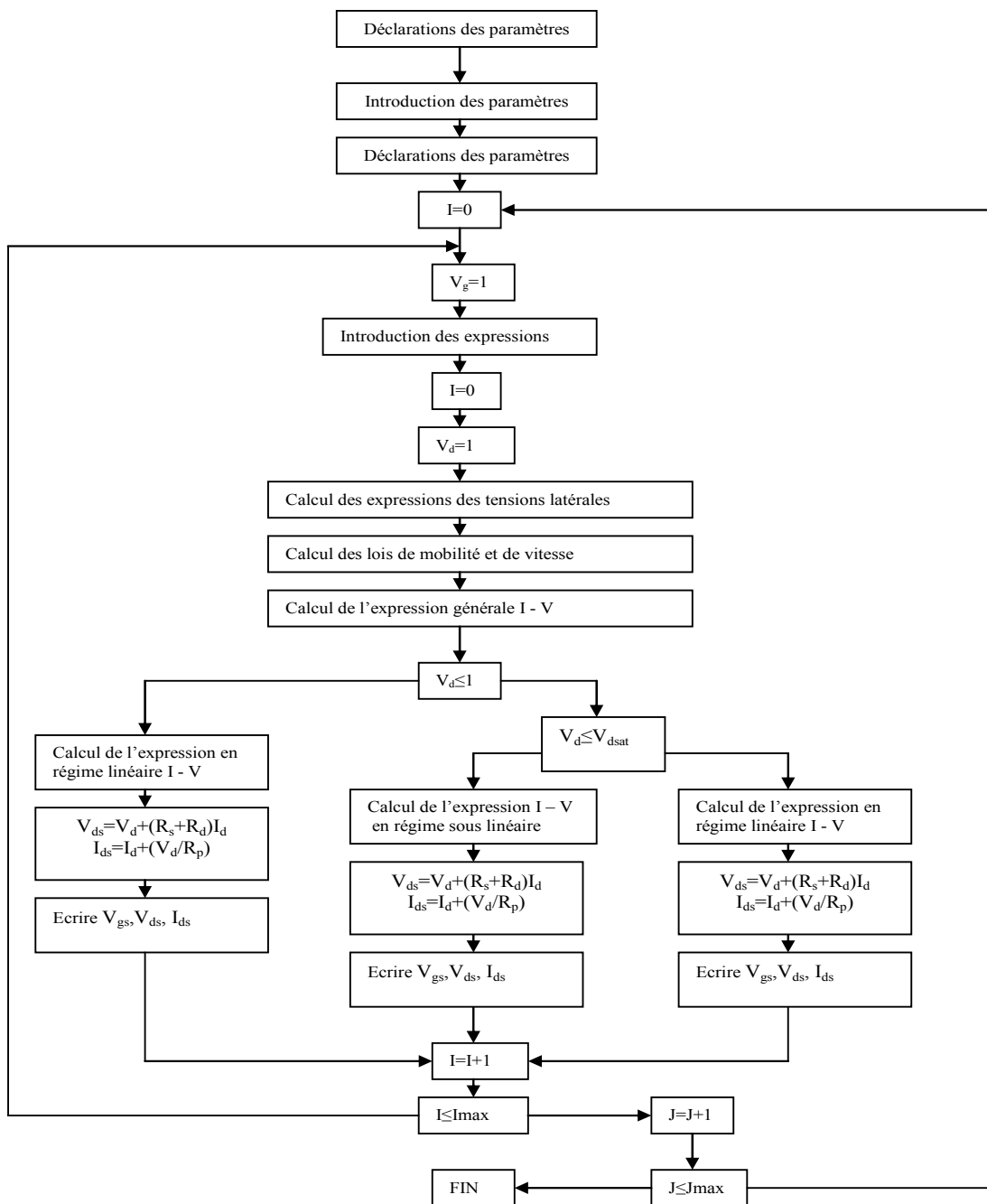


Figure II – 35: Organigramme de calcul des caractéristiques I-V.

Le calcul numérique du courant de drain en fonction des tensions de polarisations fait appel aux expressions (2.112), (2.113), (2.114), (2.115), (2.116) et (2.117) établies précédemment.

L'étude a été effectuée sur deux transistors le MESFET N°1 et le MESFET N°2 [28] dont les paramètres sont regroupés dans le tableau suivant :

Transistor	L(μm)	a(μm)	Z(μm)	μ ₀ (m ² /Vcm)	N _d (10 ²³ /m)	V _S (m/s)	V _{bi} (V)	V _p (V)
MESFET 1	1	0.153	300	0.4000	1.17	3.6.10 ⁵	0.85	1.93
MESFET2	0.5	0.1435	300	0.4000	1.31	7.3.10 ⁵	0.85	1.95

Tableau II – 2 : Les paramètres géométriques des transistors MESFET1 et MESFET2

Pour calculer les tensions V_{id} et V_{is} (expressions 2.119 et 2.120), les valeurs des paramètres a_1 , b_1 , c_1 et V_I/V_p utilisés sont regroupées dans le tableau II - 3.

MESFET N°	a_1	b_1	C_1	V_I/V_p
1	-0,10	0,10	0,04	0,01
2	-0,14	0,10	0,03	0,01

Tableau II – 3 : Les paramètres a_1 , b_1 , C_1 et V_I/V_p des transistors 1 et 2

Afin d'examiner la validité de notre modèle, nous avons comparé les résultats théoriques avec ceux d'expérimentaux pour les deux transistors précédents [MESFET1 et MESFET2].

Sur les figures II - 36.a et II - 36.b nous avons présenté respectivement la comparaison de la caractéristique $I_{ds}(V_{ds}, V_{gs})$ mesurée et calculé à l'aide de la simulation pour le MESFET1 et MESFET2.

En régime linéaire, c'est à dire à faible tension de polarisation de drain, nous remarquons un bon accord entre les valeurs expérimentales et celles de la simulation pour les deux transistors.

Lorsque la tension de drain augmente et devient plus importante nous remarquons un certain écart entre les valeurs expérimentales et les résultats de la simulation qui augmente au fur et à mesure jusqu'à la saturation. Cet écart est principalement dû aux approximations faites soit dans le modèle mathématique et dans le logiciel de simulation, à l'effet des paramètres géométriques, ainsi qu'à l'existence des phénomènes quantiques parasites que nous ne n'avons pas pris en considération.

En régime de saturation, lorsque la tension de drain devient importante. Nous avons remarqué que les résultats théoriques sont en bon accord avec ceux de l'expérience.

En conclusion, nous remarquons également que les résultats théoriques et ceux de l'expérience ont le même comportement envers la tension de drain et coïncidant bien, notamment aux valeurs élevées de la tension V_{ds} . Ceci montre le bien fondé de la méthode.

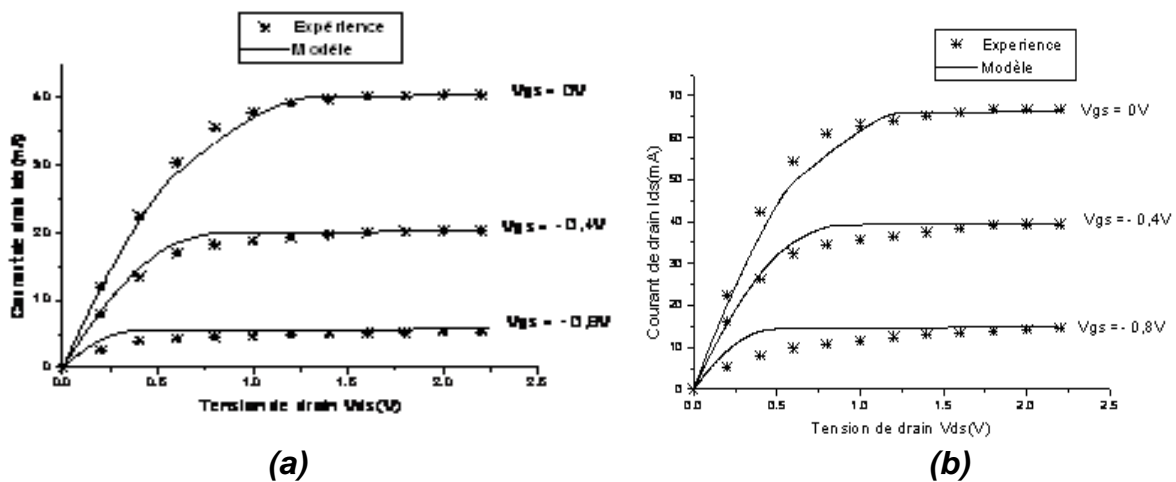


Figure II – 36 : Comparaison de la caractéristique I-V mesuré et calculé à l'aide de la simulation : (a) pour le MESFET N°1. (b) pour le MESFET N°2.

a) Effet des résistances parasites de source et de drain

Dans le but de mettre en évidence les effets des résistances parasites de source R_s et de drain R_d sur les caractéristiques I-V du MESFET GaAs, nous présentons sur la figure II - 37, et dans le cas des deux transistors précédents, les variations du courant de drain en fonction de la tension de drain avec et sans les résistances parasites.

On voit clairement que les effets de ces résistances ne peuvent pas être négligés, et sont d'autant plus important que le courant de drain I_{ds} est élevé.

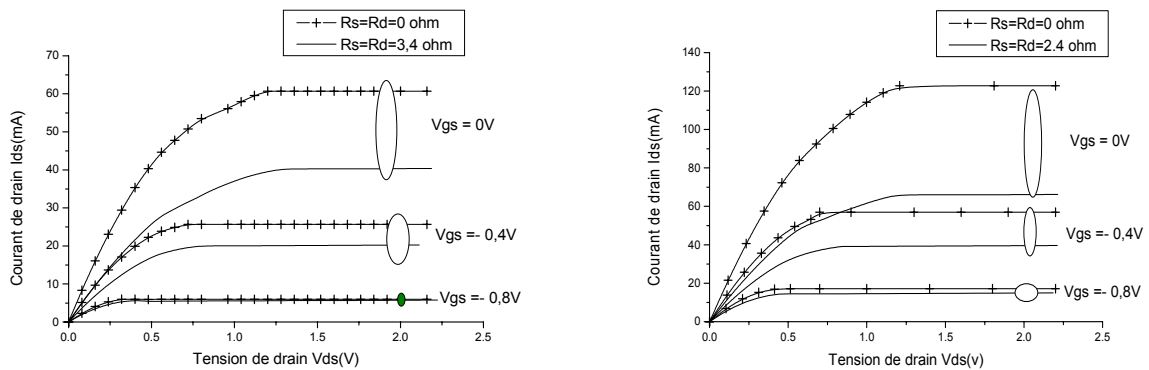


Figure II – 37 : Effet des résistances parasites sur les caractéristiques I-V.

b) Effet de la tension $V_l(x,y)$

La résolution bidimensionnelle de l'équation de Poisson doit prendre en considération deux tensions existant aux bords du canal conducteur V_{ls} côté source et V_{ld} côté drain. Ces tensions malgré leurs valeurs très faibles influencent sur les caractéristiques statiques I-V du transistor. Sur la figure II - 38 nous présentons l'effet de ces tensions de bord pour les deux structures que nous avons étudiées.

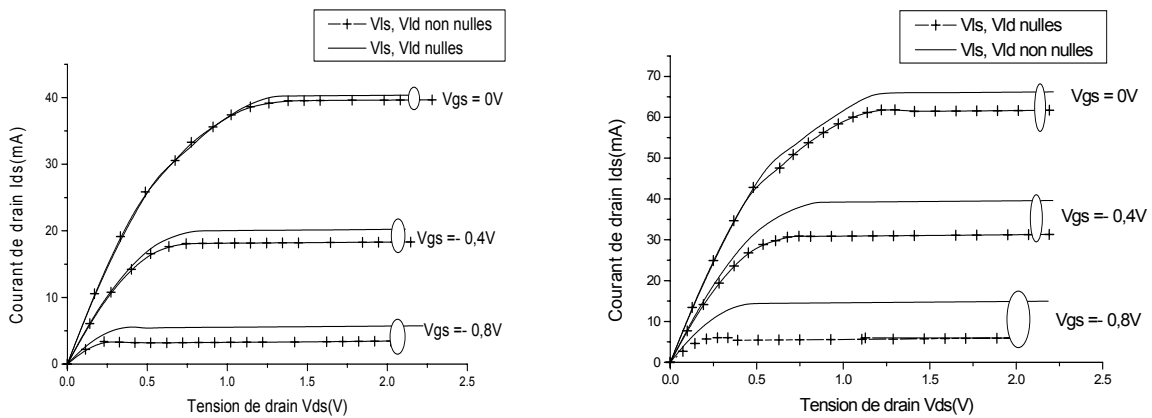


Figure II – 38 : Effet des tensions de bord V_{ls} et V_{ld} sur les caractéristiques I-V.

II – 9. EFFET NON LINEAIRE DE CAPACITE C_{GS} ET G_{GD}

La modélisation non linéaire des paramètres physiques et géométriques nécessite la connaissance et les déterminations des capacités de jonctions du transistor à effet de champ GaAs du semi-conducteur avec le métal.

Les capacités de grille et du drain du MESFET GaAs, noté respectivement des C_{gs} et des C_{gd} , sont basées sur la distribution des charges fixe dans la couche de déplétion, celle - ci est subdivisée pour une partie interne et externe. La première est sous la grille et la masse du transistor (capacités intrinsèques). La deuxième est présentée par les extensions de la zone de charge d'espace en direction du drain et de l'origine, (capacités extrinsèques ou parasites).

II – 9 - 1. Détermination de la charge de la région de déplétion

Les charges fixes de la couche de déplétion ou de la zone de charge d'espace (Z.C.E) du composant sont réparties en quatre régions représentées figure II - 39:

1° / région non saturée du canal sous la grille;

2° / la région saturée du canal sous la grille qui existe seulement à la saturation;

3° et 4° / est respectivement les extensions de la couche de déplétion dans les régions coté source et coté drain.

Nous allons déterminer dans une première phase les expressions de la charge dans ces régions, dans les deux modes de polarisation du transistor, ensuite déterminer par la suite les capacités grille – source et capacités du grille - drain.

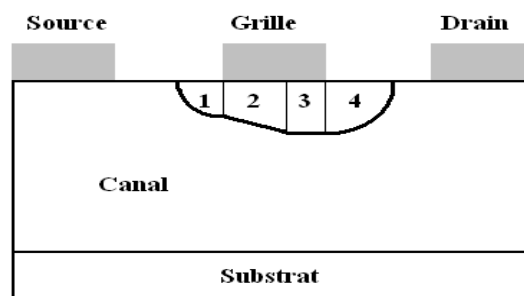


Figure II - 39: Répartition de la charge fixe en région de déplétion.

II – 9 – 1 – 1. Régime linéaire:

Quand la tension du drain est faible, l'approximation graduelle du canal est utilisée, dans toute la partie interne de la couche de déplétion, pour déterminer l'effet de bord de la grille autour de cette région (figure II - 40a) [30], [31]. Dans ce cas, la charge dans cette zone peut être calculée par l'expression suivante:

$$Q_{gl} = qN_d Z \frac{L}{2} \{d_{0l} + d_{1l}\} \quad (126)$$

Où: q la charge de l'électron, N_d la densité des électrons, L et Z sont respectivement la longueur et la largeur du canal, d_{0l} , les d_{1l} sont respectivement les largeurs des zones dépeuplées dans les directions de la source et du drain (figure II – 40a), définies comme suit:

$$d_{0l} = a \sqrt{\frac{V_{bi} + V_g}{V_p}} \quad (127)$$

$$d_{vl} = a \sqrt{\frac{V_{bi} + V_d + V_g}{V_p}} \quad (128)$$

Avec: un l'épaisseur du canal, V_{bi} la tension de grille intrinsèque métal - semi conducteur, V_p le pincement fermé tension, V_g la tension de porte et V_d la tension du drain. Dans l'autre main, les arêtes des extensions dépeuplées sont considérées comme portions du cercle (figure II - 40a) des zones en direction de la source et du drain [32-35]. Les charges stokées dans ces deux zones, Q_{sl} distingué et Q_{dl} sont calculées comme suit:

$$Q_{sl} = qN_d Z \frac{\pi}{2} \frac{d_{0l}^2}{2} \quad (129)$$

$$Q_{dl} = qN_d Z \frac{\pi}{2} \frac{d_{1l}^2}{2} \quad (130)$$

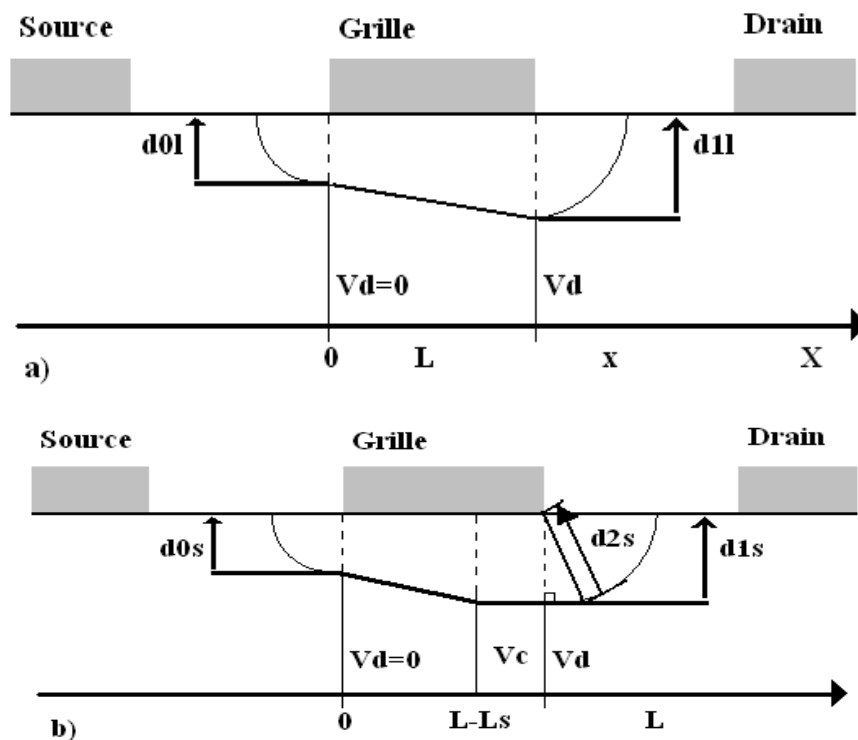


Figure II - 40: Configuration région de déplétion, a: régime linéaire ; b: régime saturé.

D'où la charge totale Q_{gpl} , dû aux extensions dépeuplées est:

$$Q_{gpl} = Q_{sl} + Q_{dl} \quad (131)$$

$$Q_{gpl} = qN_d Z \frac{\pi}{2} \left\{ \frac{d_{0l}^2 + d_{1l}^2}{2} \right\} \quad (132)$$

La charge totale Q_l de la porte dans le mode linéaire est alors égal à la somme de : Q_{gl} et Q_{gpl}

$$Q_l = Q_{gl} + Q_{gpl} \quad (133)$$

$$Q_l = qN_d Z \left\{ \frac{L}{2} (d_{0l} + d_{1l}) + \frac{\pi}{2} \left(\frac{d_{0l}^2 + d_{1l}^2}{2} \right) \right\} \quad (134)$$

II – 9 – 1 – 2 - Mode de saturation

La configuration du transistor représentée sur la figure II – 40b où la zone intrinsèque est divisée dans deux parties. Dans la première partie, l'approximation de canal graduelle reste toujours valide, alors que dans la deuxième partie, ou l'effet de bord est constant, pour une valeur invariante de la tension du drain [35]. Sous ces conditions, les charges $Qg0s$ et $Qg1s$ stockées dans ces deux parties est exprimé comme suit:

$$Qg0s = qN_d Z \frac{(L - L_s)}{2} \{d_{0s} + d_{1s}\} \quad (135)$$

$$d_{0s} = a \sqrt{\frac{V_{bi} + V_g}{V_p}} \quad (136)$$

$$d_{1s} = a \sqrt{\frac{V_{bi} + V_d + V_g}{V_p}} \quad (137)$$

$$Qg1s = qN_d Z L_s d_{1s} \quad (138)$$

Avec: L_s la longueur de la partie constante. Son expression est donnée par la relation suivante [30,39]:

$$L_s(V_d, V_g) = \frac{2a}{\pi} \text{Sinh}^{-1} \left\{ \frac{\pi K d}{2a E_s} (V_d - V_c) \right\} \quad (139)$$

V_c : est la chute de tension entre l'origine et le début de la région de la saturation, c-à-d. avec $X = L - L_s$. Son expression est comme suit [31]:

$$V_c(V_g) = \frac{(V_g - V_p) E_s L}{E_s L + V_g - V_p} \quad (140)$$

Kd : est le paramètre du domaine [40]. E_s : est le champ électrique longitudinal pour lequel les électrons atteignent leur vitesse limite. La charge intrinsèque totale Qgs à la saturation est:

$$Qgs = Qg0s + Qg1s \quad (141)$$

Cependant, la zone extrinsèque dans le dans la direction de la source reste inchangée avec le mode linéaire, alors que la deuxième zone dans la direction du drain devient la somme des parties séparées du cercle et du triangle rectangle (figure II – 40b) [31,32]. De lequel nous déduisons les Qss et capacités Qds qui sont entreposées sur ces parties:

$$Qss = Qsl = qN_d Z \left\{ \frac{\pi d_{0s}^2}{2} \right\} \quad (142)$$

$$Qds = qN_d Z \left\{ \frac{d_{1s} \sqrt{d_{2s}^2 - d_{1s}^2}}{2} + \frac{d_{2s}^2}{2} \text{Sin}^{-1} \left(\frac{d_{1s}}{d_{2s}} \right) \right\} \quad (143)$$

Avec:
$$d_{2s} = a \sqrt{\frac{V_{bi} + V_d + V_g}{V_p}} \quad (144)$$

La charge totale $Qgps$ due à ces extensions dans le mode saturé est alors:

$$Q_{gps} = qN_d Z \left\{ \frac{\pi d_{0s}^2}{2} + \frac{d_{1s} \sqrt{d_{2s}^2 - d_{1s}^2}}{2} + \frac{d_{2s}^2}{2} \operatorname{Sin}^{-1} \left(\frac{d_{1s}}{d_{2s}} \right) \right\} \quad (145)$$

Finalement, la charge totale de la grille Q_s dans le mode saturé est égal à:

$$Q_s = qN_d Z \left\{ \left(\frac{(L - L_s)}{2} (d_{0s} + d_{1s}) \right) + L_s d_{1s} + \left(\frac{\pi d_{0s}^2}{2} + \frac{d_{1s} \sqrt{d_{2s}^2 - d_{1s}^2}}{2} + \frac{d_{2s}^2}{2} \operatorname{Sin}^{-1} \left(\frac{d_{1s}}{d_{2s}} \right) \right) \right\} \quad (146)$$

II – 9 - 2. Détermination des capacités

Nous déterminerons les expressions analytiques de ces capacités dans les régimes: linéaire et de saturation du transistor.

II – 9 - 2.- 1. La capacité grille - source:

a) Régime linéaire

La capacité de la grille - source C_{gs} dans le régime linéaire est:

$$C_{gs} = \left. \frac{\partial Q_l}{\partial V_g} \right|_{v_d} = \left. \frac{\partial Q_{gl}}{\partial V_g} \right|_{v_d} + \left. \frac{\partial Q_{gpl}}{\partial V_g} \right|_{v_d} \quad (147)$$

Où:

$$\left. \frac{\partial Q_{gl}}{\partial V_g} \right|_{v_d} = C_{gsl} \quad \text{Capacité intrinsèque} \quad (148)$$

$$\left. \frac{\partial Q_{gpl}}{\partial V_g} \right|_{v_d} = C_{gspl} \quad \text{Capacité parasite} \quad (149)$$

Nous obtenons les équations suivantes:

$$C_{gsl} = \left. \frac{\partial Q_{gl}}{\partial V_g} \right|_{v_d} = qN_d Z L \frac{a^2}{4V_p} \left\{ \frac{1}{d_{0l}} + \frac{1}{d_{1l}} \right\} \quad (150)$$

$$C_{gspl} = qN_d Z \frac{\pi a^2}{2 V_p} \quad (151)$$

$$C_{gs} = qN_d Z \left\{ \frac{La^2}{4V_p} \left(\frac{1}{d_{0l}} + \frac{1}{d_{1l}} \right) + \frac{\pi a^2}{2 V_p} \right\} \quad (152)$$

b) Régime de la saturation

Dans ce mode, la capacité de la grille - source a noté C'_{gs} est alors égal à:

$$C'_{gs} = \left. \frac{\partial Q_s}{\partial V_g} \right|_{v_d} = \left. \frac{\partial Q_{gs}}{\partial V_g} \right|_{v_d} + \left. \frac{\partial Q_{gps}}{\partial V_g} \right|_{v_d} \quad (153)$$

Où:

$$\left. \frac{\partial Q_{gs}}{\partial V_g} \right|_{v_d} = C_{gss} \quad \text{Capacité intrinsèque} \quad (154)$$

$$\left. \frac{\partial Q_{gps}}{\partial V_g} \right|_{V_d} = C_{gsp} \text{ Capacité parasite} \quad (155)$$

Nous aboutissons aux expressions suivantes:

$$C_{gss} = qN_d Z \left\{ \frac{a^2}{4Vp} \left[\frac{L-Ls}{d_{0s}} + \frac{L+Ls}{d_{1s}} \left(1 + \left(\frac{Vc}{Vg-Vt} \right)^2 \right) \right] + \frac{Kd(d_{0s} - d_{1s})}{2Es\sqrt{1+b^2}} \left(\frac{Vc}{Vg-Vt} \right)^2 \right\} \quad (156)$$

$$C_{gsp} = qN_d Z \frac{a^2}{4Vp} \left\{ \pi + 2\sqrt{\frac{d_{2s}^2 - d_{1s}^2}{d_{1s}^2}} + 2\text{Sin}^{-1}\left(\frac{d_{1s}}{d_{2s}}\right) + 2\sqrt{\frac{d_{2s}^2 - d_{1s}^2}{d_{1s}^2}} \left(\frac{Vc}{Vg-Vt} \right)^2 \right\} \quad (157)$$

$$C_{gs} = qN_d Z \left\{ \frac{a^2}{4Vp} \left[\pi + \frac{L-Ls}{d_{0s}} + 2\text{Sin}\left(\frac{d_{1s}}{d_{2s}}\right) + \left(\frac{Ls+L}{d_{1s}} + 2\sqrt{\frac{d_{2s}^2 - d_{1s}^2}{d_{1s}^2}} \right) \left(1 + \left(\frac{Vc}{Vg-Vt} \right)^2 \right) \right] + \frac{Kd(d_{0s} - d_{1s})}{2Es\sqrt{1+b^2}} \right\} \quad (158)$$

$$b = \frac{\pi Kd(Vd - Vc)}{2aEs} \quad (159)$$

II – 9 - 2.- 2. La capacité grille drain

Nous suivons les mêmes étapes comme précédemment.

a) Régime linéaire

La capacité grille - drain en régime linéaire, Cgd est :

$$C_{gd} = \left. \frac{\partial Q_l}{\partial V_d} \right|_{V_g} = \left. \frac{\partial Q_{gl}}{\partial V_d} \right|_{V_g} + \left. \frac{\partial Q_{gpl}}{\partial V_d} \right|_{V_g} \quad (160)$$

Avec:

La capacité intrinsèque est:

$$\left. \frac{\partial Q_{gl}}{\partial V_d} \right|_{V_g} = C_{gdl} \quad (161)$$

La capacité parasite est :

$$\left. \frac{\partial Q_{gpl}}{\partial V_d} \right|_{V_g} = C_{gdpl} \quad (162)$$

Nous trouvons alors:

$$C_{gdl} = qN_d ZL \frac{a^2}{4Vp} \frac{1}{d_{1l}} \quad (163)$$

$$C_{gdpl} = qN_d Z \frac{\pi a^2}{4Vp} \quad (164)$$

$$C_{gd} = qN_d Z \frac{a^2}{4Vp} \left\{ \frac{L}{d_{1l}} + \pi \right\} \quad (165)$$

b) Régime de saturation

De la même façon, la capacité du grille - drain dans le régime de la saturation, C'_{gd} , est égal à:

$$C'_{gd} = \left. \frac{\partial Q_s}{\partial V_d} \right|_{V_g} = \left. \frac{\partial Q_{gs}}{\partial V_d} \right|_{V_g} + \left. \frac{\partial Q_{gps}}{\partial V_d} \right|_{V_g} \quad (166)$$

Où:

La capacité intrinsèque est:

$$\left. \frac{\partial Q_{gs}}{\partial V_d} \right|_{V_g} = C_{gds} \quad (167)$$

La capacité parasite est :

$$\left. \frac{\partial Q_{gps}}{\partial V_d} \right|_{V_g} = C_{gdps} \quad (168)$$

Après plusieurs calculs, nous arrivons aux expressions suivantes:

$$C_{gds} = qN_d Z \frac{Kd(d_{1s} - d_{0s})}{2Es\sqrt{1+b^2}} \quad (169)$$

$$C_{gdps} = qN_d Z \frac{a^2}{2Vp} \text{Sin}^{-1} \left(\frac{d_{1s}}{d_{2s}} \right) \quad (170)$$

$$C_{gd}' = qN_d Z \left\{ \left(\frac{Kd(d_{1s} - d_{0s})}{2Es\sqrt{1+b^2}} \right) + \left(\frac{a^2}{2Vp} \text{Sin}^{-1} \left(\frac{d_{1s}}{d_{2s}} \right) \right) \right\} \quad (171)$$

II – 9 – 3. Simulation des capacités C_{gs} et C_{gd} :

D'après les expressions analytiques antérieures, la variation de capacités avec le biais a été emportée pour le transistor MESFET1 [32], à qui paramètres sont donnés dans le tableau.

Sur figure II - 41 on a représentés la variation de deux composants de la capacité du grille-drain, le C_{gdl} composant intrinsèque et le C_{gdpl} composant parasite dans la mode linéaire, d'après la tension du drain, pour plusieurs valeurs de la tension de porte.

Sur figure II - 4, nous présentons la capacité intrinsèque C_{gds} (Figure II - 42a) et la capacité parasite C_{gdps} (figure II - 42b) dans la mode de la saturation. Nous voyons que la capacité C_{gds} varie toujours au même rythme dans la mode linéaire, alors que les croissances de capacité C_{gdps} avec la tension du drain et baisses avec la tension de porte. Nous notons aussi que la capacité parasite est approximativement cent fois la capacité intrinsèque, c'est la capacité qui domine dans la mode de la saturation.

TRANS	L(μm)	a(μm)	z(μm)	Vbi(μm)	$\mu_0(m^2V^{-1}s^{-1})$	$v_s(ms^{-1})$	Nd(m^{-3})
MESFET1	1	0.2	200	0.75	0.3	1.010^5	$1.0 \cdot 10^{23}$

Tableau II - 4 : Paramètres du transistor MESFET1

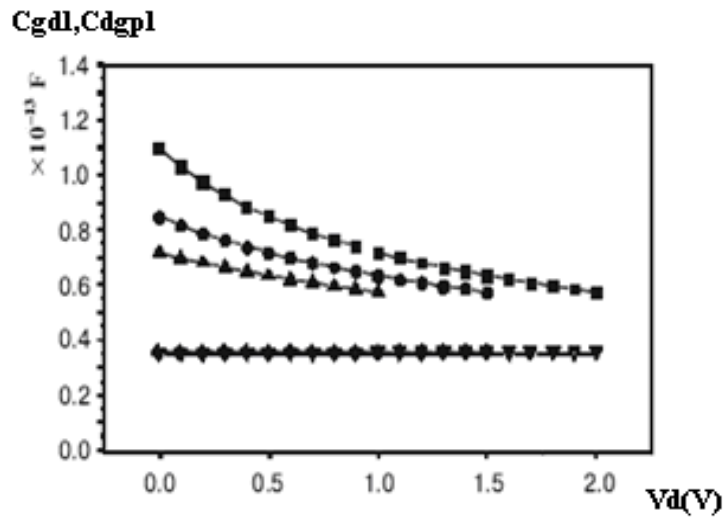
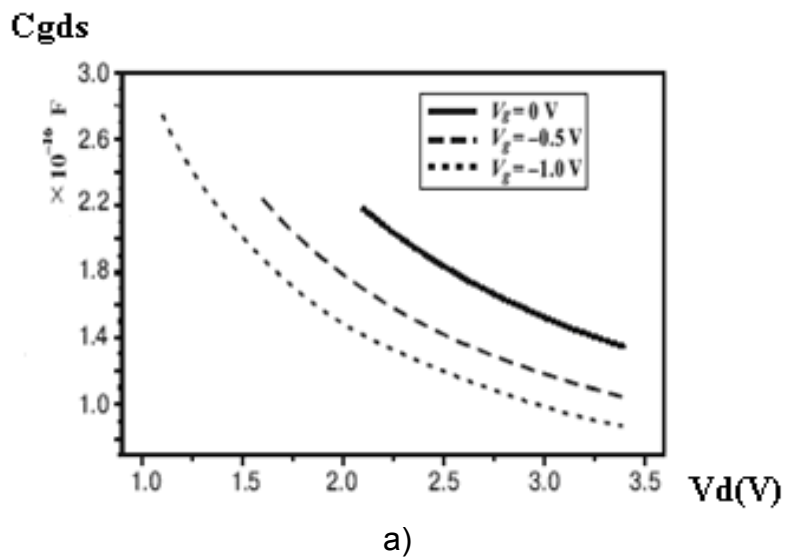
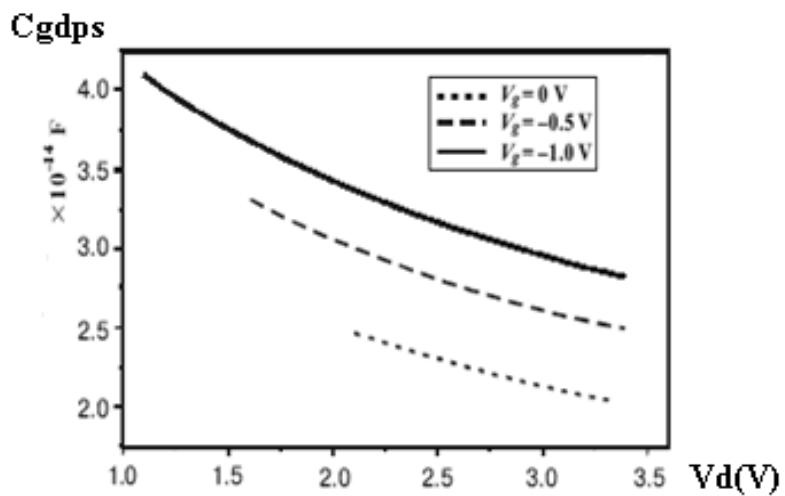


Figure II - 41: Capacité intrinsèque et parasite grille - drain en régime linéaire.



a)



b)

Figure II – 42: Capacité grille - drain en régime de saturation ;
a) intrinsèque, b) parasite.

Sur la figure II - 43, nous présentons la capacité du grille-drain totale dans les deux modes de polarisation. Comme nous avons vu précédemment, une légère réduction de la capacité avec la tension du drain dans le mode linéaire, alors qu'elle est presque invariante en mode de saturation. Nous notons aussi la mutation discontinue entre les deux modes de polarisation et un chevauchement entre les caractéristiques.

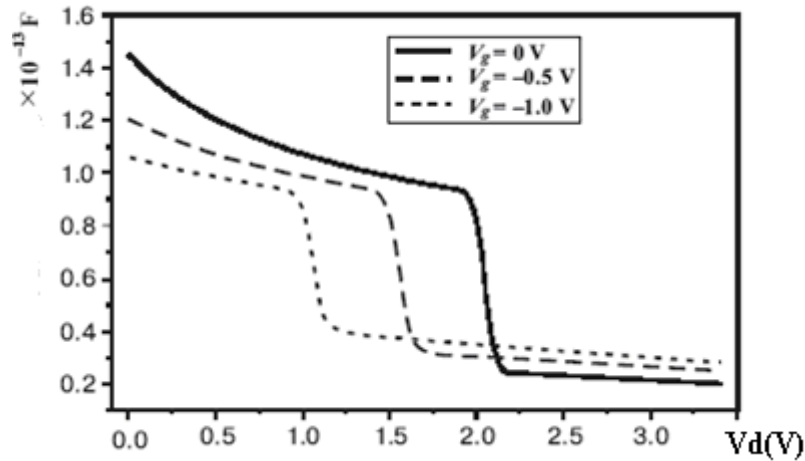


Figure II - 43: Capacité total grille-drain.

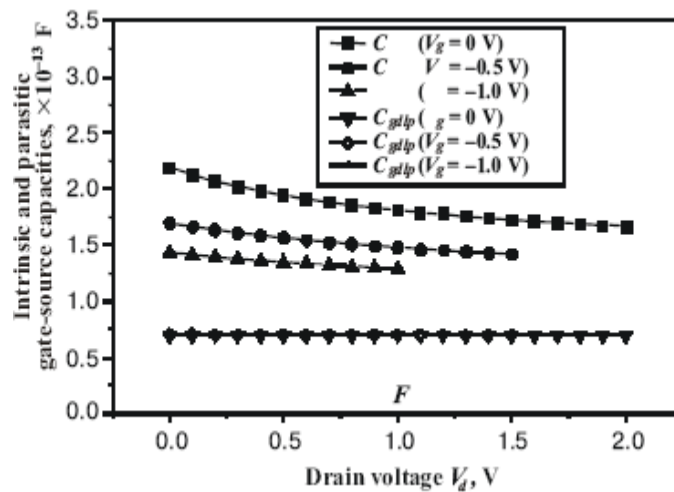


Figure II - 44: Capacité intrinsèque et parasite grille - source en régime linéaire.

Sur la figure II - 44, nous illustrons le C_{gsl} composant intrinsèque et le C_{gsp} composant parasite de la capacité de la grille-source d'après l'influéant drain, pour valeurs différentes de la tension de grille dans le régime linéaire. Nous notons des réductions légères de capacité C_{gsl} avec la tension du drain, et cette baisse augmente avec la tension de porte. Aussi, et pour une valeur fixe de la tension du drain, ces réductions de capacité avec la tension de porte. Cependant, la capacité C_{gsp} est invariante. De plus, la capacité intrinsèque est de plus en plus haute que la capacité parasite dans cette mode de polarisation.

Dans la mode de la saturation, nous observons (figure II – 45a) que la capacité de la grille-origine intrinsèque C_{gss} devient invariant vers la tension du drain, et toujours augmentations avec la tension de porte. Contrairement à la capacité du grille-drain, cette capacité maintient toujours son ordre de grandeur.

Cependant, la capacité de la grille -origine parasite C_{ggs} (Figure II – 45b) augmente constamment avec la tension du drain, et augmentations avec la tension de porte.

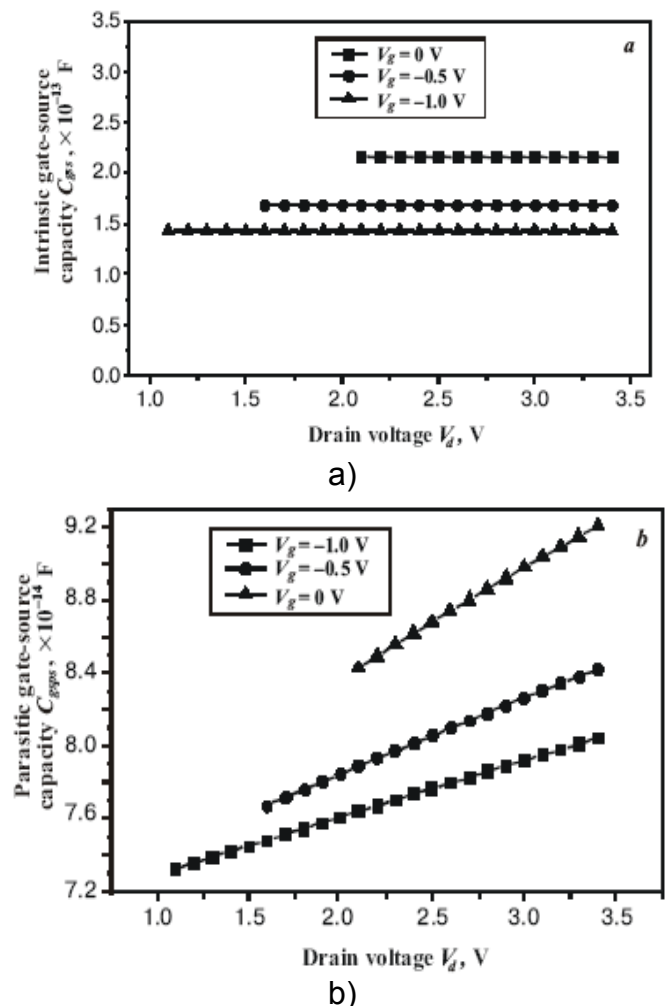


Figure II – 45: Capacité grille - source en régime de saturation a) intrinsèque, b) parasite.

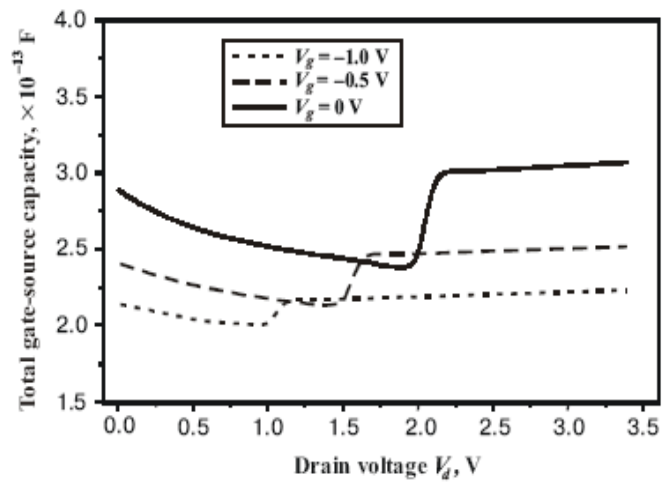


Figure II - 46: Capacité totale de grille - source.

Sur la figure II – 46, nous présentons la variation de la capacité totale grille-source dans les deux modes de polarisation pour les mêmes valeurs de la tension de grille. Nous observons que cette capacité varie dans la même manière comme la capacité totale de grille-drain dans le mode linéaire, avec une légère augmentation dans le mode de saturation. Nous remarquons aussi un chevauchement entre les caractéristiques, et la variation abrupte en mode linéaire et en mode saturation qui décroît avec la tension de grille.

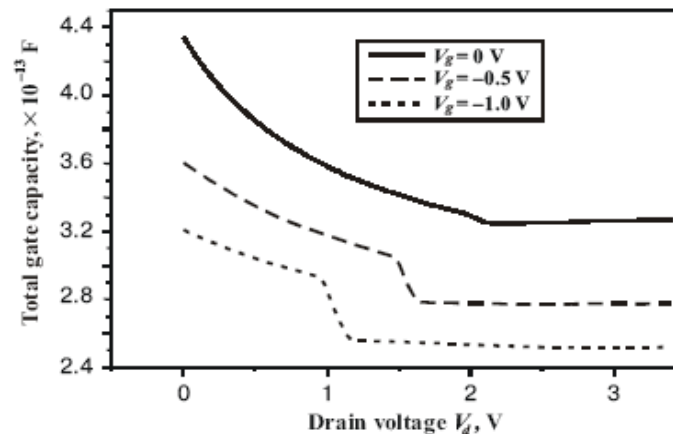


Figure II - 47: Capacité totale de grille.

Nous montrons sur figure II – 47, la variation de la capacité totale de grille qui est la somme des capacités grille-drain et grille-source. La première remarque que nous avons relevée est la disparition du chevauchement entre les caractéristiques, comme cela a été vu pour les capacités totales. Deuxièmement, nous notons que la variation abrupte entre la mode linéaire et la mode de la saturation devient de plus en plus faible avec augmentation de la tension de grille.

Pour valider des résultats obtenus avec notre modèle, nous avons comparés avec les résultats expérimentales prises de la littérature sur plusieurs transistors (Tableau II - 5).

Transistor	a(μm)	Z(μm)	L(μm)	μ ₀ (m ² V ⁻¹ s ⁻¹)	v _s (ms ⁻¹)	Es(Vm ⁻¹)	Vp(V)	Vt(V)	Nd(cm ⁻³)
MESFET2	167 10 ⁻³	150	0.5	23 10 ⁻²	1.9610 ⁵	8.5 10 ⁵	1.4	-65 10 ⁻²	72 10 ²¹
MESFET3	7 10 ⁻²	35	0.5	33 10 ⁻²	10 ⁵	33 10 ³	1.75	-1	5 10 ²³

Tableau II - 5: les paramètres utilisés des transistors

Sur la figure II - 48, nous présentons les caractéristiques expérimentales de la capacité du grille-drain du MESFET3 [42], pour la tension du drain à V_g = 0V. Nous tracé la variation de la capacité intrinsèque C_{gds}. Nous remarquons que la courbe de la capacité C_{gds} a le même comportement, en direction de la tension du drain, comme la courbe expérimentale.

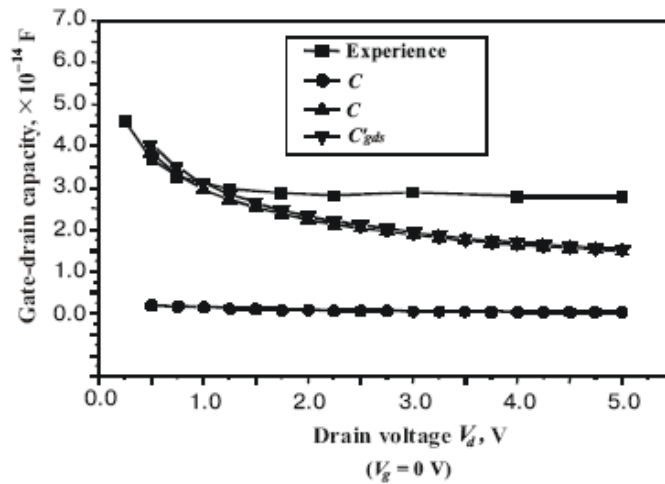


Figure II - 48: Comparaison des résultats théoriques et expérimentales pour le MESFET 2.

Sur Figure II - 49, nous présentons la variation expérimentale de la capacité grille - drain pour le transistor MESFET2 [41] avec la variation du drain pour une tension $V_g = 0V$. Nous présentons aussi le résultat théorique [41]. Pour notre modèle, nous présentons la capacité du grille - drain $C'gd$. Nous pouvons noter un bon accord avec les résultats expérimentaux.

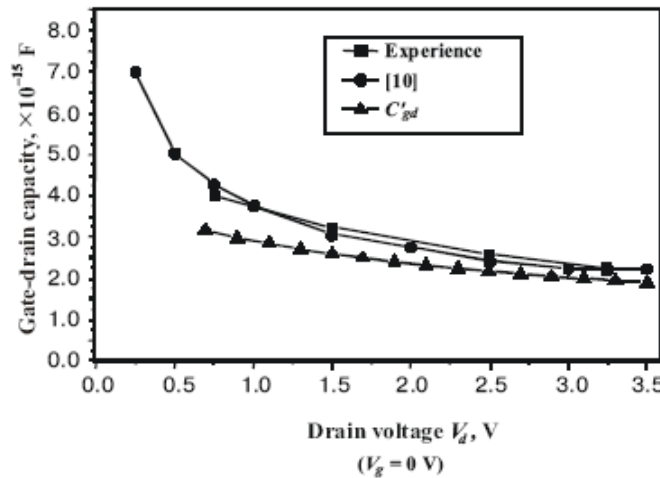


Figure II - 49: Comparaison des résultats théoriques et expérimentales pour le MESFET 3.

Sur Figure II - 50, nous présentons la variation expérimentale du MESFET3 [42] de la capacité de la grille – source avec la variation la tension de grille, pour $V_d = 4V$. Nous présentons aussi la capacité intrinsèque C_{gs} , la capacité parasite C_{gsps} et leur somme $C'gs$.

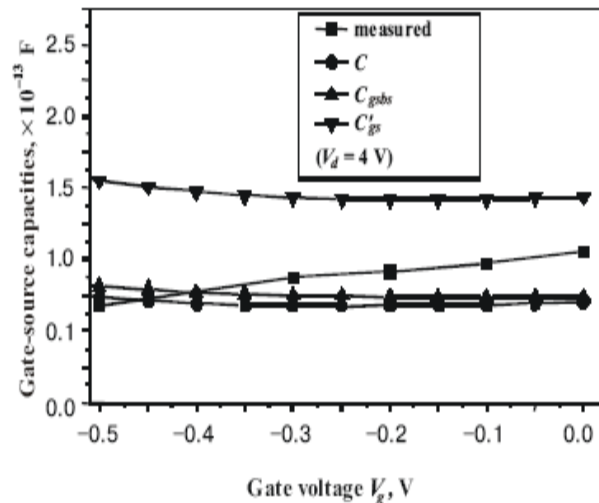


Figure II - 50: Comparaison des résultats théoriques et expérimentales pour le MESFET 3.

II – 10. MISE EN EVIDENCE EXPERIMENTALE DES DIFFERENTS PHENOMENES LIES À L'INTERFACE

Les propriétés de l'interface couche active substrat semi- isolant influencent les caractéristiques électriques et hyperfréquences des MESFET GaAs de l'arséniure de gallium étant un matériau où les pièges et les défauts sont particulièrement nombreux et difficiles à contrôler. En effet, la couche active peut être affectée à proximité de l'interface par la présence de nombreux défauts cristallographiques qui contribuent à diminuer la mobilité des porteurs libres dans cette zone. Les imperfections du substrat sont aussi responsables de l'existence d'une barrière interfaciale entre le substrat et la couche active.

La structure du transistor à effet de champ à grille Schottky à l'arséniure de gallium comporte un substrat semi-isolant compensé au chrome sur lequel on fait croître une couche épitaxie de gallium fortement dopée. Une couche déposée sur la couche N constitue l'électrode de grille, de forme rectangulaire, sur la face arrière du substrat semi-isolant peut être réalisé par alliage un contact ohmique appelé électrode de substrat.

Les caractéristiques de l'interface couche active substrat semi-isolant influencent fortement les propriétés électriques et hyperfréquences des MESFET GaAs. L'arséniure de gallium étant un matériau où les pièges et des défauts sont particulièrement nombreux et difficiles à contrôler

*la couche active peut être affectée à proximité de l'interface par la présence de nombreux défauts cristallographiques qui contribuent à diminuer la mobilité des porteurs libres dans cette zone.

*Les imperfections du substrat sont aussi responsables de l'existence d'une barrière interfaciale entre le substrat et la couche active. Pour cette raison le MESFET GaAs est entaché de nombreux effets parasites qui perturbent son fonctionnement.

II – 10 - 1. Effet d'hystérésis et de coude sur le réseau de caractéristiques statiques de sortie

Ces effets d'hystérésis et de coude se présentent comme des anomalies sur les caractéristiques I_D (V_{DS} , V_{GS}) de certains MESFET GaAs. En régime de saturation (figure II - 51), ces anomalies ont été observées par plusieurs auteurs et attribuées aux pièges d'interface couche épitaxie substrat serai isolant. Ces phénomènes induisent une dégradation importante des performances hyperfréquences des MESFET GaAs.

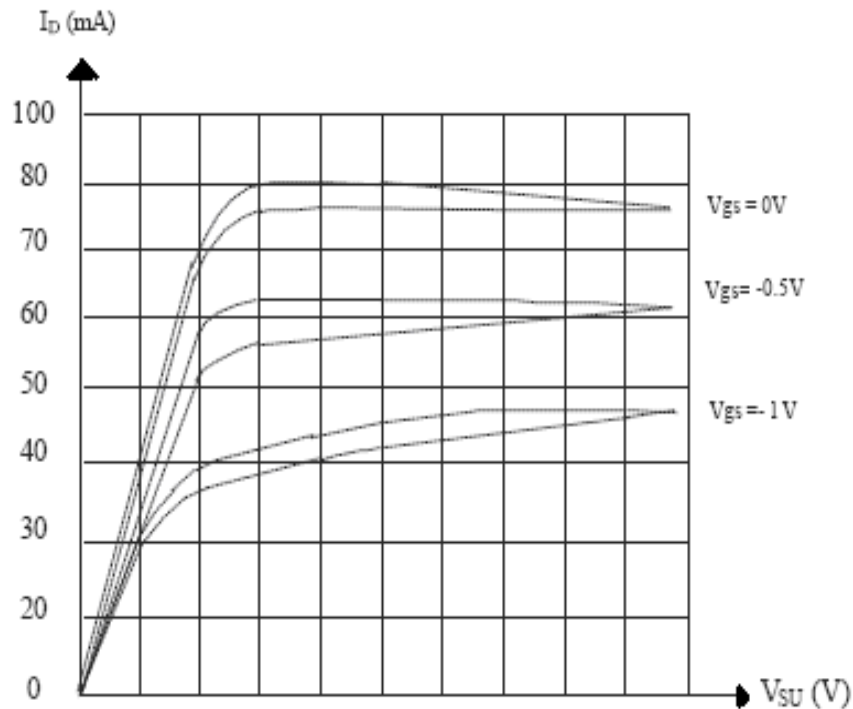


Figure II – 51 : Réseau de caractéristique $I_{DS}=f(V_{DS})$ pour $V_{GS}=0V, -0.5V, -1V$ présentant un phénomène d'hystérésis.

II – 10 - 2. Influence de la polarisation du substrat Sur les caractéristiques de sortie :

Sur la figure II - 52, nous avons présenté les caractéristiques de sortie I_D en fonction de (V_{DS} , V_{GS}) sur la variation de la tension de substrat V_{SU} . Nous constatons une décroissance du courant drain lorsqu'une tension négative est appliquée au substrat.

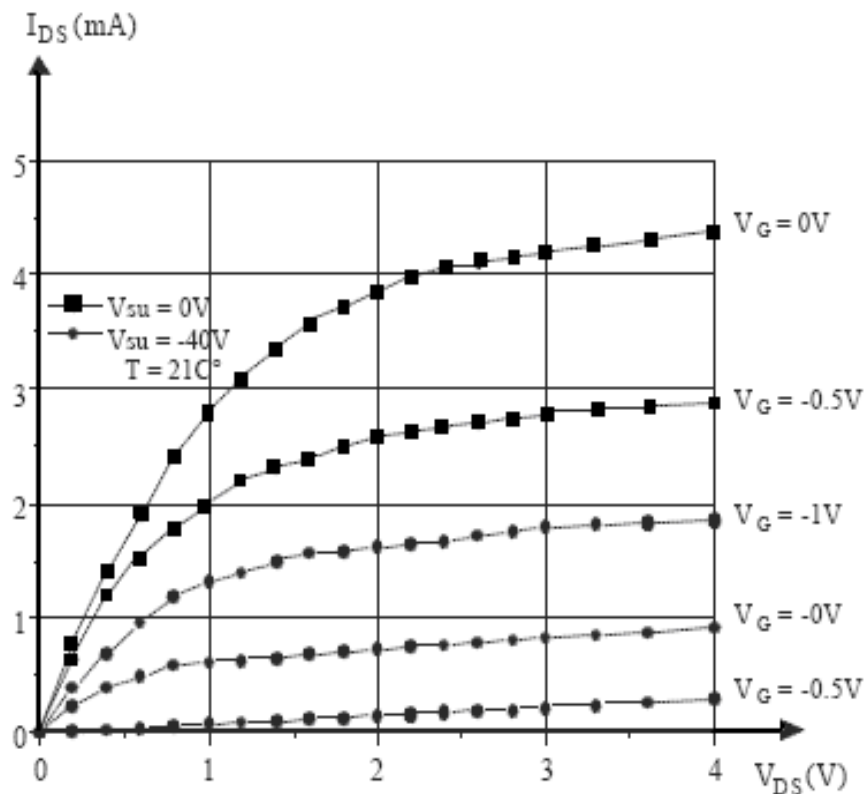


Figure II – 52 : Effet du substrat V_{SU} , sur le courant I_{DS} en fonction V_{DS}

II – 10 - 3. Influence de la polarisation du substrat sur la caractéristique de transfert à bas niveau de polarisation :

Sur la figure II - 53, nous avons reporté les variations du courant de drain I_D en fonction de la tension grille V_{GS} à faible tension de drain V_{DS} et pour plusieurs tensions de substrat. La caractéristique se translate suivant l'axe vertical.

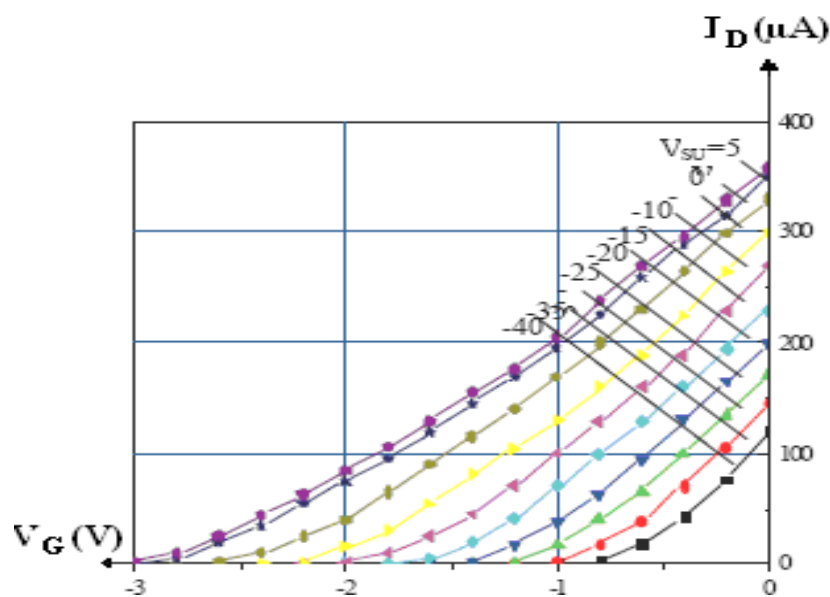


Figure II – 53 : Caractéristique de transfert en fonction de la tension du en fonction de la tension du substrat.

II – 10 - 4. Influence de la polarisation du substrat sur la tension de seuil V_T :

La tension de seuil représente la tension de grille pour laquelle l'extension de la charge d'espace dépeuplée de porteurs s'effectue dans tout le semi-conducteur. Pour cette valeur particulière de la tension de grille, le courant drain s'annule.

Dans notre cas, la figure II - 54 représente la détermination expérimentale de cette tension à partir de la caractéristique $I_D(V_G)$ en zone ohmique, à V_D très faible.

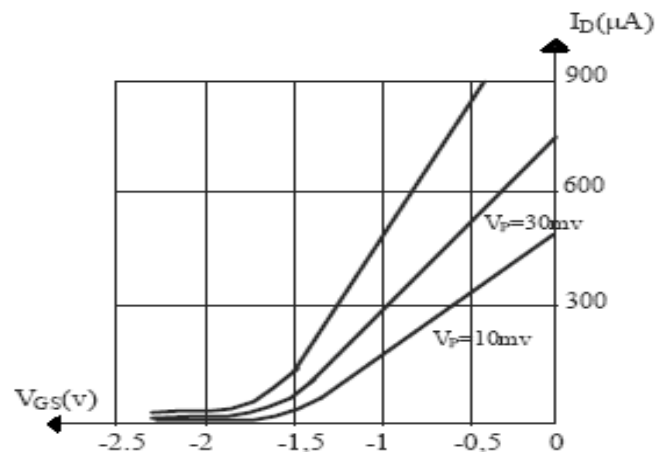


Figure II – 54 : Variation du courant de drain I_D en fonction de la tension de grille à faible tension drain-source, détermination de la tension de seuil V_T

Certains auteurs utilisent les variations de $I_D=f(V_G)$ en zone de saturation la valeur V_T obtenue étant différente de celle obtenue en zone ohmique. Dans le cas où une polarisation est appliquée au substrat, à partir des caractéristiques précédentes ; nous avons reportés la variation de la tension de seuil avec la polarisation du substrat (figure II - 55). Sur cette figure nous pouvons noter trois régions distinctes, en fonction de la valeur de la tension de substrat, une région décroissante puis une saturation et enfin une descente pour une tension de substrat positive.

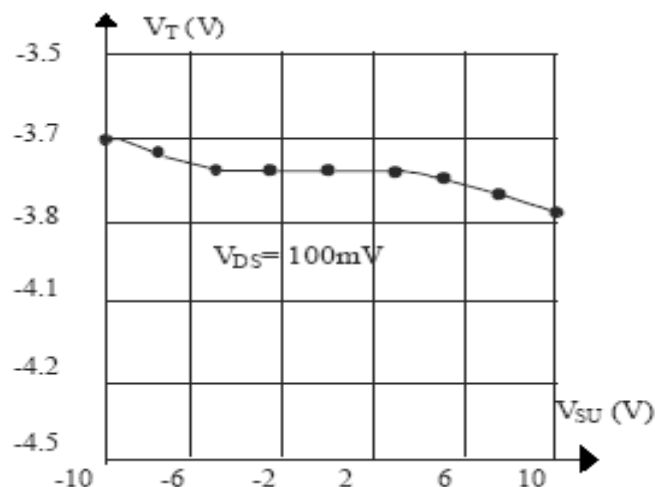


Figure II – 55 : Variation de la tension de seuil en fonction de la polarisation du substrat.

II – 10 - 5. Dispersion de la capacité d'entrée

Sur la figure II - 56, nous avons représentés, les variations de la capacité dynamique de grille en fonction de la tension de grille et ceci pour diverses valeurs de la tension de substrat. On remarque trois régions différentes sur la caractéristique. Une variation lente : une chute brusque et une région où la capacité tend vers une valeur nulle. La première région correspond à la capacité d'une diode Schottky polarisée en inverse ; ensuite dès que la tension de seuil est atteinte, la capacité est associée à la modulation de la charge électronique résiduelle dans les zones de charge d'espace. Les valeurs négatives de la tension de substrat provoquent une translation des caractéristiques alors que les valeurs positives ont peu d'influence.

Compte tenu du fait que cette caractéristique dépend de la polarisation du substrat, les méthodes de détermination du profil de dopage à partir de courbes $C(V)$ sont remises en question.

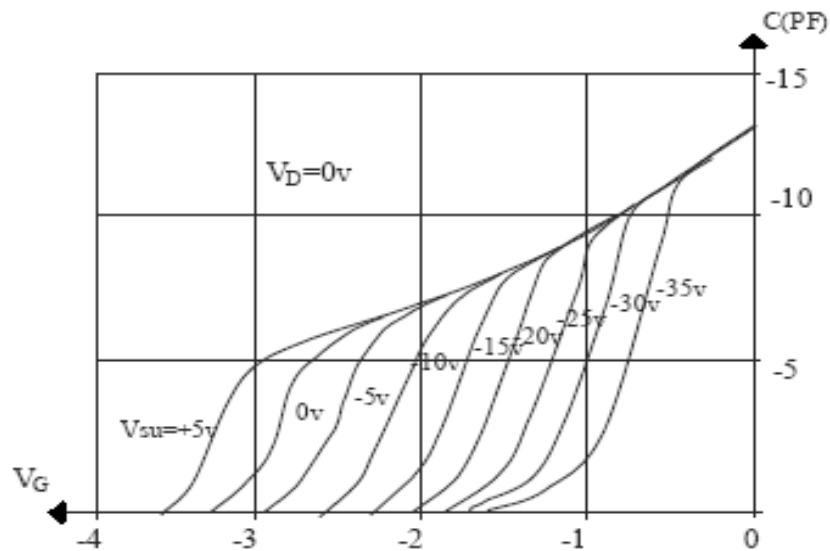


Figure II – 56 : Variations expérimentales de la capacité inverse de grille en fonction de la tension de grille pour diverses valeurs de la tension du substrat.

II – 10 - 6. Dispersion de la conductance de sortie

Lorsque la tension du drain varie suivant une loi sinusoïdale dans le temps, la caractéristique courant drain en fonction des tensions dépend de la valeur de la fréquence. Pour étudier cette dépendance fréquentielle, nous avons reporté les variations de la conductance de sortie en petits signaux de ces structures. Dans le plan de Nyquiste, les variations de la partie imaginaire en fonction de la partie réelle sont un demi-cercle, paramètre en fonction de la fréquence (figure II-57). Ce cercle existe quel que soit le régime de fonctionnement, en zone ohmique ou en zone de saturation, Cette dispersion de la conductance entraîne une dégradation importante des performances hyperfréquences des MESFET GaAs et notamment le gain en puissance.

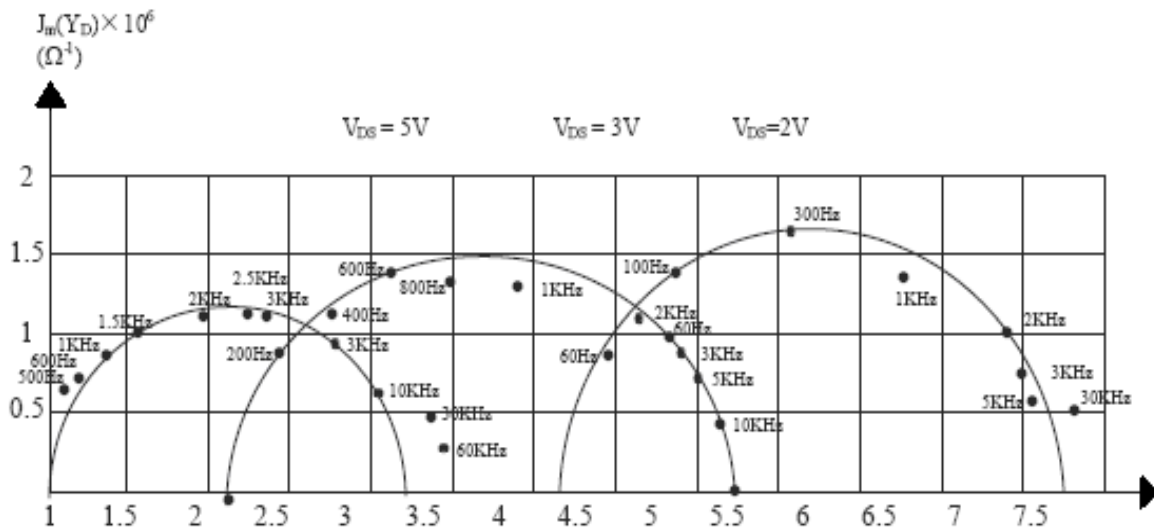


Figure II – 57 : Evolution en basses fréquences de l'impédance de sortie du MESFET GaAs.

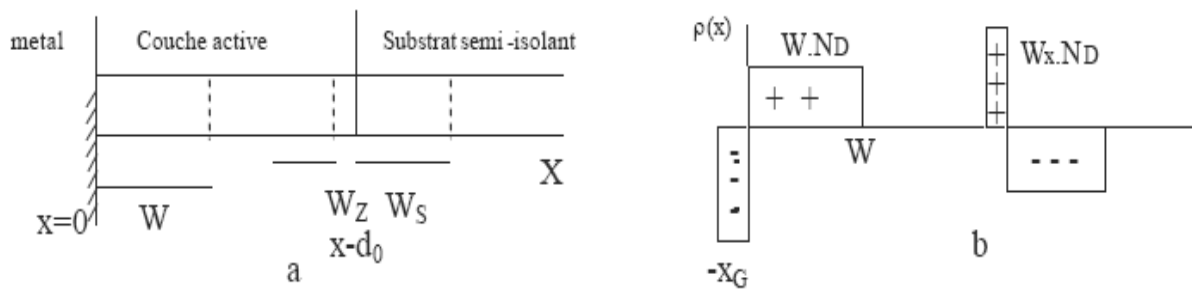


Figure II – 58 : Double zone de charge d'espace :
 a) charge d'espace dans le MESFET ; b) densité de charge.

II – 10 – 7. Interprétation des phénomènes

Certains auteurs ont interprété les anomalies de fonctionnement du MESFET GaAs par un mécanisme de piégeage qui se produit à l'interface couche active-substrat. Pour notre part, nous expliquons ces différents phénomènes par la présence d'une double charge d'espace à l'interface. En effet, lorsqu'on applique une tension de drain positive et lorsque une tension est appliquée ou non au substrat semi-isolant il se produit une répartition de ce potentiel entre la couche active et le substrat semi-isolant, d'où la naissance des zones de charges d'espace dans la structure :

Une zone de charge d'espace sous la grille de largeur W due à la polarisation inverse grille-source (figure II - 58).une charge fixe superficielle qui existe à l'interface semi-conducteur–semi-isolant analogue à celle que l'on trouve dans les structures semi-conducteur -isolant.

Des zones de charge d'espace de part et d'autre de l'interface pour satisfaire la loi de continuité de l'induction électrique, de largeur W_z et W_s . Une charge d'espace positive dans le semi-conducteur est due aux impuretés ionisées N_D et une charge d'espace négative dans le semi isolant est due aux impuretés qui rendent le substrat semi-isolant.

II – 11. INFLUENCE DE LA RESISTANCE DE GRILLE ET DU FACTEUR DE BRUIT

II – 11 - 1. Influence de la résistance de grille sur l'impédance d'entrée

La résistance associée à la métallisation de grille dégrade les performances micro-ondes et de commutation. Pour réaliser des MESFET à faible bruit, il est important de la diminuer. Cette résistance de grille R_g a été longtemps identifiée comme paramètre parasite qui dégrade le facteur de bruit et limite le gain de puissance des MESFETS de la Schottky-Barrière- grille (SBG). A la résistance de grille R_g définie sur la figure II - 59 on ajoute une résistance de métallisation : R_{ga} . La résistance de métallisation de la grille contribue clairement à R_g [30]. Elle est déterminée d'une manière distribuée, et traduit l'effet de la résistance bout à bout d'un doigt de la grille:

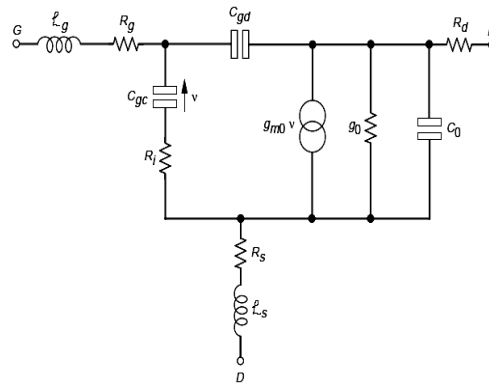


Figure II – 59 : Circuit équivalent en haute fréquence

$$R_{ga} = \frac{r_{ga} W_g}{3Nk^2} \quad (2.172)$$

Pour distinguer cette résistance bien connue du composant MESFET qui est ici la matière de cet article, nous avons présenté cette résistance d'accès le long des doigts de la grille r_{ga} . c'est la résistance bout à bout normale de métallisation de grille donnée par :

$$r_{ga} = \frac{\rho}{A_{gx}} \quad (2.173)$$

Où ρ est la résistivité du métal de la grille, et A_{gx} est la section de grille. W_g est toute la largeur de grille, et Nk est le nombre de doigts parallèles qui composent la grille. La diminution de la longueur de grille L_g aux dimensions submicronique implique l'augmentation de r_{ga} pour une section de grille en T et l'augmentation du nombre de doigts de grille parallèles. L'effet de peau présentera la dépendance de fréquence dans la résistance d'accès de métallisation de la grille à AC [31]:

$$r_{ga}^{ae}(f) = r_{ga} \sqrt{1 + \frac{f}{f_{se}}} \quad (2.174)$$

Où la fréquence caractéristique pour le début de l'effet de peau significatif est :

$$f_{se} = \beta \frac{r_{ga}}{\mu_0} \quad (2.175)$$

$\mu_0 = 4.10^{-7}$ Vs/Am est la perméabilité à vide, et β un facteur géométrique, approximativement égale à 3,5 pour une section transversale du carre. Pour un $r_{ga}=150$ Ω /mm, le f_{se} est 420 GHz. Bien que β peut être réduit par la présence d'un plan de masse [32]. Nous prouvons que l'effet de peau est en effet négligeable, et que des équations (2.128)-(2.129) soit précis et approprié pour transistor SBGFET. Un autre composant résistif du côté d'entrée du MESFET est la résistance de remplissage R_i (ou R_{gs}) pour la capacité de grille- source. Ce paramètre est souvent dur à séparer de R_g pendant l'extraction du circuit équivalent [33]. Cependant, R_i est entre un sixième et un cinquième de la résistance de canal de pour une polarisation nulle de grille [34].

$$R_i = \frac{1}{5} R_0 \left(\frac{L_g}{W_g} \right) \left(\frac{I_{dmax}}{I_d} \right) = \frac{L_g \cdot v_{sat}}{5 \mu I_d} \quad (2.176)$$

Où R_0 est la résistance de plaque et I_{dmax} le courant saturation du canal, v_{sat} est la vitesse de saturation, et μ est la mobilité. Le facteur 1/5 dans l'équation (2.121) est la limite supérieure de la quantité $(R_{11}-R_{12}) / (I_{11}-I_{12})^2$, où le R_{ij} et les I_{ij} paramètres qui déterminent les paramètres admittances Y_{ij} , et sont dérivés de l'équation d'ondes linéaire du MESFET [35]. Il explique tous les deux la nature distribuée de R_i , et le changement de la concentration d'électron de feuille le long du canal. Les deux équations (2.117) et (2.121) prévoient des résistances très petites, souvent beaucoup plus petites que les valeurs produites par des méthodes d'extraction de circuit équivalent. C'est une indication d'un composant additionnel dans la résistance d'entrée, dont la physique doit être établie afin de comprendre au mieux le composant MESFET, et pour produire des modèles mesurable. Pour terminer les effets de la l'interface métal-semi conducteur, nous ajoutons à la résistance R_g un composant [36] qui définit la résistance de grille du trièdre. Cette résistance est définie comme une résistance de contact avec le substrat. r_{gi} étant la résistance du trièdre normale de la grille.

$$R_{gi} = \frac{r_{gi}}{W_g L_g} \quad (2.177)$$

La simulation AC de l'influence de la résistance et la longueur de grille des transistors MESFET GaAs sur l'impédance d'entrée et de sortie et représenté sur les figures : II - 60, II - 61, et II - 62.

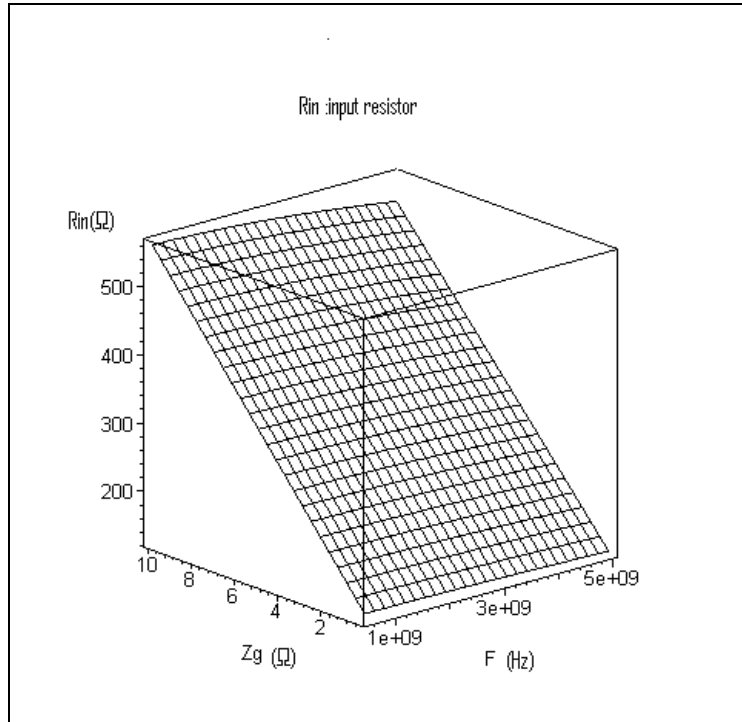


Figure II – 60 : Influence de la grille sur R_{in}

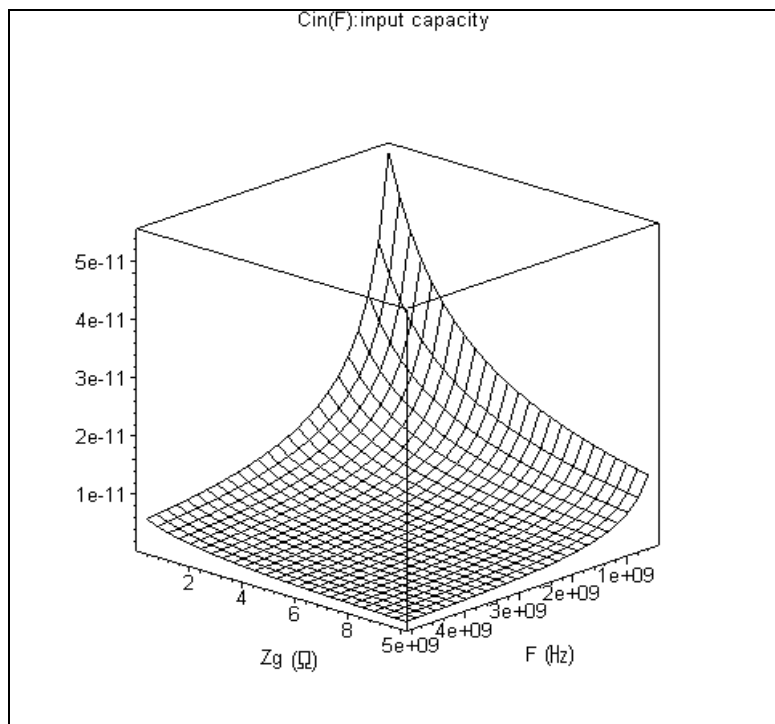


Figure II – 61: Influence de la grille sur C_{in}

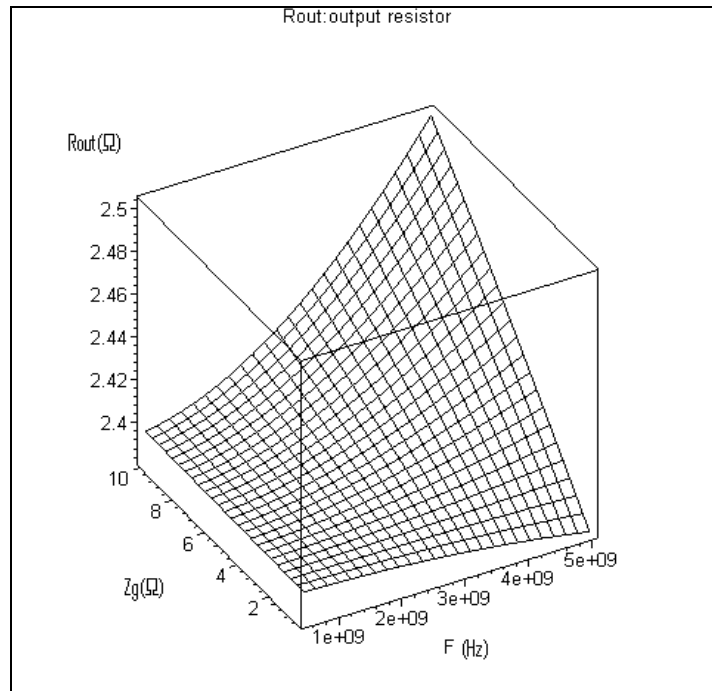


Figure II – 62: Influence de la grille sur R_{out}

II – 11 - 2. Influence de la grille sur le facteur de bruit

Nous pouvons observer trois sources différentes de bruit: pour des fréquences faible le facteur $(1/f)$ appelé bruit de vacillement qui tire sa performance des fréquences bas; ce bruit ne sera pas important dans amplificateurs qui opèrent au-dessus de la fréquence (laquelle est la fréquence que le bruit thermique commence à dominer ce bruit). Ce bruit cause un problème sérieux dans les oscillateurs et les mixeurs parce a cause des non-linéarités intrinsèques de ces dispositifs. Ce bruit est essentiellement dû aux porteurs qui sautent dans et hors de niveaux profonds dans le substrat de la couche active et aux pièges de surface de la surface du canal. Il peut être minimisé par le contrôle des densités profondes égales et par passivation de la surface de la couche active. Pour cette raison, les transistors HBT et HEMT paraissent être spécialement de meilleurs candidats pour ces applications avec les grands contrôles et qualité qui sont maintenant disponible avec les techniques de l'augmentation épitaxiales. A des fréquences plus grandes les résistances parasites tel que R_S et R_G commence à dominer les sources de perturbation du dispositif. À ceci nous devrions ajouter le bruit créé par les variations thermique induites par la densité du porteur locale dans le canal.

L'application principale des MESFET GaAs a été dans l'amplification à faible bruit. Elle est importante dans la détermination d'une expression analytique simple pour calculer le facteur de bruit minimum d'un transistor à effet de champ. Depuis le facteur de bruit d'un transistor à effet de champ est effectué en tenant compte du point de fonctionnement et l'impédance équivalent du circuit. Le facteur de bruit: NF est fonction de quatre éléments: g_{mo} , C_{gc} , R_S et R_g qui sont mesurer à partir des paramètres S extraites du model petit signal empiriquement Fukui a dérivé une expression simple pour NF [37]:

$$NF \approx 1 + K_F \omega C_{gc} \left(\frac{R_s - R_g}{g_{mo}} \right)^{1/2} \quad (2.175)$$

Où le facteur $K_F = 2.5$ à 3.0 les transistors MESFET et $K_F = 1.5$ à 2.0 pour HEMT. Le facteur K_F est souvent une simplification grossière bruit généré par le courant du drain. Une autre expression simple du bruit a été définie par Delagebeaudeuf et al. [38];

$$NF \approx 1 + 2\omega \frac{C_{gs}}{g_{mo}} \left(\frac{R_s - R_g}{R_i} \right)^{1/2} \quad (2.176)$$

Les simulations du facteur du bruit figure II - 63 montrent qu'on doit réduire la longueur de la grille et minimiser la source parasite des résistances de grille. A une fréquence élevée, le facteur de bruit diminue avec longueur de canal, il diminue aussi avec largeur de canal ; par suite de la réduction de R_G . Il est aussi prouvé qu'un transistor à effet de champ uniformément dopé cède moins de bruit que les autres dispositifs qui ont la même géométrie. Ce résultat est du à la réduction de g_m (mais pas g_m/C_{GS}) pour transistor MESFET à effet de champ.

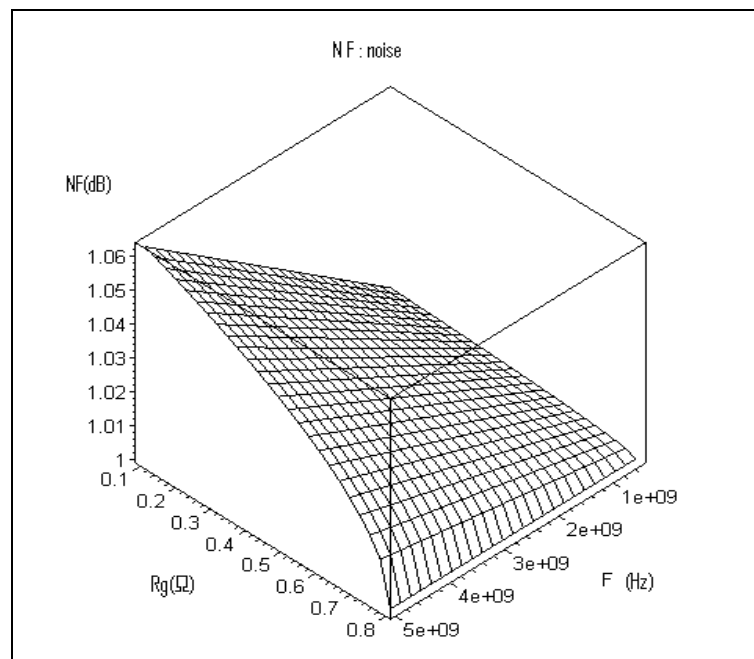


Figure II – 63: Influence de la grille sur le bruit

II – 12. CONCLUSIONS

Les anomalies de fonctionnement du modèle réel, obtenue par l'analyse bidimensionnelle par la technique de Green de l'équation de Poisson, sont interprétées par la présence d'une double charge d'espace à l'interface susceptible être modulée par une variation de la polarisation du substrat, il en résulte une modulation de l'épaisseur du canal et par conséquent à réduire le courant de drain. Ceci explique les variations expérimentales des caractéristiques de sortie lorsque le substrat est polarisé. Ces phénomènes physiques sont attribués aux pièges profonds

de l'interface qui influencent non seulement les performances des MESFETS GaAs et représentent une limitation sérieuse pour les circuits intégrés à base de ce composant.

Ainsi, les mécanismes de relaxation des hystérésis et des effets de coude sont liés à la formation de cette double charge d'espace à l'interface. La modification de la conductance de sortie est due à la réponse des centres profonds.

Ces phénomènes entraînent des instabilités temporelles des circuits de commutation à base de MESFET GaAs.

Nous avons aussi présenté les effets des résistances de grille pour des MESFETS GaAs à grille Schottky pour des longueurs de grille inférieure à $0.5 \mu\text{m}$. La résistance R_{gi} de métallisation est pratiquement non détectable pour des longueurs de grille très faibles. La résistance R_g dû à l'effet de peau peut être induite à partir de R_i . Les considérations théoriques et les observations expérimentales prouvent que ces résistances ne sont pas définies d'une manière évidente par une fraction de la résistance série d'entrée des MESFETS à grille.

Nous avons étudié également la dépendance de fréquence du facteur de bruit généré par ces résistances, Pour avoir un faible bruit, on devrait réduire la longueur de porte et minimiser la source parasite et résistances de porte. À une fréquence élevée, le bruit diminue avec la longueur du canal décroissante. Il diminue aussi avec une largeur de canal décroissante; par suite de la réduction de R_G . Il est aussi prouvé qu'utiliser un transistor à effet de champ cède moins de bruit qu'un transistor uniformément dopé de même géométrie. C'est un résultat de réduction de g_m (mais pas g_m/C_{GS}) pour un transistor à effet de champ.

Nous constatons que la résistance r_{gi} à un effet capacitif aux fréquences élevées d'utilisation et ne peut pas être ignorée aux fréquences micro-onde et onde millimétrique.

Aussi nous avons décrit l'effet de la polarisation du substrat sur les caractéristiques électriques du transistor à effet de champ à l'arséniure de gallium. Une analyse basée sur l'existence d'une double charge d'espace à l'interface couche active substrat- semi isolant est appliquée à la détermination des paramètres de la couche active et de l'interface. Les propriétés des caractéristiques du courant de drain et celles de l'admittance de sortie et les phénomènes physiques liés à cette interface sont attribuées à la réponse dynamique de cette double charge d'espace.

Ainsi Les propriétés de l'interface couche active substrat semi-isolant influencent les caractéristiques électriques et hyperfréquences des MESFETS GaAs de l'arséniure de gallium étant un matériau où les pièges et les trous sont particulièrement nombreux et difficiles à contrôler. D'où la couche active peut être affectée à proximité de l'interface par la présence de nombreux défauts cristallographiques qui contribuent à diminuer la mobilité des porteurs libres dans cette zone. Les imperfections du substrat sont aussi responsables de l'existence d'une barrière interfaciale entre le substrat et la couche active.

En conclusion : cette étude nous a permis de monter l'importance de l'analyse bidimensionnelle pour réaliser avec exactitude valable un modèle analytique des caractéristiques statiques et dynamiques du composant MESFET GaAs.

BIBLIOGRAPHIE

[1] - C. A. MEAD,

B.S.T.J. 34, 1149, 1955.

[2] - P. L. HOWER, N. G. BECHTEL,

“Current saturation and small-signal characteristics of GaAs field-effect transistors”,

IEEE Trans. Electron Devices, (USA), Vol. ED-20, n° 3, Mar., 1973, pp. 213-20.

[3] - W. SHOCKLEY,

P.I.R.E, p. 1365, 1952.

[4] - B. HIMSWORTH,

“A two-dimensional analysis of gallium arsenide junction field effect transistors with long and short channels”,

Solid-State Electron, (GB), Vol. 15, n° 12, Dec. 1972, pp. 1353-1361.

[5] - B. HIMSWORTH,

A two-dimensional analysis of gallium arsenide junction field effect transistors with long and short channels”,

Solid-State Electron, (GB), Vol. 15, n° 12, Dec. 1972, pp. 1353-1361.

[6] - P. BONJOUR, R. CASTAGNE, J. F. PONE et al,

“Saturation mechanism in 1 pin gate GaAs FET with channel-substrate interfacial barrier”,

IEEE Trans. Electron Devices, (USA), Vol. ED-27, n° 6, June 1980, pp. 1019-1024.

[7] - K. YAMAGUCHI, S. ASAI, H. KODERA,

“Two-dimensional numerical analysis of stability criteria of GaAs FETs”,

IEEE Trans. Electron Devices, (USA), Vol. ED-23, n°12, Dec. 1976, pp. 1283-1290.

[8] - J. F. PONE, R. CASTAGNE, J. P. COURAT et al,

“Two-dimensional particle modeling of submicrometer gate GaAs FETs near pinch off”,

IEEE Trans. Electron Devices, (USA), Vol. ED-29, n° 8, Aug. 1982, pp. 1244-1255.

[9] - B. CARNEZ, A. CAPPV, A. KASZYNSKI et al.

“Modeling of a submicrometer gate field-effect transistor including effects of nonstationary electron dynamics”,

J. Appl. Phys., (USA). Vol. 51, n° 1, Jan. 1980, pp. 784-790.

[10] - R. BOCKEWUEHL,

“Analysis of field effect transistors with arbitrary charge distribution”,

IEEE Trans. Electron Devices, (USA), Vol. ED-10, n° 1, Jan. 1963, pp. 31-34.

[11] - B. HIMSWORTH,

"A two-dimensional analysis of gallium arsenide junction field effect transistors with long and short channels ",

Solid-State Electron, (GB), Vol. 15, n° 12, Dec. 1972, pp. 1353-1361.

[12] - E. H. PEREA, A. KAZINSKY, G. NUZILLAT, C. ARNODO,

GaAs IC Symposium, pp. 104-107, New Orleans MI, Nov 1982.

[13] - C. KOCOT, C. A. STOLTE,

"Backgating in GaAs MESFET's",

1981 IEEE GaAs Integrated Circuits Symposium, San Diego, CA, USA, 27-29 Oct. 1981, IEEE Trans. Microwave Theory & Tech., (USA), Vol. MTT-30, n°7, July 1982, pp. 963-968.

[14] - M. ROCCHI,

Proceeding of 14th ESSDERC, Lille, 1984.

[15] - P. A. KIRKBY, P. R. SELWAY, L. D. WESTBROOK,

"Photo elastic waveguides and their effect on stripe-geometry GaAs_{1-x}Al_x lasers"

J. App. Phys., (USA), Vol. 50, n° 7, July 1979, pp. 4567-4579.

[16] - P. M. ASUECK, L. MILLER, R. J. ANDERSON et al,

"Application of hetero junction bipolar transistors to high speed, small-scale digital integrated circuit",

GaAs IC Symposium Technical Digest, 1984, Boston, MA, USA 23-25 Oct. 1984, 1984, pp. 133-136.

[17] - T. TADAKA et al,

IEEE trans., MTT 30, p. 719, 1982.

[18] - C. I. HUANG, A. R. THORBJORNSEN,

"A SPICE modelling technique for GaAs MESFET ICs",

IEEE Trans. Electron Devices, (USA), Vol. ED-32, n°5, May 1985, pp. 996-998.

[19] P. T. GRELLIN,

Microwave Syst. News, Nov. 84, p. 96, 1984.

[20] - R. CASTAGNE,

"Revue des phénomènes de piégeage dans l'arséniure de gallium",

Rapport interne LCR Thomson-CSF, 1977.

[21] - G. NUZILLAT, E. H. PEREA, G. BERT et al,

"GaAs MESFET ICs for gigabit logic applications",

IEEE J. Solid-State Circuits, (USA), Vol. SC-17, n° 3, June 1982, pp. 569-584.

[22] - M. J. HELIX, S. A. HANKA, P. J. VOLD et al,

"A low power gigabit IC fabrication technology",

GaAs IC Symposium Technical Digest 1984, Boston, MA, USA, 23-25 Oct. 1984, pp. 163-166.

- [23] - **K. MATSUMOTO, N. HASHIZUME, N. ATODA et al,**
“*Submicron -gate self-aligned GaAs FET by ion implantation*”,
Tenth International Symposium on Gallium Arsenide and Related Compounds,
Albuquerque, NM, USA, 19-22 Sep. 1982, pp. 317-324.
- [24] - **S. NOWDEN, S PANTOJA,**
IEEE Trans. Electron Devices, Vol. 36, n° 9, 1989.
- [25] - **H. TRAN et Al.**
IEEE Trans Electron Devices, Vol. 39, n° 9, 1992.
- [26] - **B. JANIGUEZ et Al,**
IEEE Trans Electron Devices, Vol. 46, n° 8, 1999.
- [27] - **S. P. CHIN, C. Y. WE,**
IEEE Trans Electron Devices, Vol. 40, n° 4, 1993.
- [28] - **K. M. SHIN, D. P. KLAMER, J. I. LION,**
Solid Stat Electronics ,Vol. 35, n° 11, 1992.
- [29] - **C. S. CHANG, D. Y. DAY,**
IEEE Trans Electron Devices Vol. 36, n° 2, 1989
- [30] - **C.J. RODRIGUEZ- TELLZ, K. MEZHZR, and M. AL-DAAS,**
“*Improved junction capacitance model for the GaAs MESFET*”,
IEEE Trans. On Elect. Devices, 40, 1993.
- [31] - **T. H. CHEN, M. S. SHUR,**
“*A capacitance model for GaAS MESFET’s*”,
IEEE Trans. On Elect. Devices, 32, 5 ,1985.
- [32] - **M. NAWAZ, T. A. FELDLY,**
“*A new charge conserving capacitance model for GaAs MESFET’s*”,
IEEE Trans. On Elect. Devices, 44, 11, 1997.
- [33] - **T. TAKDA, K. YOKOYAMA, M. IDA, T. SUDO,**
“*A MESFET variable capacitance model for GaAs integrated circuits simulation*”,
IEEE Trans. On M.T.T., 30, 719-723, 1982.
- [34] - **M. S. Shur,**
“*GaAs devices and circuits*”,
New York, Plenum, 1987.
- [35] - **T. A. FJELDLY, A. PAULSEN, F. TENSEN,**
“*A GaAs MESFET small signal equivalent circuit Including transmission line effects*”,
IEEE Trans. On Elect. Devices, 36, 1557-1563, 1989.

[36] - K. LEE, M. S. SHUR, T. A. FJELDLY, T. YTTERDAL,

“Semi-conductor devices modeling for VLSI”,
in series in electronics and VLSI, New Jersey : Prentice – hall, 1993.

[37] - S. D’AGOSTINO, G. D’INZEO, P. MARIETTI,

“Analytic physics - based expressions for the empirical parameters of the Staz - Pucel MESFET model”,
IEEE Trans. On M. T. T., 40 1576-1581, 7, 1992.

[38] - M. S. SHUR,

“Analytical models of GaAs FET’s”,
IEEE Trans. On Elect. Devices, 32, 1, 1985.

[39] - S. D’AGOSTINO, A. B. BERUTTO,

“Physics based Expressions for non - linear Capacitance of the MESFET equivalent circuitd”,
IEEE Trans. On M.T.T., 42, 403-406, 3, 1994.

[40] - S. AKHTAR, S. TIWARI,

“Non quasistatic transient and small - signal two dimensional modelling of GaAs MESFET’s with emphasis on distributed effects”,
IEEE Trans. On Elect. Devices, 40, 2154 – 2163, 1993.

[41] - H. FUKUI,

“Determination of the Basic Device Parameters of a GaAs MESFET”,
Bell Syst. Tech. J., Vol. 58, p. 771, 1979.

[42] - D. R. ALLEE, A. N. BROERS, R. F. W. PEASE,

“Limits of Nano - Gate Fabrication”,
Proc. IEEE, Vol. 79, p. 1093, 1991.

[43] - R. FARAJI -DANA, Y. CHOW,

“Edge Condition of the Field and A.C. Resistance of a Rectangular Strip Conductor”,
IEE Proc., Pt. H, Vol. 137, p. 133, 1990.

[44] - R. FARAJI-DANA, Y. L. CHOW,

“The Current Distribution and AC Resistance of a Micro strip Structure”,
IEEE Trans. Microwave Theory Tech., Vol. 38, p. 1268, 1990.

[45] - H. ROHDIN,

“Reverse Modeling of E/D Logic Submicrometer MODFET’s and Prediction of Maximum Extrinsic MODFET Current Gain Cut-off Frequency”,
IEEE Trans. Electron Devices, Vol. 37, p. 920, 1990

[46] - P. ROBLIN, S. Kang, A. KETTERSON, H. MORKOC,

“Analysis of MODFET Microwave Characteristics”,
IEEE Trans. Electron Devices, Vol. 34, p.1919, 1987.

[47] - H. ROHDIN, A. NAGY, V. ROBBINS, C. Y. SU, C. MADDEN, A. WAKITA, J. RAGGIO, J. SEEGER,

“Low-Noise, High-Speed Ga_{0.47}In_{0.53}As/Al_{0.48}In_{0.52}As 0.1-um MODFETs and High-Gain/Bandwidth Three-Stage Amplifier Fabricated on GaAs Substrate”,
Proc.1995 IPRM, p. 73.

[48] - H. FUKUI,

“Design of Microwave GaAs MESFETs for Broad-Band Low-Noise Amplifiers”,
IEEE Trans, Microwave Theory and Tech, Vol. MTT-29, n°10, pp. 176 - 183, 1979.

[49] - D. DELAGEBEAUEUF, J. CHEVRIER, M. LAVIRON, P. DELESCUSE,

“A New Relationship between the Fukui Coefficient and Optimal Current Value for Low- Noise Operation of Field-Effect Transistors”,
IEEE Electron Device Let, Vol. 6, n° 9, pp. 444–445, 1985.

CHAPITRE III

LES CIRCUITS NUMERIQUES

III - CIRCUITS NUMERIQUES

Dans ce troisième nous allons présenter les procédés de fabrication des technologies des transistors et circuits intégrés des MESFET GaAs. Les paramètres dominants qui caractérisent ces composants seront établis.

Dans une deuxième partie les circuits intégrés numériques à base MESFET GaAs et les principales propriétés des circuits logiques seront établis et les paramètres fondamentaux de la logique GaAs seront déterminés. Les résultats de la C.A.O seront présentés et comparés aux résultats expérimentaux.

Enfin les résultats de l'étude de l'impédance et l'inductance ainsi que la résistance de sortie des circuits MESFET GaAs seront établis. Une comparaison théorie-expérience dénote du bien fondé du choix du modèle présenté.

III – 1. HISTORIQUE DES CIRCUITS INTÉGRÉS NUMÉRIQUES GaAs

La course à l'intégration des circuits numériques a débuté en 1960 ; en 1964 le premier circuit intégré dans la technologie SSI (Small Scale Integration) a été réalisé. En 1974, la technologie des circuits intégrés numériques GaAs dont la potentialité pour la fabrication de circuits de hautes performances et de moyenne complexité MSI (Middle Scale Intégration) fut démontrée quelques années plus tard [1].

En 1980, le premier circuit intégré GaAs à large intégration LSI (Large Scale Intégration) est réalisé, avec des performances dix fois supérieures à celles du meilleur circuit au silicium équivalent [2].

En fait, la fragilité et le manque de tenue en température du GaAs rendent impossible nombre de traitements technologiques adoptés pour le silicium, tels que diffusion et oxydation. Ce qui a permis de mettre en œuvre de nouveaux traitements (voies sèches et basse température). La vitesse de développement sur les technologies des circuits intégrés GaAs n'a pas bénéficié du même savoir-faire acquis sur les technologies silicium on observe au contraire actuellement un intérêt grandissant manifesté par des technologues du Si pour les procédés mis au point, par force, pour les composants III-V (figure III – 1)

Les limites de la miniaturisation et les domaines d'application détermine le choix entre les technologies silicium et arséniure de gallium (même des technologies nouvelles développées sur des composants ternaires. GaAlAs par exemple).

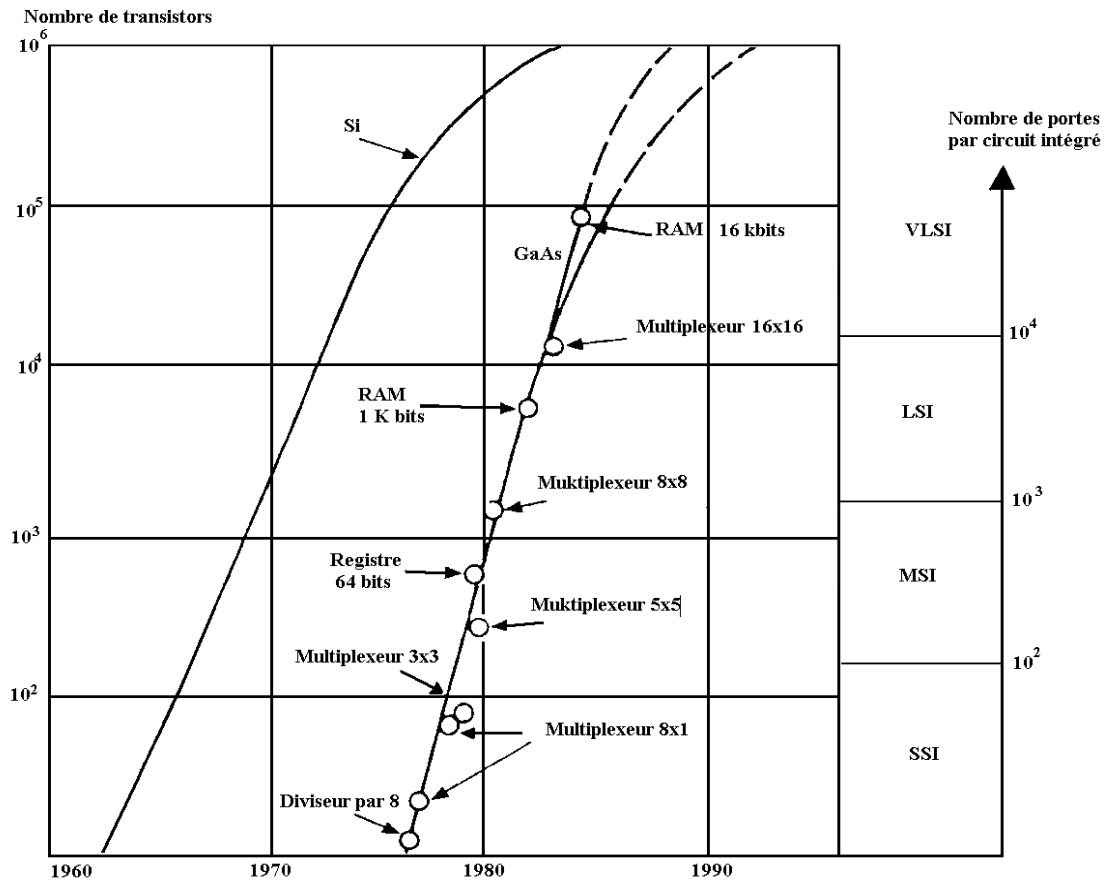


Figure III - 1 : Évolution des complexités des technologies Si et GaAs [3].

De façon schématique, les trois principaux avantages de l'arséniure de gallium sur le silicium sont :

- une mobilité à champ faible environ cinq fois supérieure,
- une vitesse limite élevée à champ plus fort,
- l'existence d'un substrat semi-isolant de bonne qualité ($10^8 \Omega \cdot \text{cm}$ pour le GaAs contre $1000 \Omega \cdot \text{cm}$ pour le silicium) qui permet de réduire les capacités parasites entre cellules et l'influence du potentiel du substrat,
- la possibilité d'épitaxies variées permettant la réalisation d'hétérojonctions.

La technologie du GaAs commence à être bien maîtrisée pour la production de composants discrets mais est encore au stade de développement pour les circuits intégrés. Néanmoins, la réalisation de mémoires RAM de 16 kbit (plus de 10^5 composants) [4] et l'obtention de rendement de 65 % sur la fabrication d'un circuit complexe intégrant 540 composants sur $1,4 \text{ mm}^2$, un multiplexeur-démultiplexeur 1 parmi 8 [5] démontrent bien les possibilités du GaAs pour la réalisation de circuits complexes de hautes performances en vitesse (Tableau III - 1).

La miniaturisation et la réduction des dimensions géométriques amélioreront les vitesses de fonctionnement des circuits (réduction du temps de transit dans les transistors et chute des capacités intrinsèques associées). La maîtrise des dimensions submicroniques a optimisé les effets des éléments parasites et des interconnexions dont la surface occupée est prépondérante.

Compagnies	Produits	Performances
Harris	circuits MSI	1 à 3 GHz
Gigabit-Logic.	circuits MSI	1 à 4 GHz
Thomson- Semiconducteur	circuits MSI	1 à 4 GHz
Triquint	circuits MSI	1 à 4 GHz
Tektronix	réseaux programmables	1224 cel./400 ps
Rockwell	réseaux programmables	432 cel./250 ps
NTT	RAM 16 K	Ta = 4,1 ns
Fujitsu	RAM 4 K2	Ta = 2 ns
Hewlett-Packard	DAC	12 bits à 1 Gigaéchantillons /s
LEP/Philips	ADC	4 bits à 1 Gigaéchantillons /s

Tableau III – 1 : Réalisation de circuits à hautes performances en vitesse

La réduction des dimensions devient alors une affaire de moyens technologiques. La différence observée en 1984 sur les dimensions minimales utilisées sur GaAs et Si (technologies à 1 μm GaAs et 2 μm , sur les familles logiques Si les plus rapides) tendra, dans l'avenir, à s'estomper. Les matériels de masquage et de gravure avec les caractéristiques offertes par les différentes familles logiques seront fonction de l'aptitude des performances des composants actifs intrinsèques à gérer les éléments parasites du circuit.

Les propriétés électriques de l'arséniure de gallium confèrent aux dispositifs réalisés des caractéristiques très intéressantes : à géométrie égale, le MESFET GaAs est trois à quatre fois plus rapide que le MOS Si. Les circuits intégrés GaAs trouvent naturellement leur place dans les fonctions nécessitant des vitesses de fonctionnement élevées.

III – 2. RAPPEL DE QUELQUES PROPRIETES FONDAMENTALES DES CIRCUITS LOGIQUES

L'étude d'une famille logique pose comme principe que l'on se place dans un ensemble structurel cohérent : la porte logique considérée est commandée par une porte qui lui est identique et chargée par un certain nombre de portes identiques.

On distingue quelquefois au sein de l'opérateur deux étages : l'un assure la fonction logique, l'autre la compatibilité des niveaux. Cette séparation arbitraire et l'organisation de la porte dépendent exclusivement de l'aptitude de l'étage de sortie à gérer la sortance élevée et les capacités d'interconnexions.

II – 2 – 1. Propriétés fondamentales

III – 2 – 1 – 1. Seuils logiques et niveaux logiques

Assurer la compatibilité des seuils et des niveaux est la condition essentielle pour réaliser une fonction logique.

Une porte logique traduit par une tension V les états d'une variable linéaire A . Pour une logique positive et un seuil de tension fixé à V_0 . La variable binaire A est vérifiée, donc égale à 1 si son image V est telle que $V > V_0$, Inversement, $A=0$ si $V < V_0$

La prise en compte de bruit se superposant à la tension V conduit à distinguer deux valeurs de seuil haute et basse.

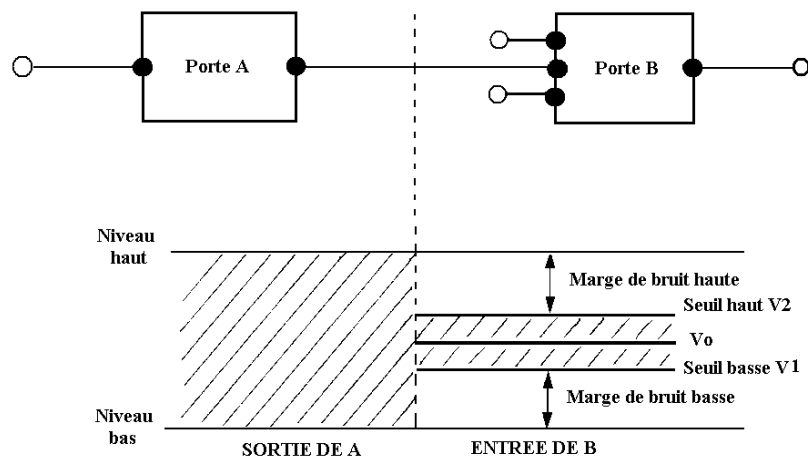


Figure III – 2 : Définition des marges de bruit.

Si l'on associe la variable A à la tension de commande de la porte, les valeurs de V_1 et V_2 sont alors les valeurs de la tension d'entrée en deçà et au-delà desquelles on peut assurer qu'elle est, soit bloquée, soit saturée. Si $A = 1$, $V_E > V_1$ la porte sera, par exemple, saturée et la tension de sortie sera au niveau bas. Inversement, pour $V_E < V_1$, la porte sera bloquée et la tension de sortie sera maintenue au niveau haut.

La notion de compatibilité est indiquée par la figure III - 2.

Les marges de bruit sont définies comme les différences entre les niveaux et les seuils associés. Il apparaît très clairement qu'un bon fonctionnement de la porte en présence de bruit réclame des marges de bruit suffisantes.

III – 2 – 1 – 2. Graphes de transfert et marges de bruit

L'évolution de la sortie d'une porte logique avec la tension appliquée sur l'entrée est traduite par un graphe de transfert (figure III - 3).

Puisqu'il y a identité des portes, il est aisé de constater que les niveaux haut et bas peuvent être déterminés par l'intersection du graphe de transfert avec son symétrique par rapport à la première bissectrice des axes.

Les seuils des tensions haut et bas (V_2 et V_1) sont les valeurs de V pour lesquelles la porte entre dans sa zone de gain ($\text{gain} > 1$). Ils sont représentés sur la figure III - 3 par les points Q et \bar{Q} . Les marges de bruit haut et bas sont respectivement égales aux valeurs $(V_H - V_2)$ et $(V_1 - V_B)$.

La compatibilité logique sera d'autant plus aisée à assurer que les marges de bruit seront élevées, c'est-à-dire que la zone de gain se rapprochera de la verticale. On résume ces observations en disant que pour obtenir un bon fonctionnement, il faut de la non-linéarité et du gain.

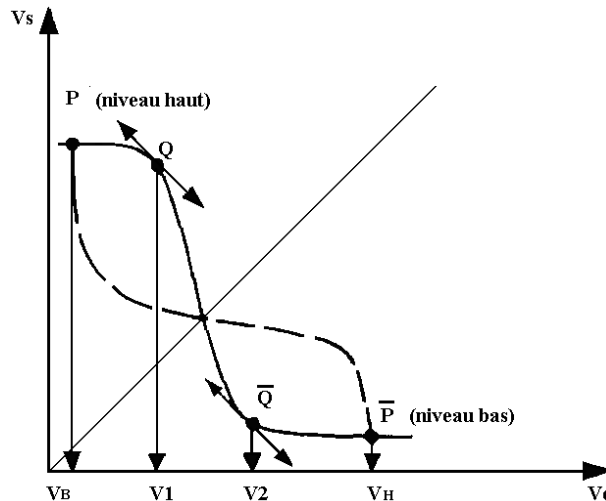


Figure III – 3 : Graphe de transfert d'un opérateur logique.

III – 2 – 1 – 3. Non-linéarité et gain de transfert

La non-linéarité du graphe de transfert est principalement liée à la forme des caractéristiques $I(V)$ des transistors de commutation de la section logique. Ces dispositifs munis d'une charge et commandés en forts signaux passent d'un régime bloqué (forte tension de sortie, faible courant) à un régime passant (faible tension résiduelle et fort courant). Dans ces deux états, les dispositifs sont quasiment insensibles aux variations de la tension d'entrée, ce qui se traduit par les parties horizontales du graphe de transfert.

Lorsque les dispositifs sont dans la zone de gain, ils fonctionnent de façon linéaire et l'expression du gain de transfert est aisément accessible à partir des caractéristiques des transistors et de leur environnement.

III – 2 – 1 – 4. Dissipation thermique

La consommation des circuits peut constituer, quelquefois, un obstacle dans des cas particuliers (matériels embarqués par exemple). D'une façon générale, on lutte en permanence contre la dissipation thermique. Mais la réduction de la puissance consommée impliquant celle des courants mis en jeu, se solde généralement par une perte de rapidité. Un compromis entre la puissance dissipée et la performance en vitesse est souvent nécessaire.

La puissance dissipable admissible pour un circuit intégré sur arséniure de gallium est de l'ordre de 2 W/mm^2 . En fonction de la densité d'intégration offerte par les différentes filières technologiques, on aboutit à une complexité associée maximale fixant les différents domaines d'application des familles logiques GaAs.

III – 2 – 1 – 5. Dynamique d'une porte : le temps de propagation

Le temps de propagation ou temps de traversée de l'opérateur élémentaire traduit le phénomène de traînage observé entre le signal appliqué à l'entrée de la porte et le signal de sortie correspondant (figure III - 4).

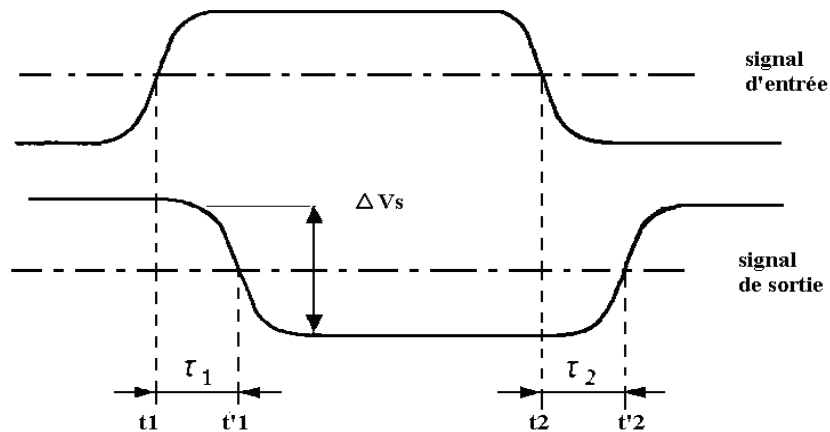


Figure III – 4 : Temps de propagation d'un opérateur logique.

Le temps de propagation t_{pd} est la moyenne des valeurs τ_1 et τ_2 égales aux retards des transitions à mi-hauteur du signal de sortie

$$t_{pd} = (1/2) (\tau_1 + \tau_2) \quad (3.1)$$

L'amplitude de la tension de sortie, appelée excursion logique est ΔV_s .

III – 2 – 1 – 6. Entrance et sortance

L'entrance et la sortance d'une porte logique correspondent au nombre d'entrées et de sorties de la cellule élémentaire. En fonction de la famille logique considérée. La valeur de ces paramètres peut avoir deux incidences sur la compatibilité logique sur les performances dynamiques des circuits.

Dans le cas des logiques sur GaAs où les liaisons sont à hautes impédances, l'extension d'entrance et ou de sortance se manifeste par une dégradation notable des caractéristiques en vitesse des circuits.

III – 2 – 1 – 7. Chemin critique

La fonction logique d'un circuit est assurée par un certain nombre d'opérateurs logiques constituant le circuit. La performance obtenue, en matière de vitesse d'opération sera dépendante de l'architecture de circuit choisie et de la performance intrinsèque.

L'information en sortie va être construite à partir d'un certain nombre d'informations transitant dans les différentes couches logiques du circuit. Le temps d'opération dépendra donc du chemin parcouru pour véhiculer l'information. Ce chemin parcouru peut être dépendant de la nature de l'opération à effectuer et il peut exister, dans l'éventail des opérations à réaliser, un chemin logique maximal se caractérisant par un temps d'opération maximal : c'est le chemin Critique. Cela correspond donc au parcours de l'information le plus long, donc au temps de délai entrée-sortie le plus élevé.

Définir la performance d'un circuit intégré logique sur chemin critique revient considérer le temps d'opération maximal, donc à définir le pire cas de fonctionnement dynamique.

C'est un critère très important et c'est celui retenu pour l'évaluation des spécifications dynamiques lorsque la mesure en hautes fréquences d'un circuit ne peut être exhaustive.

III – 2 – 2. Intérêt du GaAs pour les circuits numériques

Le choix d'un matériau permettant d'obtenir de hautes performances en circuits intégrés ne dépend pas uniquement de ses propriétés électriques. Il résulte d'un compromis entre différents critères tels que ses propriétés métallurgiques (tenue aux divers processus technologiques, par exemple), la panoplie de composants élémentaires réalisables, la tenue en fiabilité.

Pour la réalisation de circuits intégrés numériques très rapides, l'arséniure de gallium (et ses dérivés ternaires) présente de nombreux avantages qui ont été énoncés dans les chapitres précédents.

1) Il se prête facilement à la réalisation de diodes Schottky de hauteur de barrière élevée à partir de métaux divers qui rendent possible la fabrication de transistors à effet de champ à jonction métal-semi-conducteur (MESFET).

2) Il permet, par l'épitaxie d'un composé ternaire (par exemple Ga-Al-As de largeur de bande différente, de réaliser des composants nouveaux tels que le transistor à effet de champ à gaz d'électrons bidimensionnel (TEGFFET), encore appelé transistor à mobilité élevée (HEMT) (ou encore, tels que les transistors bipolaires à hétérojonctions HBT).

3) Les propriétés de transport électronique du GaAs sont remarquables : mobilité très élevée ($8000 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ pour un matériau peu dopé), vitesse de saturation élevée ($2 \cdot 10^7 \text{ cm/s}$) obtenue pour un champ électrique trois fois plus faible que pour le silicium. Ces propriétés garantissent l'obtention de vitesses de commutation élevées sous de faibles consommations.

4) De par sa grande largeur de bande interdite, le GaAs peut être obtenu sous forme d'un semi-isolant de haute résistivité (10^7 à $10^9 \Omega \cdot \text{cm}$). L'épitaxie ou l'implantation de la couche active dans ce semi-isolant, permet d'assurer très simplement l'isolation interdispositif et, ainsi, d'offrir des capacités parasites entre les dispositifs et le plan de masse extrêmement faibles.

L'introduction de techniques de purification très poussées a rendu possible la fabrication de matériau GaAs intrinsèque présentant un niveau de dopage résiduel très faible (à peu près 10^{14} cm^{-3}) et dont la qualité semi-isolante ne nécessite qu'une très faible teneur en impuretés de compensation. La technique Liquid - Encapsulated Czochralski (LEC) a permis la croissance de lingots de GaAs de haute pureté. De grandes dimensions (76.2 mm de diamètre, jusqu'à 5 kg), présentant de faibles dislocations (10^4 cm^{-3}), une stabilité remarquable et une haute résistivité convenant à l'utilisation des techniques d'implantation ionique. De grandes plaquettes rondes orientées $\langle 100 \rangle$ sont maintenant disponibles pour être traitées par les équipements modernes de fabrication de semiconducteurs. Les concentrations résiduelles en silicium les plus faibles (10^{14} cm^{-3}) et les mobilités les plus élevées ont été obtenues sur des lingots tirés à l'aide de creusets en nitrure de bore pyrolytique (PBN) [6], [7].

Bien que tout ne soit pas résolu dans ce domaine [8], et que des progrès importants restent à faire, les améliorations apportées par l'emploi de la méthode de tirage Czochralski permettent l'implantation directe de la couche active dans le substrat semi-isolant. Ce procédé offre l'énorme avantage d'un excellent contrôle de la tension de seuil sur l'ensemble de la plaque.

Des techniques très sophistiquées faisant appel à des mesures de profils de photoluminescence, de photocourant, de photoabsorption, de courant d'obscurité, permettent de juger de la quantité des impuretés, de défauts et de dislocations du cristal élaboré [9].

Si l'ensemble de ces avantages apparaît déterminant, en revanche, on doit convenir que le GaAs présente un certain nombre d'inconvénients, dont certains constituent des obstacles très importants, tels que :

- l'absence d'oxyde (ou de diélectrique) naturel avec, pour conséquence, des difficultés de passivation et l'impossibilité de réaliser des structures MOS,
- l'existence d'une zone désertée en surface, vraisemblablement liée à des pièges superficiels dont la stabilité peut poser des problèmes,
- une sensibilité élevée aux contraintes mécaniques.

III – 2 – 3. Les contraintes liées à l'intégration des composants

En microélectronique, l'intégration est un concept largement utilisé dont l'application est directement liée à la maturité des technologies de réalisation.

Intégrer, c'est-à-dire associer sur un même support, plusieurs fonctions distinctes offrent de multiples avantages dont les plus communs sont :

- l'accroissement de performances par réduction des connexions,
- la réduction de coût général,
- la miniaturisation,
- la fiabilité accrue,
- l'amélioration de la maintenabilité par l'interchangeabilité.

Ces avantages n'apparaissent qu'une fois maîtrisée le procédé de réalisation à un niveau permettant une intégration des circuits avec un rendement de fabrication correct. Par ailleurs, les exigences liées à l'intégration des circuits intégrés sont nombreuses et doivent être satisfaites de façon à permettre au concepteur d'isoler ou de relier, à son goût, des composants tout en conservant leurs performances intrinsèques. Cela signifie

- procédé de fabrication collectif compatible avec la conservation des caractéristiques des composants,
- méthodes d'isolation interdispositif n'engendrant pas de dégradations notables des performances,
- interconnexions entre éléments affectant peu les spécifications globales des circuits intégrés.

D'une façon générale, satisfaire à ces critères équivaut à disposer d'un matériau et d'un processus de réalisation

- très adaptés (recherches de performances maximales),
- très homogènes (compatibilité interdispositif),
- très reproductibles (fiabilité et rendement élevés).

Il faut noter que certaines fonctions de très grande précision ou de très grande complexité exigent l'intégration. C'est le cas de systèmes de traitement de signal très précis qui nécessitent l'association de composants appariés (convertisseur analogique numérique) et de circuits très complexes dont le développement exige la réunion sur le même substrat de cellules très denses (mémoires de grande capacité).

Nous allons successivement examiner les aspects technologiques (description des principaux procédés) et conceptuels (règles de conception et caractérisation) de la fabrication des circuits intégrés GaAs.

III – 3. L'ASSEMBLAGE DES PROCÉDÉS TECHNOLOGIQUES SUR GaAs

Les étapes de réalisation des circuits intégrés GaAs ne sont pas fondamentalement différentes de celles de la technologie planar silicium. Elles sont, en général, moins nombreuses (5 à 7 niveaux de masquage contre 8 à 12 pour le silicium).

C'est, par contre, au niveau du procédé lui-même que l'intégration III-V se distingue, d'une part, par l'utilisation de technologies «froides» (implantation ionique par exemple) et «sèches» (gravure ionique et usinage plasma), d'autre part, dans l'utilisation des procédés de lithographie très fins qui permettent d'obtenir des composants de dimensions submicroniques de hautes performances ($f_c > 15$ GHz) et de minimiser les éléments parasites.

Les coupes schématiques d'un MESFET et d'une diode Schottky relatives aux quatre processus de fabrication des circuits intégrés GaAs principalement employés, sont présentées sur la figure III - 5.

Les traits dominants de ces différentes technologies seront analysés ci-après.

La technique d'isolation par MESA fréquemment employée pour les dispositifs GaAs discrets micro-ondes, elle fut la première approche utilisée pour la réalisation des circuits intégrés numériques (figure III - 7a). La couche active est élaborée par croissance épitaxiale (épitaxie phase vapeur [10], [11], dépôt organométallique CVD basse pression [12], [13] ou par implantation ionique [14].

Afin de minimiser les problèmes d'interface substrat-couche active (effet substrat, courant de fuite, sensibilité à la lumière...) [15],[16], une couche épitaxiée non dopée servant d'interface d'épaisseur comprise entre 2 et 5 μm , est déposée sur le semi-isolant avant réalisation de la couche active. La technique de creusement localisée sous la grille (recessed-gate), 500 à 1 000 Å de profondeur, permet d'améliorer les caractéristiques des MESFET en réduisant les résistances parasites d'accès au drain et à la source et les effets de surface. Simultanément, ce processus permet un ajustement précis de la tension de seuil des MESFET.

Les principaux inconvénients liés à cette technologie d'isolation par méso sont :

a) L'existence d'une capacité parasite au passage de la marche du méso pénalisant fortement les performances des transistors de faible largeur, l'augmentation localisée de la résistance des lignes d'interconnexions aux passages des bords de méso réduisant le rendement de fabrication des circuits.

b) Une fragilisation due au relief et au procédé de gravure.

La technologie de fabrication planar présentées sur les figures III – 5 suit les étapes :

a) *Procédé d'isolation méso à grille enterrée.*

b) *Procédé d'isolation par implantation de bore (la couche active est déposée uniformément).*

c) *Procédé par implantation localisée des couches actives*

d) *Procédé de grille auto-alignée :*

❖ 1) *Couche active de type N (épitaxiée ou implantée)*

❖ 2) *Interface non dopée optionnelle.*

- ❖ 3) Substrat senti-isolant.
- ❖ 4) Isolation par implantation localisée de bore.
- ❖ 5) Couche active de type N implantée sélectivement.
- ❖ 4) Surdopage par implantation localisée N.

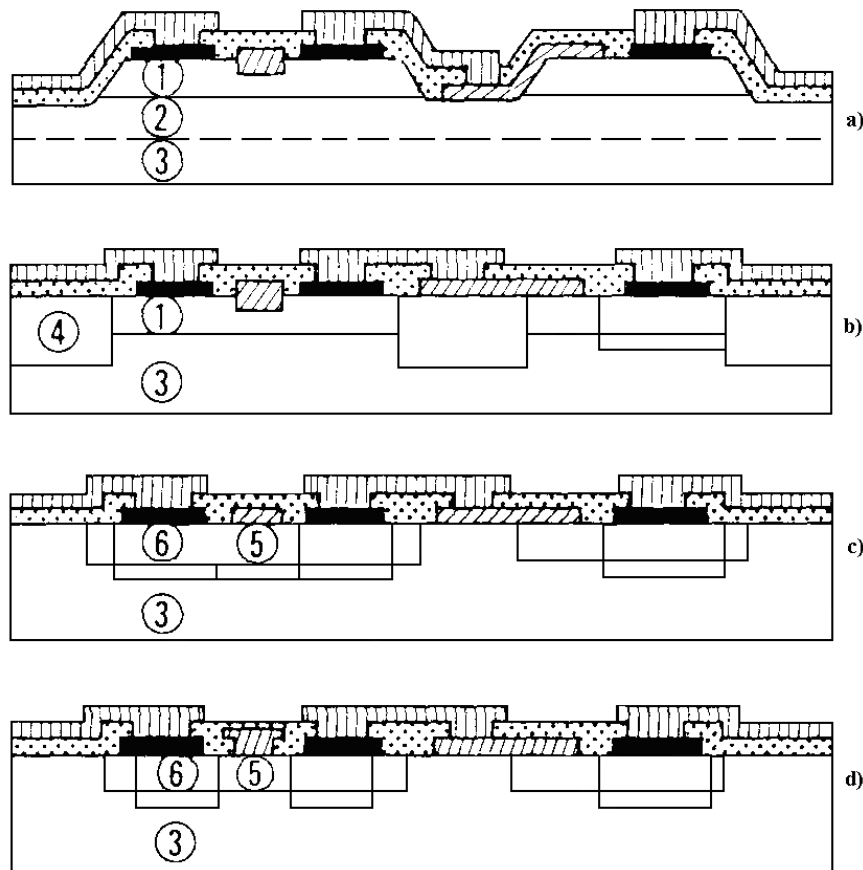


Figure III – 5 : Technologies planar.

III – 4. PARAMÈTRES ÉLECTRIQUES DES TRANSISTORS INTERVENANT DANS LA CONCEPTION D'UN CIRCUIT INTÉGRÉ (GaAs)

III – 4 – 1. Paramètres de conception

Afin de bénéficier des avantages en vitesse offerts par le GaAs. La technologie de réalisation des circuits intégrés requiert des dimensions géométriques submicroniques. Les MESFET GaAs réalisés en technologie des circuits intégrés ont des longueurs de grille comprises entre 0.5 et 1 μm et des distances drain-source de 2 à 3 μm . La structure simple du MESFET facilite le contrôle des petites géométries mais la reproduction fidèle des dessins, le contrôle des largeurs de lignes et la précision de positionnement nécessite des techniques de photolithographie très sophistiquées, telles que masquage par projection avec déplacement pas à pas de la plaquette. Masquage électronique direct sur plaquette ou duplication aux rayons X.

La figure III - 6 présente les caractéristiques typiques du courant drain-source I_{ds} , d'un MESFET GaAs de longueur de grille de 0,8 μm en fonction de la tension drain-source V_{ds} appliquée.

Les caractéristiques typiques des canaux de MESFET sont : la concentration maximale en porteurs comprise entre 1 et $3 \cdot 10^{17} \text{ cm}^{-3}$ et l'épaisseur de la couche active de 500 à 2000 \AA . Le dopage du canal peut être réalisé,

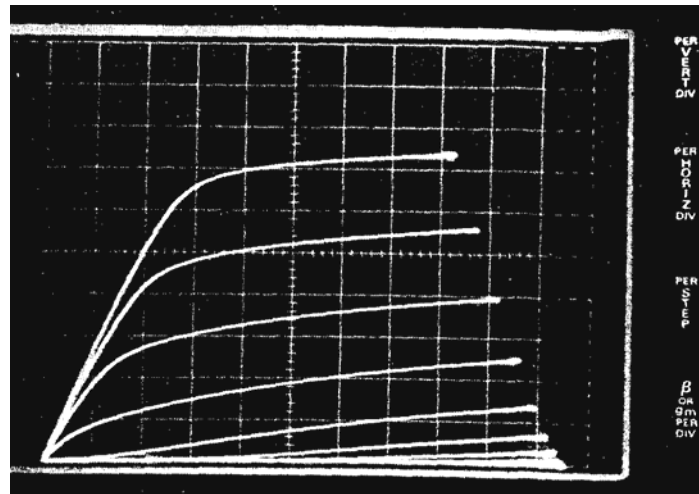


Figure III – 6 : Caractéristique $I_{ds} = f(V_{ds}, V_{gs})$ d'un MESFET à appauvrissement $L=0,8 \mu\text{m}$.

par implantation directe dans le substrat GaAs semi-isolant (éventuellement à travers une couche diélectrique (de 50 à 100 nm , Si_3N_4 , en général). Les doses utilisées sont comprises entre 1 et $5 \cdot 10^{12} \text{ cm}^{-2}$ et les énergies d'implantation sont de 100 à 200 keV lorsqu'il s'agit de sélénium. Les surdopages N^+ sont souvent réalisés par implantation profonde de soufre ($1 \cdot 10^{13} \text{ cm}^{-2}$ à $300\text{-}400 \text{ keV}$). Des températures de recuit d'implantation aussi élevées que $800\text{-}850 \text{ }^\circ\text{C}$ sont nécessaires pour atteindre des coefficients d'activation élevés dans le GaAs ($70\text{-}100 \%$). Étant entendu que, naturellement, le GaAs se décompose lorsqu'il est porté à une température supérieure à 600°C , les recuits d'implantation doivent être effectués avec énormément de précautions (encapsulation Si_3N_4 , ou SiO_2 , ou recuit sans protection sous pression d'arsenic) afin de préserver les propriétés du matériau [17].

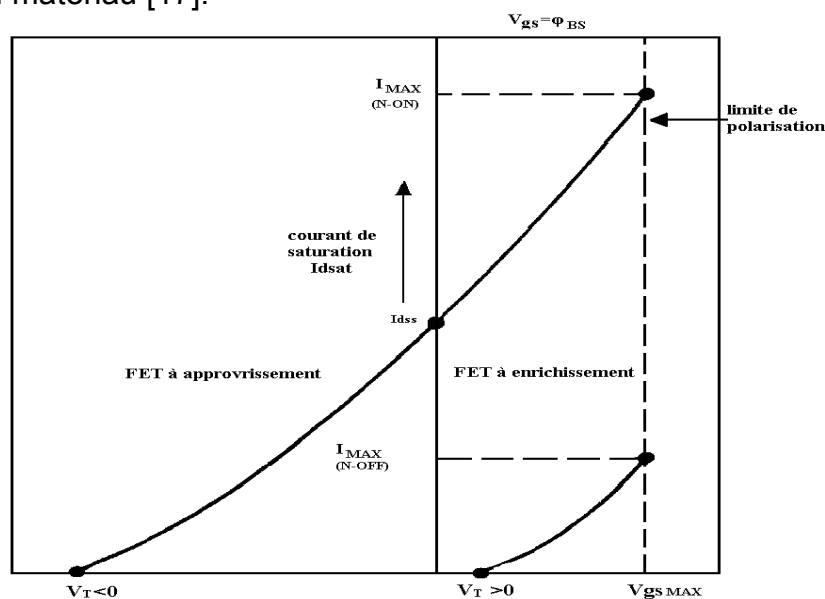


Figure III – 7 : Lois de courant des MESFET normalement ouverts ($V_T < 0$) et normalement fermés ($V_T > 0$).

On a démontré au chapitre II que les caractéristiques de drain d'un MESFET à canal long uniformément dopé peuvent être approchées par une relation quadratique, rappelant le modèle de Shockley. Les relevés expérimentaux des courants de saturation en fonction de la tension grille-source, confirment ce modèle dans le domaine des courants de drain correspondant à un canal normalement ouvert (figure III - 7). Rappelons que l'on désigne par L la longueur de la grille (sens de parcours des électrons), par Z la largeur, par N_D le dopage de la couche active, par a son épaisseur et par ϕ_{BS} la hauteur de barrière électrique de la diode Schottky.

En pratique et par analogie avec les équations de Shockley, la loi de courant sera approchée par la relation suivante :

$$I_{ds} = \frac{Z}{L} \gamma (V_{gs} - V_T)^2 \quad (3.2)$$

où l'on retrouve deux paramètres importants du dispositif : la tension de seuil V_T avec

$$V_T = V_{Bi} - \frac{qN_D a^2}{2\epsilon} \text{ et le facteur de courant de conduction avec}$$

$$\gamma = \frac{2\epsilon\mu\alpha_c K_s}{3a} \text{ où } \alpha_c, \text{ et } K_s, \text{ sont des facteurs de réduction (} 0 < (\alpha_c, K_s) < 1)$$

dépendant respectivement de la longueur de la grille et de la résistance de source parasite.

Selon que le courant de canal est bloqué ou débloqué lorsque $V_{gs} = 0$, on aura affaire à l'un des deux types de MESFET appelés, respectivement, normalement ouverts ($V_T < 0$) et normalement fermés ($V_T > 0$) qui présentent d'importantes différences tant au niveau de la conception des circuits intégrés qu'à celui de leurs performances (figure III - 9).

Le tableau III - 2 donne les ordres de grandeurs entre lesquels évoluent les principaux paramètres de conception et les caractéristiques des MESFET

Niveau de dopage du canal	$N_D = 1-3 \times 10^{17}$	cm^{-3}
Mobilité électronique dans le canal	$\mu = 4000-5000$	$\text{cm}^2\text{V.s}$
Épaisseur du canal	$a = 500-2000$	Å
Tension de barrière de la grille	$V_{bi} = 0,7-0,8$	V
Longueur de grille	$L = 0,5-1,0$	μm
Largeur de grille	$Z = 5-20$	μm
Espace source-drain	$X_{sd} = 2-3$	μm
Largeur de transistor	$X = 10-12$	μm
Tension de seuil (déplétion)	$V_T = -2,5/-0,5$	V
Tension de seuil (enrichissement)	$V_T = 0,0/+0,2$	V
Facteur en courant	$\gamma = 50-100$	$\mu\text{A/V}^2$
Courant drain (pour $V_T = -1,5\text{V}$)	$I_{dso} = 100-150$	mA/mm
Transconductance (idem)	$g_m = 100-150$	mS/mm
Conductance de drain (idem)	$g_{ds} = 10-15$	mS/mm
Capacité grille-source	$C_{gs} = 0,5-1,5$	pF/mm
Capacité grille-drain	$C_{gd} = 0,1-0,2$	pF/mm
Capacité drain-source	$C_{ds} = 0,05-0,1$	pF/mm
Produit gain-bande	$F_T = 15-25$	GHz

Tableau III – 2 : Paramètres de conception et de fabrication des MESFET GaAs

III – 4 – 2. Évaluation simplifiée des paramètres de la logique GaAs

Considérons un étage inverseur constitué d'un transistor signal associé à une charge saturable décrit à la figure III - 8a (transistors à appauvrissement). Les points de fonctionnement haut et bas sont déterminés à partir des caractéristiques statiques présentées sur la figure III – 8.b.

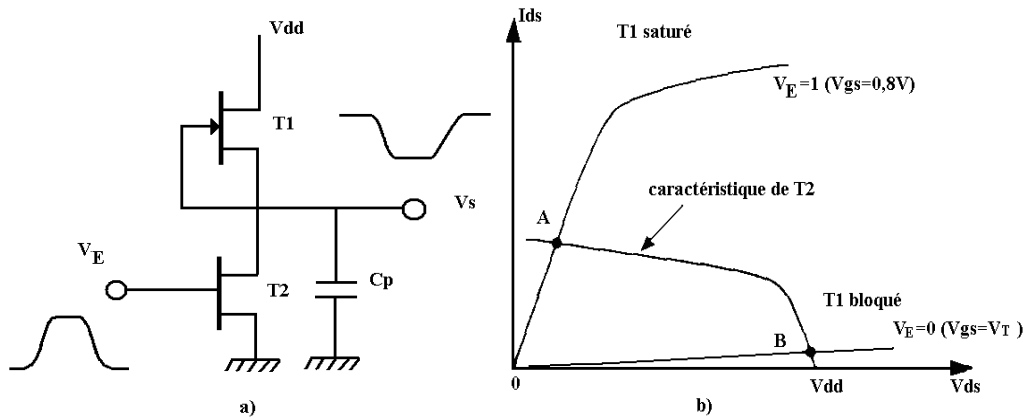


Figure III – 8 : Schéma et caractéristiques d'un étage inverseur constitué de transistors normalement ouverts.

Les paramètres extraits du tableau III – 2 sont :

- longueur de grille : $L = 1 \mu\text{m}$.
- largeur de T1 : $Z=20\mu\text{m}$.
- facteur de courant : $\gamma=50 \mu\text{A}/\text{V}^2$.
- tension de seuil : $V_T = -1,5 \text{V}$.
- tension d'alimentation : $V_{dd}=4\text{V}$.
- conductance de sortie : $g_{ds}=0,2\mu\text{A}/\text{V}$.

Les équations des courants de T1 et T2 s'écrivent respectivement :

Pour

$$I_{ds}(T1) = \gamma \frac{Z1}{L} (V_{gs} - V_T)^2 + g_{ds} (V_{ds} - \frac{V_{dd}}{2}) \quad (3.3)$$

$$I_{ds}(T2) = \gamma \frac{Z2}{L} (V_T)^2 + g_{ds} (\frac{V_{dd}}{2} - V_{ds}) \quad (3.4)$$

On obtient : $V_{ds}=V_{dd}/2$ et $V_{gs}=0,8 \text{V}$, $I_{ds}(T1)=5,3\text{mA}$

La valeur de Z2 correspondant à $I_{ds}(T2) = (1/2) I_{max}(T1)$ est de $20 \mu\text{m}$ c'est-à-dire que les dimensions des deux transistors seront identiques. La valeur de V_0 correspondant au seuil de tension sera égale à 0. Le gain de transfert calculé autour de $V_{ds}=2\text{V}$ et $V_{gs}=0$ est déterminé à partir de l'égalité :

$$\gamma \frac{Z}{L} (V_{gs} - V_T)^2 + g_{ds} (V_{ds} - \frac{V_{dd}}{2}) = \gamma \frac{Z}{L} (V_T)^2 + g_{ds} (\frac{V_{dd}}{2} - V_{ds}) \quad (3.5)$$

$$\gamma \frac{Z}{L} [(V_{gs} - V_T)^2 - V_T^2] + 2g_{ds} (V_{ds} - \frac{V_{dd}}{2}) = 0 \quad (3.6)$$

$$g_t = \frac{dV_{ds}}{dV_{gs}} = \frac{\gamma \left(\frac{Z}{L} \right) (V_{gs} - V_T)}{g_{ds}} \quad (3.7)$$

On déduit la valeur de $g_t = -7.5$

Les seuils des tensions haut et bas peuvent être estimés à partir de l'approximation traduite sur la figure III - 9 (linéarisation des caractéristiques I (V)).

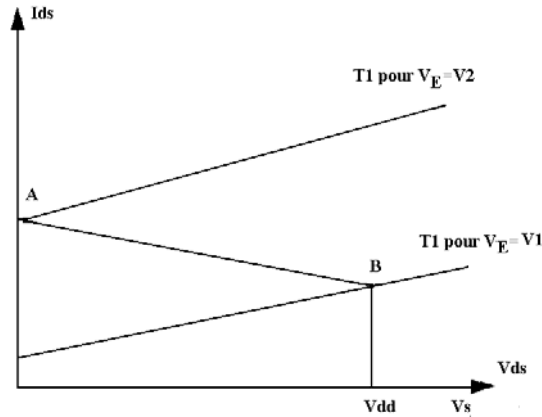


Figure III - 9 : Caractéristiques statiques linéarisées.

V_2 satisfait, dans les équations de T1 et T2, la condition $V_{ds}=0$,

$$\gamma \frac{Z}{L} [(V_{gs} - V_t)^2 - V_t^2] - g_{ds} V_{dd} = 0 \quad (3.8)$$

V_1 satisfait la condition $V_{ds}=V_{dd}$

$$\gamma \frac{Z}{L} [(V_{gs} - V_t)^2 - V_t^2] + g_{ds} V_{dd} = 0 \quad (3.9)$$

Soit :

$$\begin{aligned} V_1 &= 0.25 \text{ V,} \\ V_2 &= -0.3 \text{ V.} \end{aligned}$$

Les marges de bruit qui s'en déduisent sont :

- marge de bruit haute $(0.8 \text{ V} - 0.25 \text{ V}) = 0.55 \text{ V}$,
- marge de bruit basse $(-0.3 \text{ V} + 1.5 \text{ V}) = 1.2 \text{ V}$.

Sur le plan dynamique, le temps de propagation correspondra au temps de charge de la capacité parasite C_p .

- T1 bloqué (figure III - 10a):

$$I_{T2} \Delta t = C_p \Delta V_s \quad (3.10)$$

$$(I_{T1} - I_{T2}) \Delta t = C_p \Delta V_s \quad (3.11)$$

$$I_{T1} = 2I_{T2} \quad (3.12)$$

- T2 saturé (figure III - 10b)

Si les retards sont identiques sur les deux transistors.

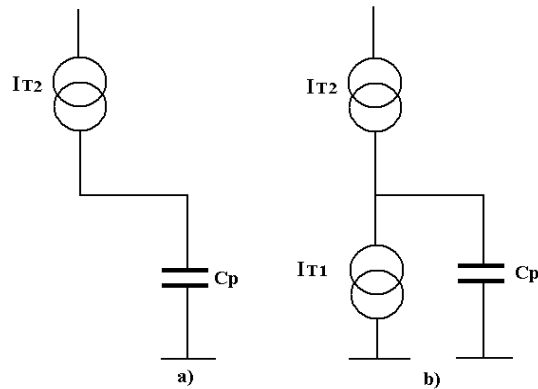


Figure III – 10 : Schéma équivalent dynamique de l'inverseur.

Pour

$$\Delta V_s = V_{dd} / 2 \rightarrow I_{pd} = \frac{C_p V_{dd}}{2I_{T2}} \tag{3.13}$$

En considérant que cet inverseur est chargé par une cellule identique présentant une capacité $C_{gs}(20 \mu\text{m})$ et en tenant compte de la capacité au noeud liée aux capacités de T_1 , et T_2 on obtient :

$$C_p = C_{gs} + C_{ds}(T_1) + C_{ds}(T_2) \tag{3.14}$$

Avec :

$$t_{pd} = 54 \text{ ps avec } C_p = 70 \text{ fF.}$$

Le temps de transition associé est $2t_{pd}$ est égal à 110ps.

Ces calculs effectués de façon grossière fixent l'ordre de grandeur des paramètres de la logique GaAs. Il faut remarquer que la compatibilité de niveau n'est pas assurée dans ce cas, V_E varie entre - 1,5 V et 0,8 V et V_S entre 0 et 4 V. Dans la pratique, un étage décaleur adaptateur assure, simultanément, un transfert de niveau et une adaptation d'impédance. C'est le principe de la porte BFL (Buffered Fet Logic) (figure III - 11)

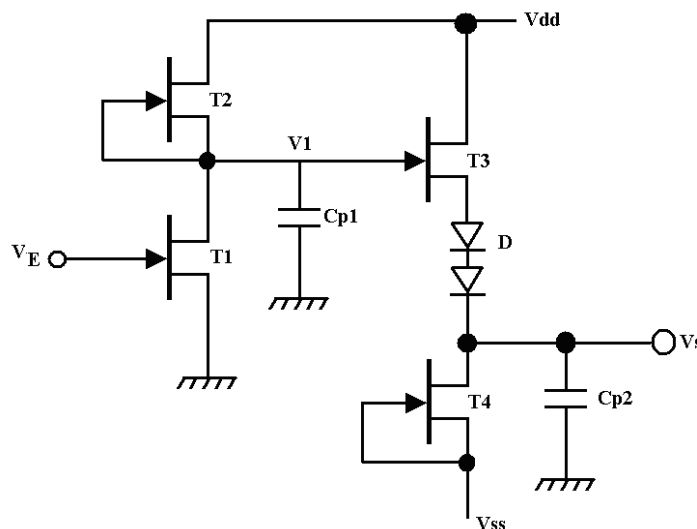


Figure III – 11 : Inverseur logique BFL.

L'étage formé par T_3 , D , T_4 à source suiveuse offre une faible impédance de sortie et assure un décalage à l'aide des diodes D . L'entrée de T_3 présente une capacité inférieure à celle prise en compte dans le calcul estimatif, ce qui réduit le temps de propagation associé le premier étage. Si A est le gain de l'étage adaptateur décaleur :

$$C_{p1} = C_{gs}(T_3)(1-A) + C_{ds}(T_2) + C_{ds}(T_1) \quad (3.15)$$

ce qui fixe le temps de transition associé est au premier étage à :

$$t_{pd1} = 22\text{ps}, C_{p1} = 30\text{fF}$$

Le mode de fonctionnement quasi-linéaire du second étage nous autorise à le représenter sous la forme d'un générateur de tension d'impédance de sortie Z_s chargé par C_{p2} , soit 70 fF pour une sortante de 1 (figure III - 12).

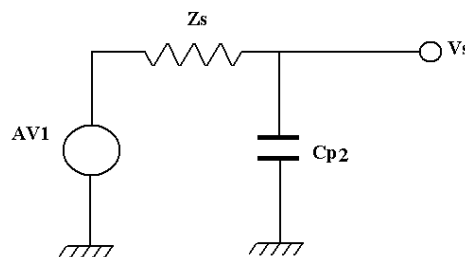


Figure III – 12 : Schéma, équivalent dynamique de l'étage suiveur-adaptateur d'une porte.

La valeur de l'impédance de sortie, approximativement l'inverse de la transconductance g_m de T_4 , conduit à une constante de temps :

$$\tau = \frac{1}{g_m} C_{p2} = 28\text{ps avec } C_{p2} = 70\text{fF}.$$

On peut grossièrement estimer que le temps de propagation total sera la somme des temps de propagation associés aux deux étages

$$t_{pd} = t_{pd1} + \tau = 50 \text{ ps}.$$

C'est la valeur typique relevée pour ce type de porte conçue dans une filière logique rapide (BFL) et réalisée à l'aide de transistors présentant des tensions de seuil assez négatives.

III – 5. DETERMINATION DES PARAMETRES DOMINANTS DE TECHNOLOGIQUE

Disposer d'une filière technologique de réalisation de circuits intégrés signifie, bien sûr, de disposer des moyens matériels permettant la réalisation des composants, mais aussi de la maîtrise des paramètres qui lui sont associés. Cela sous-entend un contrôle absolu et permanent de toutes les variables intervenant dans la définition de la filière.

D'une façon générale, une filière technologique de réalisation dispose de moyens :

- d'élaboration de matériau,
- de conception de circuits,
- de fabrication,
- de tests

déterminés à partir de critères de maîtrise des paramètres, de reproductibilité,

d'homogénéité, de productivité et de coût.

Au-delà de la seule notion de disponibilité, il importe que la filière technologique vive, c'est-à-dire qu'elle soit le cadre d'interactions très directes entre les différents secteurs la composant. C'est la seule garantie d'une maîtrise complète du processus de réalisation qui nécessite un contrôle permanent afin de juger de la stabilité ou de l'évolution de la filière. Toutes dérives des paramètres du matériau et de la technologie se traduisent par une évolution des caractéristiques des composants. Afin de déterminer de façon aisée l'objet de cette dégradation de performances. Il est indispensable d'associer aux circuits intégrés, des motifs d'évaluation spécifiques dont la mesure permet l'extraction des divers paramètres associés au matériau et à la technologie de réalisation.

D'une façon générale, la bonne gestion de l'organigramme permet de disposer des valeurs moyennes et des dispersions de tout paramètre du matériau et du procédé et donc d'effectuer un suivi d'activité (stabilité de la filière).

Le retour du côté conception permet, d'une part de disposer pratiquement en temps réel des paramètres des modèles CAO et d'autre part d'étudier les configurations du pire cas, en tenant compte des dispersions diverses relevées.

II – 5 – 1. Mesure des paramètres statiques sur une structure de tests associés

La figure III - 13 présente, à titre d'exemple, la matrice d'un réticule de circuits intégrés regroupant les fonctions logiques simples. Elle comporte :

- une porte OR NOR à 4 entrées,
- une porte AND NAND à 4 entrées,
- une porte XOR NXOR à 2 entrées,
- trois bascules D à déclenchement sur front avec remise à zéro et remise à un,
- trois motifs de contrôle de procédé nommés CPI, CP2 et CPRO.

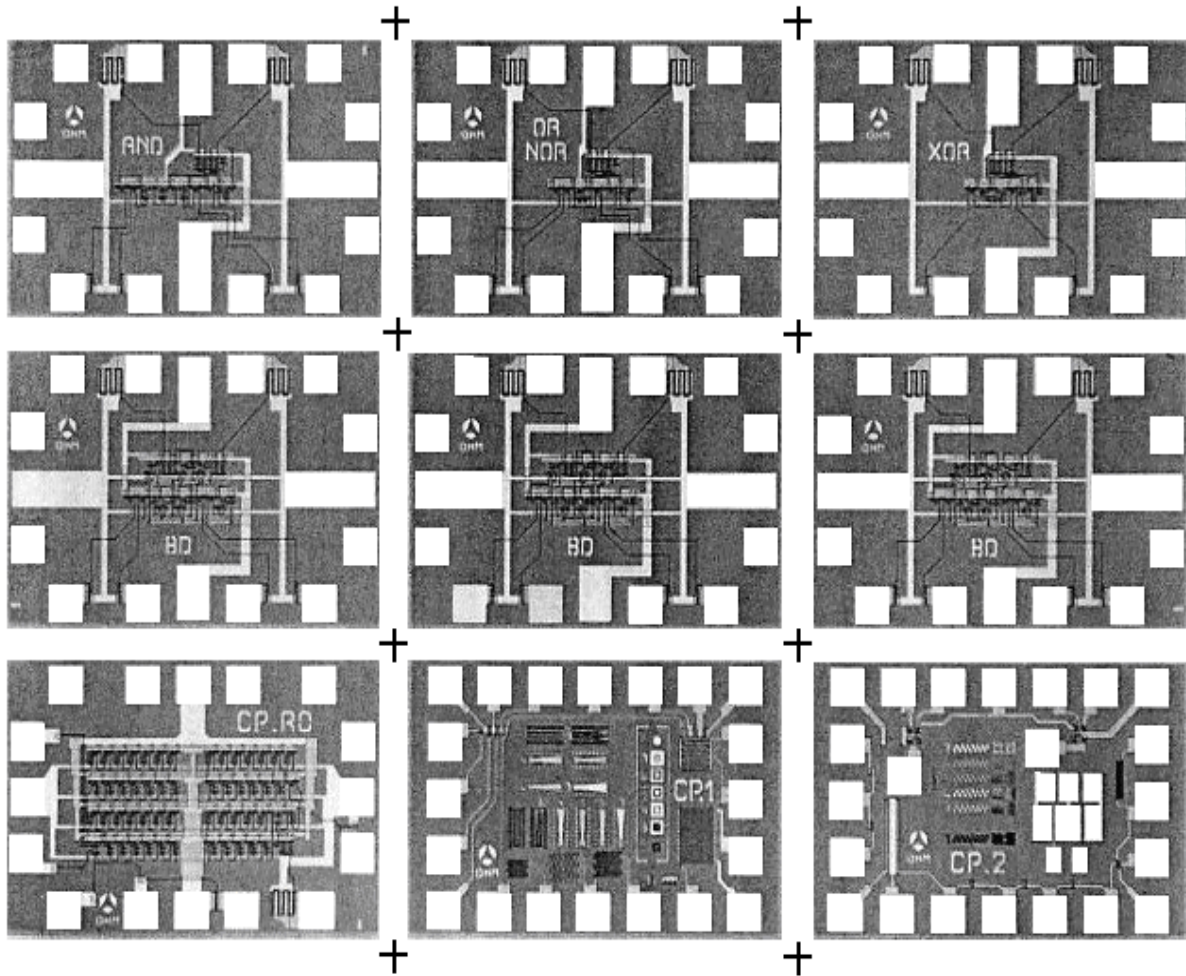


Figure III – 13 : Réticule de circuits intégrés numériques GaAs.

Chaque circuit occupe une plage de $700\ \mu\text{m} \times 1000\ \mu\text{m}$ (plots compris), la matrice entière faisant $2,1 \times 3,2\ \text{mm}$. Les motifs de contrôle de procédé, implantés de façon répétitive sur la rondelle, sont systématiquement mesurés, de façon automatique en fin de procédé de réalisation. L'ensemble de ces circuits d'évaluation permet d'avoir une image très complète de la qualité de la technologie mise en oeuvre.

Le motif CPI comporte

- une chaîne de 4 transistors dont les dimensions figurent dans le tableau III – 3.
- une chaîne de résistances de zone actives de dimensions L/W de $3 \times 20\ \mu\text{m}$, $7 \times 20\ \mu\text{m}$, $12 \times 20\ \mu\text{m}$,
- un dispositif de mesures de la commande latérale parasite ou side gating (électrode placée à $5\ \mu\text{m}$ de la chaîne de résistances décrite précédemment),
- un motif de mesures de l'isolement interdispositif constitué de deux zones de parties actives imbriquées et espacées de $4\ \mu\text{m}$ sur une longueur de $797\ \mu\text{m}$,
- deux serpentins de métallisations N1 et N2; pour N1, $L/W = 2200\ \mu\text{m} \times 1,5\ \mu\text{m}$ et pour N2, $L/W = 2840\ \mu\text{m} \times 2,5\ \mu\text{m}$,
- trois chaînes de 100 contacts :
 - 100 contacts N1/N2 à travers des ouvertures de $2 \times 3\ \mu\text{m}^2$,
 - 100 contacts N1/CO à travers des ouvertures de $2 \times 3\ \mu\text{m}^2$,
 - 100 contacts N1/GR à travers des ouvertures de $2 \times 2\ \mu\text{m}^2$.

Le motif CP2 comporte, lui :

- 2 circuits d'étude de protection d'entrées contre les décharges électrostatiques
- 1 serpentín de niveau métallique de grille de $500 \mu\text{m} \times 1 \mu\text{m}$,
- 1 transistor bigrille : longueurs des grilles : $1 \mu\text{m}$, espacement intergrilles $2 \mu\text{m}$ et distance drain-grille et source-grille de $1,5 \mu\text{m}$,
- 5 diodes Schottky de surfaces $1,5 \times 20 \mu\text{m}^2$ conçues avec différentes prises de contact,
- 1 transistor de grandes dimensions (JumboFET) de W/L de $200 \mu\text{m} \times 20 \mu\text{m}$.

Longueur de grille (μm)	1	1	3	5
Largeur de grille (μm)	5	20	20	20
Espacement grille source (μm)	1,5	1,5	1,5	1,5

Tableau III – 3 : Dimensions géométriques des transistors

Outre ces dispositifs électroniques, ces deux motifs d'évaluation de procédé comportent un certain nombre de mires optiques permettant le contrôle des alignements des différents masquages lors du traitement.

Tous ces motifs permettent d'opérer, de façon exhaustive, la mesure et le contrôle des paramètres fondamentaux des dispositifs élaborés. A titre indicatif, le nombre de paramètres extraits du module CPI est de 56.

III – 5 – 2. Les méthodes utilisées pour l'extraction des principaux paramètres

Les définitions et les méthodes utilisées pour l'extraction des principaux paramètres sont présentées ci-après.

III – 5 – 2 – 1. Tension de commande latérale parasite (V_{bg})

Cette tension correspond à la valeur de tension appliquée sur l'électrode de commande latérale située à $5 \mu\text{m}$ d'une résistance qui provoque une variation de résistance de 10 %.

III – 5 – 2 – 2. Résistance de contact ohmique et résistance carrée de la couche active (R_c et R_{\square})

Cette évaluation est assez délicate car elle nécessite d'appréhender des résistances « parasites » de quelques ohms. Il est donc indispensable d'assurer d'excellentes liaisons jusqu'aux motifs mesurés et c'est la raison pour laquelle on utilise généralement la méthode de mesure des 4 fils ou la méthode d'alimentation à courant constant.

Le motif d'évaluation comporte 3 résistances de longueurs différentes (figure III - 14a).

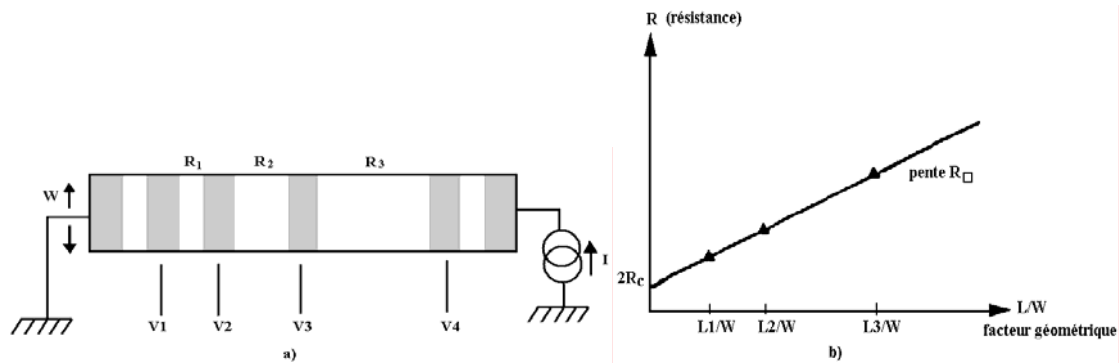


Figure III – 14 : Détermination des résistances de contacts ohmiques et la résistance par carré de la couche active.

Si R_c et R_{\square} sont les résistances de contact et la résistance par carré de la couche active, les résistances s'expriment par :

$$R_1 = \frac{V_2 - V_1}{I} = \frac{L_1}{W} R_{\square} + 2R_c \quad (3.16)$$

$$R_2 = \frac{V_3 - V_2}{I} = \frac{L_2}{W} R_{\square} + 2R_c \quad (3.17)$$

$$R_3 = \frac{V_4 - V_3}{I} = \frac{L_3}{W} R_{\square} + 2R_c \quad (3.18)$$

La loi $R=f(L/W)$ est linéaire et de pente R_{\square} (figure III – 14b).

Une régression linéaire opérée sur trois points permet immédiatement de réduire les deux paramètres R_c et R_{\square} . Le facteur de contact f_c est définie par :

$$f_c = R_c^2 W^2 / R_{\square} \quad (3.19)$$

III – 5 – 2 – 3. Courant de saturation des MESFET (I_{dss})

Le courant de saturation I_{dss} est déterminé pour $V_{gs}=0$ et pour une valeur V_{ds} définie selon la loi empirique choisie : $V_{ds}=2,5V+0,5V \times L$

Dans le cas de transistors à enrichissement, cette mesure est opérée pour une valeur de V_{gs} positive préalablement fixée à + 0.7 V.

III – 5 – 2 – 4. Tension de seuil électrique (V_{ts})

La tension de seuil électrique correspond à la valeur de la tension V_{gs} nécessaire pour obtenir un courant drain-source égal à 5 %, de I_{dss} . Cette mesure est opérée de façon dichotomique pour minimiser le temps de mesure.

III – 5 – 2 – 5. Conductance à saturation (G_{ds})

G_{ds} est déterminée autour de I_{dss} pour $\Delta V_{ds} = \pm 0,1V$ par l'expression :

$$G_{ds} = \frac{\Delta I_{dss}}{\Delta V_{ds}} \quad (3.20)$$

III – 5 – 2 – 6. Transconductance à saturation (g_{m0})

g_{m0} est définie par l'expression pour $\Delta V_{gs} = \pm 50mV$ par l'expression :

$$g_{m0} = \frac{\Delta I_{dss}}{\Delta V_{gs}} \quad (3.21)$$

III – 5 – 2 – 7. Résistance d'accès (R_{sd}), conductance de canal (g_0) et tension de seuil faible champ (V_{t0})

Ce triplet de paramètres est obtenu à partir de mesures opérées sous faible champ ($V_{ds}=20$ mV) c'est-à-dire dans la zone linéaire du transistor à effet Dans ces conditions de polarisation, la charge d'espace développée sous la grille est pratiquement uniforme (figure III - 15a) et la loi de courant déduit des équations de Schockley peut s'écrire :

$$\frac{V_{ds}}{I_{ds}} = \frac{1}{qN_{da}\mu \frac{Z}{L} \left(1 - \sqrt{\frac{\phi_{BS} - V_{gs}}{\phi_{BS} - V_{t0}}} \right)} + R_s + R_D \tag{3.22}$$

$$\frac{V_{ds}}{I_{ds}} = \frac{1}{g_0 \left(1 - \sqrt{\frac{\phi_{BS} - V_{gs}}{\phi_{BS} - V_{t0}}} \right)} + R_s + R_D \tag{3.23}$$

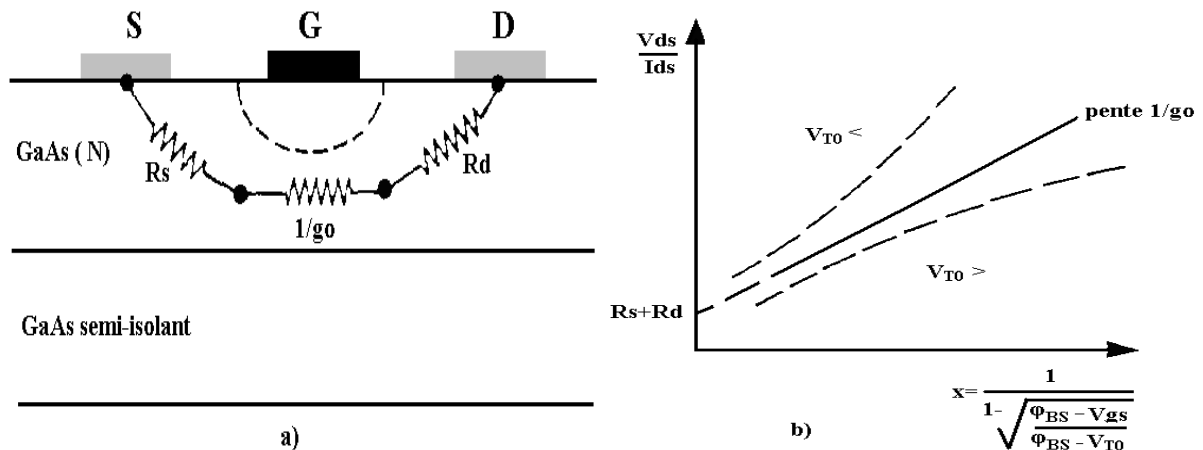


Figure III – 15 : Détermination des paramètres de faible champ.

Le tracé de V_{ds}/I_{ds} en fonction de $\left(1 - \sqrt{\frac{\phi_{BS} - V_{gs}}{\phi_{BS} - V_{T0}}} \right)$ est une droite de pente $1/g_0$ dont l'ordonnée à l'origine est $R_s + R_d$ (figure III – 15b).

Le principe de détermination de ce triplet de paramètres consiste à construire par régression linéaire, à partir d'un relevé expérimental de 10 points $I_{ds}=f(V_{gs})$, la droite :

$$\frac{V_{ds}}{I_{ds}} = f(x) \tag{3.24}$$

et d'affiner la valeur de V_{T0} pour obtenir un coefficient de corrélation le plus proche possible de 1. Le calcul opéré à ce stade converge vers la valeur optimale de V_{T0} .

III – 5 – 2 – 8. Paramètres de la jonction Schottky

La tension développée aux bornes de la diode Schottky est de la forme :

$$V_{gs} = R_s I_{gs} + \eta \frac{kT}{q} \text{Log} \frac{I_{gs}}{A^* T^2 S} + \eta \phi_{Bn} \tag{3.25}$$

Où η est le coefficient d'idéalité de la diode,

φ_{Bn} est la hauteur de barrière de la jonction Schottky,

A^* est la constante de Richardson, égale à 16 dans ce cas,

S est la section droite du dispositif.

Pour les faibles valeurs de I_{ds} permettant de négliger le facteur $R_s I_{gs}$ les paramètres sont liés par l'expression :

$$\frac{kT}{q} = \ln \frac{I_{gs}}{I_s} = \frac{V_{gs}}{\eta} - \varphi_{Bn} \quad (3.26)$$

Les valeurs de n et φ_{BS} seront donc directement déduites de la droite présentée sur la figure III – 16 qui illustre la méthode appliquée.

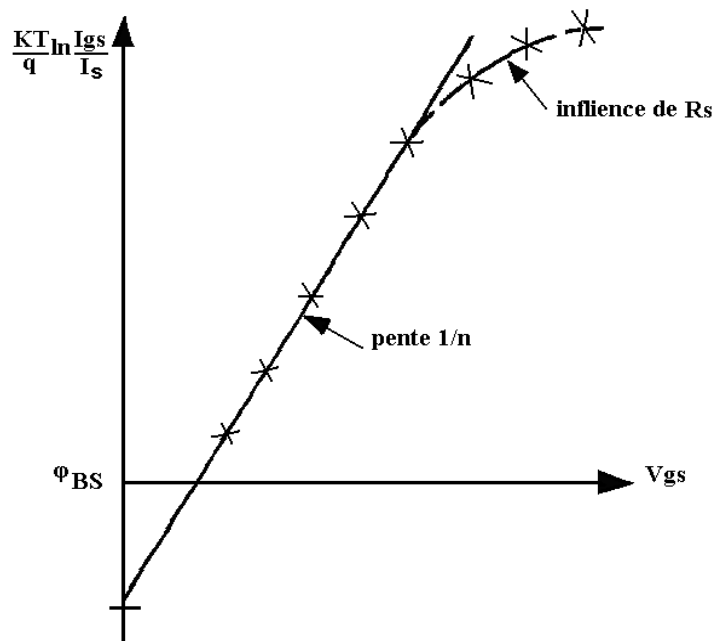


Figure III – 16 : Détermination des caractéristiques des diodes Schottky.

III – 5 – 2 – 9. Détermination des profils de concentration de porteurs et de mobilité de la couche active

La mesure des profils s'effectue sur un jumboFET dont la géométrie permet une mesure commode de la capacité C_{gs} . A tension drain-source très faible on peut admettre que la zone de déplétion s'étend sous la grille d'une profondeur y_0 uniforme le long du canal (figure III - 17).

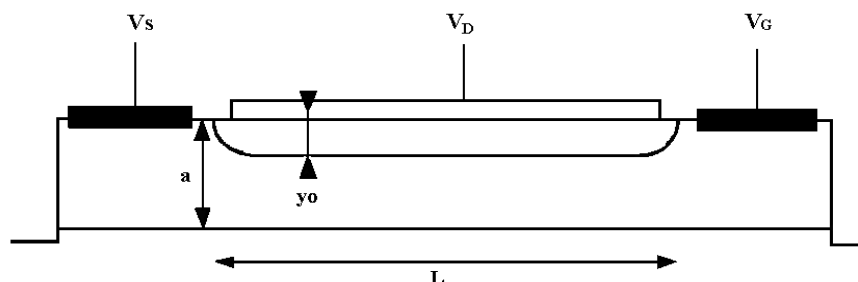


Figure III – 17 : Coupe d'un jumbo FET permettant la détermination du profil de dopage et la mobilité dans le canal.

La conductance drain-source G_{0n} du transistor s'exprime par

$$G_{0n} = q \frac{Z}{L} \int_{y_0}^0 n(y) y dy \quad (3.27)$$

où $n(y)$ et $\mu(y)$ sont la densité de porteurs libres et la mobilité des porteurs à la profondeur y .

Une seconde relation peut être obtenue par la mesure de la capacité grille-canal pour un même point de polarisation V_{gs} .

$$C_{gs} = \varepsilon \frac{ZL}{y_0} \quad (3.28)$$

où y_0 dépend des conditions de polarisation de la grille :

$$\varphi_{Bn} - V_{gs} = \frac{q}{\varepsilon} \int_0^{y_0} n(y) y dy \quad (3.29)$$

Les profils se déduisent des mesures effectuées par les relations établies au chapitre 2 :

$$y_0 = \varepsilon \frac{ZL}{C_{gs}} \quad (3.30)$$

$$\eta = \frac{C_{gs}^3}{q(ZL)^2} \left(\frac{dC_{gs}}{dV_{gs}} \right)^{-1} \quad (3.31)$$

$$\mu = \frac{L^2}{C_{gs}} \frac{dG_{0n}}{dV_{gs}} \quad (3.32)$$

III – 5 – 3. Détermination du temps de propagation des portes

Aucun opérateur logique ne peut effectuer sa fonction en un temps nul. Le temps de traitement dépend de la complexité de l'opération, de l'architecture du circuit conçu pour réaliser cette opération et de la rapidité de chaque bloc élémentaire du circuit intégré. On peut définir un temps d'opération dont la valeur est dépendante de la famille logique utilisée. Le temps de propagation d'une porte est le temps d'opération correspondant au circuit logique le plus simple : une porte à une entrée ou inverseur.

Le schéma synoptique de la figure III - 18a présente une chaîne d'inverseurs.

En considérant que les délais dans les liaisons interinverseur, sont nuls, le signal issu du générateur se propage dans la chaîne selon le diagramme présenté à la figure III - 18b.

Le temps de propagation de l'inverseur est la moyenne des temps de propagation correspondant aux transitions 1-0 et 0-1

$$t_{pd} = \frac{1}{2} (t_{pd01} + t_{pd10}) \quad (3.33)$$

Si la chaîne comporte n inverseurs, la n -ième porte reproduira une transition d'entrée au bout de nt_{pd} . Lorsque l'on rebouche la chaîne (voie B), deux cas peuvent se produire :

- si n est pair, le système est stable
- si n est impair, le système est instable et oscille à une fréquence donnée par la relation :

$$F_{osc} = 1/2nt_{pd} \quad (3.34)$$

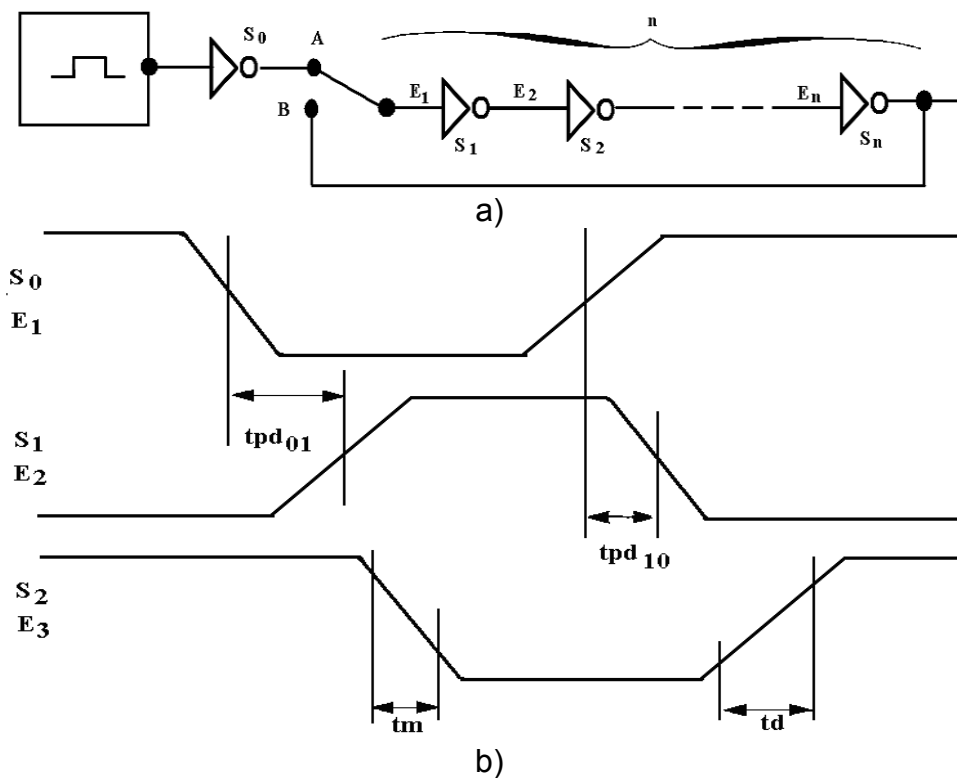


Figure III – 18 : Détermination du temps de propagation des portes.

C'est un oscillateur en anneau (RO : Ring Oscillator) dont l'analyse des signaux, associée à celle opérée sur une porte simple, permet de déterminer :

- les niveaux haut et bas de l'excursion logique (VOL, VOH), - les marges de bruit de la logique,
- le gain de transfert,
- le temps de propagation,
- les temps de transition pris à 20 et 80 % de la transition (t_m, t_d),
- la puissance dissipée associée,
- les tolérances aux alimentations.

Si P est la puissance consommée par les n portes de l'oscillateur en anneau, le facteur de mérite de la logique considérée (produit P . t_{pd}) sera :

$$F_m = P.F_{osc} / 2n^2 \tag{3.35}$$

D'une façon grossière, si f est la fréquence de transition du transistor de commutation de la porte, on peut écrire

$$t_{pd} = \frac{1}{2f_t} + \frac{\sum CV}{I} \tag{3.36}$$

Où

V est la valeur de l'excursion logique

I est la valeur du courant commandé.

$\sum CV$ est l'ensemble des capacités internes de la porte et externes liées à l'ensemble des portes constituant la charge (sortance ou "fan-out") et aux lignes d'interconnexion très dépendantes de l'implantation.

A l'aide de cette relation très simple, on peut montrer que :

- le temps de propagation d'une porte dans un circuit dépend beaucoup de sa configuration,

- le temps de propagation d'une porte est d'autant plus sensible à la sortance et aux capacités parasites que le courant disponible est faible [18]. Il faut donc analyser avec prudence les résultats mesurés sur les oscillateurs en anneau qui correspondent à une entrance et sortance de 1 à une implantation très optimisée.

C'est la raison pour laquelle, outre les structures en anneau, on associe généralement aux circuits intégrés réalisés, des circuits plus significatifs, d'un certain degré de complexité, tels que des diviseurs de fréquence où la sortance moyenne est voisine de 2/3 et dont la configuration nécessite des rebouchages internes entrées/sorties. On détermine, dans ce cas, la fréquence maximale de fonctionnement dont la valeur, dépendant de la configuration du circuit réalisé, de fixe le temps de propagation réel des portes utilisées.

A ces structures, permettant d'évaluer les performances dynamiques (et le rendement de fabrication), certains concepteurs associent un MESFET de grande largeur dont la topologie permet une mesure correcte des paramètres hyperfréquences. Cette détermination est intéressante à double titre :

- permettre la corrélation entre les performances hyper fréquences des MESFET et les performances dynamiques des circuits logiques,
- extraire des mesures les éléments du modèle utilisé en simulation de fonctionnement sur ordinateur.

III – 5 – 4. Sensibilité des caractéristiques aux différents paramètres technologiques

III – 5 – 4 – 1. Incidence de l'assemblage des procédés

Pour une configuration déterminée du circuit qui fixe la valeur des capacités, le temps de traversée d'un opérateur logique dépendra :

- des performances intrinsèques des MESFET,
- de la rapidité de la charge des capacités parasites par le courant des MESFET.

En fait, ces deux critères sont liés. La fréquence de transition des MESFET s'exprime par $f = g_m/2\pi C_{gs}$ et la valeur du courant commuté est directement liée à la transconductance g_m du transistor. Le paramètre g_m est donc primordial vis-à-vis de la qualité et de la rapidité des circuits intégrés réalisées.

III – 5 – 4 – 2. Incidence de la longueur de grille

L'idée de réduire la longueur de grille d'un MESFET afin d'améliorer performances est très attractive [19]. Pour un fonctionnement voisinage du seuil ($V_{gs} - V_t$ faible), g_m et f_t s'expriment par :

$$g_m = \frac{4}{3} \frac{Z\epsilon}{L} \frac{\mu\alpha_c K_s}{a} (V_{gs} - V_t) \quad (3.37)$$

$$f_t = \frac{gm}{2\pi C_{gs}} = \frac{4}{6\pi} \frac{1}{L^2} \mu\alpha_c K_s (V_{gs} - V_t) \quad (3.38)$$

Si ces relations sont vérifiées pour des valeurs expérimentales de longueur de grille de MESFET supérieures à 1 μm , elles cessent d'être applicables pour des grandeurs submicroniques. L'amélioration des performances dynamiques dépend énormément de la configuration des circuits et est, dans le meilleur cas, proportionnelle à 1/L [20].

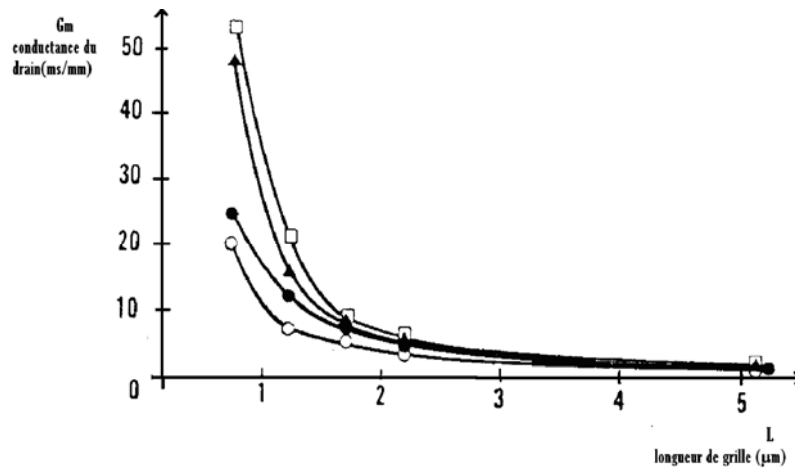


Figure III – 19 : Incidence des conditions d'implantation des zones N^+ sur la tension de seuil et la conductance de sortie des MESFET.

Cette différence est principalement due à trois causes :

- la non-prise en compte des éléments parasites tels qu'une résistance en série dont l'existence devient prépondérante aux faibles longueurs de grille
- la non-linéarité de la capacité C_{gs} , avec L (influence des capacités de bords)
- la variation de la tension de seuil V_t avec L , se traduisant par une perte de l'efficacité de la commande de la grille.

Cet effet se concrétise par une décroissance de la tension de seuil avec la longueur de grille. On a pu observer que la variation est d'autant plus faible que l'énergie d'implantation des zones N^+ est réduite.

Ce dernier phénomène est bien connu en technologie MOS au silicium. Il se concrétise par une décroissance de la tension de seuil avec la longueur de grille. Simultanément; est observée une augmentation de la conductance de drain (figure III - 19) qui réduit le gain intrinsèque de la porte. Ces phénomènes sont atténués lorsque la profondeur des zones N^+ de source et de drain est réduite, c'est-à-dire, lorsque l'énergie d'implantation de ces zones est plus faible [20].

III – 5 – 4 - 3. Incidence de la commande latérale parasite

Le concept d'intégration implique un excellent découplage électrique entre les zones actives du circuit intégré. Une mauvaise isolation inter dispositifs peut être due à des phénomènes de surface dans la zone séparant les parties actives [21] ou à une mauvaise qualité des régions isolantes (zones implantées ou matériau semi-isolant). La commande parasite latérale ou «side-gating» permet de juger de l'interaction du potentiel appliqué sur un contact proche d'un MESFET. L'effet se traduit par une modification des caractéristiques statiques du transistor (figure III - 20) qui dépend de la proximité de la commande.

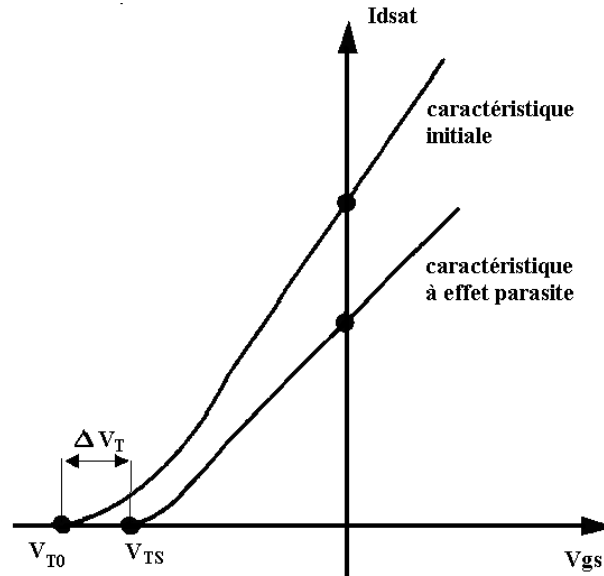


Figure III – 20 : Incidence de la commande parasite latérale sur les caractéristiques des MESFET

Pour : $\Delta x=3\mu\text{m}$, $V_s=-4\text{V}$
 $\Delta x=20\mu\text{m}$, $V_s=-6\text{V}$
 $\Delta x=40\mu\text{m}$, $V_s=-20\text{V}$

On peut noter que $\Delta x=3\mu\text{m}$ correspond au standard universellement adopté comme distance interdispositifs et que, dans ces conditions, la maîtrise parfaite des caractéristiques (telles que les nécessiteraient par exemple les applications linéaires) peut s'avérer délicate.

III – 6. PRINCIPALES CARACTÉRISTIQUES DES DIFFÉRENTES FAMILLES LOGIQUES GaAs

Depuis l'origine des circuits intégrés GaAs, différentes approches logiques furent proposées afin de satisfaire certains critères, tels que le compromis entre vitesse et consommation, la souplesse de fonctionnement, la tension d'alimentation requise, la contrainte et le rendement de fabrication, le niveau d'intégration permis, etc. Puisque les FET normalement ouverts requièrent une tension négative pour être pincés, les circuits logiques à déplétion, c'est-à-dire la BFL (Buffered et Logic) et la SDFL (Schottky- Diode Fet Logic) nécessiteront une double alimentation ($+V_{dd}$ et $-V_{ss}$) et une conception de circuits à deux étages. Inversement, les circuits logiques à enrichissement, la DCFL (Direct Coupled et Logic) fonctionne avec une seule alimentation ($+V_{dd}$) et utilise des éléments résistifs ou saturés comme charge ou source de courant (résistances linéaires ou saturées ou dispositifs à déplétion).

Les caractéristiques et particularités diverses des différentes familles logiques ont été présentées. Rappelons, tout d'abord, que les caractéristiques de transfert sont généralement mesurées sur des portes de test et que les facteurs de mérite sont déduits des mesures réalisées sur oscillateurs en anneaux (RO).

III – 6 – 1. Les structures élémentaires, bases des familles logiques utilisant des MESFET

Afin d'illustrer le principe de fonctionnement des logiques à MESFET, nous allons utiliser comme exemple de base, le schéma d'un inverseur BFL représenté sur la figure III - 11 utilisant des transistors normalement ouverts.

La porte comporte deux étages : un étage inverseur et un étage adaptateur- décaleur.

Les dimensions de $T1$ et $T2$ sont telles que lorsque $V_E = 0$, le courant de $T1$ est supérieur à celui de $T2$: le point de repos est en A (niveau bas). Lorsque l'on bloque $T1$, $V_E < V_T$ le point de repos se déplace en B (niveau haut).

Le second étage (figure III - 21) est traversé par un courant constant fourni par $T4$. Si les dimensions de $T3$ et $T4$; sont identiques, l'étage est un suiveur parfait et le potentiel de V_j suit V_i . La variation de V_S sera celle de V_j au décalage près des diodes d'une valeur V_d constante puisqu'elles sont traversées par un courant fixe. La figure III - 22 représente les fonctions de transfert aux différents nœuds de la porte.

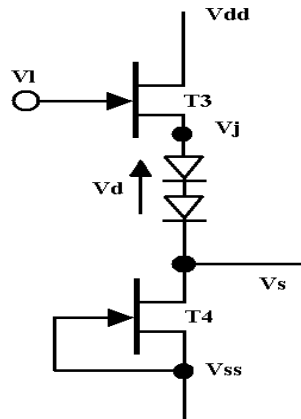


Figure III – 21 : Étage décaleur- adaptateur d'une porte BFL.

La valeur de V_{ss} doit être telle que la tension drain-source de $T3$ maintienne son fonctionnement en régime saturée. Le second étage est dit adaptateur, car il fixe l'impédance de sortie de la porte à une valeur très faible :

$$Z_s \approx \frac{1}{g_m(T3)} \tag{3.39}$$

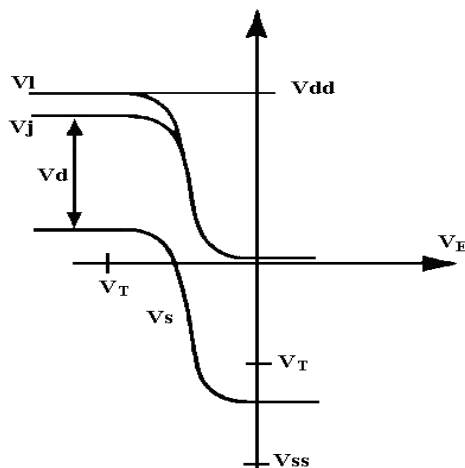


Figure III – 22 : Fonctions de transfert d'un inverseur logique BFL.

La filière DCFL utilise généralement des transistors des deux modes de fonctionnement : le transistor de commande est à enrichissement et le transistor de charge est à appauvrissement (figure III - 23.a).

La réalisation nécessite un processus de fabrication à double tension de seuil, généralement obtenu par une double implantation localisée.

Le fonctionnement est illustré sur la figure III - 23.b où l'on note que le niveau bas d'entrée est 0 V et que le niveau haut est V_{BS} (tension maximale applicable sur la grille en mode direct).

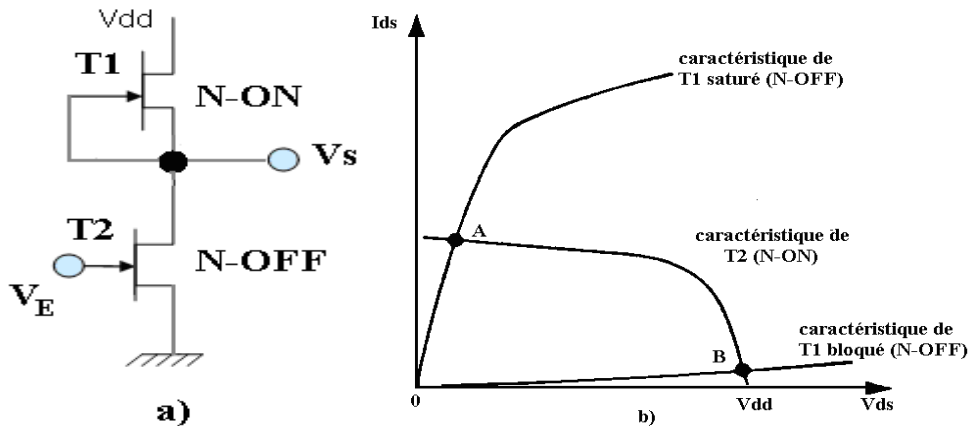


Figure III – 23 : Schéma et caractéristiques de fonctionnement d'un inverseur DCFL (Direct Coupled Fet Logic).

La compatibilité directe est assurée si $V_A < V_t$ (généralement fixée à + 0,15 V) et si $V_B > V_{BS}$. Cette seconde condition est assurée si $V_{dd} > V_{BS}$. Dans la pratique, le niveau haut est automatiquement limité à V_{BS} par la charge de l'étage (la diode grille-source de la cellule suivante) qui écrête la tension de sortie (figure III - 24).

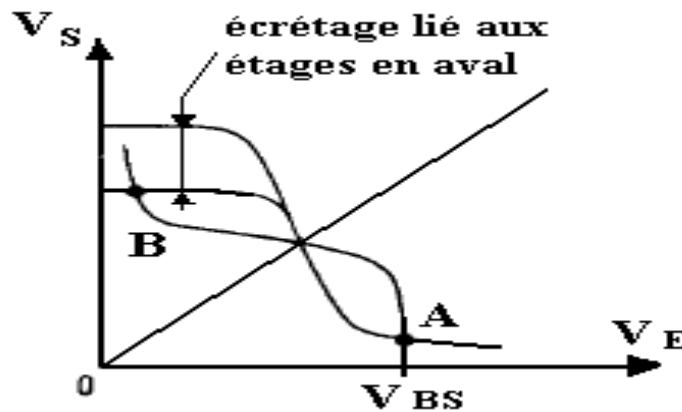


Figure III – 24 : Fonction de transfert d'un inverseur logique DCFL.

III – 6 – 2. Les différentes familles logiques

III – 6 – 2 – 1. La logique BFL (Buffered Fet Logic)

La BFL fut la première famille logique développée sur arséniure de gallium et reste très utilisée par les compagnies impliquées dans les domaines de recherche et de développement. C'est la filière technologique choisie par Harris et Gigabit Logic pour la fabrication des premiers circuits intégrés logiques commerciaux. Elle est considérée comme la filière logique la plus mûre et offre des

performances très intéressantes. A titre d'exemple, des temps de propagation 30 ps pour une puissance consommée de 41 mW ont été relevés sur des circuits BFL comportant des grilles de 0.5 μm de longueur. Les tensions seuils nécessaires pour obtenir ces performances ultimes se trouvent dans la fourchette - 1,5 V à - 2,5 V et l'étage d'interface comporte trois diodes de calage. La figure III - 25 présente un exemple de porte BFL réalisant la fonction logique $\overline{AB+C}$.

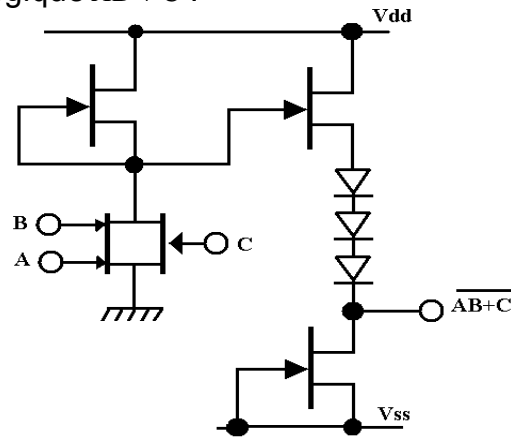


Figure III – 25 : Porte logique BFL.

Cette approche est appelée BFL haute vitesse (hs-BFL) et fonctionne à des débits de quelques gigabits. Malheureusement, sa consommation très élevée limite la complexité d'intégration au niveau MSI. Certaines améliorations récentes apportées au niveau du processus technologique (en particulier, maîtrise de la tension de seuil) ont permis le développement d'une seconde sous-classe de logique BFL présentant un très différent compromis vitesse-puissance dissipée : la BFL basse puissance (lp - BFL). La consommation de puissance est ramenée à 1-3 mW/porte en réduisant la tension de seuil autour de - 0,6 V et en ramenant le nombre de diodes de décalage à 2. Cela conduit à une légère dégradation des performances en vitesse puisqu'on obtient des temps de propagation de 80 ps pour $P = 3,1$ mW/porte (largeur de transistor de 20 μm) et de 108 ps pour $P = 1,5$ mW/porte ($Z = 10$ μm) et $f_m = 0,16$ pj/porte.

III – 6 – 2 – 1 – 1. Caractéristiques statiques

a) Structure d'étude

Nous reportons les résultats obtenus sur une porte logique de la famille BFL en technologie Normally-ON [22]. Cette porte est un inverseur élémentaire des circuits intégrés de la famille subnanoseconde la plus rapide proposée à ce jour. Le signal d'entrée ou adressage est appliqué sur la grille d'un transistor et le circuit fonctionne en commutation de tension. Pour bloquer ce transistor il faut lui appliquer une tension de grille négative et compte tenue du fait que sa tension drain-source est positive, il n'y a pas compatibilité immédiate de polarité entre ces deux tensions.

La porte étudiée représentée sur la figure III – 26 est constituée d'un premier étage appelé inverseur comprenant le transistor de commutation et un transistor avec grille et source en court-circuit appelé charge saturable ou bien une résistance appelée charge résistive.

Afin de respecter la compatibilité des signaux d'entrée et de sortie, il est nécessaire d'adjoindre un deuxième étage de décalage comprenant un transistor utilisé en source suiveuse, un transistor en charge saturable et des diodes Schottky en série. Cet étage décaleur augmente la surface du circuit et la puissance consommée. Cet étage assure la fonction de décalage des niveaux et d'adaptation d'impédance.

La méthode de simulation statique de la porte logique consiste à évaluer le rapport des largeurs des divers transistors (TT1, TT2, TT3 et TT4), l'ordre de grandeur du dopage N_d , de l'épaisseur d et les valeurs des tensions d'alimentation haute et basse compte tenu de contraintes dont les plus importantes sont:

- 1-Conservation en compatibilité en amplitude et en polarité des signaux d'entrée V_E et de sortie V_S .
- 2-La région de gain maximal doit se situer au milieu de l'excursion logique (écart de tension entre le niveau haut et le niveau bas).
- 3-Le niveau logique haut à sortance nulle doit être inférieur à la tension de barrière de la diode Schottky de grille du transistor d'entrée afin d'éviter la polarisation en direct de la grille.
- 4-Les tensions d'alimentations haute V_{AH} et basse V_{AB} doivent être correctement déterminées afin d'assurer la saturation du niveau logique bas $(V_S)_B$ et éviter une dissipation excessive de puissance.

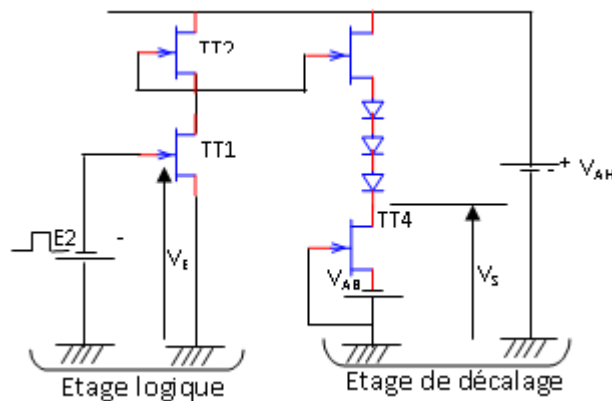


Figure III – 26 : Logique BFL

b) Caractéristiques de transfert

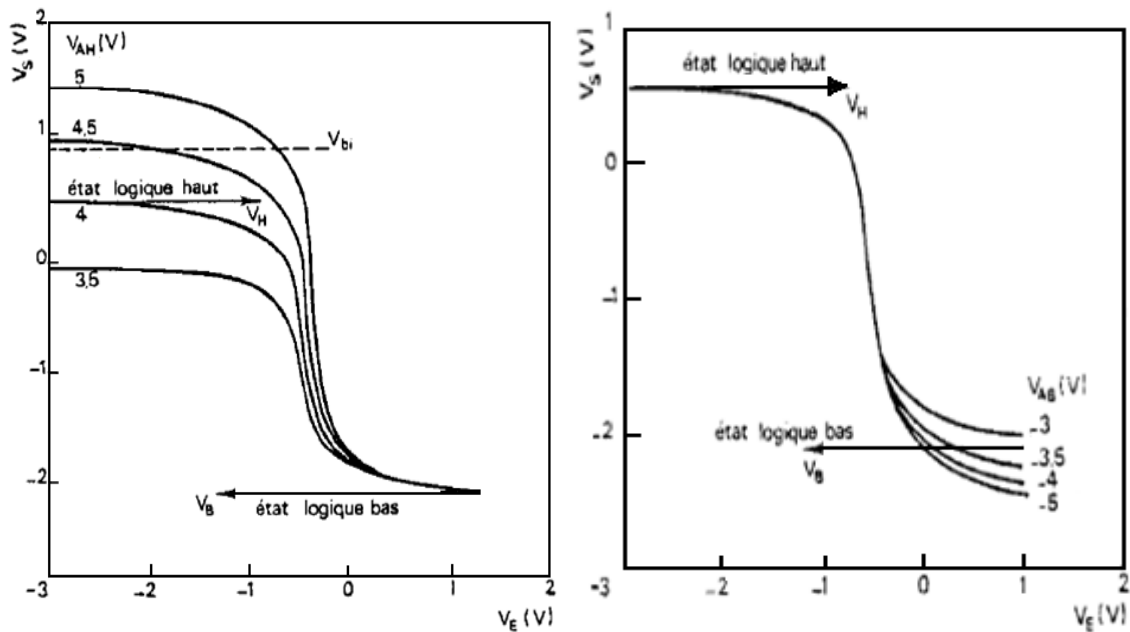
Les résultats de l'analyse numérique ont montré qu'il faut utiliser des couches à dopage compris entre 1 et 3.10^{17}cm^{-3} correspondant à des tensions de seuil inférieur à -2V, une réduction du nombre de diodes de décalage de 3 à 2 permet d'améliorer le temps de propagation de 20. Dans le cas où la tension de seuil est inférieure à -2V, trois diodes de décalage doivent être identiques, la largeur Z de la charge saturable doit être 2/3 de celle des autres composants pour que la région de gain maximal se situe très près du milieu de l'excursion logique.

Les valeurs des paramètres utilisés pour cette étude sont regroupées dans le tableau III 4 ci-dessous.

L(μm)	Z(μm)	d(μm)	$N_d(\text{cm}^{-3})$	$\mu_0 \text{m}^2 \text{V}^{-1} \text{S}^{-1}$	V _{bi} (V)	V _T (V)
1	100	0.15	3.10^{17}	0.14	0.8	-2.3

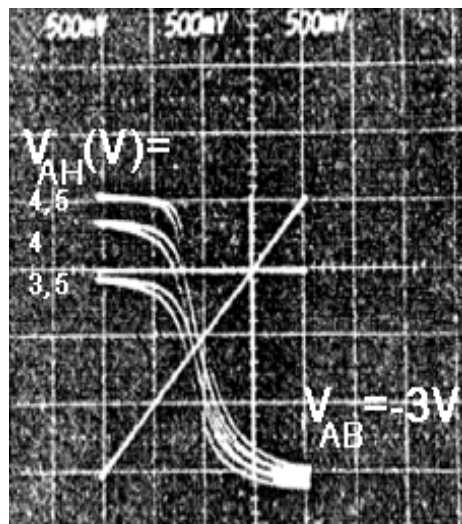
Tableau III – 4 : Paramètres des structures étudiées.

Les caractéristiques de transfert $V_S(V_E)$ de la porte logique obtenues en faisant varier les tensions d'alimentations haute et basse sont représentées sur la figure III – 27. La tension V_S de l'état logique haut (figure III - 27a) reste inférieure à la hauteur de barrière V_{bi} . Pour assurer la compatibilité logique, la tension d'alimentation haute V_{AH} doit être inférieure à 4.5V. Quant à la tension d'alimentation basse elle est sans effet sur l'état logique haut mais peut entraîner ou non la saturation de l'état logique bas. Cette saturation se produit pour $V_{AB}=-3V$ et le niveau logique bas reste voisin de $-2V$. Avec ces valeurs la caractéristique de transfert de la porte logique BFL est représentée sur la figure III – 28 et ses caractéristiques sont données dans le tableau III – 5.



a)

b)



c)

Figure III – 27 : Influence de la tension d'alimentation sur la caractéristique de transfert d'une porte logique; a) Porte NOR, $V_{AB}=-3V$ et V_{AH} qui varie, b) Porte NOR, $V_{AH}=1.5V$ et V_{AB} qui varie ; c) Caractéristique expérimentale pour $Z=100\mu m$

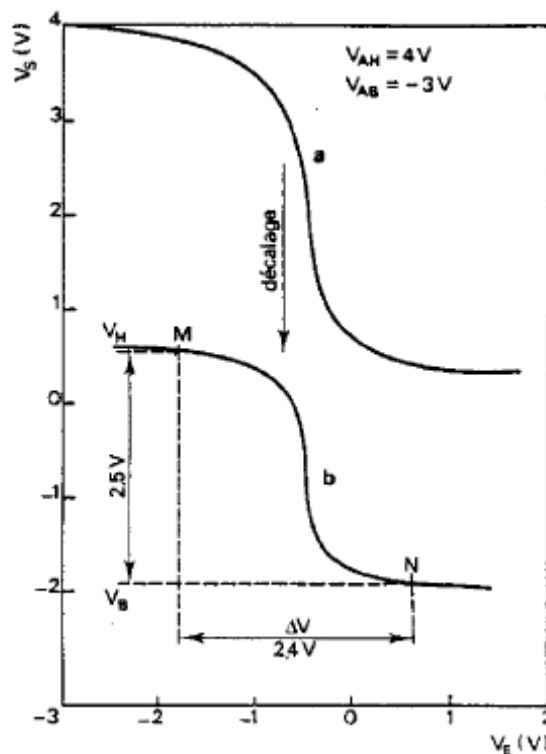


Figure III - 28 : Caractéristique de transfert d'une porte logique BFL

VAH(V)	VAB(V)	Niveaux logiques(V)		Marges de bruit(V)		Excursion logique (V)
4	-3	VB	VH	MB	MBH	2.5
		-2	0.6	33	45	

Tableau III – 5 : Caractéristiques logiques de la porte.

c) Puissance statique consommée

Pour déterminer la puissance statique consommée nous polarisons la porte aux tensions optimales. Les capacités de charge et les fréquences de fonctionnement sont telles que la puissance dynamique est négligeable par rapport à la puissance statique. Le tableau III - 6 fournit la puissance statique consommée par chacun des étages.

Niveau de sortie	Puissance consommée (mW)		total
	1 ^{er} étage	2 ^{ème} étage	
Haut	2.10^{-3}	28	28
Bas	11.6	26	38
Moyenne	5.8	27	33

Tableau III – 6 : Puissance statique consommée.

Ces résultats montrent que la consommation du deuxième étage est plus importante que celle du premier étage.

Nous avons déterminés la variation de la puissance avec la largeur Z des transistors (Figure III - 29). Cette variation est linéaire. Pour diminuer la puissance, il faut diminuer la largeur Z.

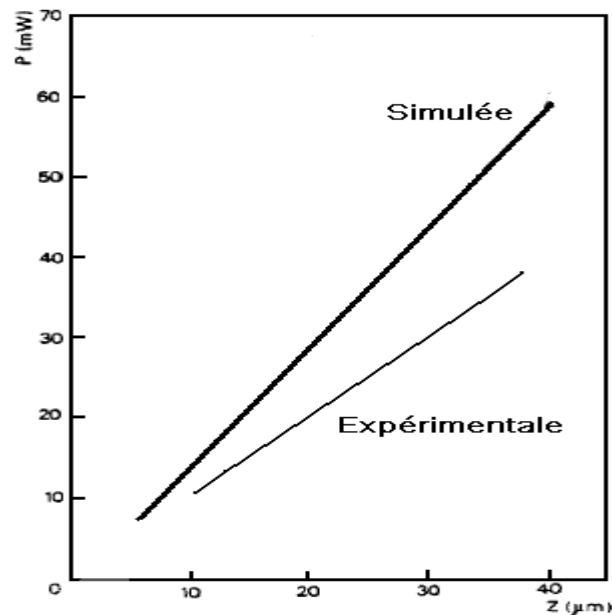


Figure III – 29 : Simulation de la puissance consommée en fonction de la largeur Z.

III – 6 – 2 – 1 – 2. Caractéristiques dynamiques

a) Temps de propagation

En envoyant un signal logique 0-1-0 à l'entrée de la porte nous déterminons la forme du signal de sortie 1-0-1. Le temps de montée du signal d'entrée est très inférieur au temps de réponse de la porte logique. Le temps de propagation t_{pd} représente la moyenne des temps de réponse définis comme les temps qui séparent la demi-excursion logique en entrée ou en sortie (figure III – 4). Il correspond au temps de charge de la capacité parasite du premier étage.

$$t_{pd} = C_{ds} \cdot \Delta V / \Delta I$$

Le temps de propagation est fonction de la largeur Z de la grille .

$$t_{pd} = t_{min}(1 + Zc/Z)$$

Où : t_{min} : asymptote minimale des différents t_{pd} et Zc : constante qui dépend de la technologie.

Pour rester dans les limites raisonnables de dissipation thermique, il est nécessaire de réduire des largeurs Z des grilles des transistors sans trop altérée le temps de propagation c'est à dire la vitesse de commutation car lorsque Z augmente la puissance consommée augmente aussi

Les éléments parasites jouent un rôle négligeable pour des transistors de 100μm de largeur de grille mais deviennent importants pour des transistors de 10μm. Pour une même région active, quand la largeur des contacts drain –source augmente, les éléments parasites diminuent. Un compromis est obtenu en élargissant au delà de la région active les métallisations drain-source.

Le temps de propagation dépend aussi de l'épaisseur du canal de conduction. A titre d'exemple la figure III – 30 illustre ce phénomène pour un MESFET de 1μm de longueur, 100μm de largeur et un dopage de 10^{17} cm^{-3} .

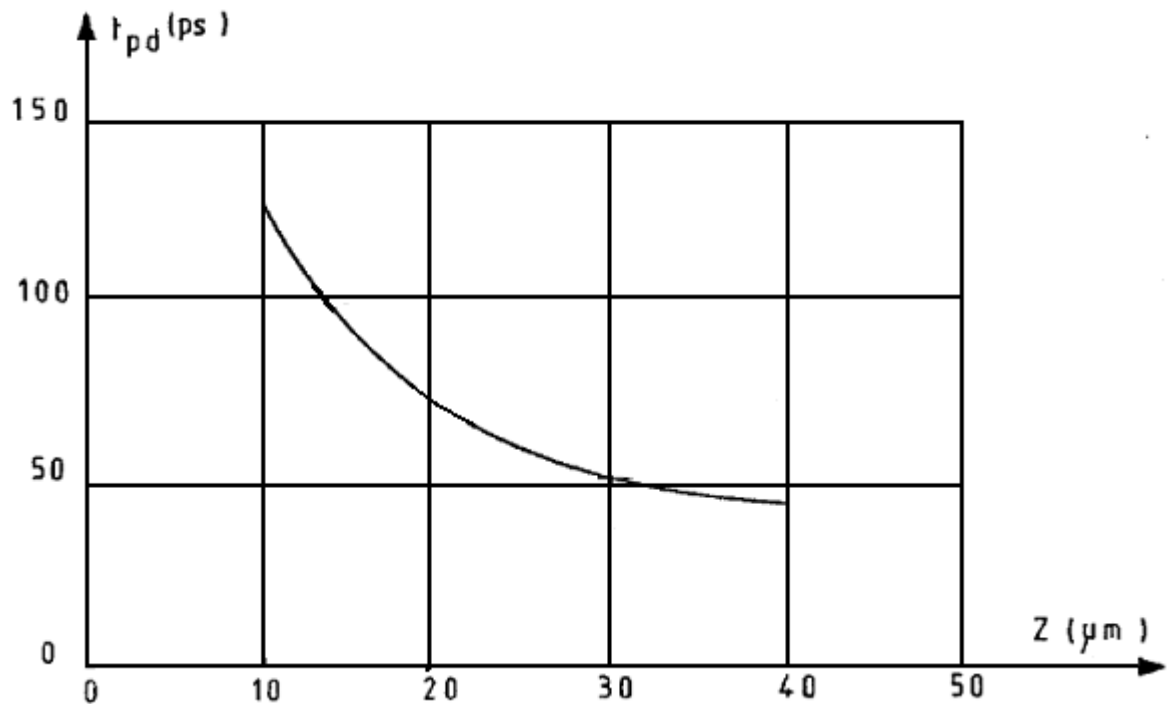


Figure III – 30 : Variation du temps de propagation t_{pd} en fonction de la largeur Z .

b) Facteur de mérite.

Le facteur de mérite représente le produit de la puissance statique consommée par le temps de propagation. La simulation numérique de la porte logique étudiée pour un facteur de charge d'entrée égal à 1 et un facteur de charge égal à 2 nous a permis d'évaluer ce facteur :

Tpd(ps)	P(mw)	M(pJ)
100	40	4
142	20	2.8

Tableau III – 7 : Facteur de mérite

Le facteur de mérite suit la puissance consommée. Au fur et à mesure que la puissance augmente le facteur de mérite augmente et le temps de propagation diminue.

III – 6 – 2 – 2. La Logique SDFL (Schottky diode FET logic)

Cette logique a été proposée par [23]. Elle utilise des MESFETS GaAs Normally-ON et des diodes Schottky pour la réalisation de fonctions logiques. Elle nécessite deux tensions d'alimentations haute et basse et une conception de circuits à deux étages (figure III – 31).

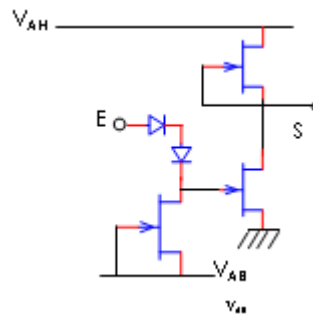


Figure III – 31 : Logique SDFL

III – 6 – 2 – 3. La Logique DCFL (direct coupled FET logic)

La famille logique DCFL offre l'avantage d'une conception de circuit très simple à un seul étage. Elle utilise des transistors Normally-Off à enrichissement, à tension de seuil positive. Une seule tension d'alimentation est nécessaire pour le fonctionnement de cette logique (Figure III – 32). L'inconvénient de cette approche est dû à la difficulté de contrôle de la tension de seuil d'où des contraintes de fabrication mais sera sûrement surmontée par la technologie de la grille auto-alignée [24].

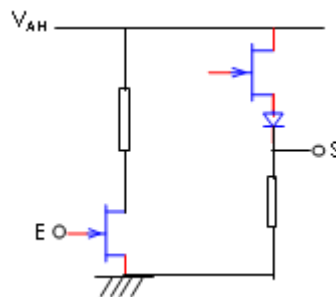


Figure III – 32 : Logique DCFL

III – 6 – 2 – 4. La Logique LPFL (low Pinch-off voltage FET logic)

Cette approche est venue pour résoudre les inconvénients de la logique DCFL qui nécessitent des tensions de seuil strictement positives. Elle utilise des transistors à enrichissement Quasi-Normally-OFF qui permettent un excellent compromis vitesse/consommation. Sa structure de base est représentée sur la figure III – 33 et présente l'avantage d'une seule tension d'alimentation.

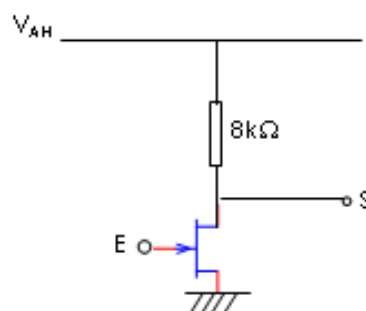


Figure III – 33 : logique DCFL

III – 6 – 3. Caractéristiques générales de ces approches

Ces différentes approches ont été proposées pour satisfaire certains critères tels que le compromis vitesse (consommation, contrainte de fabrication, tension d'alimentation et niveau d'intégration).

Nous présentons sur le tableau III – 8 les caractéristiques essentielles de ces technologies :

Famille logique	BFL	SDFL	LPFL	DCFL
Tension de seuil	-1V, -0.3V	-1.5V, -0.3V	-0.2V à +0.2V	0.2V à 0.8V
Alimentations	$V_{AH}=+5V$ $V_{AB}=-4V$	$V_{AH}=+2.5V$ $V_{AB}=-1.5V$	$V_{AH}=+2.5V$	$V_{AH}=+1.5V$
Surface par porte (μm^2)	500	370	250	70
Champ d'application	MSI	LSI	LSI	VLSI

Tableau III – 8 : Caractéristiques des 4 familles logiques.

III – 6 – 4. Performances des portes logiques

Les techniques de conception actuelles des circuits intégrés s'appuient énormément sur les résultats de la simulation numérique. Cependant, ces derniers ne sont valables que si on dispose de modèles de composants précis et d'algorithmes de calculs efficaces.

Dans le cadre de ce travail, nous avons déterminé un modèle simplifié du composant MESFET GaAs en négligeant les éléments parasites externes, pour l'étude du régime de commutation [24] (figure III - 34). Nous avons introduit ce modèle dans un logiciel de simulation qui permet le traitement en régime transitoire [25]. Le temps de propagation t_{pd} et la puissance statique consommée, pour une technologie de $1\mu m$ de longueur de grille sur une cellule élémentaire de base (figure III - 30) sont reportés dans le tableau III - 9.

	t_{pd} (ps)	P(mW)	V_T (V)	Tensions d'alimentation
N-ON-BFL	100	40	-2.5	$V_{AH}=+4V$, $V_{AB}=-3V$
N-ON-SDFL	150	20	-1.5	$V_{AH}=+2.5V$, $V_{AB}=-1.5V$
N-OFF-DCFL	400	5	+0.8	$V_{AH}=+1.5V$,
ON-OFF-LPFL	200	2	+0.5	$V_{AH}=+2.5V$,

Tableau III - 9 : Performances des 4 approches logiques.

Ces performances dépendent de la technologie utilisée. La technologie BFL a le meilleur temps de propagation au détriment d'une consommation élevée. Cependant certaines améliorations sur la tension de seuil peuvent diminuer la puissance consommée. La technologie SDFL présente une consommation plus faible mais un temps de propagation élevé. Pour les technologies Normally-OFF, la logique LPFL offre les meilleurs résultats.

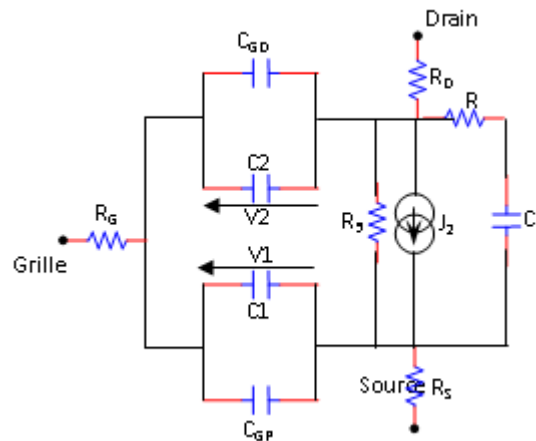


Figure III – 34 : modèle interne du MESFET pour la simulation logique

III – 7. ÉTAPES DE LA CONCEPTION ASSISTÉE PAR ORDINATEUR

La conception et la réalisation d'un circuit intégré s'effectuent désormais avec l'aide d'un ordinateur qui intervient pratiquement à toutes les étapes. Il est devenu d'usage d'englober dans le mot «conception» l'ensemble des étapes amenant à la réalisation des masques de lithographie, les opérations suivantes étant du domaine des processus technologiques de réalisation.

La conception d'un circuit intégré numérique comporte plusieurs étapes qui peuvent être résumées par l'organigramme de la figure III - 35 et en regard desquelles on peut faire figurer une intervention spécifique de l'ordinateur.

III – 7 – 1. Chaîne intégrée de logiciels : stations de travail

Un gain de temps considérable peut être obtenu lorsque les différents outils informatiques sont, par assemblages, compatibles. Il est souhaitable, par exemple, de ne décrire le circuit qu'une seule fois, par son système logique au niveau des portes élémentaires par exemple.

De véritables bases logicielles ont donc été élaborées autour de structures de données pour constituer ce que l'on appelle des stations de travail (work stations) sur lesquelles les phases de description du circuit (entrée des données) sont réduites à un nombre minimal : Daisy, Mentor, Valid, Silvar-Lisco, etc. Le concepteur intervient à différents niveaux pour opérer des corrections et dispose de nombreux outils de vérification, par exemple, au niveau du dessin d'implantation pour lequel des règles strictes doivent être observées.

Les premiers systèmes commerciaux évolués de stations de travail intégrées, sont actuellement assez peu nombreux et leur utilisation est très adaptée aux cellules standards précaractérisées et aux réseaux cellulaires prédéfinis développés par Thomson-Semiconducteurs, Harris, Rockwell et Honeywell.

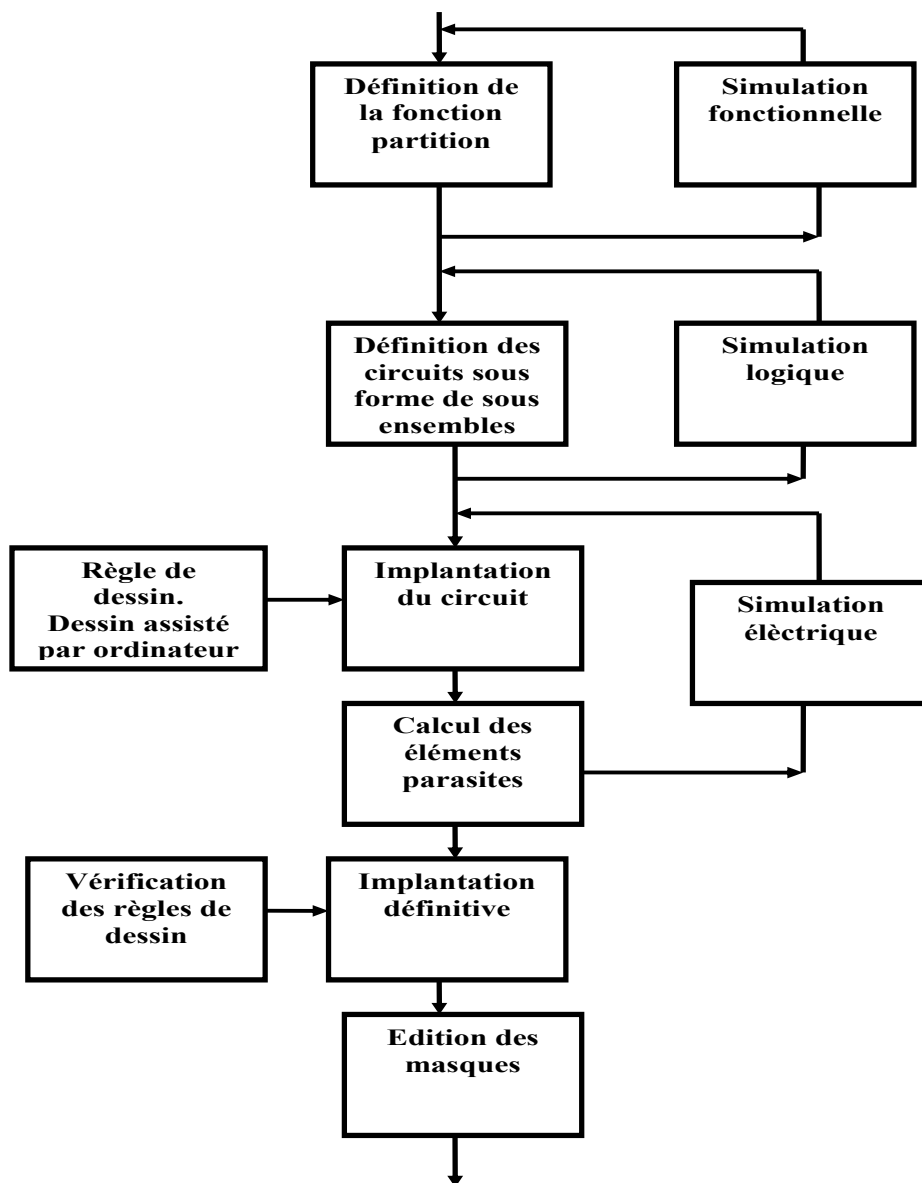


Figure III – 35 : Principales étapes de la conception.

Ces nouveaux outils de conception comportent un certain nombre de logiciels capables d'opérer des simulations logiques (vérification exhaustive de la fonction logique du circuit) et des simulations électriques très fines du fonctionnement des circuits (vérification des formes d'ondes en différents points stratégiques du composant). Outre ces programmes classiques, des logiciels spécialisés sont désormais disponibles pour répondre notamment au degré croissant de complexité des circuits. Ce sont, par exemple, les macros simulateurs (Diana, Maxim, Eldo) qui, selon différentes techniques, utilisent des cellules élémentaires prédécrites qui figurent dans une banque de données avec leur encombrement spécifique, leurs caractéristiques électriques paramétrées en fonction de la géométrie des composants unitaires. Lorsque la technologie est encore évolutive, par exemple lorsque les dimensions et le dopage des couches actives sont encore des paramètres, le problème de concevoir des circuits, même expérimentaux, est beaucoup plus complexe.

C'est également le cas des dispositifs pour lesquels on recherche un haut degré d'optimisation (rapidité, précision, etc.) et en ce sens, la logique GaAs se prête mal à une automatisation complète de la chaîne de conception.

Un exemple immédiat de ce type de problème est fourni par l'influence de la nature et de la géométrie des connexions sur les temps de réponse et les délais internes au circuit intégré. En logique très rapide, composants ayant des temps de commutation intrinsèque inférieurs à 50 ps, les distorsions occasionnées par couplages et réflexions des connexions jouent un rôle non négligeable. Or ces phénomènes dépendent directement des implantations respectives des différentes parties du circuit. La chaîne CAO de logique rapide devra donc incorporer les simulateurs capables de traiter les problèmes de retard sur les lignes d'interconnexions, tels que les problèmes de couplage et de réflexions.

III – 7 – 2. Caractéristiques générales des différents niveaux de simulation

III – 7 – 2 - 1. La simulation fonctionnelle

Il s'agit, surtout dans le cas de circuits de complexité très importante, de simuler l'assemblage de sous-fonctions élémentaires, telles que registres, mémoires, unités logiques et arithmétiques, dans le but de vérifier si la fonction logique du circuit est bien effectuée.

Des langages spéciaux du type RTL (Registre Transfer Language) ont été développés. Ils simulent la transmission et le stockage entre les différents blocs, logiques décomposés (vérification booléenne). Des outils performants de ce type) ont été mis au point par l'Institut de Mathématiques Appliquées de Grenoble.

III – 7 – 2 – 2. La simulation logique

La simulation logique s'applique à un circuit partitionné en portes ou dispositifs élémentaires. Elle s'adresse aussi bien aux circuits combinatoires qu'aux circuits séquentiels. Elle a pour but de vérifier le fonctionnement général du circuit, ou de certains sous-ensembles, du point de vue booléen. Les signaux électriques aux entrées et sorties des portes sont représentés par des valeurs binaires auxquelles on associe parfois des valeurs intermédiaires (indétermination du niveau).

A partir d'une même description du circuit, on peut, en général, appeler :

- soit un simulateur logique utilisant trois valeurs 0, 1 et X (X rendant compte des indéterminations pouvant survenir lors des séquences interdites);
- soit un simulateur utilisant quatre valeurs 0, 1, X et φ (φ pour rendre compte des indéterminations de transition $0 \rightarrow 1$ ou $1 \rightarrow 0$) auxquelles on peut associer une certaine probabilité;
- soit un simulateur de défauts (0, 1, X) dans le but de tester l'efficacité d'une séquence d'entrée vis-à-vis de la détection d'un ensemble de défauts (collages ou courts-circuits);
- soit un générateur automatique qui optimise les séquences de test.

La plupart des simulateurs logiques incorporent des retards variables et certains acceptent des formes d'ondes simplifiées de signaux (montée et descente des signaux simulées par des rampes à vitesse variable). On leur donne alors le nom de simulateurs logico temporels. Les programmes les plus utilisés sont actuellement EPILOG, HILO2 et LASAR 6.

III – 8. Modèles de MESFET utilisés en simulation électrique

III – 8 – 1. Modèle de MESFET

La figure III - 36 présente la coupe schématisée d'un MESFET sur laquelle on a figuré les éléments localisés pris en compte dans la description du modèle.

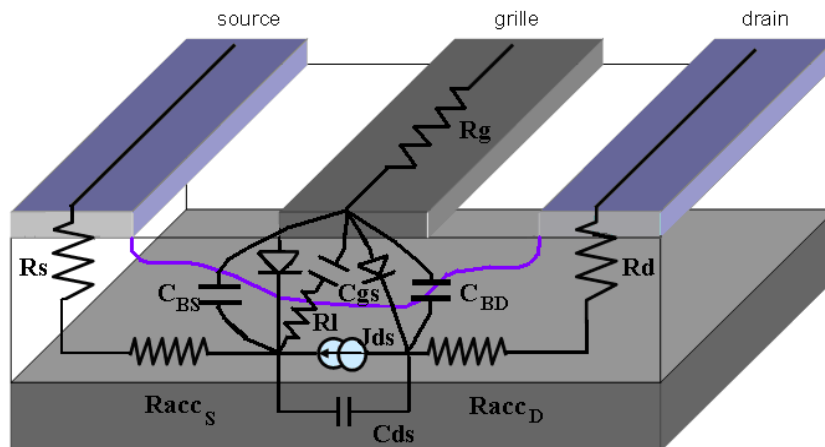


Figure III – 36 : Localisation des éléments du schéma équivalent d'un MESFET GaAs
 C_{BS} est la capacité entre le substrat et la source
 C_{BD} est la capacité entre le substrat et le drain.

Le schéma équivalent du MESFET tel qu'il a été présenté dans les précédents chapitres est représenté sur la figure III - 37. Les lois développées s'inspirent des lois physiques précédemment établies mais ont bénéficié de certains ajustements déduits des relevés expérimentaux.

Les modèles établis tiennent compte des spécificités de l'application simulations grands signaux et implantations sur simulateur R_g , R_d et R_s sont les résistances d'accès à la grille, au drain et à la source. J_{ds} est la source de courant au drain.

Les équations régissant le fonctionnement sont fortement non linéaires et la résolution d'un système à noeuds multiples représentant un circuit intégré complexe à MESFET GaAs nécessite l'utilisation d'algorithmes très efficaces.

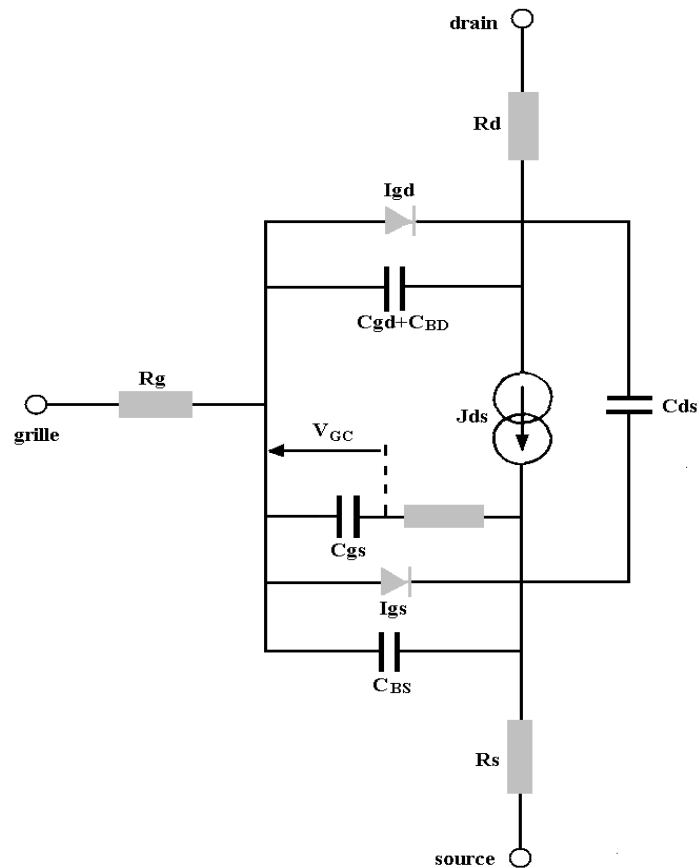


Figure III – 37 : Schéma équivalent du modèle intrinsèque de MESFET GaAs.

III – 8 - 2. Modèle des diodes Schottky

Une diode Schottky sur couche mince de GaAs est constituée d'un contact ohmique (Au GeNi) et d'un contact redresseur du type Schottky reliés par un canal conducteur (figure III - 38) :

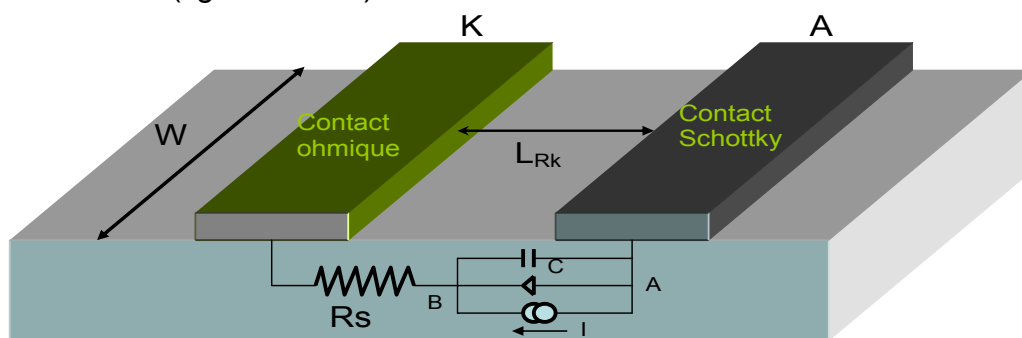


Figure III – 38 : Schéma équivalent d'une diode Schottky
A : anode ; K : cathode.

Dans un souci de simplification, le système à constantes réparties est ramené au schéma équivalent localisé où :

$$R_s = \frac{1}{Z} \left(\sqrt{R_{\Pi} f_C} + R_{\Pi} L_{AK} \right) \tag{3.40}$$

$$I = I_0 \left(\frac{V_{AK}}{nkT/q} - 1 \right) \tag{3.41}$$

$$C = \frac{C_0}{\sqrt{1 - \frac{V_A - V_B}{\phi_{BS}}}} \tag{3.42}$$

III – 8 – 3. Modèle des résistances

La figure III - 39 présente la coupe d'une résistance planaire réalisée sur GaAs

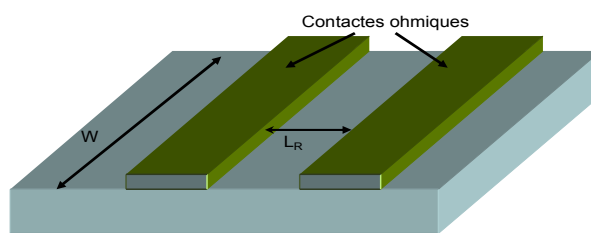


Figure III – 39 : Résistance planaire.

A champ faible, c'est-à-dire lorsque $\frac{V_R}{L_R} < E_c$, la valeur de R s'exprime par

$$R = \frac{1}{7} \left(2\sqrt{f_c R_{\Xi}} + L_R R_{\Pi} \right) \tag{3.43}$$

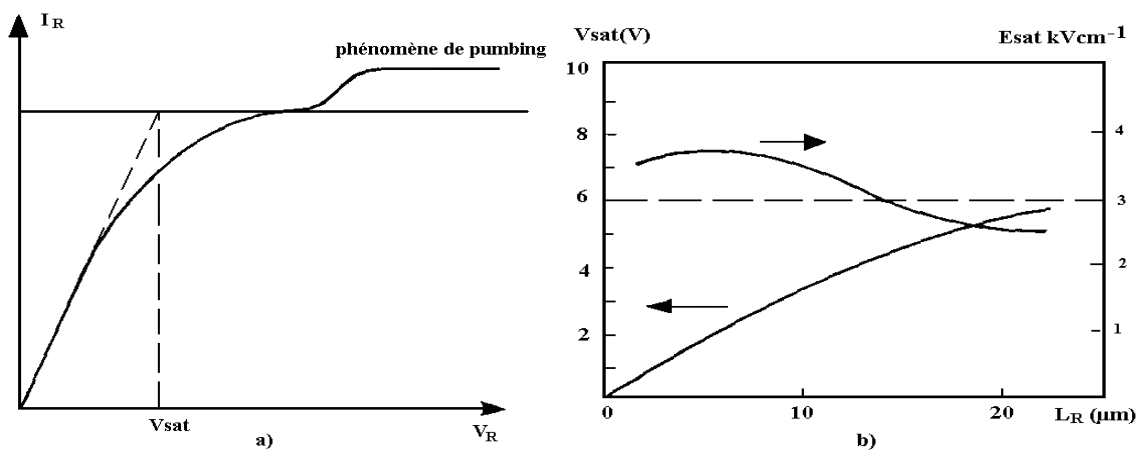


Figure III – 40 : Caractéristiques des résistances planaire à champ élevé.

A champ élevé, la loi de courant se sature comme l'indique la figure III - 40a et peut s'exprimée sous la forme :

$$I = I_{sat} \times \frac{V_R}{V_{sat} + V_R} \tag{3.44}$$

La loi reliant la valeur de V_{sat} avec la distance entre les deux électrodes est présentée sur la figure III - 40b.

III – 9. REGLES DE DESSINS UTILISES DANS LES FILIERES DE FABRICATION DES CIRCUITS INTEGRES GAAS

Plusieurs raisons justifient l'existence de règles de dessin

- Lors des différentes étapes du processus de fabrication d'un circuit, les différents masques utilisés doivent «tomber» exactement au bon endroit ou se superposer correctement. Malgré la précision des moyens de masquage l'erreur absolue de positionnement n'est pas nulle.
- Des critères électriques fixent les dimensions minimales à ne pas dépasser, afin de ne pas altérer les performances des circuits réalisés.
- Les différentes étapes du procédé de fabrication n'offrent pas toutes le même degré de résolution. C'est, dans ce cas, une limitation d'ordre technologique.
- Certaines gardes technologiques doivent quelquefois être prises afin de ne pas compromettre le rendement de fabrication des composants.

Les règles de dessin communément adoptées dans les filières technologiques de fabrication des circuits MESFET GaAs sont présentées dans le tableau III - 10.

Paramètres	Dimensions minimales
Largeur des interconnexions métalliques	2 μm
Séparation entre interconnexions métalliques	2 μm
Largeur des contacts ohmiques	2 μm
Longueur/largeur zones actives	3 μm
Séparation entre zones actives	3 μm
Isolement SiO ₂ des croisements inter-niveaux	6 μm
Espace source-drain	2 μm
Largeur des transistors	5 μm
Longueur de grille	0,5 μm

Tableau III – 10 : Dimension des règles de dessin des paramètres technologiques

Les règles de dessin sont des données spécifiques à une technologie. Elles sont dépendantes du processus technologique utilisé et des moyens de fabrication mis en oeuvre. Par nature, et surtout dans les filières GaAs, elles sont évolutives et donnent lieu à l'édition de «nouvelles règles de dessin» périodiques, caractéristiques de toutes filières technologiques en cours de développement. Leur établissement et leur évolution sont le résultat d'une analyse permanente opérée à l'aide de motifs spécifiques traités périodiquement dans la chaîne de fabrication des circuits.

Les valeurs indiquées dans le tableau précédent sont relatives à des processus à grand rendement de fabrication. Il est évident que les dimensions géométriques indiquées ne constituent pas les limites minimales possibles mais des grandeurs assurant le meilleur compromis entre performances-densité d'intégration et rendement de fabrication acceptable.

L'implantation des circuits intégrés GaAs doit satisfaire à des contraintes dont le degré est supérieur aux autres filières technologiques. Cette complication est liée à la très grande vitesse de fonctionnement des circuits qui impose des critères d'implantation supplémentaires très dépendants des spécifications visées. Les différents critères d'implantation des circuits intégrés sont :

a) Critères d'ordre général

- minimiser la surface occupée par le circuit → coût du matériau, rendement,
- réduire les longueurs des interconnexions → réduction des éléments parasites,
- réduire le nombre de croisements → réduction des éléments parasites, rendement.

b) Critères d'ordre électrique

- disposer des éléments actifs dans le même axe → appariement des caractéristiques,
- placer les interfaces de sortie, généralement dissipatrices, à l'écart de la partie fonctionnelle du circuit → problème de gradient thermique,
- adopter une distribution de la masse et des alimentations du coeur fonctionnel en étoile → abstraction des pertes des lignes,
- assurer une alimentation séparée des interfaces
- limitation de la contre réaction liée aux appels de courant dans les conducteurs,
- découpler au maximum les circuits d'entrée et de sortie et les étages à bas niveau → réduction des couplages électriques internes,
- alterner en sortie les points «chauds et froids» → découplage efficace des signaux à haute fréquence.

III – 10. EXEMPLES DE RÉALISATIONS DE CIRCUITS INTÉGRÉS NUMÉRIQUES GaAs

Le développement des circuits intégrés logiques GaAs a marqué un grand pas ces dernières années par l'apparition sur le marché commercial de produits catalogue.

En 1986, six compagnies proposaient à la vente des circuits intégrés numériques : Gigabit Logic; Harris Microwave Semiconducteur; Triquint Semiconducteur; Honeywell; Matsushita; Thomson-Semiconducteurs.

Parallèlement, plusieurs firmes offraient leur service de fonderie de GaAs, événement significatif du degré de maturité des filières technologiques sur arséniure de gallium. Il s'agissait, aux États-Unis de

- Adams-Russel,
- Gigabit Logic,
- Honeywell,
- Triquint Semiconductor,

et en Europe de

- GEC,
- STC,
- Thomson-Semiconducteurs.

De plus, plusieurs autres compagnies avaient annoncé leur entrée commerciale sur le marché des composants GaAs en 1986 et 1987 (ISIS gallium arsenide-Mackintosh International)

- Anadigics,
- Celeritek,
- Ford Microelectronics,
- Gain Electronics,
- Microwave Monolithics,
- Microwave Technology,
- plessey III-V Group,
- Tachonics.
- vitesse Electronics,

La filière technologique la plus communément adoptée était la filière BFL qui, comme nous l'avons vu dans les paragraphes précédents, offre le minimum de Contraintes technologiques de fabrication. Les principales options prises par ces Compagnies pour le développement de leurs produits pouvaient se résumer ainsi :

Gigabit Logic filière BFL,

- comptabilité entrées-sorties ECL avec nécessité d'ajustage,
- sorties compatibles TTL-CMOS avec polarisations externes,
- présentation en boîtiers « flat-pack » 36 sorties ou en « chip-carrier » 40 sorties,

Harris

- filière BFL,
- compatibilité entrées-sorties ECL,
- ajustement d'un potentiel de référence pour optimisation de fonctionnement,
- présentation en boîtiers flat-pack 32 sorties.

Triquint

- filière BFL,
- réseau cellulaire,
- compatibilité entrées-sorties possibles : ECL, TTL ou CMOS,
- présentation en boîtiers chip-carrier 24 sorties.

Honeywell

- filière SDFL,
- réseau cellulaire de 1950 portes logiques,
- compatibilité ECL ou TTL.

Thomson-Semiconducteurs

- filière BFL,
- compatibilité entrées-sorties ECL,
- présentation en boîtiers 8 et 16 sorties spécifiquement développés.

III – 10 – 1. Les circuits à la demande

Le concept de fonderie GaAs, tel qu'il existe en technologie silicium, a vu le jour en 1985. Il consiste à offrir aux clients des services pouvant se situer à plusieurs niveaux, suivant des modalités bien définies entre le client et le fondeur. La figure III - 41 résume les différentes possibilités généralement offertes.

Le fondeur assure la réalisation technologique de circuits dont la conception a pu être opérée :

- chez le client, à l'aide d'informations communiquées par le fondeur, telles que bibliothèques de modèles ou de cellules, règles de conception, règles de dessin, etc.,
- chez le fondeur, par le client, à l'aide des moyens mis à sa disposition,
- entièrement par le fondeur à partir d'un cahier des charges communiqué par le client.

En ce qui concerne les tests, plusieurs alternatives sont également possibles. Le fondeur doit impérativement justifier de la qualité du processus technologique réalisé par la mesure de véhicules-tests spécifiques mais peut également, à la demande du client, effectuer les opérations de montage et de mesures des produits livrés.

Les modalités de ces échanges commerciaux font l'objet d'un contrat signé par le client et le fondeur.

- En matière de conception, on peut distinguer trois approches distinctes
- la conception au micron (full-custom).
 - la conception à l'aide de cellules précaractérisées standards (standard cells)
 - la conception à partir d'un réseau cellulaire prédéfini (gate array).

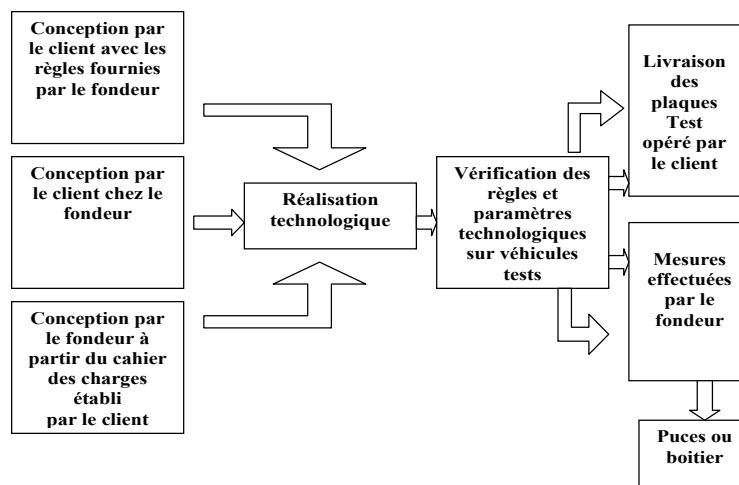


Figure III – 41 : Organisation d'une fonderie.

En fait, la différence entre ces trois façons de concevoir ne se distingue pas uniquement par le vocable utilisé, mais par deux paramètres associés

- le temps de conception
- les performances attendues.

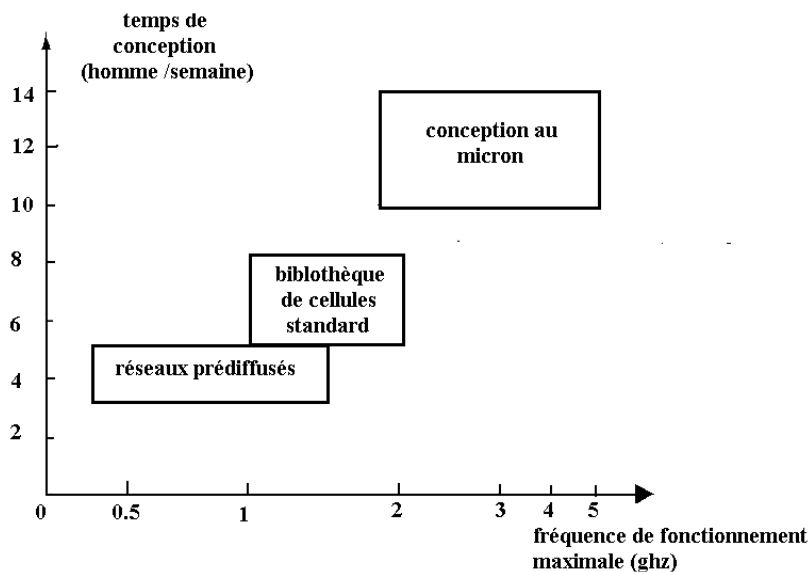


Figure III – 42 : Paramètres de temps et performances associés aux trois approches de conception.

Nous avons résumé sur un diagramme présenté à la figure III - 42, les ordres de grandeur relatifs à ces trois directions de conception pour un circuit d'une complexité MSI. Cette représentation montre bien qu'avec une technologie identique, l'option de conception sera fixée par le compromis entre trois grandeurs qui sont l'investissement technique initial du concepteur, le temps de conception souhaité et les performances électriques attendues.

III – 10 – 2. La conception au micron d'un circuit intégré logique GaAs

Trois exemples significatifs de chaque domaine d'utilisation des circuits intégrés GaAs sont présentés

- circuits séquentiels : les diviseurs de fréquence,
- circuits combinatoires : un additionneur à 4 bits,
- circuits mémoires : une mémoire probatoire de 64 x 1 bits.

III – 10 – 3. Exemples de réalisation de circuits intégrés

III – 10 – 3 - 1. Les diviseurs de fréquence GaAs à rang fixe

Ces circuits trouvent leur application dans les organes d'entrée des systèmes de traitement d'ondes hyperfréquences, car ils permettent de façon aisée et à très large bande, de traiter l'information fréquence de manière à ce qu'elle puisse être exploitée par une logique conventionnelle au silicium fonctionnant à des vitesses inférieures (généralement logique ECL). La performance en fréquence est primordiale car elle permet de minimiser l'environnement du système nécessaire pour traiter l'information.

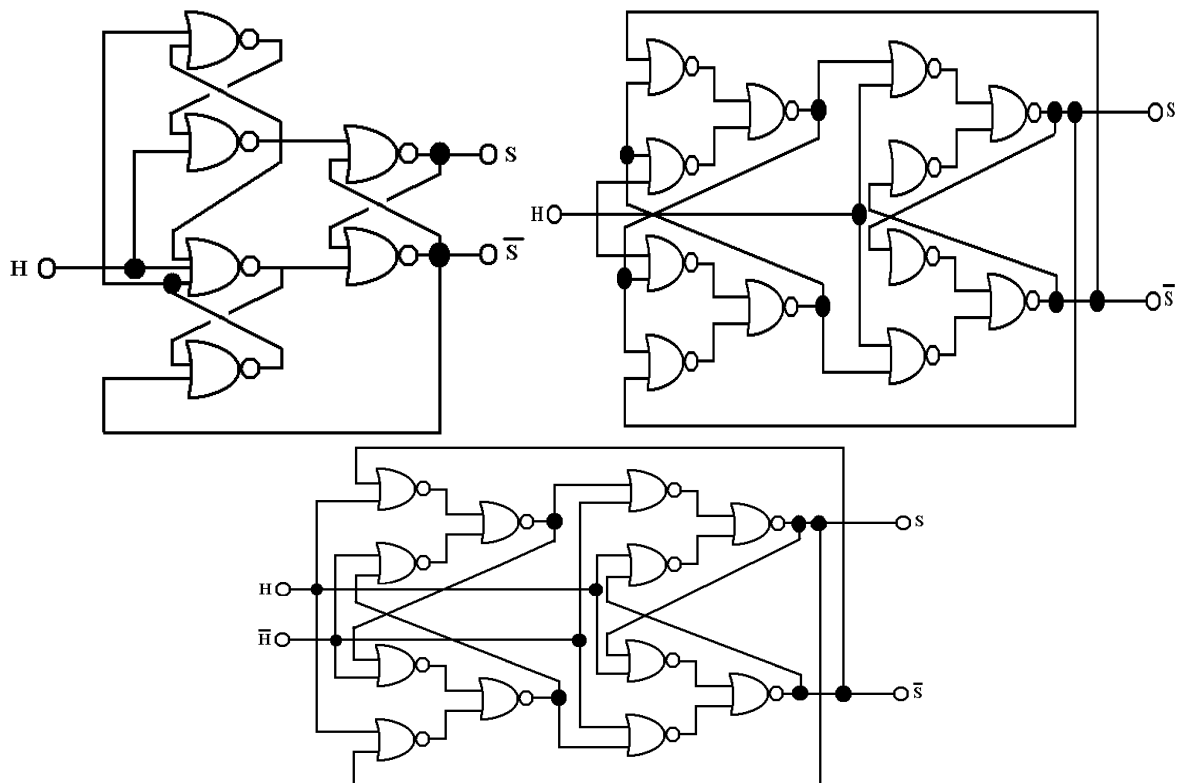


Figure III – 43 : Structures interne de diviseur de fréquence.

Les structures de diviseurs les plus communément utilisés sont présentées sur la figure III - 43, la fréquence de fonctionnement est donnée par la relation :

$$f_{max} = 1/n t_{pd} \quad (3.45)$$

Où n est un facteur dépendant de la configuration du diviseur et t_{pd} , la valeur moyenne du temps de propagation des portes. Pour les structures de diviseurs présentées sur la figure III - 43, n est respectivement égal à 4,85, 4 et 2. La structure plus rapide est la bascule maître-esclave RSTT mais son fonctionnement nécessite deux signaux d'entrées complémentaires.

Les schémas logiques présentés sur la figure III - 38 mettent en oeuvre des portes NOR. Ceux-ci constituent des exemples, la fonction logique pouvant également être assurée par des fonctions AND-NAND. En logique BFL, les différentes fonctions logiques sont assurées par l'association de MESFET telle que l'indique la figure III - 44.

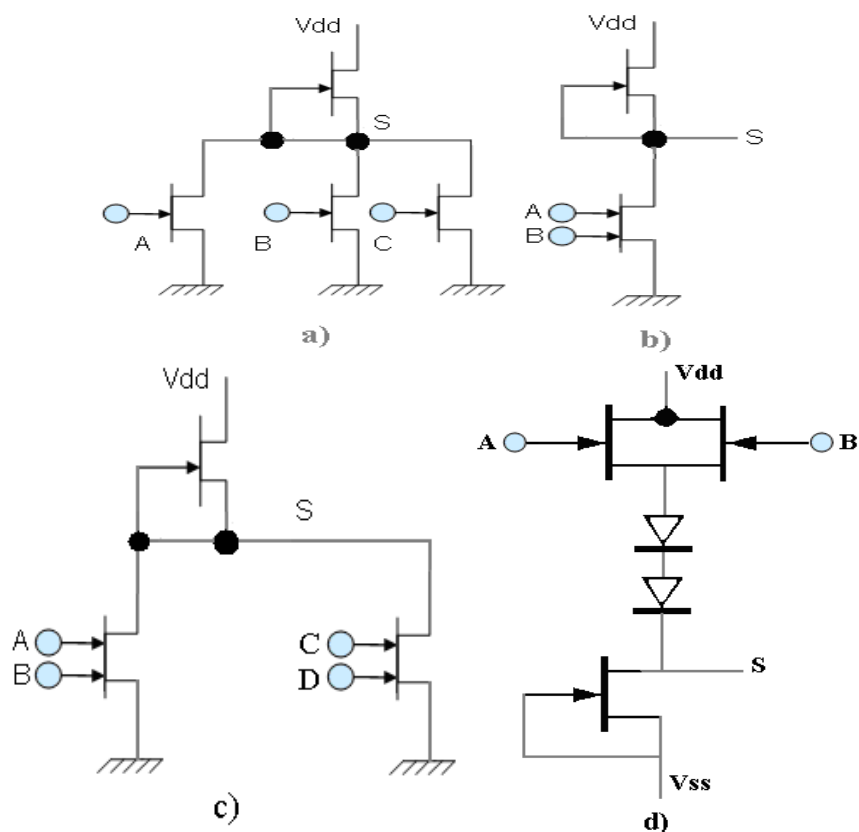


Figure III - 44 : Fonctions logiques réalisées à l'aide de GaAs.

- a) $S = \overline{A+B+C}$; fonction NON-OU
 b) $S = \overline{A.B}$; fonction NON-ET
 c) $S = \overline{A.B+C.D}$; fonction NON-OU-ET
 d) $S = A + B$; fonction OU.

Une conception au micron (full-custom) nécessite de disposer
 - des modèles très précis des composants à intégrer de façon à pouvoir opérer des simulations de fonctionnement réalistes,

- des règles de conception,
- des règles de dessin.

La conception au micron de diviseur de fréquence est aisée; elle cesse de l'être pour des circuits de complexité supérieure car elle met en oeuvre des moyens de simulation, d'implantation et de vérification gigantesques.

Un exemple de réalisation de diviseurs de fréquence est présenté sur la figure III - 45. Il s'agit d'un diviseur par 2 et 4 compatible ECL et réalisé par Thomson-Semiconducteurs en technologie hs-BFL 1 μm . Les performances associées sont $f_{\text{max}}=4\text{GHz}$ pour une puissance consommée de 300 mW.

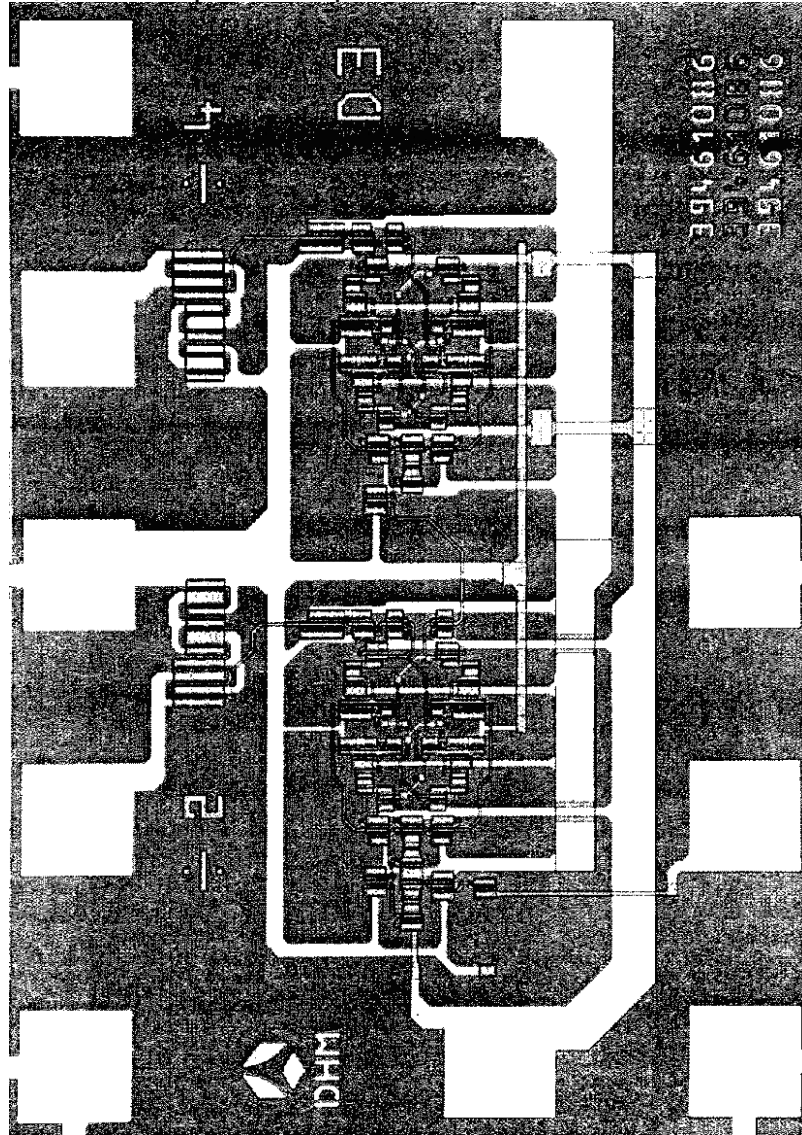


Figure III – 45 : Exemple de réalisation de diviseurs de fréquence.

La figure III - 46 présente un exemple de fonctionnement de ce composant à 4 GHz.

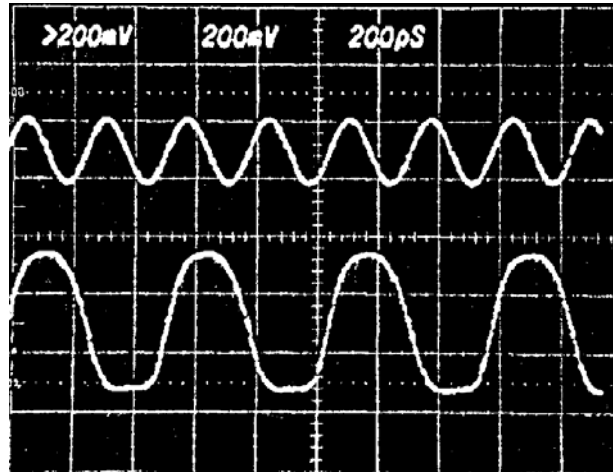


Figure III – 46 : Oscillogrammes de fonctionnement d'un diviseur de fréquence.

Ce type de composants a fait l'objet de nombreuses réalisations par les différentes compagnies engagées dans ce domaine de l'arséniure de gallium avec des très hautes performances ce qui confirme les potentialités de ces nouveaux dispositifs. Ces produits sont actuellement disponibles dans les commerces.

III – 10 – 3 – 2. L'additionneur à 4 bits GaAs

L'exemple que nous allons présenter est significatif des performances que l'on peut attendre d'un circuit combinatoire MSI réalisé en logique BFL basse puissance. Rappelons que la BFL basse puissance (lp-BFL) est une classe de la famille BFL permettant, tout en conservant ses propriétés de fonctionnement rapide, de réduire de façon significative la dissipation en puissance et, de ce fait, d'accroître la densité d'intégration possible [26].

La lp-BFL est caractérisée par des valeurs de tension de seuil comprises entre -0.9V et -0.6V et n'utilise que deux diodes de décalage dans l'étage suiveur.

Les complexités MSI bas LSI ne peuvent être atteintes qu'en réduisant consommation à 1 à 2 mW porte. A ce niveau de dissipation, la dégradation temps de propagation des portes est comprise entre 30 et 50 %.

La figure III - 47 présente le diagramme logique adopté pour la réalisation l'additionneur [27].

Le circuit comporte deux additionneurs à 2 bits à retenue en série, placés en cascade. Le temps correspondant au pire cas de l'addition est donc égal au retard entre l'instant d'application du signal sur la retenue C_0 et la transition du signal de sortie en S_4 . C'est le chemin critique de l'additionneur dont les entrances et sortances moyennes des parties internes sont, respectivement, de 5 et 3.

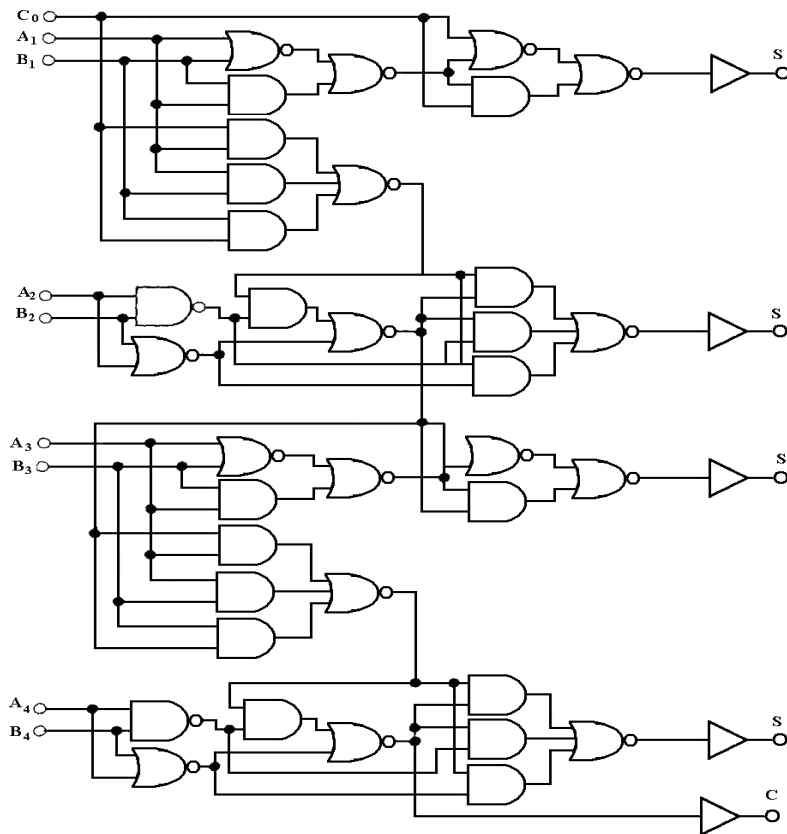


Figure III – 47 : Schéma logique d'un additionneur à 4 bits.

Trois MESFET bigrilles placés en parallèle assurent la fonction ET-NOR. La figure III - 48 présente une photographie du circuit réalisé.

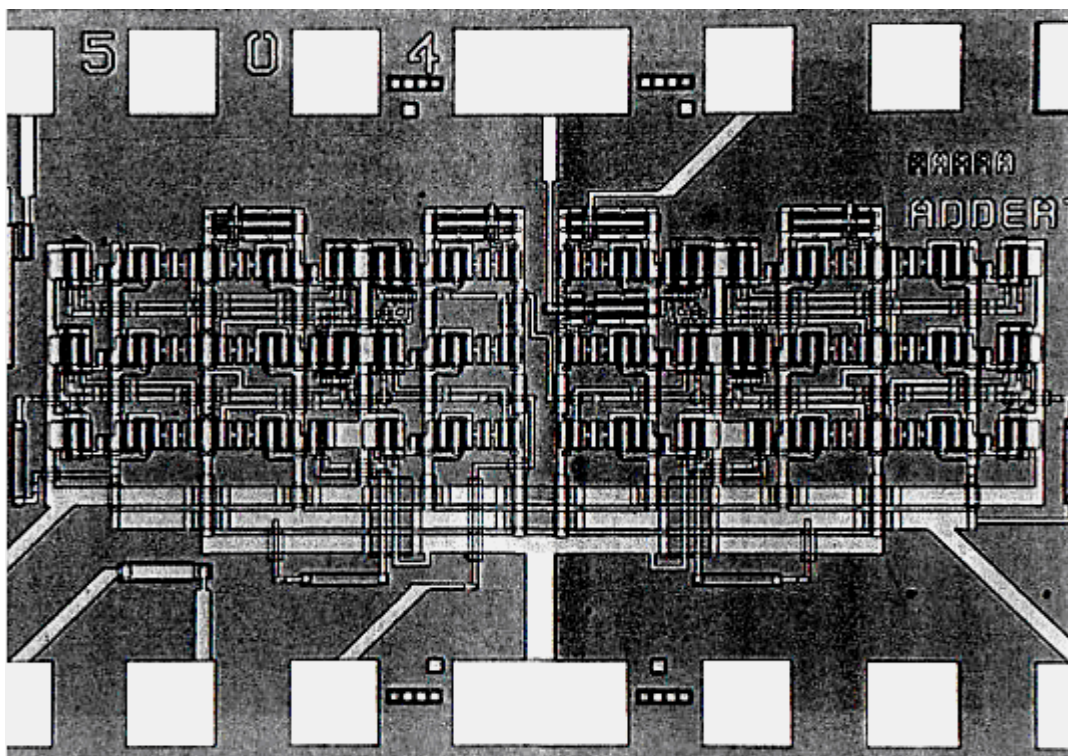


Figure III – 48 : Réalisation d'un additionneur à 4 bits.

III – 11. INDUCTANCES ACTIVES CONTROLEES EN TECHNOLOGIE MESFET GAAS

III – 11 - 1. Introduction

Les études des inductances RF sont motivées par la forte demande des applications de télécommunication telles que le filtrage à temps continu, les oscillateurs contrôlés et le découplage. Cet élément de base de l'électronique analogique est donc indispensable.

Les inductances passives intégrées sont limitées par leur faible coefficient de qualité [28], la reproductibilité de leur valeur et la grande surface de silicium nécessaire à leur synthèse pour les applications RF dont la fréquence est de quelques gigahertz. Il est en outre à noter, que ce problème de taille entraîne une difficulté supplémentaire de caractérisation des couplages existant entre les différentes pistes qui constituent l'inductance. Certaines techniques ont été introduites pour palier à ces défauts [29], [30]. Ces améliorations sont obtenues au détriment de la facilité de conception et nécessitent un nombre élevé de couches de métal employées, et conduisent aussi à la modélisation de l'inductance.

Le câblage par fils ou « wire bonding » a aussi été exploré afin de synthétiser une inductance passive [31]. Toutefois, cette option ne présente pas une forte intégration et pose aussi le problème de la reproductibilité de la valeur de l'inductance. Elle reste donc réservée à certaines applications.

Une autre approche connaît depuis quelques années un regain d'attention de la part des concepteurs analogiciens : l'inductance active. Ce renouveau est principalement dû à de meilleures performances des transistors qui résultent des améliorations technologiques des processus de fabrication des circuits intégrés. Outre l'aspect réglable de l'inductance active, nous pouvons noter la possibilité d'obtenir de bons facteurs de qualité ($Q > 5$), une plage de fréquences d'utilisation plus importante, ainsi que l'indépendance entre la valeur de l'inductance et la taille du circuit.

Comme nous le rappellerons, des réalisations ont été présentées en technologie GaAs pour les hautes fréquences, d'autre ont été présentées en technologie bipolaire silicium pour les applications RF dans la gamme de fréquences autour du giga-hertz. Nous proposerons deux nouvelles structures MESFET GaAs et comparerons leurs caractéristiques aux autres structures MESFET et bipolaire de la littérature.

III – 11 – 2. Inductances actives en technologie GaAs

Les premières inductances actives élaborées dans la gamme de fréquences du giga-hertz, l'ont été en technologie GaAs. La figure III - 49 ci-dessous représente la topologie de base présentée par Hara et ses caractéristiques en fonction de la fréquence [32] :

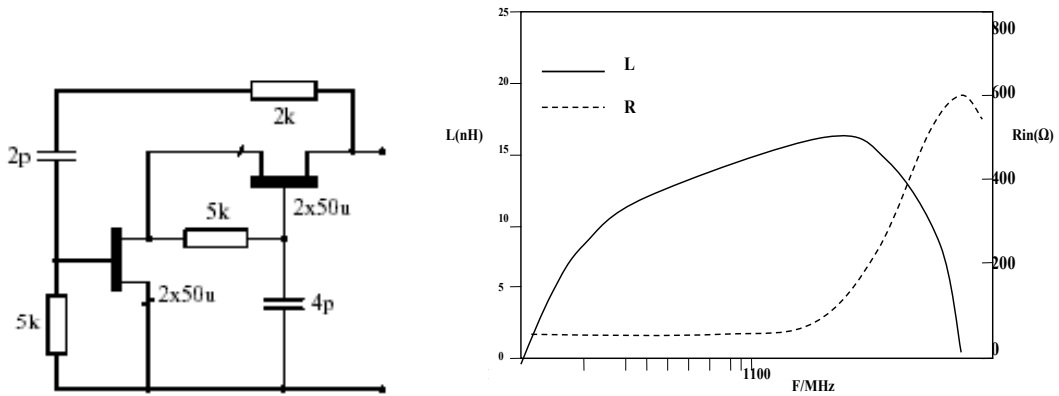


Figure III – 49 : Topologie de base de l'inductance active [32].

Cette configuration met en oeuvre des transistors MESFET. Elle présente une inductance de l'ordre 13 nH et une résistance série de l'ordre de la centaine d'ohms à la fréquence de 1GHz. Les expressions approximées de l'inductance et de la résistance série synthétisées sont données par :

$$L \approx \frac{C_{gs} R_{ext}}{g_m} \text{ et } R \approx \frac{1}{g_m} \tag{3.46}$$

où C_{gs} est la capacité grille- source du composant MESFET et g_m sa transconductance et R_{ext} est la résistance de contre-réaction connectée entre le drain du transistor d'entrée et la grille du second transistor. Les transistors sont supposés identiques. La surface occupée est de l'ordre $400 \times 500 \mu\text{m}^2$. Des améliorations ont ensuite été apportées à cette structure afin de réduire la valeur de la résistance série. Ainsi la figure III - 50 représente une évolution du circuit de la figure III - 49, transistors en contre réaction appelée "cascode FET feedback active inductor", [33]. Au moyen d'une tension de contrôle V_c , l'inductance est réglable de 2 nH à 3 nH. Cette structure possède une inductance se 2nH, une résistance série de 8Ω et un coefficient de qualité de 5 à la fréquence de 1 GHz.

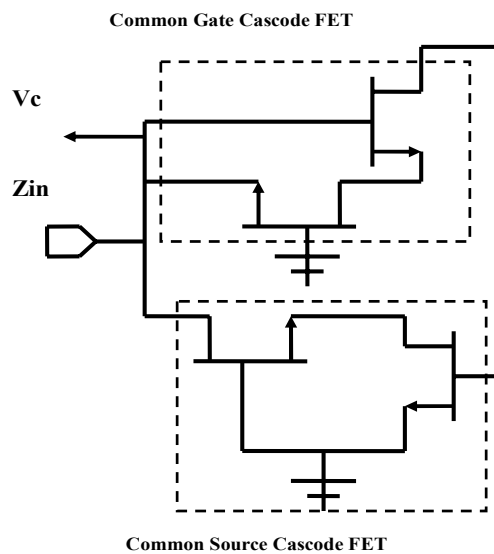


Figure III – 50 : Le circuit "Cascode FET feedback active inductor".

Enfin nous présentons la configuration de Zhang [34]. Celle-ci est composée de trois transistors de type MESFET (figure III - 51).

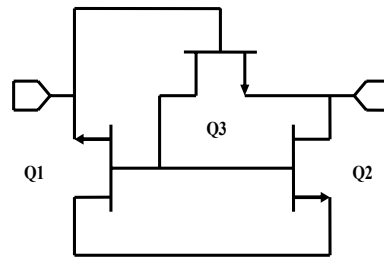


Figure III – 51 : Circuit de l'inductance active présentée par Zhang [34].

De façon similaire, par l'intermédiaire d'une tension de contrôle fournie par la polarisation, la valeur L de l'inductance, peut varier autour de 7 nH et une résistance série R autour de 5 Ω à la fréquence de 1 GHz. Les valeurs de L et R sont données par :

$$L \approx \frac{C_{gs}}{g_m g_{m3}} \left(2 + \frac{1}{2} \left(\frac{f}{f_T} \right)^2 \right) \text{ et } R \approx \left(g_{m3} \left(1 - \frac{1}{f/f_T} \right) \right)^{-1} \quad (3.47)$$

où f_T est la fréquence de transition des transistors, g_m la transconductance du transistor 1 ou 2 et g_{m3} la transconductance du transistor 3. La fréquence maximale d'utilisation s'étend jusqu'à 8 GHz,

III – 11 – 3. Inductances actives en technologie bipolaire silicium

III – 11 – 3 - 1. Généralités

La surface occupée par les circuits intégrés en technologie bipolaire est importante à cause de nombreux éléments passifs (inductance, capacité et résistance) et actifs de polarisation.

Les différentes études menées sur les inductances actives conçues à partir de transistors de type bipolaire, ont montré que leur coefficient de qualité est proportionnel aux paramètres des transistors selon la formule

$$Q \propto \frac{g_m}{g_{out}} \quad (3.48)$$

Où g_{out} est la conductance de sortie du transistor et g_m sa transconductance.

Le transistor bipolaire présente donc d'intéressantes possibilités pour la synthèse d'inductances actives compte tenu de sa forte transconductance par rapport aux MESFET. En outre, dans la gamme fréquentielle proche du giga-hertz, les valeurs des inductances utilisées sont plus importantes que celles rencontrées aux fréquences supérieures. La transconductance de sortie du transistor bipolaire contribue alors à l'augmentation nécessaire de la valeur de l'inductance.

En outre, d'autres avantages en résultent :

- L'avantage sur la transconductance conduira à une puissance consommée

moindre.

- La taille des transistors bipolaires étant plus faible, le gain de place par rapport aux configurations GaAs est intéressante.
- La technologie BiCMOS silicium employée pour réaliser l'inductance active, ouvre la possibilité d'intégration de fonctions analogiques et numériques. Leurs différents circuits que nous considérerons en technologie bipolaire, sont ceux d'une inductance connectée à la masse.

III – 11 – 3 – 2. Modèle de R. Kaunisto [35].

Le circuit présenté par R. Kaunisto [35], utilisant une configuration à deux transistors NPN, est donné par la figure III - 52.

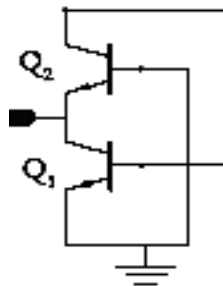


Figure III – 52 : Schéma électrique d'inductance active [35].

En utilisant les paramètres de la technologie HF2CMOS, les simulations AC (Figure III – 53) de cette structure révèlent une inductance moyenne de l'ordre de 3.5 nH et une résistance d'environ 1 Ω avec une diminution notable de la valeur de la résistance série à partir de 850 MHz.

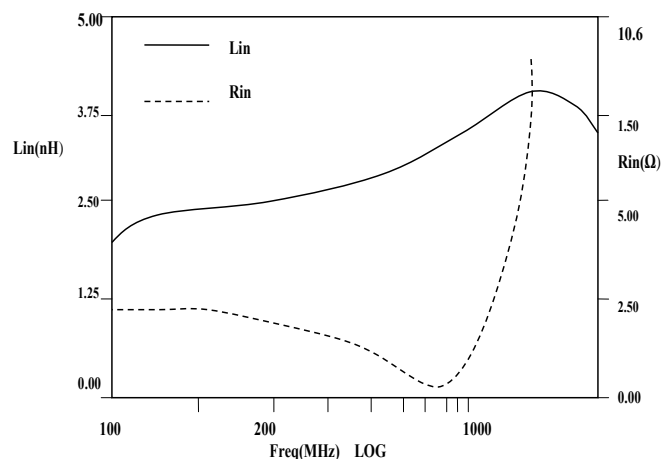


Figure III – 53 : Simulation AC de l'inductance active et de la résistance série associée.

Le meilleur facteur de qualité est alors obtenu à la fréquence pour laquelle la résistance série est minimale, Q vaut 20 à la fréquence de 1 GHz.

III – 11 – 4. Modèles proposée.

Nous proposons dans cette partie de l'étude deux modèles à base de MESFET pour la détermination des inductances actives.

III – 11 – 4 - 1. Première inductance proposée.

La première structure que nous proposons comporte deux transistors MESFET de type N dont la fréquence de transition vaut 9 GHz dans les conditions de polarisation utilisées. Son schéma électrique équivalent petit signal est représenté à la figure III - 54.

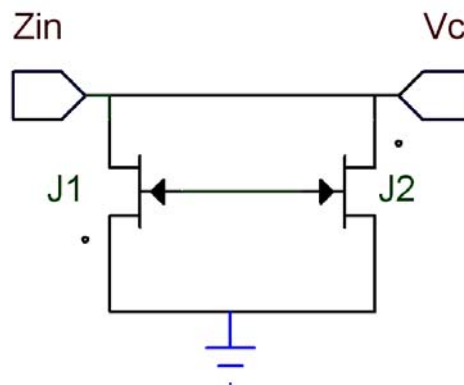


Figure III – 54 : Premier schéma électrique de l'inductance active proposée.

Les simulations AC (figures : III – 55, III – 56 et III – 57) de cette configuration conduit à 1 GHz à une inductance réglable de l'ordre de 7 nH et une résistance série de l'ordre de 2 Ω . L'inductance obtenue est proportionnelle aux paramètres du MESFET.

Cette dépendance explicite le caractère réglable de l'inductance par le biais du courant de polarisation. En effet, les paramètres intrinsèques du modèle tels que C_{gs} , C_{ds} , C_{dg} et g_m dépendent du courant de polarisation des transistors [36].

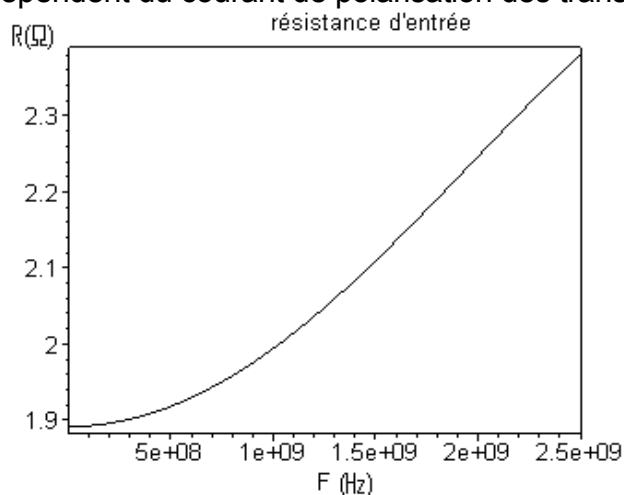


Figure III – 55 : Simulation AC de la résistance série associée à l'inductance.



Figure III – 56 : Variation fréquentielle de l'inductance.

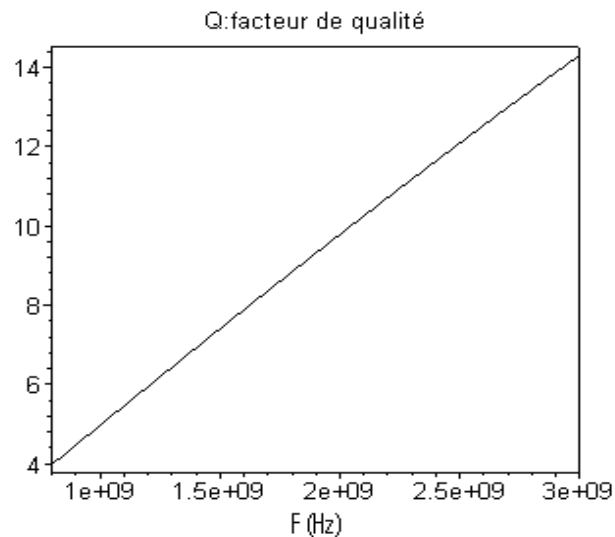


Figure III – 57 : Variation fréquentielle de la valeur du coefficient de qualité de l'inductance.

Comparativement aux performances du circuit de la figure III - 54, cette structure doit être modifiée afin de réduire les pertes ohmiques et augmenté le facteur de qualité.

III – 11 – 4 - 2. Deuxième inductance proposée.

La deuxième structure proposée est représentée sur la figure III - 58 afin de réduire la résistance série. Ce circuit adopte une configuration à trois transistors MESFET de type N ($f_T \sim 9$ GHz). Les simulations (Figures III - 59, III - 60 et III - 61) montrent que ce circuit satisfait à nos critères : la valeur de l'inductance variable obtenue est de l'ordre de 12.5 nH et la résistance série demeure inférieure à 1.3 Ω à la fréquence de 1Ghz.

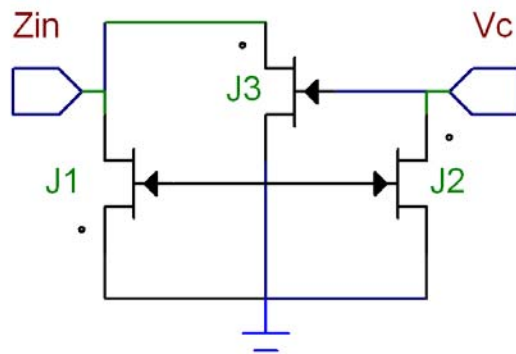


Figure III – 58 : Deuxième schéma électrique de l'inductance active proposée.

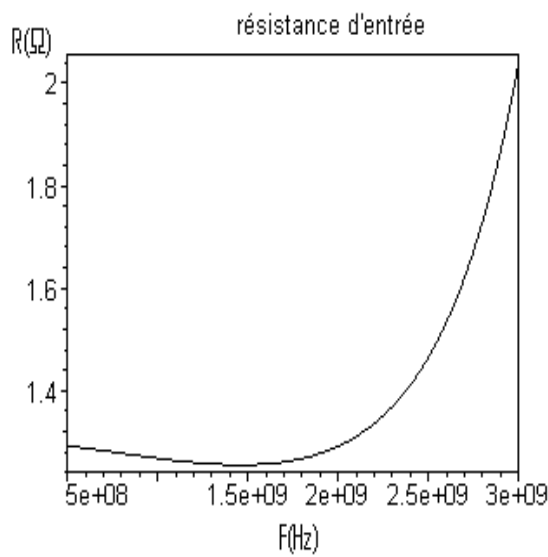


Figure III – 59 : Simulation AC de l'inductance du circuit de la figure III – 58.

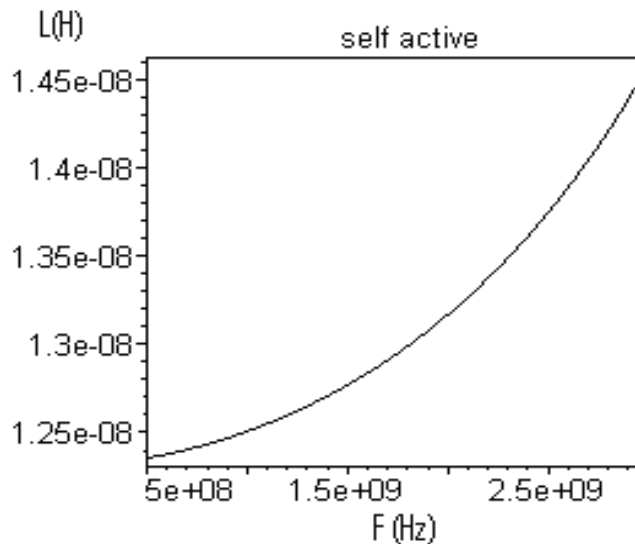


Figure III – 60 : Simulation AC de la résistance série associée à l'inductance de la figure III – 58.

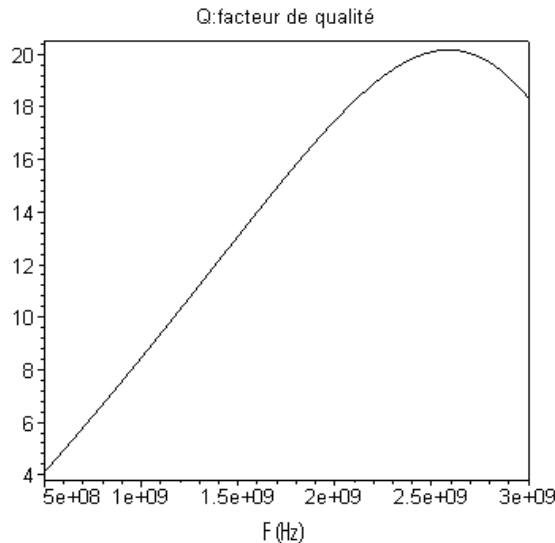


Figure III – 61 : Variation fréquentielle de la valeur du coefficient de qualité de la figure III – 58.

III – 12. Comparaison des topologies figure III – 54 et figure III - 58

Il est à noter pour les configurations des figures III - 54 et III - 58 que les conditions de polarisation sont déterminantes pour l'obtention d'un bon facteur de qualité. Ces conditions de polarisation peuvent aussi être sources d'instabilités qui résultent de l'influence de la polarisation sur la résistance série de l'inductance, la résistance série peut en effet devenir négative dans certaines conditions.

	Circuit Figure III-49	Circuit Figure III-50	Circuit Figure III-51	Circuit Figure III-54	Circuit Figure III-58
L(nH)	2	6	3.5	7	12.5
R(Ω)	8	5	1	2	1.3
Q	5	-	20	5	8
Consommation (mW)	-	-	-	10	20

Tableau III – 11 : Comparaison des différentes configurations présentées

Le tableau III - 11 illustre bien une évolution de l'inductance L et de la résistance R entre les topologies des figures III - 49, III - 50, III - 51, III - 54 et III - 58 du point de vue de valeur et consommations.

Le circuit de la figure III - 58 est celui qui présente les meilleures caractéristiques. Il propose en outre, une valeur de l'inductance plus élevée que la configuration de la figure III - 54 pour une consommation moindre. Cette valeur de l'inductance et celle de la résistance série associée sont adaptées aux applications RF du type filtrage et oscillateur à une fréquence de 1GHz.

III – 13. CONCLUSION

D'une part, les résultats obtenus pour la détermination des paramètres logique élémentaires à partir des caractéristiques des MESFET GaAs tel que : la géométrie, la détermination du temps de commutation, la définition des niveaux logiques, le calcul des puissances dissipée et du facteur de mérite sont essentielles pour une intégration à moyenne et large échèle.

D'autre part, nous avons déterminé les limites des porte logiques GaAs à transistor Normally-On pour des longueurs de grille égale à 1 μm avec un temps de propagation égale à 40ps et la puissance dissipée égale à 60mw.

Aussi la famille BFL Normally-On ne peut être utilisée pour une large intégration à cause de consommation en puissance.

Enfin il nous à paru utile d'étudier l'influence en haute fréquences de quelques modèles sur l'impédance d'entrée. Cette influence ce traduit par une augmentation de l'inductance et de la résistance de grille pour des fréquences supérieurs à 1 GHz. Cette simulation nous a permis de proposé deux modèle pour l'intégration de l'inductance active dans les circuits intégrés.

BIBLIOGRAPHIE

- [1] - R. VAN TUYL, C. LIETCHI,
IEEE Journal Solid State Circuits, Vol. SC-12, pp. 485-496, Oct. 1977.
- [2] - F. S. LEE, E. SHEN, C. R. KAELIN, B. Y. WELCH, R. C. EDEN, S. I. LONG,
1980 GaAs IC Symposium, Las Vegas NV, Nov. 1980.
- [3] - R. CASTAGNE, J-P. DUCHEMIN, M. CLOANEC, CH. RUMELHARD,
"Circuit intégré en Arséniure de Gallium",
Ed. Masson, 1989, p. 126.
- [4] - Y. ISHIL, M. INO, M. HIRAYAMA, M. OHMORI,
1984 GaAs IC Symposium, Phoenix AZ.
- [5] - A. RODE, A. MAC CAMANT, G. MAC CORMACK, B. VETANEN,
Solid State Devices Symposium.
- [6] - R. D. FAIRMAN, R. T. CHEN, J. R. OLIVIER, D. R. CH'EN,
IEEE Trans. Electron Devices, ED 28, pp. 135-140, Feb. 1981.
- [7] - H. Y. HOBGOOD, G. W. ELBRIDGE, D. L. BARETT, R. N. THOMAS,
IEEE Trans Electron Devices, ED 28, pp. 140-149, Feb. 1981.
- [8] - M. BONNET,
1982 GaAs IC Symposium, New-Orleans MI, Nov. 1982.
- [9] - K. KITAMARA, M. OZEKI, A. SHIBATOMI,
Fujitsu Science Tech. J., Vol. 13, n°3, pp. 279-302, Sep. 1983.
- [10] - J. KOMENO, N. NOGAMI, A. SHIBATOMI, S. OHKAWA,
Conf. on Gallium Arsenide and Related Compounds, pp. 9-18, Vienne, Autriche,
1980.
- [11] - T. MIZUTAMI, N. KATO, M. IDA, M. OHMORI,
IEEE Trans. MTT, Vol. MTT-28, pp. 479-486, May 1980.
- [12] - J. P. DUCHEMIN, M. BONNET, F. KOELSH, D. J. HUYGHE,
J. Electro chemical Soc., Vol. 126, pp. 1134-1142, July 1979.
- [13] - M. GLOANEC, J. JARRY, G. NUZILLAT,
Electronic Letters, 1st Oct. 1981, Vol. 17, n°20, pp. 763-765.
- [14] - B. E. DOBROBRATZ, N. HO, C. F. KRUMM, P. T. GREILING,
IEEE Trans. MTT, Vol. MTT-pp. 486-490, May 1980.
- [15] - P. ROSSEL, G. NUZILLAT, H. TRANDUC, G. BERT, I. GRAFFEUIL, C. KENZAI-AZIZI,
Rev. Phys. App., Vol. 13, Dec. 1978.

- [16] - **Y. M. HOUNG, G. L. PEARSON,**
J. App. Physic, Vol. 49, n° 6, pp. 3348, June 1978.
- [17] - **M. GLOANEC,**
1985 European Solid State Device Conf, Aachen RFA, Sept. 1985.
- [18] - **M. HENRY, J. P. KLEIN, B. LORIOU,**
Note interne CNET, 1980.
- [19] - **S. I. LONG, F. S. LEE, R. ZUCCA, B. M. WELCH, R. C. EDEN,**
IEEE Trams MTT, vol. MTT-28, pp. 466-472, March 1980.
- [20] - **K. YAMASAKI, K. ASAI, T. MITZUTANI, K. KURUMADA,**
Electronic Letters, vol. 18, n° 3, pp. 119-121, Feb. 1982.
- [21] - **S. NAKRAM-EBEID, P. MINONDO,**
1983 GaAs IC Symposium, Phoenix AZ, Nov. 1983.
- [22] - **C. KENZAI et al**
PROJET CNEPRU, d2501/13/1999 Rapport 2002.
- [23] - **R. J. TREW,**
Microwave Journal, pp115-130, May 1990.
- [24] - **C. KENZAI, Y SAIDI, M ZAABAT, BN KHELLAF**
Projet CNEPRU ,D2501/13/1999.
- [25] - **W. FICHTNER et al.**
IEEE Electron Devices letters ,vol. ED1-6, N12, Dec. 1985.
- [26] - **T. PHAN NGU, N. GLOANEC, G. NUZILLAT,**
Proc. 7th European Specialist Workshop on Active Microwave Semiconductor Devices, Pathas, Grèce, Oct. 14-16, 1981.
- [27] - **E. H. PEREA, A. KASZINSKI. G. NUZILLAT, C. ARNODO,**
1982 GaAs IC Symposium, pp. 104-107, New Orleans MI, Nov. 1982.
- [28] - **J. N. BURGHARTZ, D. C. EDELSTEIN, M. SOYUER, H. A. AINSPAN and K. A. JENKINS,**
"RF Circuit Design Aspects of Spiral Inductors on Silicon",
IEEE Journal of Solid-State Circuits, Vol.33, n° 12, Dec. 1998.
- [29] - **C. P. YUE, AND S. S. WONG,**
"On-Chip Spiral Inductors with Patterned Ground Shields for Si-Based RF IC's",
IEEE Journal of Solid-State Circuits, Vol.33, n°5, May 1998.
- [30] - **J. N. BURGHARTZ, M. SOYUER, H. A. AINSPAN and K. A. JENKINS,**
"Integrated RF and Microwave Components in BiCMOS Technology",
IEEE Transactions on Electron Devices, Vol.43, n° 9, Sept. 1996.

[31] - F. SVELTO, S. DEANTONI AND C. CASTELLO,
"A 1.3 GHz Low-Phase Noise Fully Tunable CMOS LC VCO",
IEEE Journal of Solid-State Circuits, Vol.35, n°3, Mar. 2000.

[32] - S. HARA, T. TOKUMITSU, M. AIKAWA,
"Lossless broad-band monolithic microwave active inductors",
IEEE Transactions on Microwave Theory and Techniques, Vol. 37 Issue: 12, Dec. 1989,
pp. 1979-1984.

[33] - S. HARA, T. TOKUMITSU, T. TANAKA, M. AIKAWA,
"Broad-band monolithic microwave active inductor and its application to miniaturized wide-band amplifiers",
IEEE Transactions on Microwave Theory and Techniques, Vol. 36, Issue: 12, Dec. 1988, pp. 1920 -1924.

[34] - G. F. ZHANG, M. L. VILLEGAS, C. S. RIPOLL and J. L. GAUTIER,
"New Broadband Tunable Monolithic Microwave Floating Active Inductor",
Electronics Letters, Jan. 1992, Vol. 28, n° 1.

[35] - R. KAUNISTO, P. ALINIKULA and K. STADIUS,
"Active Inductors for GaAs and Bipolar Technologies",
AICSP, Vol.7, 1995.

[36] - B. TIALLET-GUY, Z. OUARCHE, M. PRIGENT, R. QUERE, and J. OBREGON,
"Direct Extraction of a Distributed Nonlinear FET Model from Pulsed ",
IEEE Microwave and Guided Wave Letters, Vol.8, n° 2, Feb 98.

CONCUSION GENERALE

CONCLUSION GENERALE

Nous ne reviendrons pas sur les résultats obtenus qui ont été rappelés dans les conclusions partielles des trois chapitres du mémoire.

Néanmoins, dans un premier temps il est utile de rappeler les plus importants d'entre eux. Ainsi nous avons caractérisé la diode Schottky et montré la dégradation ou le vieillissement de sa caractéristique en fonction du temps, aussi la variation du facteur d'idéalité avec le temps ensuite nous avons proposé un modèle de fonctionnement de la diode en régime linéaire et non linéaire. La mesure de la résistance R_g et la capacité C_{gs} pour d'éventuels fonctionnements en hautes fréquences pour les circuits microondes nous a permis de mieux comprendre ce composant. L'ensemble des équations qui définissent les phénomènes physiques liés au transistor MESFET GaAs sont définis, nous avons montré que cette modélisation qui est nécessaire doit être aussi proche du fonctionnement normal soit en régime petit signaux ou dynamique de ce composant.

Aux cours de nos travaux nous avons été amenés à constater l'existence de comportements originaux. En particulier nous avons mis en évidence le fait que l'impédance d'entrée pouvait se comporter comme une inductance active

Ainsi, tout au long de ce mémoire nous avons montré que la réduction des dimensions du MESFET GaAs avec une grille submicronique pouvait favoriser l'apparition de phénomènes parasites liés tels que : éléments intrinsèque et extrinsèque, phénomènes de vitesse des électrons qui transitent dans des bandes d'énergie, résistance de grille, les phénomènes liés à l'interface qui exercent des conséquences non négligeable sur les caractéristiques du composant.

Finalement, la possibilité de réduire encore dans le futur les dimensions des composants électroniques nous semble dépendre au moins autant de la maîtrise de la technologie de réalisation de ces composants que de la possibilité de bien contrôler l'ensemble des phénomènes associés aux propriétés du composant MESFET GaAs.

PUBLICATION EN RELATION AVEC CE TRAVAIL

PUBLICATION EN RELATION AVEC CE TRAVAIL

PUBLICATIONS :

A.KHEITER, C.KENZAI-AZIZI, M.S.BENBOUZA

« *Une nouvelle approche pour un modèle standard* »,

Science et Technologie N°9 Juin 1998, Constantine.

S.KHEMISSI, N.MERABTINE, C.KENZAI-AZIZI, M.S.BENBOUZA

« *Influences des paramètres technologiques sur les caractéristiques I-V du transistor MESFET GaAs à grille courte* »,

Science et Technologie B N°24 décembre 2005, Constantine.

M. S.BENBOUZA, C.KENZAI-AZIZI, N.MERABTINE, Y.SAIDI, S.AMOURACHE

« *Active inductances Controlled in GaAs MESFET Technology* »

Semiconductor Physics Quantum Electronics et Optoelectronics journal 2006.

M. S.BENBOUZA, N.MERABTINE

« *An Improvement of Electrical and Technological properties in second Generation MESFETs Devices* »

International journal of Electrical and power Engineering.

COMMUNICATIONS INTERNATIONALES :

M.S.BENBOUZA, N.MERABTINE, Y.SAIDI, C.KENZAI-AZIZI

« *Active inductances Controlled in GaAs MESFET Technology* »,

International Conference on Modeling and Simulation (AMSE'06), 28-30th

August 2006, Konya, Turquie.

M.S.BENBOUZA, N.MERABTINE, C.KENZAI-AZIZI, Y.SAIDI

« Gate Resistance Influence on Integrated Circuits in MESFET Technology »

4th International Conference: Sciences of Electronic, Technologies of information and Telecommunications March 25-29, 2007, SETIT, TUNISIE.

COMMUNICATIONS NATIONALES :

M.S.BENBOUZA, N.MERABTINE, C.KENZAI-AZIZI

« Influence de la résistance de grille en T et en PI sur les circuits intégrés des transistors MESFET au GaAs »

International Meeting on Electronics & Electrical Science and Engineering, IMESE06, November, 4-6th 2006, Djelfa, Algérie.

M.S.BENBOUZA, N.MERABTINE, C.KENZAI-AZIZI, Y.SAIDI

« New structures improving GaAs MESFETS Integrated Circuits Performances »,

International Conference on Micro and Nanotechnologies, ICMNT2006, 19-23 November 2006, Tizi-Ouzou, ALGERIA.

RESUME

L'essor exceptionnel que connaît l'industrie des circuits intégrés repose actuellement sur la réduction des dimensions des dispositifs et des composants actifs tels que les transistors à effet de champ à grille Schottky à l'arséniure de gallium dits MESFET GaAs. L'évolution des technologies d'intégration à très grande échelle à marquer l'épanouissement de la microélectronique moderne. La conception assistée par ordinateur est au cœur des recherches mondiale d'une part le développement considérable des logiciels pour composant intégré submicronique et d'autre part par la préoccupation première des facteurs des circuits complexes intégrant ces composants.

Au cours de ce travail nous avons été amenés à étudier et proposer un modèle de base du transistor MESFET GaAs afin de disposer du outils efficace pour la CAO des circuits intégrés microondes et logiques.

C'est dans ce cadre qu'au premier chapitre, nous avons étudié les propriétés physiques et électriques de l'Arséniure de Gallium et présente les différentes familles des transistors MESFET GaAs. La diode Schottky de grille, son fonctionnement et les problèmes de polarisations liées à l'ensemble des phénomènes physiques et géométriques, est caractérisée et simulée.

Au deuxième chapitre, l'étude des propriétés statiques et dynamiques du composant MESFET nous a conduit à définir le système d'équations générales régissant le comportement de la zone active sont établis. L'ensemble des éléments parasites qu'interviennent dans le fonctionnement du modèle proposé du transistor sont identifiés et caractérisés.

Au troisième chapitre, les procédés de fabrication des technologies des transistors et circuits intégrés des MESFET GaAs ont été définies. Les paramètres dominants qui caractérisent ces composants sont établis et simulé. Ensuite l'étude de l'impédance et ainsi que la résistance de sortie des circuits MESFET GaAs sont établis.

CONCEPTION ATTENDED BY COMPUTER OF THE INTEGRATED CIRCUIT MESFET GaAs

ABSTRACT

The exceptional flight that the industry of the integrated circuits knows based currently on the reduction of the measurements of the devices and the active components as the field effect transistors to grid Schottky to the gallium arsenide MESFET GaAs. The evolution of the very large scale integration technologies to mark the blossoming of the modern microelectronics. The conception reached by computer CAO

In the present of this work we have been brought to study and to propose a model of basis of the transistor MESFET GaAs in order to have some efficient tools for the CAO of the integrated circuits microwave and logical.

In the first chapter, we studied the physical and electric properties of the gallium arsenide and present the different families of the transistors MESFET GaAs. The diode Schottky of grid, its working and the problems of linked polarizations to the set of the physical and geometric phenomena, is characterized and affected.

In the second chapter, observation of the static and dynamic properties of the MESFET component push us to define the system of general equations governing the behaviour of the active zone are established. The set of the parasitic elements that intervenes in the working of the model proposed of the transistor is identified and characterized.

To the third chapter, the production methods of the technologies of the transistors and integrated circuits of the MESFET GaAs are defined. The dominant parameters that characterize these components are established and simulated. Then the survey of input impedance and the output resistor of the circuits MESFET GaAs are established.

Mots clés

Transistor à effet de champ
Modèle électrique
Eléments parasites internes et externes
Modèle non-linéaire
Diode Schottky
Inductance active

Keywords

Field effect transistor
Elements parasitic internal and external
Model nonlinear
Diode Schottky
Active Inductance