

REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE

Ministère de l'Enseignement Supérieur et de la Recherche Scientifique

Université de Batna

THESE

Présentée au

Département d'Electronique

Pour l'obtention du diplôme de

Doctorat Es-science en électronique

Option Microélectronique

Par

Abdelghani DENDOUGA

Thème

Contribution à la Modélisation et à la Conception d'un Convertisseur Analogique Numérique Sigma Delta

Soutenue le, 04 juillet 2013 devant le jury composé de :

Pr. Farida HOBAR	Professeur	Président	Université de Constantine
Pr. Nour-Eddine BOUGUECHAL	Professeur	Rapporteur	Université de Batna
Pr. Saida LATRECHE	Professeur	Examineur	Université de Constantine
Pr. Abdelhamid BENHAYA	Professeur	Examineur	Université de Batna
Pr. Abdelhamid OUNISSI	Professeur	Examineur	Université de Batna
Dr. Saida REBAI	M.C.A	Examineur	Université de Constantine

Abstract

This thesis is part of the development of a behavioral model of a sigma-delta modulator by introducing the most noise sources and non-idealities of different blocks in order to circumvent the major problem in the design of this such circuits, which is the simulation time using transistor-level simulation tools. However, the use of high level models is generally preferred to predict the behavior of analog-digital converters.

This research therefore focuses on discrete-time sigma-delta conversion low-pass, especially on the challenges of conducting this type of converter. The overall objective of this research is to obtain a behavioral model to predict the impact of noise sources on the performance of modulator as well as the imperfections of the various blocks of the modulator. At first, the work focused on the implementation of models of different sources of noise and imperfections, then the development of a behavioral model of discrete time second-order low-pass switched-capacitor sigma delta modulator.

Résumé

Ce travail de thèse s'intègre dans le cadre du développement d'un modèle comportemental d'un modulateur sigma delta en introduisant la plupart des sources de bruit et les non idéalités des différents blocs, afin de contourner le problème majeur dans la conception de ce genre de circuits qui est le temps de simulation en utilisant les simulations niveau transistor. Cependant, l'utilisation des modèles niveau haut est généralement privilégiée pour prédire le comportement des convertisseurs analogiques numériques.

Ce travail de recherche porte donc sur la conversion sigma delta temps discret passe bas, et plus particulièrement sur les difficultés de réalisation de ce type de convertisseur. L'objectif global de cette recherche est l'obtention d'un modèle comportemental pour prévoir l'impacte des sources de bruit sur les performances du modulateur ainsi que les imperfections des différents blocs de ce dernier. Dans un premier temps, le travail s'est focalisé sur la mise en place des modèles des différentes sources de bruit et imperfections, ensuite le développement d'un modèle comportemental d'un modulateur sigma delta passe bas de deuxième ordre temps discret à capacités commutées.

Remerciements

Tout d'abord, je tiens à adresser mes plus chaleureux remerciements à mon directeur de thèse Monsieur Nour-Eddine Bouguechal, professeur à l'université de Batna et responsable du laboratoire de l'électronique avancée (LEA), d'avoir accepté de diriger ma thèse, et me transmettre la passion de recherche et n'a eu de cesse de m'encourager et de me soutenir durant ces dernières années. J'en profite pour lui exprimer ici ma plus profonde gratitude.

Je remercie très sincèrement Madame Farida HOBAR professeur à l'université de Constantine d'avoir intéresser à ce travail et de présider son jury.

Ainsi que Madame Saida LATRECHE, professeur à l'université Constantine et Monsieur Abdelhamid BENHAYA, professeur à l'université Batna et Monsieur Abdelhamid OUNISSI professeur à l'université Batna et Madame Saida REBAI maître de conférence à l'université Constantine, d'avoir fait partie du jury en qualité d'examineurs.

J'adresse aussi mes remerciements à l'ensemble des personnes que j'ai côtoyées durant mes années de thèse qui ont contribué de près ou de loin le long de mes études et recherches scientifiques.

Enfin, je ne voudrais terminer ces lignes sans remercier toute ma famille pour leurs encouragements, leur soutien et leur gentillesse tout au long de ces années.

Table des matières

Abstract

Remerciements

Introduction générale

Chapitre 1 : Problématique de la conversion des données

I.1.	Introduction.....	5
I.2.	Principe.....	5
I.3.	Les différents types de convertisseurs	6
I.3.1.	Convertisseur FLASH.....	6
I.3.2.	Convertisseur SAR	8
I.3.3.	Convertisseur à comptage d'impulsions	10
I.3.4.	Convertisseur tension/fréquence	11
I.3.5.	Convertisseur PIPELINE.....	13
I.3.6.	Convertisseur cyclique.....	15
I.3.7.	Architecture Sigma-Delta	15
I.4.	Bilan des convertisseurs analogiques-numériques	16

Chapitre 2 : Caractéristiques des convertisseurs analogiques numériques

II.1.	Introduction.....	19
II.2.	Théorie de la conversion	20
II.2.1.	Caractéristiques statiques des CANs	21
II.2.2.	Théorie de traitement du signal	24
II.2.3.	Caractéristiques fonctionnelles des CANs	25
II.2.3.1.	Le convertisseur idéal	25
II.2.3.2.	Le convertisseur réel.....	28
1.	Erreur d'offset	28
2.	Erreur de Gain	29
3.	Erreur de Non-Linearité Différentielle et Non-Linearité Intégrale	29
4.	Erreur de code manquant.....	30
5.	Taux de distorsion harmonique	30
6.	Taux de distorsion par inter-modulation	31
7.	Rapport signal sur bruit avec distorsion	31

8. Dynamique de codage	32
9. Incertitude au point d'ouverture (jitter)	32
10. Bande passante.....	32

Chapitre 3 : Les modulateurs Sigma Delta

III.1. Les convertisseurs analogiques numériques Nyquist rate	34
III.1.1. Échantillonnage.....	34
III.1.2. Quantification	36
III.1.3. Limitations des convertisseurs à échantillonnage de Nyquist	40
III.2. Les convertisseurs analogiques-numériques sur-échantillonnages.....	41
III.3. Principe de la modulation Delta	44
III.4. Modulation Sigma Delta.....	45
III.4.1. Modulateur Sigma Delta d'ordre un	47
III.4.2. Modulateur Sigma Delta d'ordre deux.....	51
III.5. Conclusion	55

Chapitre 4 : Modélisation du modulateur

IV.1. Introduction.....	57
IV.2. Les différentes sources de bruit	58
IV.2.1. Clock jitter	58
IV.2.2. Bruit thermique.....	59
IV.2.3. Le bruit de l'amplificateur opérationnel	60
IV.3. Les non idéalités de l'intégrateur	60
IV.3.1. Le gain fini	61
IV.3.2. Slow rate	61
IV.3.3. La non linéarité du gain de l'amplificateur	61
IV.4. Les non Idéalités des switches.....	62
IV.4.1. Injection de charges	63
IV.4.2. Clock Feedthrough	65
IV.4.3. La résistance équivalente de l'interrupteur	65
IV.5. Conclusion	65

Chapitre 5 : Le modèle comportemental du modulateur Sigma Delta

V.1. Introduction.....	67
V.2. Impact des imperfections sur les performances d'un modulateur Sigma Delta	68
V.2.1. Erreur due à l'échantillonnage (Jitter).....	68

V.2.2.	Bruits relatifs à l'intégrateur	71
V.2.2.1.	La non-linéarité de la résistance des commutateurs à l'état passant.....	71
V.2.2.2.	Bruit thermique	73
V.2.2.3.	Bruit de scintillation (flicker noise)	75
V.2.3.	Les non idéalités de l'intégrateur.....	76
V.2.4.	L'injection des charges (clock feedthrough)	80
V.3.	Impacte des erreurs sur les performances du modulateur	83
V.3.1.	Le bruit en kT/C	83
V.3.2.	Effet du bruit thermique de l'amplificateur	84
V.3.3.	L'effet du slew rate.....	85
V.4.	Le modèle comportementale du modulateur sigma delta	87
V.5.	Conclusion	90
	Conclusion générale	91
	Bibliographie.....	93

Introduction générale

Les convertisseurs de données, y compris les convertisseurs analogiques-numériques (CAN) et numériques-analogiques (CNA), sont le lien essentiel entre le monde réel analogique et le monde numérique [1]. Le convertisseur analogique numérique va convertir le signal analogique en une suite de mots numériques qui pourront être traités par un ordinateur. De même, un ordinateur pourra générer en entrée d'un convertisseur numérique analogique des mots numériques qui seront convertis en un signal analogique. Les convertisseurs de données sont toujours très recherchés avec le développement rapide du traitement numérique du signal DSP (Digital Signal Processing). Par exemple, les appareils électroniques tels que les lecteurs de disques compacts, appareils photo numériques, téléphones, modems et la télévision haute définition (TVHD) nécessitent une haute résolution et/ou une haute vitesse des convertisseurs pour s'interfacer avec le monde analogique [2, 3].

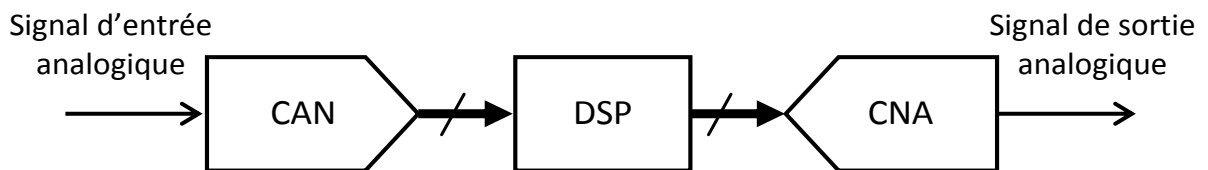


Figure 1. Système de traitement de signal numérique.

La figure 1 montre un schéma simple d'un système de traitement de signal typique. Pour profiter du processeur puissant DSP, les signaux d'entrée sont numérisés à l'aide du CAN. Après la conversion en signaux numériques, la sortie de l'ADC (Analog to digital converter) est ensuite traitée par le DSP et finalement convertie en signaux analogiques par le biais du CNA. Les convertisseurs à fréquence d'échantillonnage de Nyquist (Nyquist Rate Converters) sont utilisés dans des applications à haute vitesse, tels que la vidéo et le radar, ils génèrent une série de valeurs de sortie dans lesquels chaque valeur est une correspondance un-à-un avec une valeur du signal d'entrée. Cependant, la précision des composants analogiques dans les technologies de conception semi-conducteurs actuels limite la résolution des convertisseurs à fréquence d'échantillonnage de Nyquist. D'autre part, les convertisseurs sur échantillonnés sont utilisés dans des applications de faible ou moyenne vitesse. À la suite de

la prise de plus d'échantillons du signal d'entrée, les convertisseurs sur échantillonnés peuvent atteindre des résolutions élevées sans utiliser des composants analogiques de précision, ce qui les rend plus facile à mettre en œuvre dans les processus submicroniques modernes.

Dans le cadre de la conception des circuits mixtes, l'exploration de l'espace de conception est souvent faite au niveau transistor, ce qui nécessite des temps de simulation très importants pour évaluer une solution. Les choix au niveau système sont essentiellement basés sur des heuristiques qui permettent de retenir une solution potentiellement valide. A partir de ce choix, l'approche descendante traditionnelle est très coûteuse, car elle nécessite un grand nombre d'itération entre les différents niveaux d'abstraction comme indiqué dans la figure suivante.

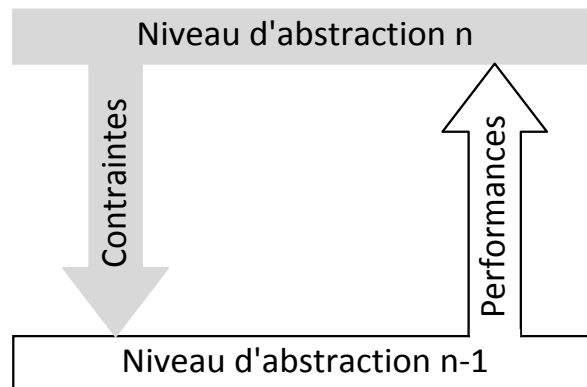


Figure 2. Interaction entre les niveaux d'abstraction.

Afin de permettre une exploration plus efficace de l'espace de conception dans un temps restreint, L. P. Carloni et all. [4] proposent une étape intermédiaire entre le système et l'architecture appelée plate-forme. Celle-ci est composée d'une bibliothèque de cellules paramétrisées et hiérarchisées par leur niveau d'abstraction. Ce point de vue est illustré dans la figure 2. Ce niveau intermédiaire est défini par une relation sur les performances qui seront utilisées au niveau système et au niveau architectural. Par exemple, pour un convertisseur analogique numérique de fréquence d'échantillonnage F_s consommant une puissance P pour un SINAD (Signal to Noise and Distortion) donné, on aura une relation de type:

$$\psi = (F_s, P, \text{SINAD}) \tag{1}$$

qui définit un domaine sur ces paramètres. Un point dans ce domaine correspond à des performances données au niveau système (par exemple le taux d'erreur binaire d'un récepteur).

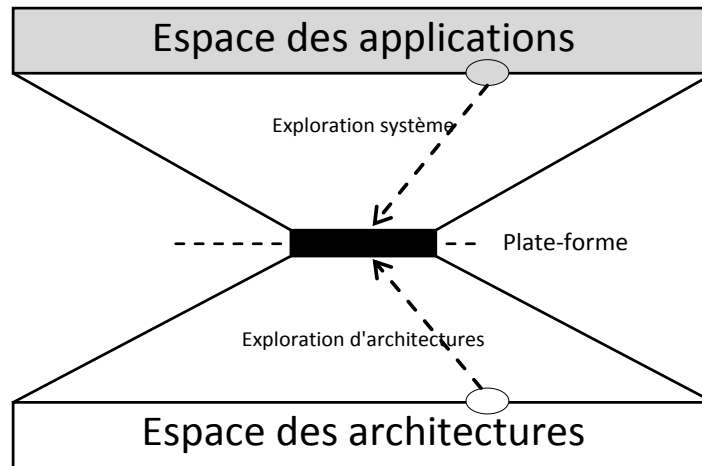


Figure 3. Plate-forme.

Il est également en correspondance avec une ou plusieurs architectures pouvant garantir ce niveau de performances. Une relation du type (équation (1)) est très précieuse au niveau système pour un CAN car elle peut conditionner un choix particulier d'architecture.

Nous proposons d'utiliser la simulation comportementale pour guider les premières phases de la synthèse.

Ce manuscrit de thèse est organisé de la manière suivante :

Après une introduction générale, le premier chapitre est consacré à présenter la problématique de la conversion analogique numérique est abordée en matière de performance, tout en introduisant quelques rappels concernant les architectures des CANs.

Le deuxième chapitre est intégralement consacré aux caractéristiques des convertisseurs analogiques numériques.

Le chapitre trois détaille le principe de fonctionnement des modulateurs sigma delta à temps discret.

Le quatrième chapitre décrit les différentes sources de bruit et les imperfections des différents blocs qui constituent le modulateur sigma delta, ainsi que leurs impacts sur le comportement du modulateur.

Le chapitre cinq présente le modèle comportemental du modulateur sigma delta deuxième ordre passe bas à temps discret qui inclut la plupart des sources de bruit et les imperfections des différents blocs.

Chapitre 1

Problématique de la conversion des données

I.1. Introduction

Effectuer une conversion analogique numérique c'est prélever périodiquement des échantillons d'un signal analogique qui représente une information analogique, et de la quantifier (expression numérique dans un code déterminé). Cette quantification permet d'effectuer ultérieurement un traitement numérique des données recueillies. C'est pourquoi, suivant l'application visée, les caractéristiques du CAN varient à la fois en terme de précision, résolution, vitesse d'échantillonnage et puissance consommée.

I.2. Principe

Pour convertir une grandeur analogique V_a en une grandeur numérique, il faut comparer cette grandeur analogique à une grandeur référence V_{ref} , valeur étalon de référence très souvent interne au convertisseur. En présence de V_a , le CAN calcule la valeur du rapport V_a/V_{ref} . Ce rapport de deux valeurs analogiques doit être exprimé en valeur numérique N et la relation $V_a/V_{ref} \Rightarrow N$ est obtenu avec un degré de résolution et de précision dépendant du convertisseur choisi [5]. On pourra écrire, en général :

$$V_a = N \cdot V_{ref} + \varepsilon_d + \varepsilon_a \quad (1.1)$$

avec,

N : Exprimé à l'aide de n bits, donc une seule valeur parmi les 2^n combinaisons possibles.

ε_d : terme d'erreur dû à la quantification qui est toujours présent même si les parties analogiques du convertisseur sont rigoureusement parfaites.

ε_a : terme d'erreur introduit par la partie analogique du convertisseur.

Comme il est présenté sur la Figure 1.1, l'erreur de quantification est une erreur inhérente au procédé de conversion, elle est au maximum 1 LSB (Low Significant Bit), mais très souvent le système de conversion étant centré, cette erreur est de $\pm\frac{1}{2}$ LSB.

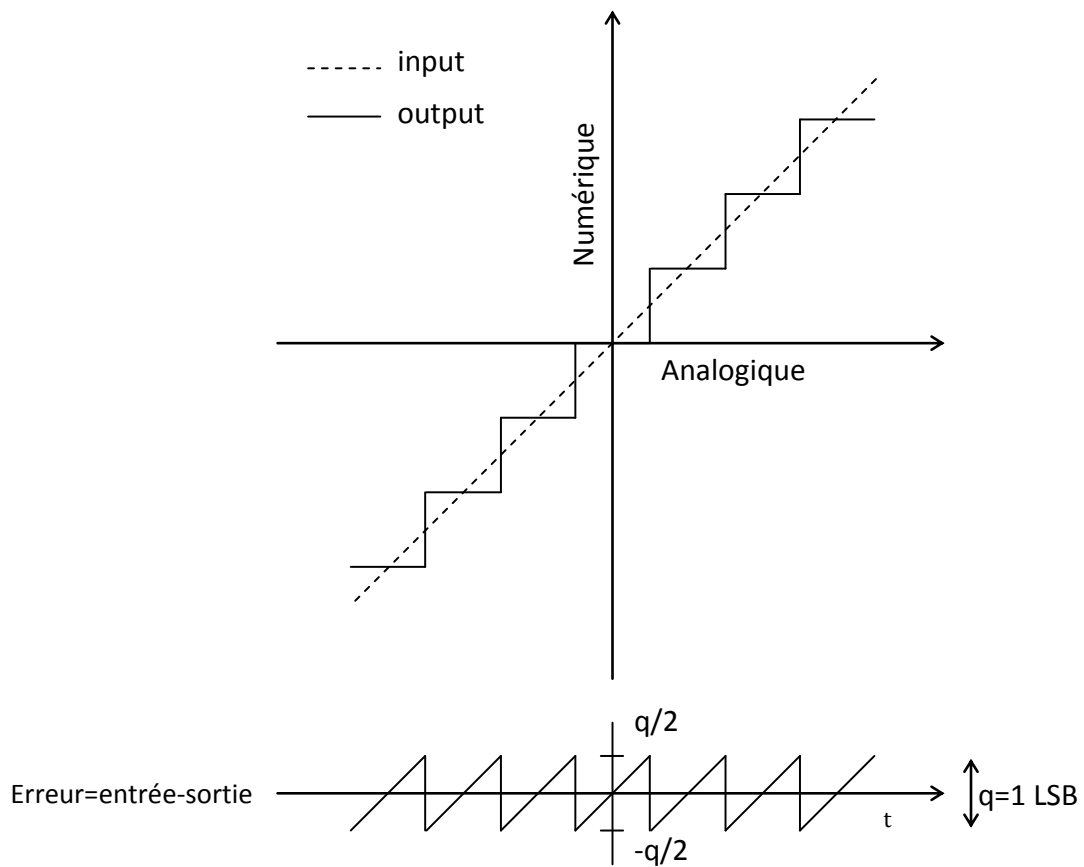


Figure 1.1. Représentation de la fonction de transfert idéale d'un CAN et de son erreur de quantification.

Un convertisseur A/N reçoit une tension d'entrée analogique qu'il convertit après un certain temps en un code de sortie numérique correspondant à l'entrée. Différentes méthodes de conversion analogique numérique ont été mises au point et sont utilisées. Le reste de ce chapitre sera consacré à une étude bibliographique de quelques méthodes de conversion.

I.3. Les différents types de convertisseurs

I.3.1. Convertisseur FLASH

Il s'agit du convertisseur le plus rapide, et également du circuit qui contient le plus grand nombre de comparateurs. Par exemple, un CAN parallèle de 8 bits exige 255 comparateurs

analogiques, un CAN de 12 bits en exige 4095 comparateurs analogiques. Dans la pratique, le grand nombre de comparateurs nécessaires limite la réalisation des convertisseurs FLASH.

Le principe de fonctionnement d'un tel convertisseur est le suivant : un signal d'entrée est échantillonné puis comparé à l'ensemble des tensions de seuil. Chacun des comparateurs indique ensuite si le signal d'entrée est supérieur ou inférieur à son seuil de référence. L'encodeur permet de transformer le signal, fourni par la sortie des comparateurs, en code binaire correspondant à notre donnée de sortie : c'est la numérisation du signal d'entrée échantillonné. La conversion est ainsi effectuée en une seule fois. L'avantage de ces convertisseurs est qu'ils peuvent atteindre une fréquence d'échantillonnage très élevée (quelques GHz). Cependant, les principaux inconvénients de cette architecture sont : la génération des tensions de seuils et les comparateurs. Les tensions de références doivent être précises au pas de quantification près. De même pour les comparateurs, ils doivent présenter un offset inférieur au pas de quantification. Enfin, le nombre de comparateurs double pour chaque bit de résolution supplémentaire.

En général, à cause de la consommation et la taille du circuit, la résolution de ces convertisseurs se limite à 8 bits ou atteint exceptionnellement 10 bits [6].

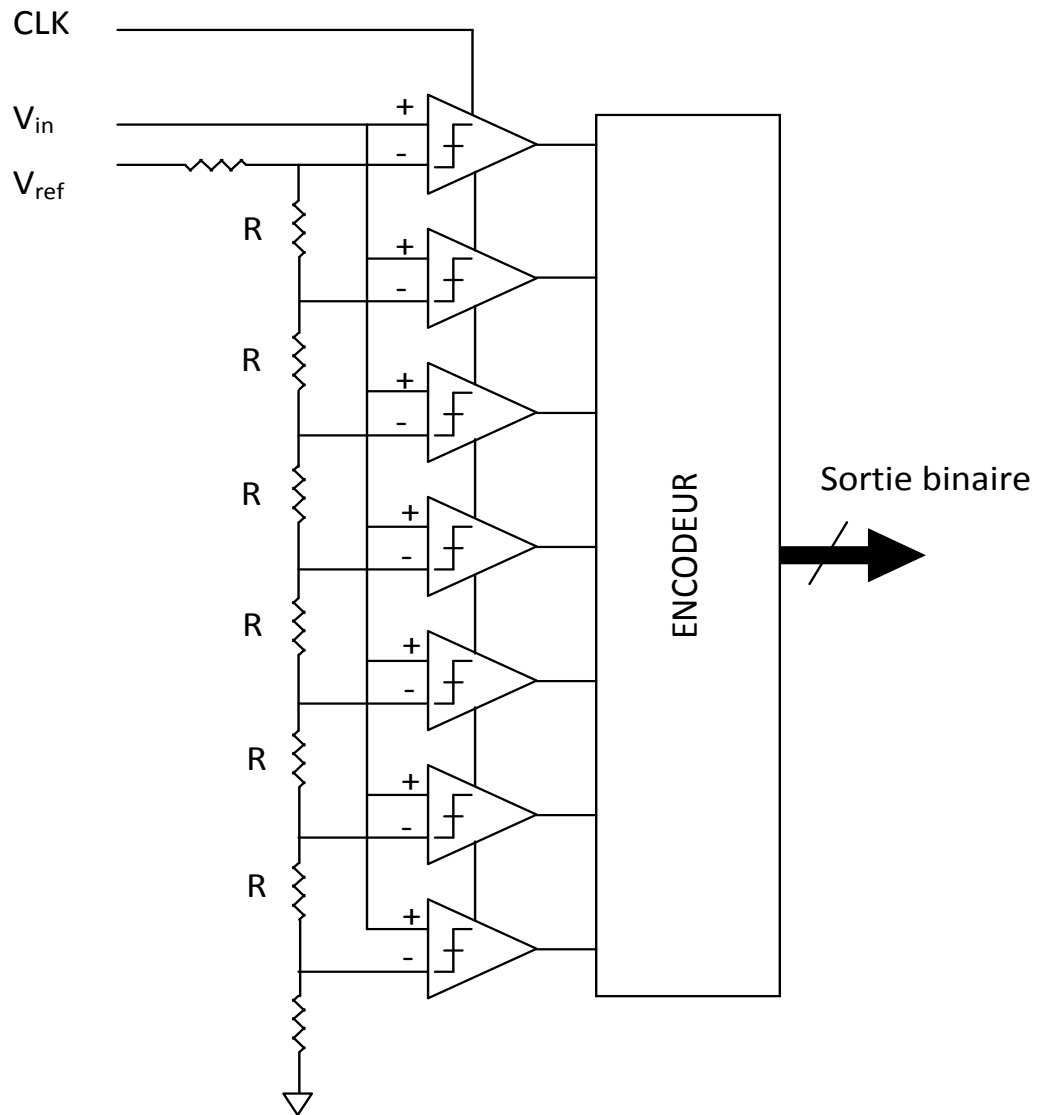


Figure 1.2. Architecture d'un convertisseur FLASH 3 bits.

I.3.2. Convertisseur SAR

Ce convertisseur, comme nous pouvons le voir sur la Figure 1.3, est un système bouclé. Ce type de CAN est composé d'un convertisseur N/A (CNA), d'un seul comparateur et d'un bloc numérique correspondant au registre à approximations successives. En fonction de la commande numérique, le CNA génère une tension de seuil servant de référence de comparaison.

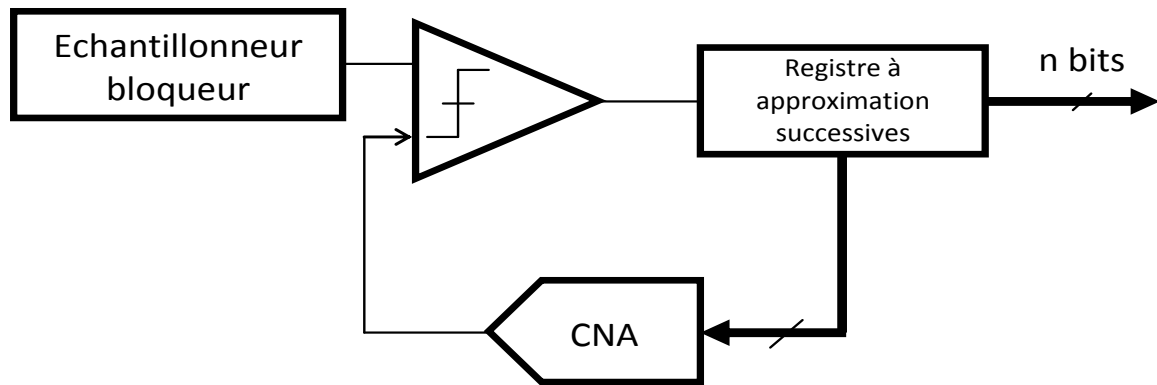


Figure 1.3. Architecture SAR.

Le registre à approximations successives (RAS en français) travaille selon le principe de la dichotomie. Un exemple de ce principe de fonctionnement est présenté sur la Figure 1.4.

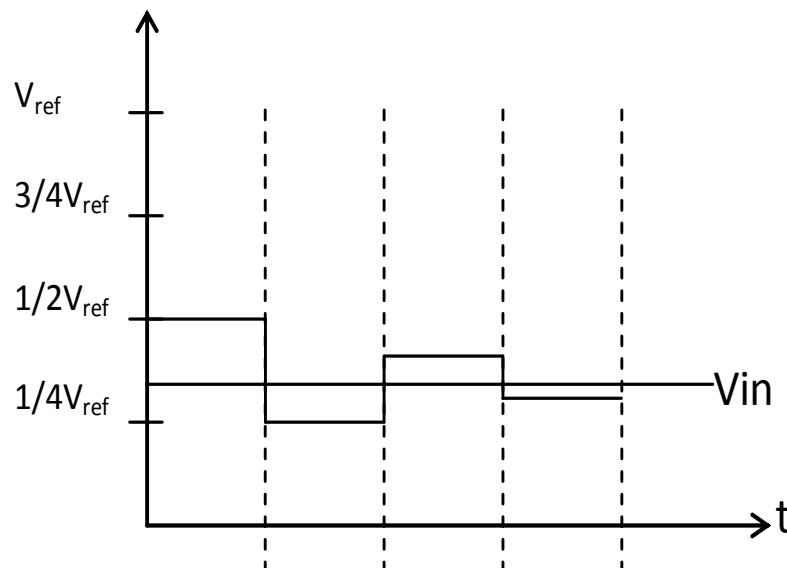


Figure 1.4. Principe de fonctionnement des convertisseurs SAR.

Pour une résolution de N bits, la conversion est réalisée en N coups d'horloge. Ce convertisseur représente un exemple de sérialisation de l'opération de conversion. Ce type de CAN à l'avantage d'être peu gourmand en composants : un seul comparateur et un seul CNA, et également en consommation. Par contre, l'inconvénient principal est son temps de conversion : autant de nombre de coups d'horloge que de nombre de bits à atteindre. La résolution du CNA et l'offset du comparateur sont les principales difficultés de conception.

I.3.3. Convertisseur à comptage d'impulsions

Cette procédure de conversion, très simple, nécessite peu de composants mais offre une très bonne précision. Cependant, le temps de conversion est considérablement plus long que les procédés précédents; il se trouve généralement entre 0.1 et 100 ms. Comme la plupart des grandeurs physiques usuelles évoluent lentement, ces CAN trouvent un domaine d'application très large.

Cette technique repose sur la transformation qui fait correspondre à une amplitude de tension continue une impulsion rectangulaire de largeur (t_1-t_0) proportionnelle. Cette transformation est réalisée par un intégrateur et un comparateur. Le nombre d'impulsions élémentaires délivrées par une horloge, comptées pendant cet intervalle de temps (t_1-t_0) , fournira la valeur de la tension V_x à convertir. L'organisation du CAN à rampe (analogique) est donnée sur le schéma de la Figure 1.5.

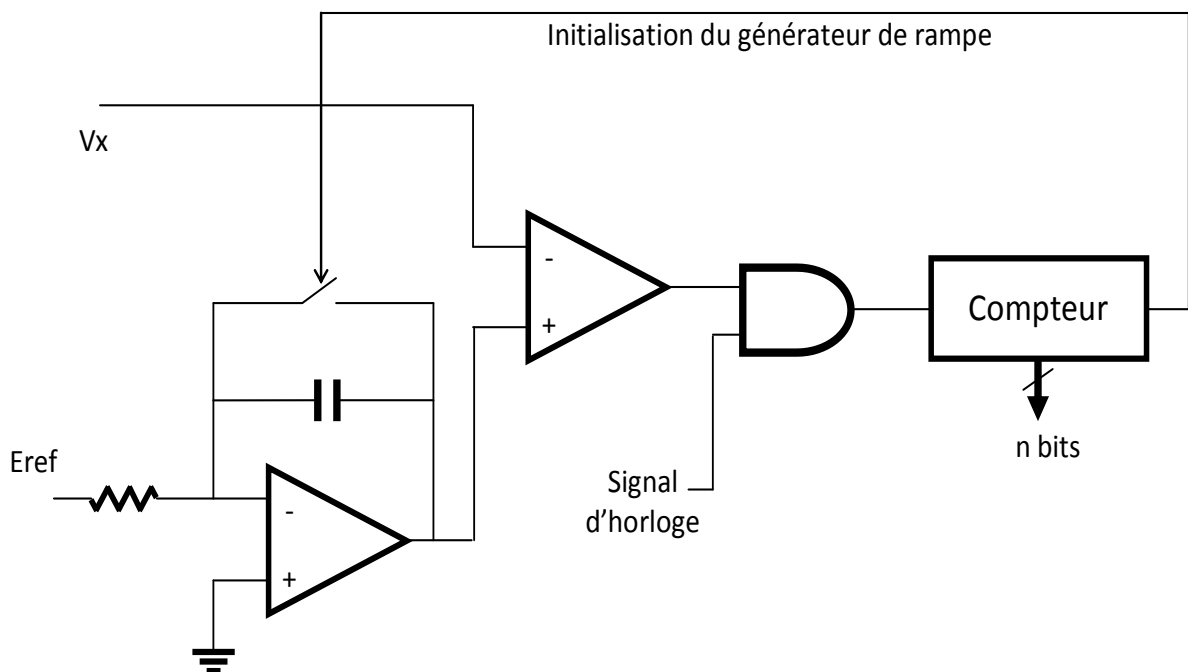


Figure 1.5. Conversion simple rampe.

Pour mieux comprendre le principe de fonctionnement, supposons que l'on ait à convertir une tension V_x supérieure à zéro Figure 1.6.

La rampe de tension fournie par un intégrateur est comparée directement à V_x . Cette rampe est générée au moment du déclenchement de la mesure, à l'instant t_0 ; en même temps, la

porte est ouverte pour laisser passer les impulsions d'horloge au compteur. A l'égalité des deux tensions ($V_s = V_x$), le comparateur bascule est ferme la porte. Le nombre d'impulsion N de période T compté pendant l'intervalle de temps $(t_1 - t_0)$ est directement proportionnel à V_x :

$$V_x = \frac{E_{ref}}{R.C} (t_1 - t_0) \text{ ou encore } V_x = \frac{E_{ref}}{R.C} \cdot T_0 \cdot N \quad (1.2)$$

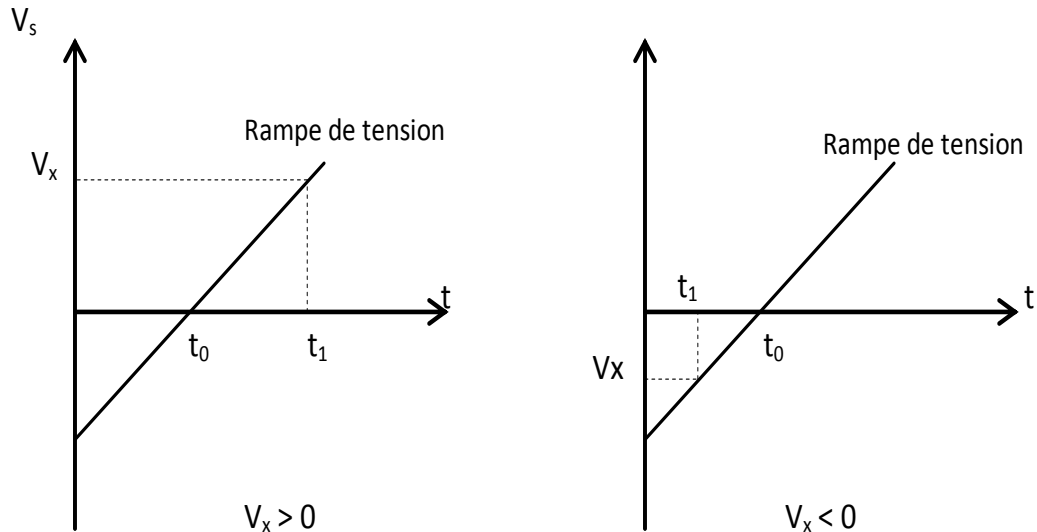


Figure 1.6. Comparaison entre la rampe de tension et la tension à convertir.

1.3.4. Convertisseur tension/fréquence

Il s'agit de convertir la tension V_x en un signal périodique de fréquence f proportionnelle à V_x puis de mesurer f en comptant le nombre de période dans un intervalle de temps. Dans le cas de la Figure 1.7, la tension analogique V_x est intégrée, ce qui donne à la sortie de l'intégrateur une tension en dent de scie $V_s(t)$ de pente proportionnelle à l'amplitude de V_x . Cette tension $V_s(t)$ est comparée par le comparateur C à un niveau de référence E_{ref} . Dès que $V_s(t) = E_{ref}$ est détectée, il y a simultanément l'émission d'une impulsion calibrée et la remise à zéro (raz) de l'intégrateur. Ce qui se traduit essentiellement par une décharge très rapide de la capacité C puis l'intégration reprend. Dans ces conditions, la fréquence d'émission est proportionnelle à l'amplitude de V_x .

Si T est la période du signal (V_o) obtenu, on a:

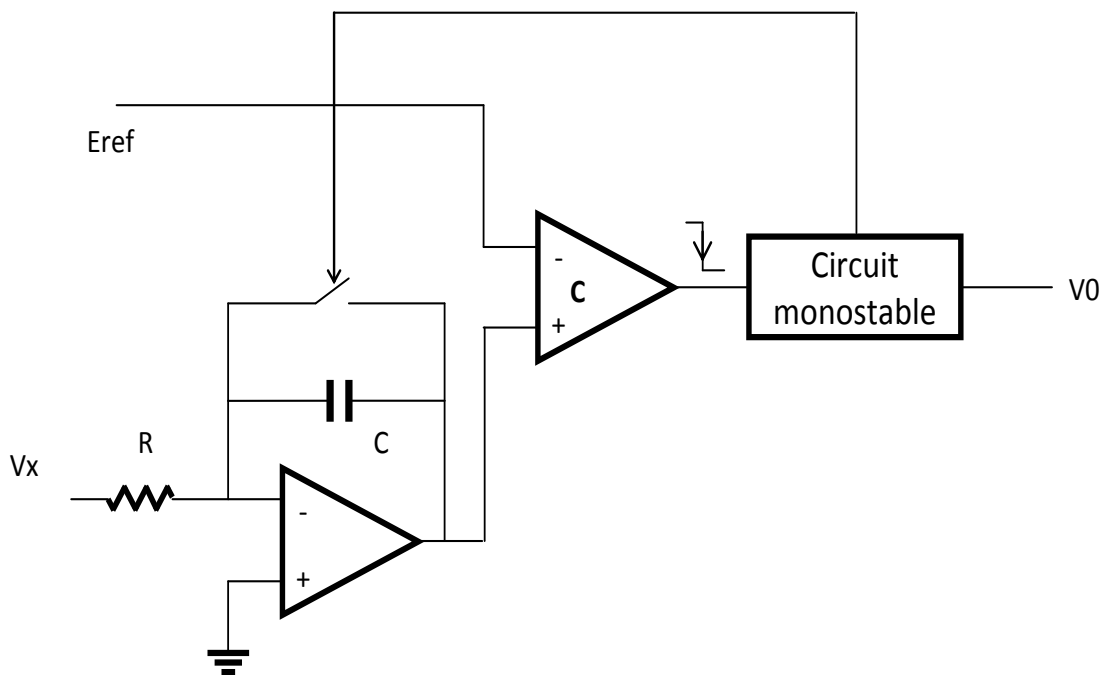
$$E_{ref} = \frac{1}{R.C} \cdot V_x \cdot T \quad (1.3)$$

$$V_x = R.C.E_{ref} \cdot F_0 \quad (1.4)$$

Un des avantages de cette technique est l'élimination des signaux alternatifs parasites superposés au signal à mesurer si le temps d'intégration est convenablement choisi.

Les signaux parasites sont intégrés et n'interviennent que par leur valeur moyenne, qui est nulle. On dit alors qu'il y a réjection du bruit.

La précision de ce convertisseur reste liée, comme pour le convertisseur à simple rampe, à la précision et à la stabilité de l'intégrateur, de la tension de référence et à la période d'horloge. Il est difficile de réaliser une horloge stable et précise.



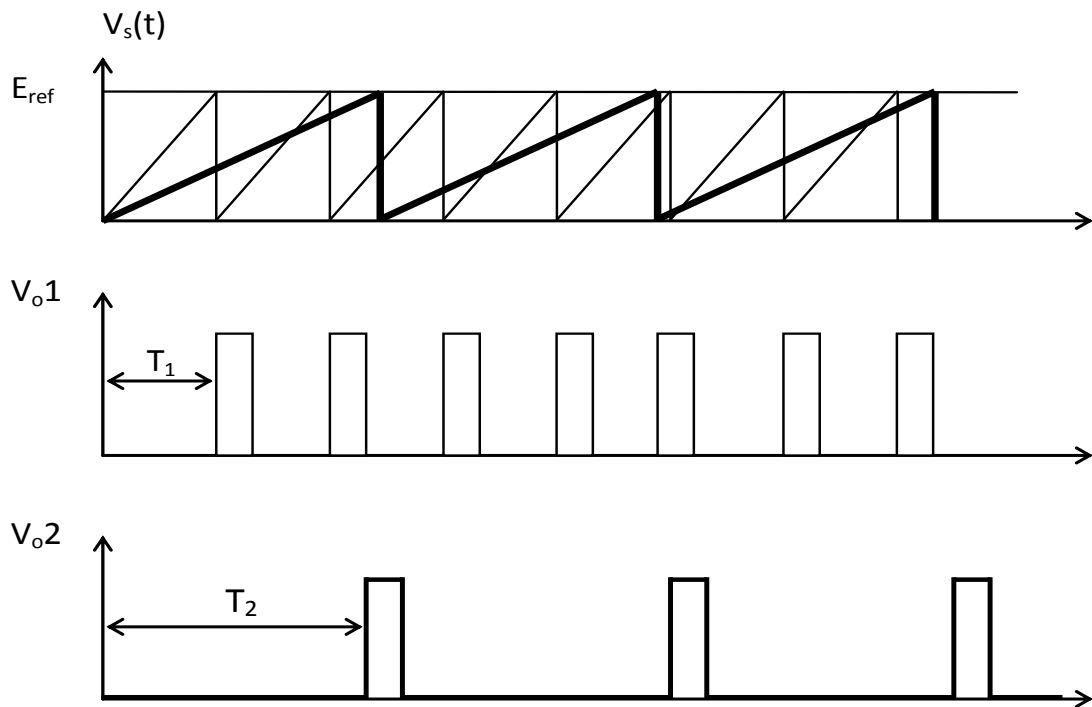


Figure 1.7. Convertisseur tension fréquence.

I.3.5. Convertisseur Pipeline

Le convertisseur Pipeline est un compromis entre les convertisseurs Flash et les convertisseurs SAR. En effet, comme nous l'avons noté précédemment, les CAN « Flash » sont constitués de 2^{N-1} comparateurs et les CAN « SAR » d'un seul comparateur. Contrairement aux architectures de convertisseurs précédents, les CAN « Pipeline » répartissent l'opération de conversion sur M étages. L'architecture de ce convertisseur est illustrée sur la Figure 1.2.

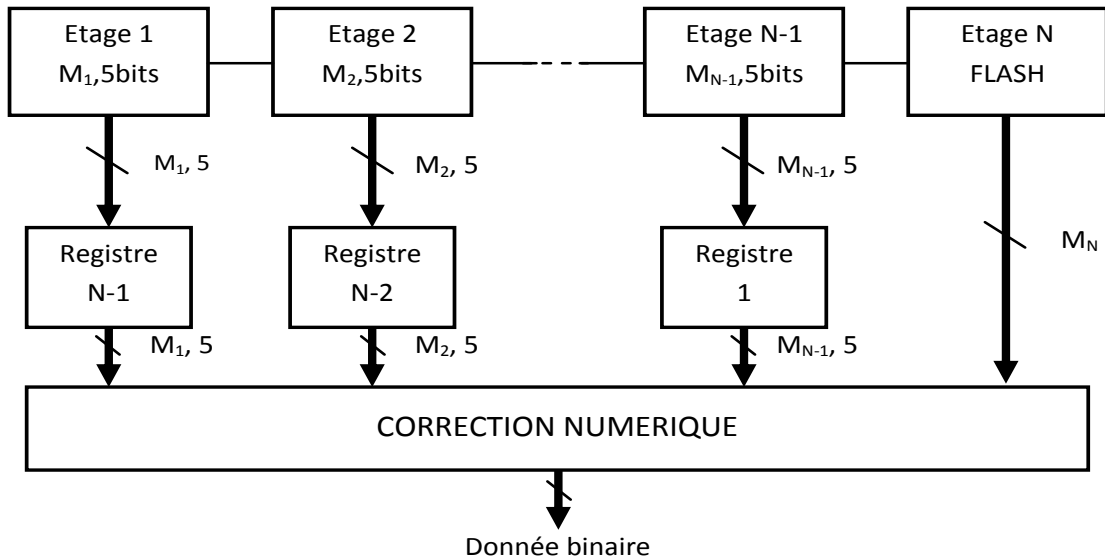


Figure 1.8. Architecture du convertisseur PIPELINE.

Chacun des M étages est un bloc de conversion élémentaire numérisant le signal présenté à son entrée et fournissant le signal d'erreur analogique amplifié à l'étage suivant. Ce dernier est appelé le résidu. L'architecture de chaque étage est présentée sur la Figure 1.9. Il est constitué d'un CAN Flash fournissant sur un nombre de bits réduit une partie de la donnée binaire. La deuxième partie de l'étage est constituée d'un « sommateur », d'un convertisseur N/A et d'un amplificateur permettant d'amplifier le signal d'erreur dans le but d'obtenir un signal à la pleine échelle pour l'étage suivant. Cette deuxième partie est généralement appelée MDAC (Multiplying DAC).

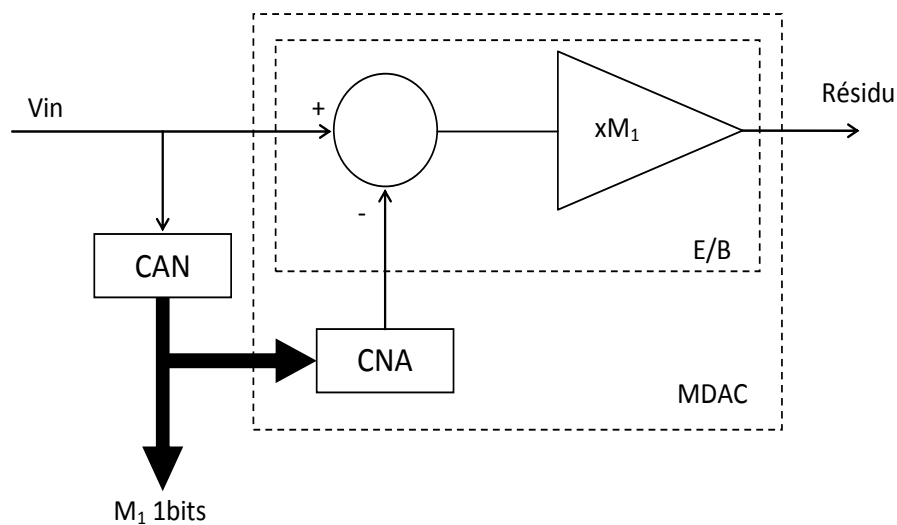


Figure 1.9. Architecture d'un MDAC.

La présence de registres à décalage permet de rendre cohérent et de synchroniser les données binaires en sortie. Le convertisseur de type Pipeline possède une architecture efficace en termes de résolution et de vitesse avec une consommation assez raisonnable et une taille réduite pour le circuit.

I.3.6. Convertisseur cyclique

Le convertisseur de type cyclique est un cas particulier du convertisseur Pipeline. L'architecture du CAN est présentée sur la Figure 1.10 ci-dessous.

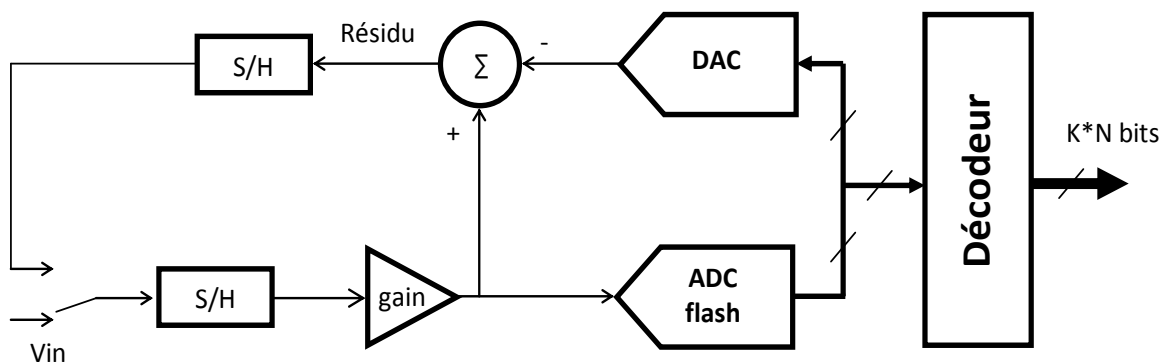


Figure 1.10. Architecture CAN cyclique.

L'opération de conversion est réalisée sur un seul étage. Le principe de fonctionnement d'un tel convertisseur est le même que celui d'un étage MDAC du CAN pipeline. La donnée binaire de sortie est valide au bout de N coups d'horloge dans le cas d'une résolution de N bits.

Le principal avantage d'un tel convertisseur est la surface occupée par le circuit : un seul étage MDAC. Par contre, sa fréquence d'échantillonnage est réduite du fait du système bouclé. Par comparaison au CAN Pipeline, sa consommation équivalente est plus élevée.

I.3.7. Architecture Sigma-Delta

L'architecture sigma-delta [7, 8] a une approche fondamentalement différente de celles que nous avons détaillées précédemment. Le convertisseur sigma-delta, dans sa forme la plus basique, est composé d'un intégrateur, un comparateur et un CNA à 1 bit comme le montre la Figure 1.11 [9].

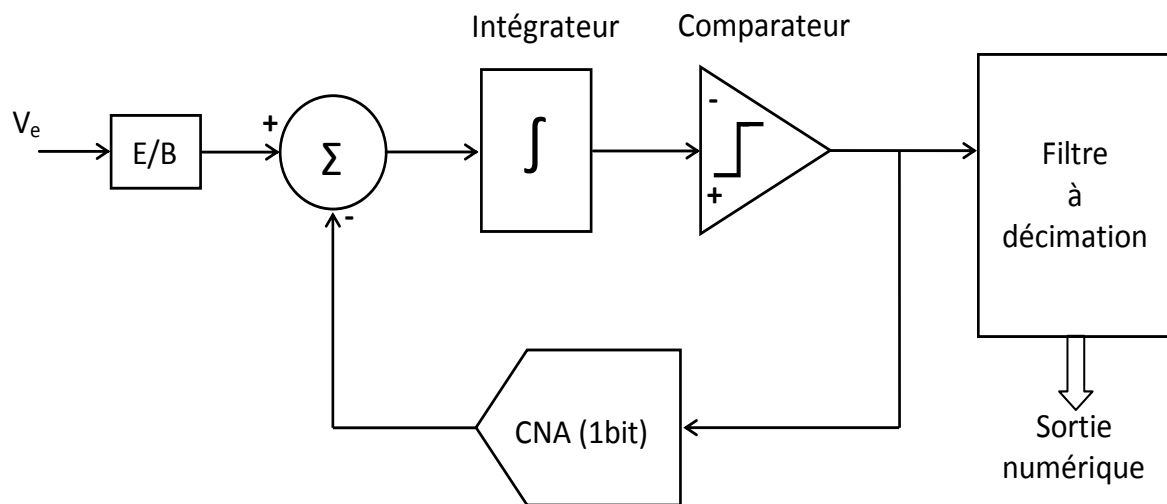


Figure 1.11. Architecture de CAN sigma-delta.

Le fonctionnement de cette architecture repose sur le principe du sur-échantillonnage. La sortie du CNA est soustraite du signal d'entrée V_e , cette différence est intégrée par un intégrateur et convertie, ensuite, en numérique (0 ou 1) par un comparateur. Ce résultat sera reconverti en signal analogique par un CNA à 1 bit, la sortie du CNA est soustraite du signal d'entrée, et ainsi de suite. Cette boucle fermée fonctionne à une fréquence très élevée par rapport à la fréquence du signal d'entrée (principe du sur-échantillonnage). La sortie du comparateur (ou CAN à 1bit) est une suite de « zéros » et de « uns », et la valeur du signal est proportionnelle à la densité des « uns » venant du comparateur. Cette chaîne est ensuite filtrée par un filtre à décimation pour trouver la forme binaire en sortie du CAN [9].

I.4. Bilan des convertisseurs analogiques-numériques

La description simplifiée des différents types de CAN existants permet d'avoir une idée de leurs propriétés intrinsèques. Ainsi, le tableau 1.1 effectue une comparaison qualitative de chacun des types de CAN [6].

Tableau 3.2 : Résumé sur les architectures de CAN

Architecture	Résolution	Vitesse de conversion	Avantages/inconvénients
Wilkinson	8 à 18 bits	≤ 100 kHz	<ul style="list-style-type: none"> ➤ Simplicité ➤ Résolution élevée ➤ Faible consommation ➤ Excellente réjection du bruit ⚡ Très faible vitesse d'échantillonnage ⚡ Dispersion pour le multi voies ⚡ Offset comparateur
Sigma-Delta	16 à 24 bits	≤ 5 MHz	<ul style="list-style-type: none"> ➤ Résolution la plus élevée ➤ Excellente linéarité ➤ Faible consommation ➤ Excellente réjection numérique du bruit ⚡ Vitesse d'échantillonnage limitée
SAR	8 à 16 bits	≤ 20 MHz	<ul style="list-style-type: none"> ➤ Résolution élevée ➤ Faible consommation ⚡ Vitesse d'échantillonnage limitée ⚡ CNA et comparateur : Principe difficultés
PIPELINE	8 à 16 bits	Entre 10 à 500 MHz	<ul style="list-style-type: none"> ➤ Très rapide (Pipeline) ➤ Correction numérique des erreurs ➤ Meilleur compromis vitesse/résolution ⚡ Latence des données au démarrage
FLASH	6 à 10 bits	Jusqu'à 20 GHz	<ul style="list-style-type: none"> ➤ Les plus rapides ⚡ Résolution limitée ⚡ Puce de dimension importante ⚡ Capacité d'entrée élevée ⚡ Consommation importante

Afin d'approfondir cette étude, une comparaison brute des performances des divers CAN est souhaitable. Cette comparaison doit prendre en compte l'aspect résolution et l'aspect fréquence d'échantillonnage pour permettre d'en extraire suivant l'application visée l'architecture la mieux adaptée. Le graphe de la Figure 1.12 [10] rassemble diverses architectures du commerce ou de laboratoires en fonction de la fréquence d'échantillonnage et du nombre de bits effectifs [11-27].

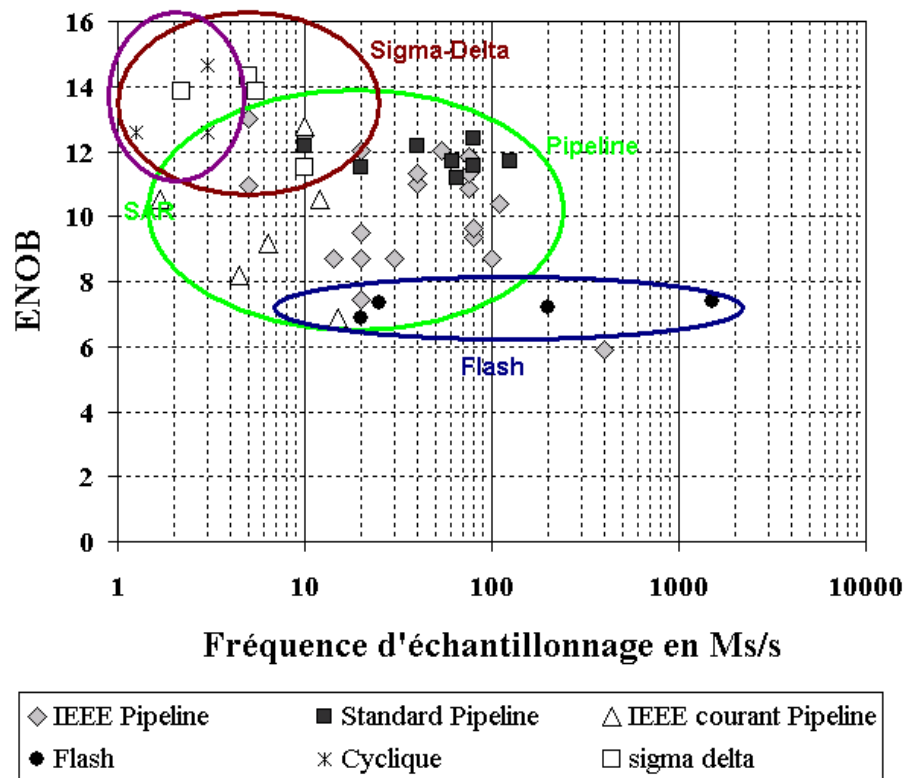


Figure 1.12. Comparaison bibliographique de différentes architectures de CAN.

Chapitre 2

Caractéristiques des convertisseurs analogiques numériques

II.1. Introduction

Le monde de la conversion analogique numérique de données est véritablement apparu avec le développement des télécommunications au début du 20^{ème} siècle. Cependant, il aura fallu attendre les années cinquante pour voir apparaître les premières offres commerciales de convertisseur analogique numérique (CAN). Cette commercialisation suivait de très près la première offre commerciale d'ordinateur digital en 1951. Le développement des CANs a dès lors suivi étroitement le développement de la micro informatique. Jusque dans les années quatre-vingt-dix les CANs sont devenus de plus en plus rapides, de moins en moins encombrants, de nouvelles architectures sont apparues, il est alors devenu possible de classer les architectures en fonction de leurs domaines d'application. A partir des années quatre-vingt-dix, la microélectronique, grâce au développement de l'informatique, a connu une évolution exceptionnelle en termes d'intégration. Il existe à présent des centaines de modèles commerciaux différents, classés selon leur résolution en bit, leur vitesse de conversion et leur consommation. La cause de cette abondance d'offres repose sur la place qu'occupent les CANs dans les systèmes électroniques actuels. Les CANs sont littéralement au cœur de tout système mixte, ils se doivent d'être les plus près possibles des besoins des systèmes dans lesquels ils sont implantés. Cette dernière décennie a vu une autre évolution. Le développement, pour un coût de production raisonnable, de véritables systèmes complets sur puces (appelé SoC pour System on Chip) regroupant sur un même substrat un élément sensible comme un capteur, des circuits analogiques de conditionnement du signal et des circuits numériques permettant un interfaçage avec un ordinateur voire même un traitement numérique direct avec un processeur implanté sur ce même substrat.

Afin de pouvoir évaluer de façon objective une architecture de CAN, il est nécessaire de définir les principaux critères qui caractérisent les CANs :

- La résolution du CAN en bit qui détermine le nombre de valeurs disponibles pour coder le signal d'entrée.
- Le nombre d'échantillons convertis par seconde qui définit la fréquence de conversion du CAN et donc son domaine d'application.
- La dynamique du signal analogique d'entrée convertible par le CAN qui détermine le pas minimum du convertisseur appelé bit de poids faible (LSB). Le LSB représente l'intervalle de valeur analogique comprise dans une valeur numérique (appelé aussi quantum).

II.2. Théorie de la conversion

Indépendamment de l'architecture du convertisseur analogique numérique (flash, pipeline, sigma delta ...), un ensemble de paramètres permettent de spécifier les caractéristiques fonctionnelles du convertisseur. Ces caractéristiques peuvent être classées en deux catégories. D'une part les erreurs systématiques dues à la conversion de signaux analogiques en signaux numériques qui sont présentes sur un CAN idéal (erreur de quantification), et d'autre part les erreurs dues aux imperfections et sources de bruit présentes sur un CAN réel.

Pour illustrer les différentes caractéristiques des convertisseurs, nous prendrons l'exemple simple d'un CAN 3 bits.

La fonction de transfert d'un CAN représente la sortie (en bits) en fonction du signal d'entrée. La fonction de transfert idéale d'un CAN 3 bits est présentée sur la Figure 2.1.

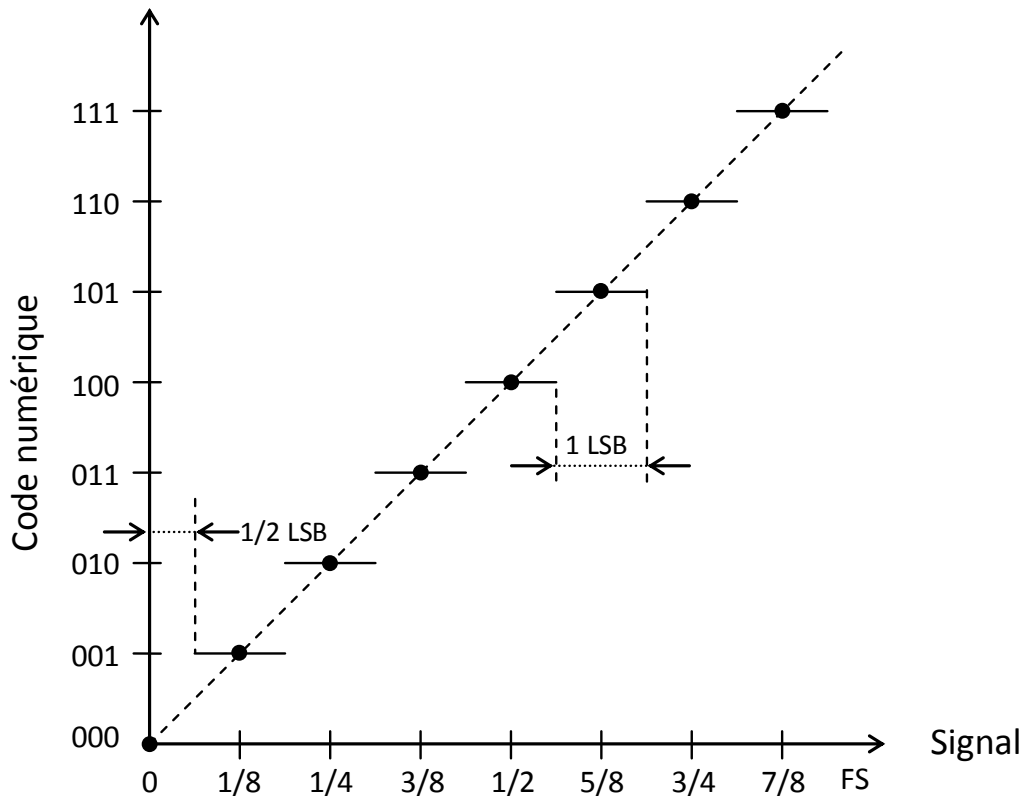


Figure 2.1. Fonction de transfert d'un CAN 3 bits.

Un CAN est cependant aussi défini par une liste d'erreurs caractérisant ses performances statiques et dynamiques.

II.2.1. Caractéristiques statiques des CANs [28]

En se basant sur la Figure 2.1, on peut définir la fonction de transfert d'un CAN comme étant égale à :

$$N = Y + XA \quad (2.1)$$

où N représente la valeur numérique de sortie du CAN, Y représente l'offset de la fonction de transfert du CAN et X le gain du CAN. Idéalement Y est égal à 0 et X est égal à 1. L'erreur d'offset représente donc la différence entre la valeur de Y et 0. L'erreur de gain représente la différence entre la valeur de X et 1. Ces types d'erreurs, si elles sont systématiques peuvent être corrigées par l'utilisateur. Ces deux erreurs sont présentées sur la Figure 2.2.

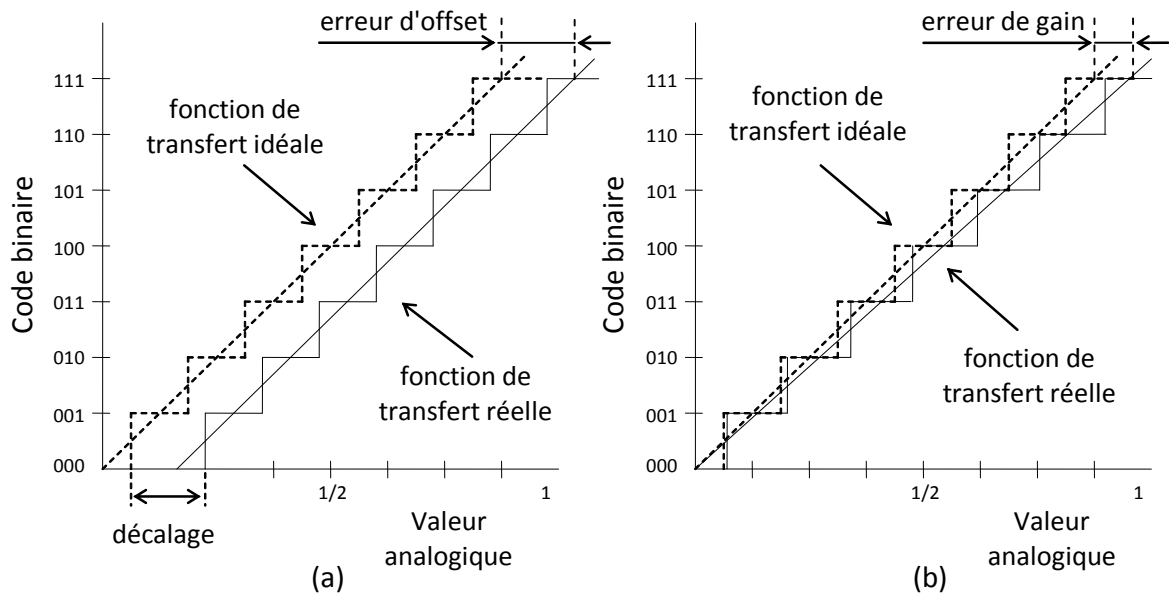


Figure 2.2. Erreur statique (a) Erreur d'offset (b) Erreur de gain.

L'erreur de non linéarité différentielle (DNL) est définie pour chaque code. Dans le cas d'une fonction de transfert idéale, chaque code de sortie est associé à un certain intervalle de valeur analogique, définissant le LSB. Cependant pour une caractéristique de transfert réelle il se peut que certaines valeurs numériques contiennent plus (ou moins) qu'un LSB. La DNL représente donc la différence entre le LSB et la largeur de chaque palier. Pour un CAN les valeurs minimum et maximum de la DNL sont souvent données. La DNL représente la précision de la conversion pour chaque bit.

Pour une caractéristique de transfert de CAN sans erreur d'offset ni erreur de gain, l'erreur de non linéarité intégrale (INL) peut être définie comme :

$$INL_n = \sum_{i=1}^n DNL_i \quad (2.2)$$

Pratiquement, l'INL peut être mesurée en calculant la différence entre le seuil de basculement idéal et le seuil de basculement réel de chaque code de la fonction de transfert d'un CAN. L'INL représente l'erreur de précision de conversion globale du CAN, alors que la DNL représente l'erreur de précision, code par code du CAN. Ces deux erreurs sont représentées sur la Figure 2.3.

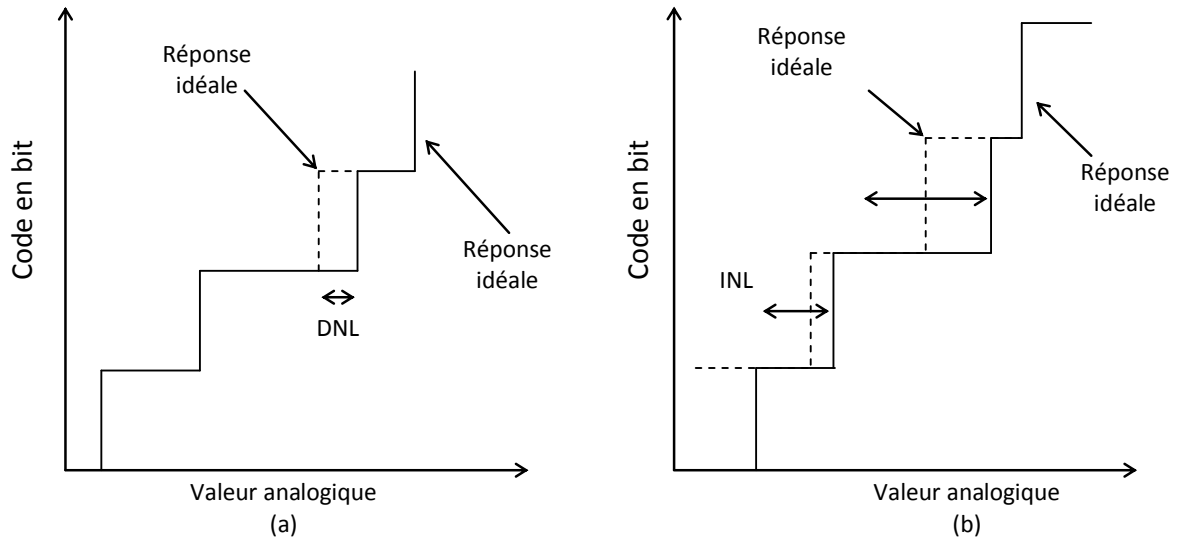


Figure 2.3. (a) Erreur de DNL (b) Erreur d'INL.

L'erreur de DNL peut entraîner un code manquant. Une erreur de monotonicité indique que lors de l'évolution de la fonction de transfert d'un CAN au lieu du code attendu, le CAN fournit un autre code (généralement plus petit). La Figure 2.4 montre les effets combinés d'un code manquant associé à une erreur de monotonicité.

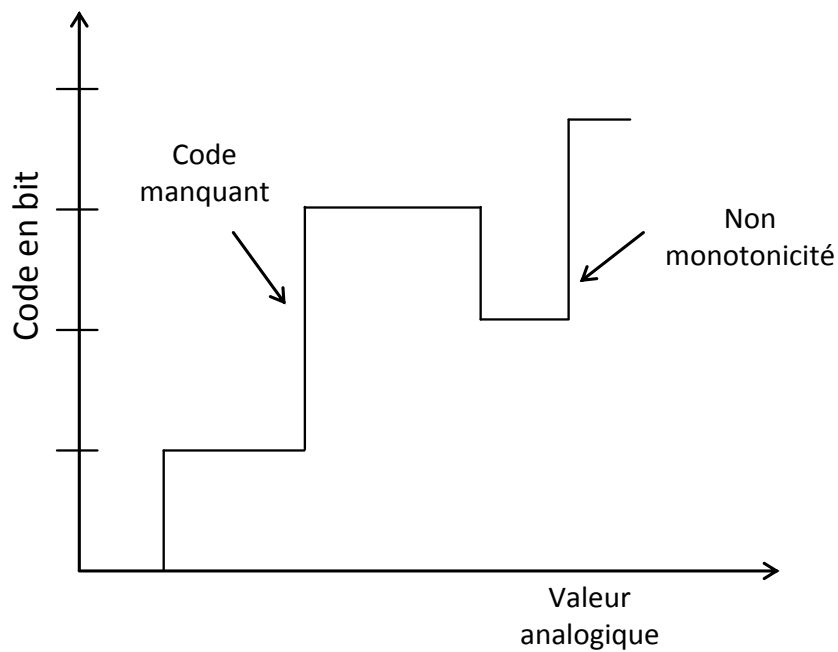


Figure 2.4. Erreur de monotonicité associée à des codes manquants.

Le passage d'un code à l'autre n'est dans la réalité jamais parfait. Il existe une zone de basculement durant laquelle le code de sortie oscille entre l'ancien code et la nouvelle valeur comme représenté sur la Figure 2.5.

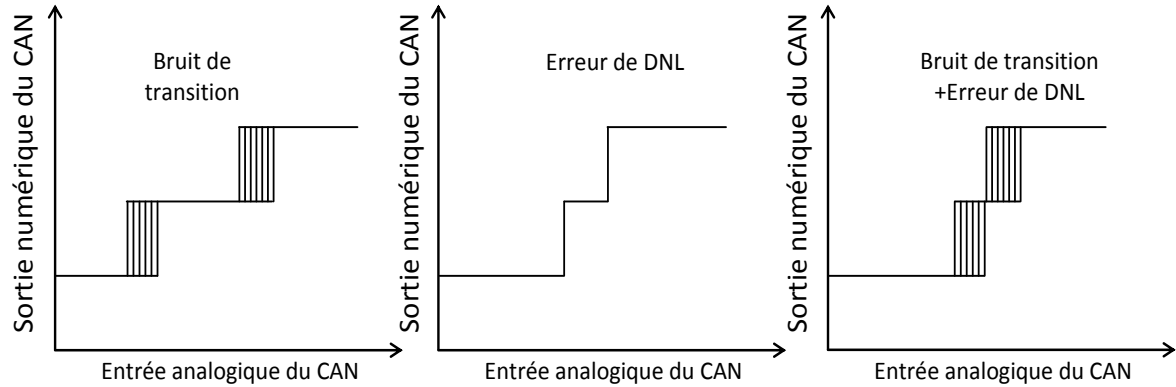


Figure 2.5. Effet combiné de l'erreur de transition et de la DNL.

Cette zone de basculement est appelée bruit de transition. Associé à la DNL, il se peut que pour certaines valeurs analogiques il n'y ait aucune zone où le CAN présentera systématiquement la même valeur en sortie, mais simplement des probabilités pour qu'un code apparaisse. Il est vital pour un CAN à faible résolution de présenter la combinaison de l'erreur de transition associée à la DNL afin de présenter les performances réelles du CAN.

A partir de l'erreur de transition associée à l'erreur de DNL il est possible de calculer l'erreur quadratique moyenne (MSE) pour la réponse d'un CAN. Cette dernière s'exprime comme :

$$MSE = \sqrt{(\text{code idéal})^2 - (\text{code mesuré})^2} \quad (2.3)$$

Le bruit de transition va mettre en relief la valeur maximum de l'erreur de conversion d'un CAN mais sans pour autant permettre de déterminer la fréquence de cette erreur. La MSE va permettre de restituer cette erreur par rapport à un ensemble de conversion et ainsi déterminer si cette erreur de conversion maximum est probable ou alors rare.

II.2.2. Théorie de traitement du signal

Un CAN est caractérisé par sa fréquence de conversion, cela induit donc que la conversion n'est pas une opération instantanée. Si le signal analogique varie pendant la conversion cela peut entraîner des erreurs de conversion. La formule suivante présente la relation entre le temps de conversion d'un CAN et la fréquence maximale d'un signal à convertir :

$$f_{max} = \frac{1}{2^{n+1}\pi\tau} \quad (2.4)$$

où f_{max} représente la fréquence maximale admissible, n le nombre de bits du CAN et τ la durée de la conversion.

Il peut être intéressant d'intégrer en amont du CAN un circuit échantillonneur bloqueur afin de présenter en entrée du CAN un signal stable sur toute la durée de la conversion.

II.2.3. Caractéristiques fonctionnelles des CANs [29]

II.2.3.1. Le convertisseur idéal

Pour un convertisseur N bits parfait la seule erreur existante est comprise entre $\pm \frac{1}{2} LSB$ (Least Significant Bit), soit un quantum (q). Cette dernière, appelée erreur de quantification peut être représentée par une fonction en dent de scie comme sur la Figure 2.6.

La dynamique maximale ou Pleine Échelle (PE) du convertisseur est divisée en intervalles délimités par les tensions de seuil V_T . A chaque valeur analogique à convertir est associé un code numérique de sortie qui correspond à la plus proche tension de seuil V_T inférieure à cette valeur analogique. Finalement, dans le cas le plus classique d'un codage binaire naturel sans loi de compression, la fonction de transfert d'un convertisseur est une fonction en marches d'escalier de la forme illustrée Figure 2.6 :

pas de quantification ou quantum, correspond à la plus petite différence de tension analogique entre deux codes successifs ; elle est souvent exprimée en terme de LSB. Dans le cas d'un CAN parfait sans loi de compression, le pas de quantification est constant pour tous les codes :

$$q = \frac{PE}{2^n} = 1 LSB \quad (2.5)$$

où n représente le nombre de bits du convertisseur.

La valeur de chaque tension V_{Ti} est exprimée à l'aide de l'équation suivante :

$$V_{Ti} = q \times (i - 0.5) \quad (2.6)$$

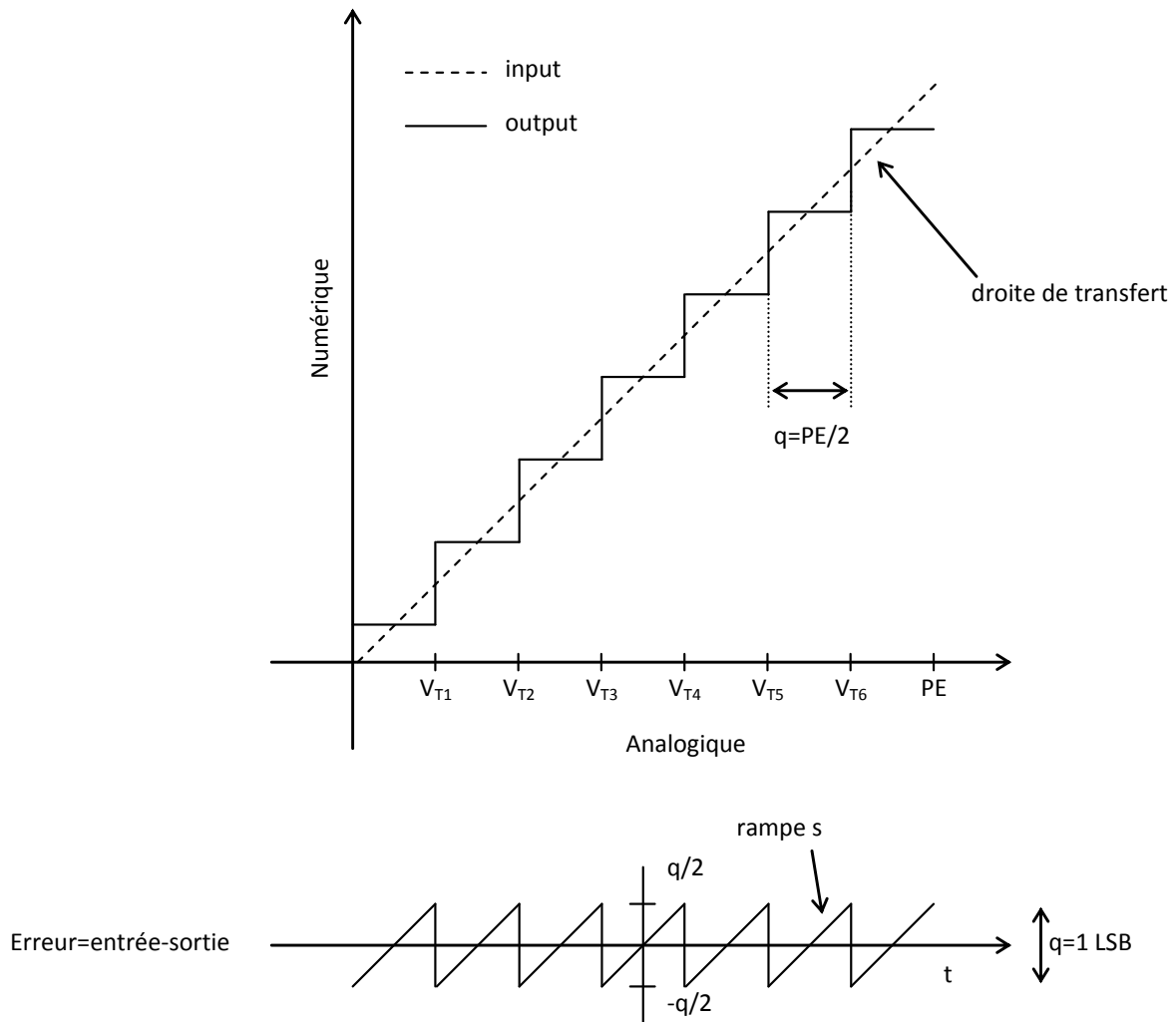


Figure 2.6. Représentation de la fonction de transfert idéale d'un CAN et de son erreur de quantification.

Nous pouvons observer sur la fonction de transfert qu'une plage entière de tension analogique comprise entre deux tensions de seuil successives est convertie en un code unique. Ceci constitue une perte d'information, appelée erreur de quantification. La Figure 2.6 donne l'évolution de cette erreur, exprimée en LSB, en fonction de la tension analogique appliquée en entrée du convertisseur.

A cette erreur de quantification, on associe un bruit de quantification qui est considéré comme une variable aléatoire uniformément répartie sur l'intervalle $[-q/2 ; q/2]$. Sa densité de probabilité F_q est donc constante sur cet intervalle Figure 2.7.

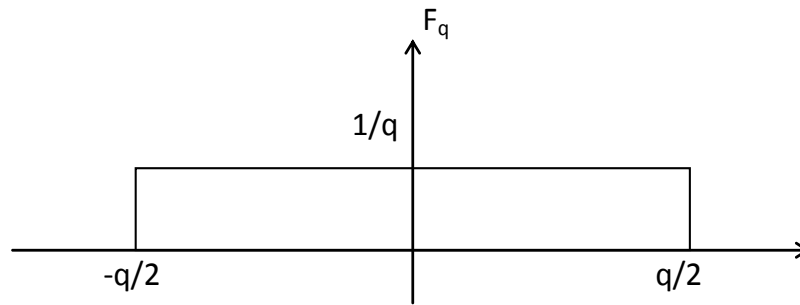


Figure 2.7. Bruit de quantification.

Nous pouvons en déduire la valeur efficace du bruit de quantification B_q :

$$B_q = \left(\int_{-\infty}^{\infty} x^2 F_q(x) dx \right)^{\frac{1}{2}} = \left(\frac{1}{q} \int_{-\frac{q}{2}}^{\frac{q}{2}} x^2 dx \right) = \frac{q}{\sqrt{12}} \quad (2.7)$$

Nous pouvons observer que cette erreur dépend directement du pas de quantification q et donc de la résolution du convertisseur.

Le rapport signal sur bruit (SNR pour Signal to Noise Ratio) représente le rapport entre la valeur efficace du signal à convertir et celle du bruit. Généralement, ce paramètre est défini pour un signal d'entrée sinusoïdal d'amplitude crête à crête égale à la pleine échelle du convertisseur. La valeur efficace A_{RMS} du signal d'entrée est donnée par l'expression [30]:

$$A_{RMS} = \frac{PE}{2\sqrt{2}} = \frac{2^{n-1}q}{\sqrt{2}} \quad (2.8)$$

Dans le cas d'un CAN parfait, le bruit étant dû uniquement à la quantification du signal d'entrée, nous pouvons en déduire l'expression suivante du rapport signal sur bruit exprimé en dB :

$$SNR_{dB} = 20 \log \left(\frac{A_{RMS}}{B_q} \right) = 20 \log \left(\frac{\frac{2^{n-1}q}{\sqrt{2}}}{\frac{q}{\sqrt{12}}} \right) = 20 \log \left(\sqrt{\frac{3}{2}} 2^n \right)$$

$$SNR_{dB} = 6.02.n + 1.76dB \quad (2.9)$$

Ainsi, nous pouvons observer que le rapport signal sur bruit d'un convertisseur analogique/numérique parfait dépend directement de son nombre de bit n .

La mesure du SNR peut se faire en effectuant une transformation de Fourier discrète (FFT) sur la réponse du CAN à un signal sinusoïdal ayant pour amplitude la dynamique maximum du CAN. Le SNR réel correspond à la différence entre l'amplitude de l'harmonique principale et le niveau moyen du bruit.

Il peut être intéressant de mesurer le rapport signal à bruit et distorsion (SINAD pour Signal to Noise And Distorsion ratio). En effet le SINAD permet de prendre en compte l'intégralité des bruits et distorsions de la réponse d'un CAN. Le SINAD est le ratio de la puissance de l'harmonique fondamentale de la sinusoïde sur la puissance résiduelle du signal une fois la sinusoïde soustraite.

$$SINAD = 10 \log \left(\frac{P_s}{P_B + P_D} \right) \quad (2.10)$$

où P_s est la puissance de l'harmonique fondamentale, P_B celle de toutes les composantes spectrales de bruits et P_D celle de toutes les composantes spectrales de distorsions.

Le SINAD permet alors de calculer le nombre effectif de bit du CAN (ENOB pour Effective Number Of Bit), il se définit par :

$$ENOB = \frac{SINAD - 1.76dB}{6.02} \quad (2.11)$$

Ces deux calculs d'erreur permettent d'avoir un aperçu complet des caractéristiques dynamiques d'un CAN.

II.2.3.2. Le convertisseur réel

Pour les convertisseurs analogiques/Numériques réels, il est nécessaire de définir d'autres paramètres fonctionnels. Dans ce qui suit, nous détaillerons les paramètres les plus couramment utilisés.

1. Erreur d'offset

Nous pouvons définir d'abord l'erreur d'offset, qui correspond, dans le cas d'un convertisseur réel, à un décalage identique de toutes les tensions de seuil. Elle est généralement exprimée en fraction de LSB.

Au niveau de la fonction de transfert, l'erreur d'offset correspond à une translation de l'ensemble de la caractéristique Figure 2.2.

2. Erreur de Gain

L'erreur de gain correspond à une variation identique de la largeur des différents paliers dont l'influence sur la fonction de transfert est représentée Figure 2.2. Cette erreur est équivalente à une variation de la pente de la droite de transfert idéale.

Généralement, l'erreur de gain est définie comme la différence, au niveau du dernier code, entre la droite de transfert idéale et la droite de transfert réelle.

3. Erreur de non linéarité différentielle et non linéarité Intégrale

Pour un CAN parfait, le pas de quantification q est constant pour l'ensemble des codes du convertisseur. En réalité, la largeur $q(i)$ de chaque palier i peut varier d'un code à l'autre. La Non-linéarité Différentielle (NLD) d'un code i représente la différence, exprimée en LSB, de la largeur du palier associé au code i par rapport à la valeur idéale de 1 LSB :

$$NLD(i) = \frac{q(i)-q}{q} \quad (2.12)$$

La Non-linéarité Intégrale (NLI) d'un code i représente la variation entre la courbe réelle et la droite de transfert idéale au niveau de ce code. Elle correspond, pour chaque code i , à la somme des non-linéarités différentielles des codes précédents :

$$NLI(i) = \sum_{j=1}^i NLD(j) \quad (2.13)$$

La Figure 2.8 illustre l'influence de ces deux types de non-linéarités sur la fonction de transfert du convertisseur.

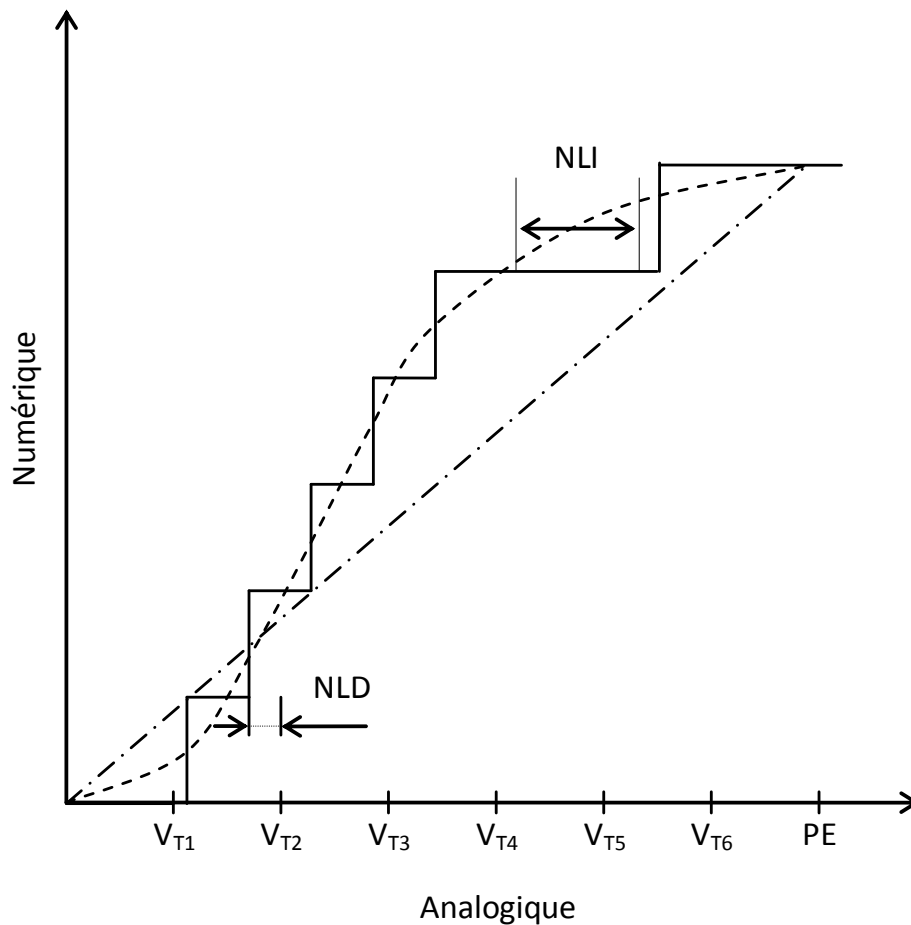


Figure 2.8. Non-linéarité différentielle et intégrale.

4. Erreur de code manquant

Une erreur de code manquant signifie qu'un code n'est jamais présent en sortie du convertisseur. Cette erreur est due à une erreur de non-linéarité trop importante. Nous pouvons remarquer qu'un convertisseur dont les non-linéarités différentielles sont comprises entre + 1 LSB et - 1 LSB ne peut pas comporter de code manquant.

5. Taux de distorsion harmonique

Dans le cas d'un signal d'entrée sinusoïdal pur de fréquence F_{in} , les non-linéarités du convertisseur engendrent des harmoniques de fréquence $k.F_{in}$ (k entier). Le Taux de Distorsion Harmonique (THD : Total Harmonic Distortion) permet d'évaluer l'importance de ces harmoniques. Il représente le rapport entre la somme des amplitudes H_k des harmoniques d'ordre k et l'amplitude A_{RMS} du signal d'entrée.

$$(THD)_{dB} = 20 \cdot \log \left(\frac{\sqrt{\sum_{k>1} H_k^2}}{A_{RMS}} \right) \quad (2.14)$$

6. Taux de distorsion par inter-modulation

Comme pour le THD, le taux de distorsion par inter modulation (IMD : Inter-Modulation-Distortion) est dû aux non-linéarités du convertisseur.

Il nous renseigne sur la présence de fréquences parasites engendrées par les non-linéarités du convertisseur à partir des fréquences du spectre du signal d'entrée. Généralement, le taux de distorsion par inter-modulation est évalué en appliquant un signal composé de deux sinusoïdes de fréquences F_1 et F_2 et de valeurs efficaces A_1 et A_2 . Il correspond au rapport entre la somme des valeurs efficaces des raies parasites, de fréquence $k_1.F_1 + k_2.F_2$ (k_1 et k_2 entiers) et de valeur efficace $IM_{k_1k_2}$, et l'amplitude du signal d'entrée.

$$(IMD)_{dB} = 10 \cdot \log \left(\frac{\sum_{k_1,k_2} IM_{k_1,k_2}^2}{A_1^2 + A_2^2} \right) \quad (2.15)$$

7. Rapport signal sur bruit avec distorsion

Le rapport signal sur bruit avec distorsion (SINAD : Signal to Noise And Distorsion) est défini comme le rapport entre la valeur efficace du signal d'entrée et la valeur efficace du bruit.

Dans le cas d'un convertisseur réel, le bruit n'est pas seulement dû au pas de quantification mais à l'ensemble des variations des paramètres fonctionnels (non-linéarités, le jitter...).

Le SINAD est donné par l'expression suivante, où B_{RMS} représente la valeur efficace du bruit (bruit de quantification compris) :

$$SINAD_{dB} = 20 \cdot \log \left(\frac{A_{RMS}}{B_{RMS}} \right) \quad (2.16)$$

Il permet de calculer le nombre de bits effectifs ENOB du convertisseur donné par l'expression (2.17), établie en considérant que le bruit total (quantification intrinsèque + distorsions) d'un convertisseur A/N réel est équivalent à une erreur de quantification.

$$ENOB = \frac{SINAD_{dB} - 1.76}{6.02} \quad (2.17)$$

8. Dynamique de codage

La dynamique de codage (SFDR : Spurious Free Dynamic Range) correspond à la différence entre l'amplitude A_{RMS} de la raie fondamentale et l'amplitude B_i de la plus forte raie parasite (harmoniques comprises). Le SFDR, exprimé en dB, est défini par l'expression suivante :

$$(SFDR)_{dB} = 20 \cdot \log \left(\frac{\max(B_i)}{A_{RMS}} \right) \quad (2.18)$$

9. Incertitude au point d'ouverture (jitter)

L'échantillonnage de l'entrée analogique peut ne pas avoir lieu exactement à l'instant désiré. Cette incertitude Δt_j sur l'instant d'échantillonnage, appelée couramment jitter, produit une erreur de conversion ΔV proportionnelle à la pente du signal comme illustré à la Figure 2.9.

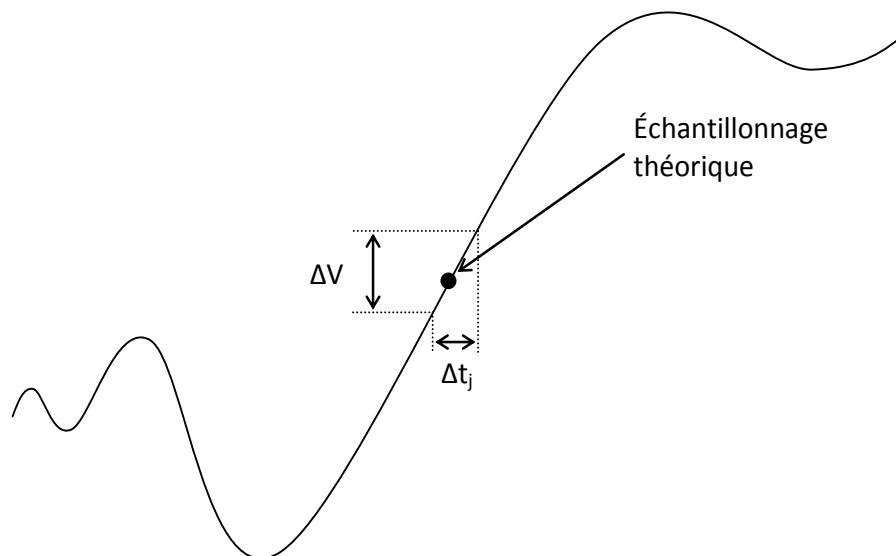


Figure 2.9. Incertitude au point d'ouverture (jitter).

$$\Delta V = \Delta t_j \frac{dV}{dt} \quad (2.19)$$

10. Bande passante

La bande passante d'un convertisseur représente le domaine de fréquence pour lequel le convertisseur a un gain qui reste constant. Classiquement, si on considère le signal analogique reconstitué à partir des codes de sortie du convertisseur, la bande passante du

convertisseur représente la plage de fréquence où l'atténuation du signal de sortie due au convertisseur est inférieure à 3dB.

Chapitre 3

Les modulateur Sigma Delta

III.1. Les convertisseurs analogiques numériques Nyquist rate

La conversion analogique-numérique est le processus de codage d'un signal analogique continu dans le temps et l'amplitude en un signal discret par rapport au temps et quantifié par rapport à l'amplitude. Il ya trois opérations fondamentales impliquées dans le processus de conversion Analogique/Numérique. Ceux-ci sont illustrés dans la Figure 3.1. Le signal d'entrée analogique $x(t)$, premièrement traverse un filtre passe-bas, éliminant les composantes de signal qui se trouvent au-dessus de la moitié de la fréquence d'échantillonnage de l'échantillonneur. Dans le cas contraire, à partir du théorème d'échantillonnage de Nyquist. Par la suite du filtre anti-repliement, le signal présent à bande limitée $x_a(t)$, est échantillonnée, donnant ainsi le signal discret dans le temps, $x_s(t)$, qui est toujours en continu en amplitude. Le signal analogique échantillonné est alors quantifié en amplitude en utilisant un quantificateur avant d'être codé par le signal de sortie numérique $y[n]$.

III.1.1. Échantillonnage

Dans le processus d'échantillonnage, un signal continu est échantillonné à des intervalles de temps espacés de manière uniforme T_s . Les échantillons $x[n]$ du signal continu $x(t)$ peut être exprimé comme:

$$x[n] = x(nT_s) \quad (3.1)$$

Le processus d'échantillonnage d'un signal en temps continu est illustré dans la Figure 3.2. Le signal $x(t)$ est multiplié par un peigne de Dirac ou distribution shah (d'après la lettre cyrillique Ш). La distribution shah est une série d'impulsions Dirac espacées T_s .

$$\mathcal{W}(t) = \sum_{n=-\infty}^{\infty} \delta(t - nT_s) \quad (3.2)$$

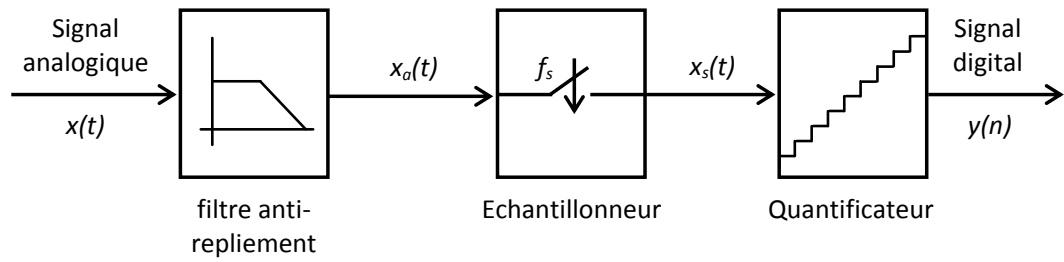


Figure 3.1. Les opérations fondamentales comprenant la conversion analogique-numérique.

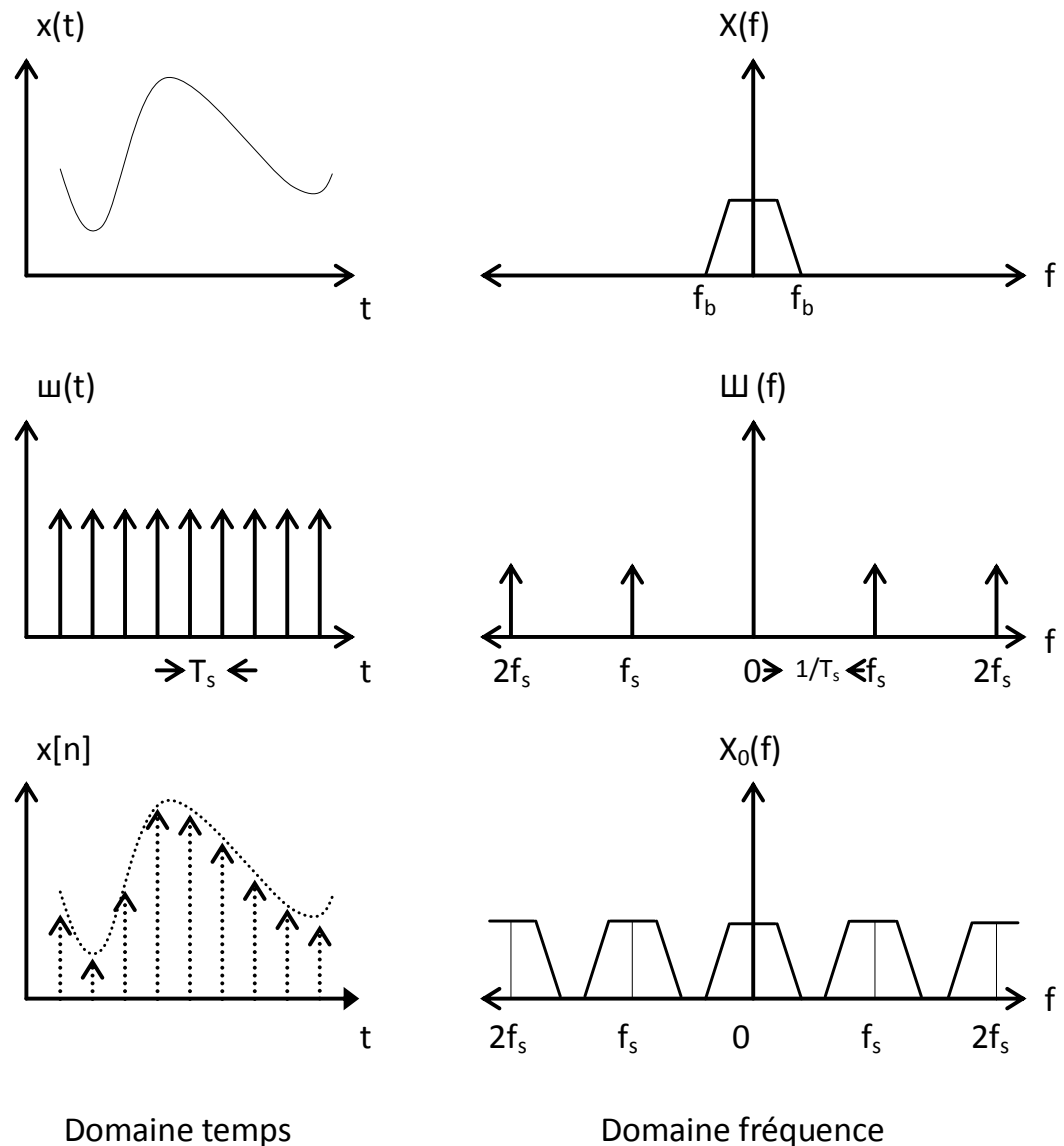


Figure 3.2. Processus d'échantillonnage d'un signal analogique. Sur le côté gauche, les signaux sont représentés dans le domaine temporel, vers la droite dans le domaine des fréquences.

L'effet, dans le domaine fréquentiel, de l'opération d'échantillonnage est de créer des versions répétées périodiquement du spectre du signal $X(f)$ à des multiples de la fréquence d'échantillonnage $f_s=1/T_s$. Le spectre du signal échantillonné, $X_s(f)$ est représenté dans la partie droite de la Figure 3.2. En générale, le signal $X_s(f)$ peut être reconstruit à sa forme continue $x(t)$ si les versions répétées du spectre du signal ne se chevauchent pas. En conséquence, le signal doit être à bande limitée à la moitié de la fréquence d'échantillonnage f_s . À son tour, un signal avec une bande passante f_b doit être échantillonné à une fréquence deux fois grande de sa bande passante, $f_s > 2f_b$. Ceci est connu comme le théorème d'échantillonnage de Nyquist-Shannon. Un fait important à noter est que l'échantillonnage est une opération linéaire. Par conséquent, les effets de l'amplitude d'échantillonnage peuvent être divisés en deux effets: l'effet de l'échantillonnage du signal d'origine, et l'effet du bruit d'échantillonnage superposé à l'entrée d'origine. Les convertisseurs dits à échantillonnage de Nyquist (*Nyquist Rate Converters*) échantillonnent des signaux analogiques qui ont des fréquences légèrement inférieures à la fréquence de Nyquist.

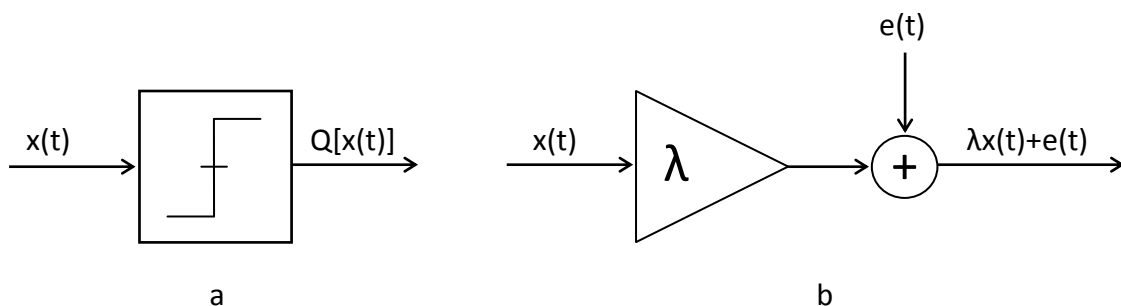


Figure 3.3. Quantificateur additif. a) Quantificateur 1-bit b) modèle de bruit comprenant la variation du gain.

III.1.2. Quantification

Une fois le signal échantillonné, les échantillons doivent être quantifiés en amplitude à un ensemble fini de valeurs de sortie. La quantification est le processus de conversion d'un signal analogique en un système numérique. Quantification introduit donc un signal d'erreur qui dépend de la façon dont le signal est approché. Contrairement à l'échantillonnage, la quantification d'un signal est une opération non réversible. Le processus de quantification dans la Figure 3.3.a où un quantificateur 1-bit transforme un signal analogique dans le

domaine numérique en arrondissant vers le haut ou vers le bas pour la valeur la plus proche. Un exemple de multi-niveau de quantification est représenté dans la Figure 3.4.a. Le pas de quantification q , d'un quantificateur b -bits est donnée par:

$$q = \frac{V_{ref}}{2^b} \quad (3.3)$$

où V_{ref} est un signal de référence. Figure 3.3.b représente un modèle pour une approximation de la quantification à 1 bit [31]. Le modèle inclut un gain invariant dans le temps λ car l'ajout de la puissance de quantification pour un signal d'entrée à puissance variable ne modélise pas le quantificateur 1-bit avec précision. Dans le cas du quantificateur 1-bit le gain peut prendre n'importe quelle valeur supérieure à zéro. Pour les quantificateurs multi-bits, le gain serait plus proche de l'unité. Supposant un gain unitaire, l'erreur de quantification est donnée par la différence entre l'entrée quantifiée, $Q[x(t)]$, et l'entrée idéale, $x(t)$:

$$\epsilon = Q[x(t)] - x(t) \quad (3.4)$$

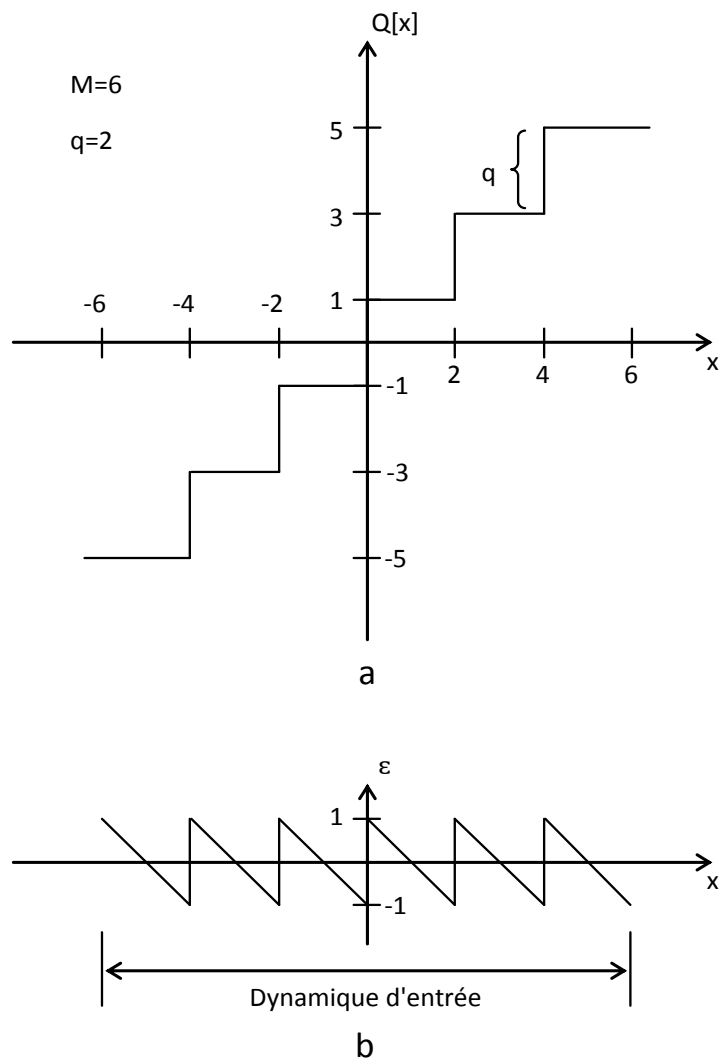


Figure 3.4. a) représente une quantification uniforme b-bits de niveau $M=6$, avec un pas de quantification $q=2$. Ici, l'entrée au quantificateur est un signal rampe. b) représente l'erreur introduite qui est le signal d'erreur en dents de scie.

L'erreur $\epsilon(t)$ constitue un signal en dents de scie périodique dans ce cas, comme il est montré dans la Figure 3.4.b. Le développement en série de Fourier de l'erreur de quantification $\epsilon(t)$ est donné par[31]:

$$\epsilon(t) = \frac{q}{\pi} \sum_{k=1}^{\infty} \left\{ \frac{1}{k} \sin \left[2\pi k \frac{x(t)}{q} \right] \right\} \quad (3.5)$$

Équation 3.5 montre que l'erreur de quantification $\epsilon(t)$ due à la quantification forme une série harmonique à modulation de phase sinusoidale. Ceci peut être vu lors de la réalisation

que l'argument de chaque terme sinus est une fonction linéaire de l'entrée $x(t)$. Par conséquent, la modulation phase conduit à la quantification de d'amplitude [32].

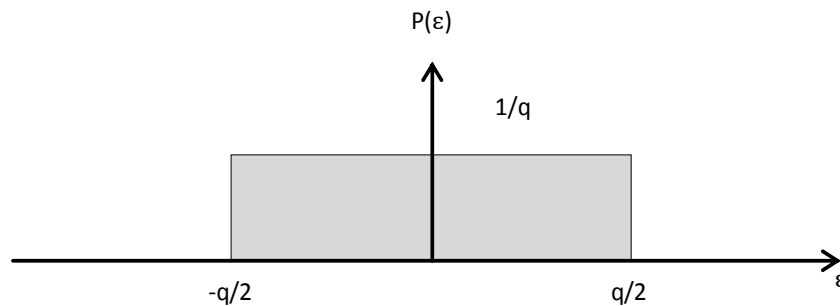


Figure 3.5. Répartition du bruit de quantification.

Le modèle de la Figure 3.3.b suppose que l'erreur de quantification est largement décorrélée échantillon à échantillon et a une probabilité égale n'importe où dans la gamme $\pm q/2$ [33]. Cette propriété est illustrée dans la Figure 3.5. Dans l'hypothèse où l'erreur n'est pas corrélé au signal d'entrée et possède une distribution uniforme, la valeur totale de la puissance de bruit σ_ϵ^2 est donnée par [34]:

$$V_{Q_{rms}}^2 = \sigma_\epsilon^2 = \int_{-q/2}^{q/2} \epsilon^2 P(\epsilon) d\epsilon = \frac{1}{q} \int_{-q/2}^{q/2} \epsilon^2 d\epsilon = \frac{q^2}{12} \quad (3.6)$$

La valeur moyenne de l'erreur est nulle avec les hypothèses formulées. Comme la taille du niveau de quantification q est réduite de moitié pour chaque bit de quantification supplémentaire, l'équation 3.6 montre que la puissance du bruit diminue de 6 dB pour chaque bit supplémentaire. Pour une entrée sinusoïdale avec une amplitude crête-à-crête V_A , de $2^b q/2$, la valeur du signal RMS $V_{A_{rms}}$ est donnée par $\frac{2^b q}{2\sqrt{2}}$. Puis le rapport signal sur bruit peut être calculé:

$$\begin{aligned} SNR_{dB} &= 20 \log \left(\frac{V_{A_{rms}}}{A_{Q_{rms}}} \right) \\ &= 20 \log \left(\frac{\frac{2^b q}{2\sqrt{2}}}{\frac{q}{\sqrt{12}}} \right) = 20 \log \left(\sqrt{\frac{3}{2}} 2^b \right) \\ &= 6.02b + 1.76db \end{aligned} \quad (3.7)$$

L'équation 3.7 montre que le rapport signal sur bruit d'un système de quantification augmente de 6 dB si un bit supplémentaire est ajouté. Il est souvent utile d'exprimer l'équation 3.6 comme une densité de puissance de bruit totale par unité de largeur de bande [33], $\sigma_\epsilon^2(f)$:

$$\sigma_\epsilon^2(f) = \frac{q^2}{12f_{bw}} = \frac{q^2}{6F_s} \quad (3.8)$$

Où f_{bw} est la largeur de bande de bruit de quantification et F_s est la fréquence d'échantillonnage. Depuis le rapport signal-sur-bruit est calculé sur une largeur de bande égale à la moitié de la fréquence d'échantillonnage, nous avons $f_{bw}=1/2F_s$. Ainsi, pour les systèmes qui utilisent l'échantillonnage de Nyquist le rapport signal sur bruit en tant que densité peut s'écrire sous la forme:

$$SNR = 2^{b-1} \sqrt{3F_s} \quad (3.9)$$

Ensuite, le SNR pour un système avec une bande passante égale à f_{bw} est obtenu en divisant l'équation 3.9 par $\sqrt{f_{bw}}$ pour donner:

$$SNR = 2^{b-1} \frac{\sqrt{3F_s}}{\sqrt{f_{bw}}} \quad (3.10)$$

L'équation 3.10 est utile pour les calculs de la plage dynamique des systèmes qui n'utilisent pas d'échantillonnage de Nyquist. Comme on le verra, une petite augmentation du rapport $\frac{F_s}{f_{bw}}$ réduit la densité du bruit de quantification, ce qui augmente le SNR. En résumé, si la résolution d'un convertisseur A/N est limitée par le bruit de quantification, puis ses augmentations de gamme dynamique d'environ 6 dB à chaque bit supplémentaire de la résolution N. On peut noter que dans les applications pratiques parfois le bruit du circuit, bruit thermique, ou d'autres non-linéarités détermine la résolution finale du convertisseur A/D.

III.1.3. Limitations des convertisseurs à échantillonnage de Nyquist

Un facteur limitant majeur des architectures des convertisseurs à échantillonnage de Nyquist est que certaines opérations telles que la comparaison, l'amplification ou la soustraction, doivent être effectuées à la précision globale du convertisseur [35]. Cela se traduit

généralement par la nécessité de l'appairage des composants précis à moins de calibrage spécial, correction d'erreurs, ou d'autres techniques utilisées. Un bon filtre anti-repliement doit également précéder tout convertisseur A/N à échantillonnage de Nyquist. Ce filtre de limitation de bande rejette des composantes de fréquence du signal situé au-dessus de la moitié de la fréquence d'échantillonnage afin d'éviter toute distorsion ou chevauchement. Ces filtres anti-repliement sont souvent assez difficile à concevoir pour permettre une large bande passante [33]. En outre, il est encore assez difficile à réaliser des filtres analogiques précis à ordre élevé dans une technologie VLSI sans recourir à des circuits actifs.

III.2. Les convertisseurs analogiques-numériques à sur échantillonnages

Les exigences sur les convertisseurs A/N et leurs précisions requises peut être relâchées en exploitant la vitesse ou le sur échantillonnage [31]. L'utilisation du sur échantillonnage est avantageux car il atténue les problèmes mentionnés pour les convertisseurs à échantillonnage de Nyquist. La Figure 3.6 montre comment le sur échantillonnage permet de réduire les exigences d'un filtre anti-repliement. Le spectre du signal d'entrée est représenté dans la Figure 3.6.a comme ayant une largeur de bande d'intérêt de 22 kHz. Comme la fréquence d'échantillonnage est de 48 kHz, rien au-dessus de 24 kHz ne sera chevauché à la bande d'intérêt. Ainsi, un bon filtre anti-repliement est nécessaire. Avec un tel filtre le signal échantillonné présente le spectre comme le montre la Figure 3.6.b. Lorsque le sur échantillonnage du signal d'entrée du filtre anti-repliement peut être assouplie. Ceci est illustré dans la Figure 3.6.c et d. Il est maintenant suffisant pour le filtre d'atténuer les signaux ci-dessus 72 kHz sans polluer la bande d'intérêt avec des composantes parasites. La Figure 3.6.d montre que la bande d'intérêt ne contient pas de repliement comme le sur échantillonnage a été utilisé. En plus de réduire les exigences en matière de repliement, le principal avantage du sur échantillonnage est qu'il diminue la puissance du bruit de quantification introduit dans la bande d'intérêt. C'est parce que l'erreur de quantification est étalée sur une bande de fréquence plus large. En conséquence, la densité d'erreur est diminuée et la résolution effective est augmentée [36]. Ceci est illustré dans la Figure 3.7. La Figure 3.7.a montre la puissance du bruit de quantification pour un convertisseur à échantillonnage de Nyquist. Cependant, dans la Figure 3.7.b un facteur de sur échantillonnage de 4 réduit la puissance du bruit de quantification dans la bande d'intérêt par un facteur de 4. Seule une fraction relativement faible de la puissance totale de bruit se

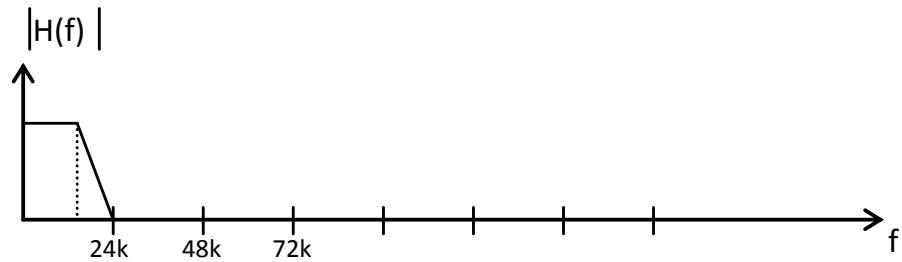
situé dans la bande d'intérêt et le bruit en dehors de la bande passante peut être fortement atténué par des moyens de filtrage numérique. En général, pour chaque doublement de la fréquence d'échantillonnage F_s , 1/2 bit d'augmentation de la résolution est obtenue [37]. Le rapport signal sur bruit est alors donnée par:

$$SNR = 2^{b-1} \sqrt{3} \sqrt{R} \quad (3.11)$$

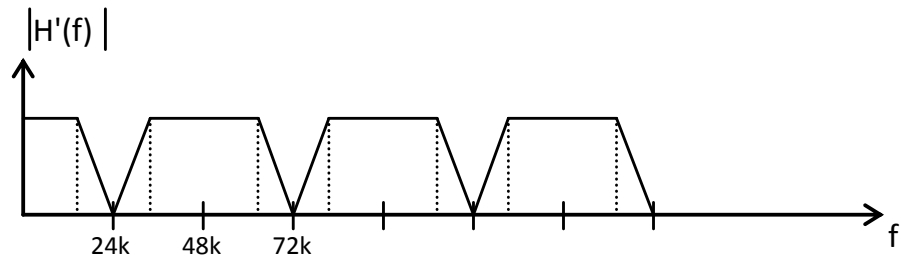
où le rapport de sur échantillonnage R , est défini comme étant $R = \frac{F_s}{2f_{bw}}$. La conversion en décibels donne:

$$SNR_{dB} = 6.02b - 1.25 + 10\log(R) \quad (3.12)$$

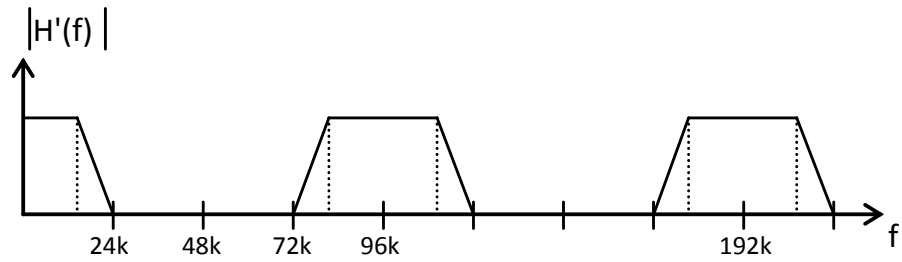
Encore une fois, la puissance du bruit totale introduite en raison de quantification est exactement la même que dans le cas d'un convertisseur de fréquence de Nyquist, mais sa distribution de fréquence est différents en raison de l'augmentation de la fréquence d'échantillonnage.



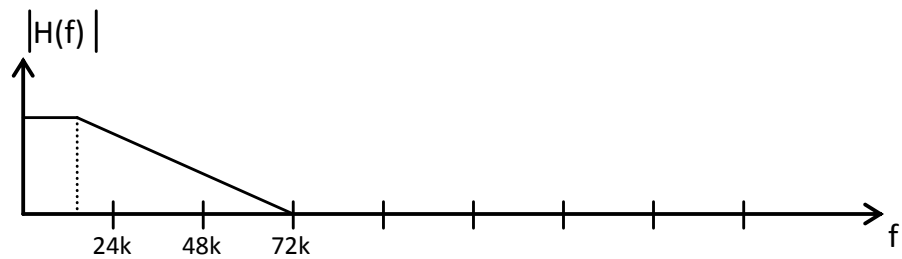
a. Réponse d'un filtre Anti-repliement pour convertisseurs à échantillonnage de Nyquist



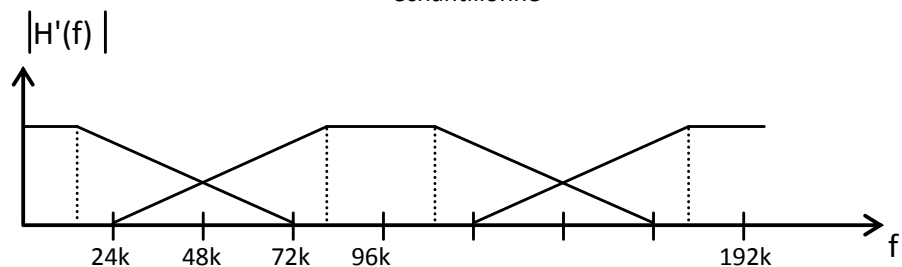
b. Spectre du signal échantillonné par $F_s=48kHz$



b. Spectre du signal échantillonné par $F_s=98kHz$



d. Réponse d'un filtre Anti-repliement pour convertisseurs 2^x sur échantillonné



b. Spectre du signal échantillonné par $F_s=98kHz$

Figure 3.6. Comparaison de repliement des convertisseurs à échantillonnage de Nyquist et sur échantillonnés.

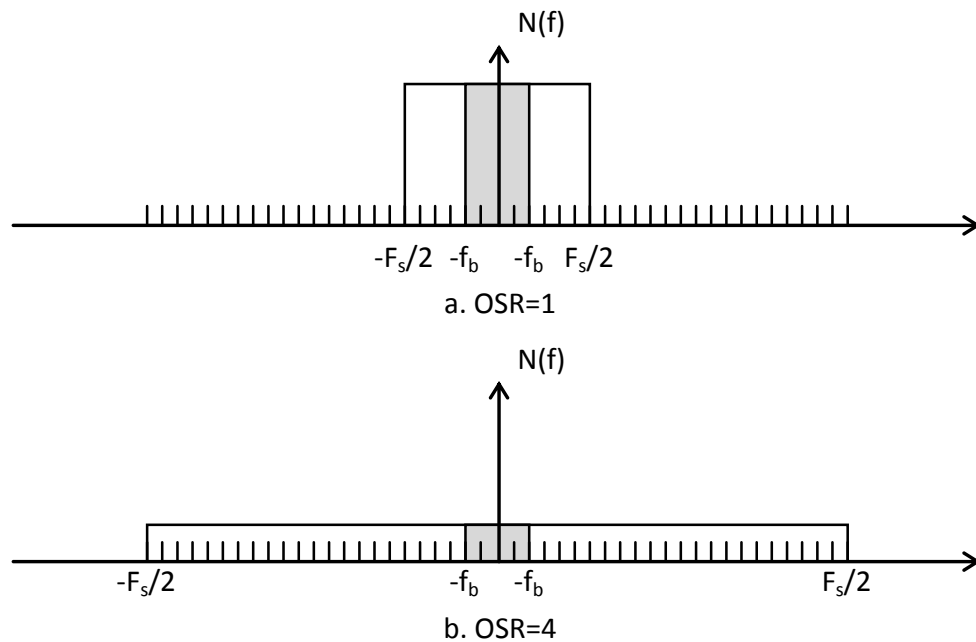
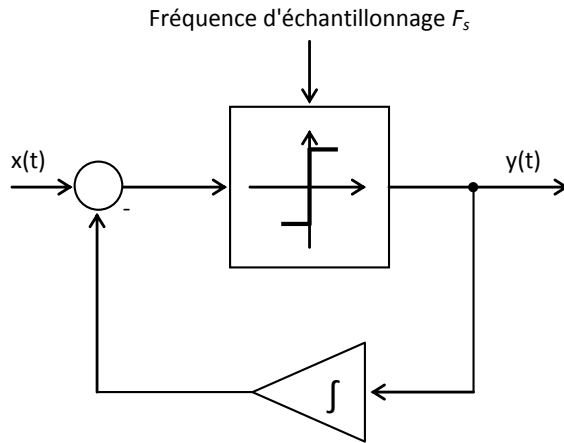


Figure 3.7. La puissance du bruit de quantification pour deux taux de sur échantillonnage.

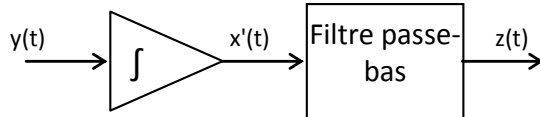
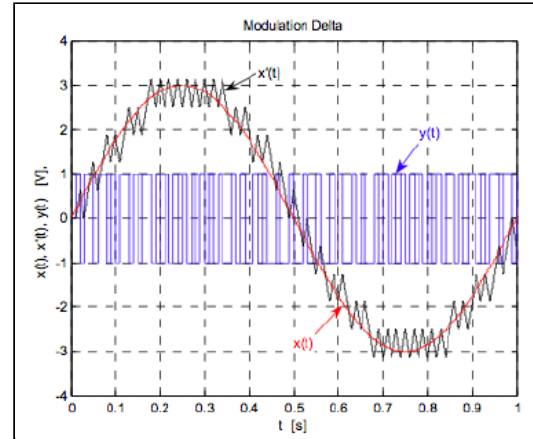
III.3. Principe de la modulation Delta

Considérons la structure de la modulation Delta pour le processus de conversion A/N. La Figure 3.8 montre le schéma fonctionnel du modulateur Delta et du démodulateur. La modulation Delta est basée sur la quantification de la variation du signal entre deux échantillons successifs plutôt que sur la valeur absolue du signal à chaque échantillon. La sortie de l'intégrateur situé dans la boucle de rétroaction doit suivre, autant que faire ce peut le signal d'entrée $x(t)$. L'intégrateur fonctionne comme un prédicteur. L'erreur de prévision, dans la période d'échantillonnage courante est quantifiée et utilisée pour la prochaine période d'échantillonnage.

Pour la démodulation l'erreur de prévision quantifiée (sortie du modulateur Delta) est, comme pour la boucle de contre-réaction, intégrée puis passée à travers un filtre passe-bas. Pour des signaux présentant des variations rapides (high slew rate), les modulateurs Delta n'arrivent plus à suivre le signal d'entrée. Il y a donc saturation.



Modulation



Démodulation

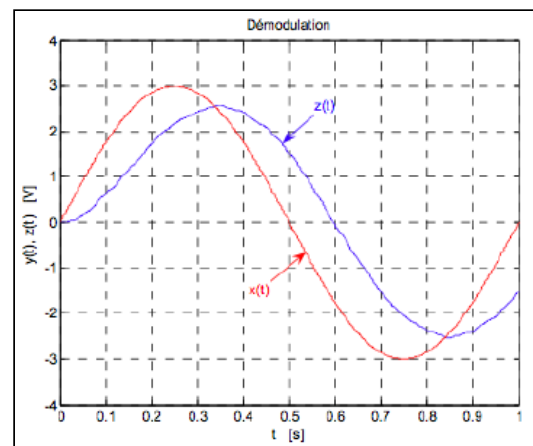


Figure 3.8. Modulation Delta et démodulation.

III.4. Modulation Sigma Delta

La modulation Delta nécessite deux intégrateurs pour le processus de modulation et la démodulation. L'intégration étant une opération linéaire, l'intégrateur utilisé pour la démodulation peut être ramené à l'entrée (avant le modulateur) sans altérer le bon fonctionnement du système.

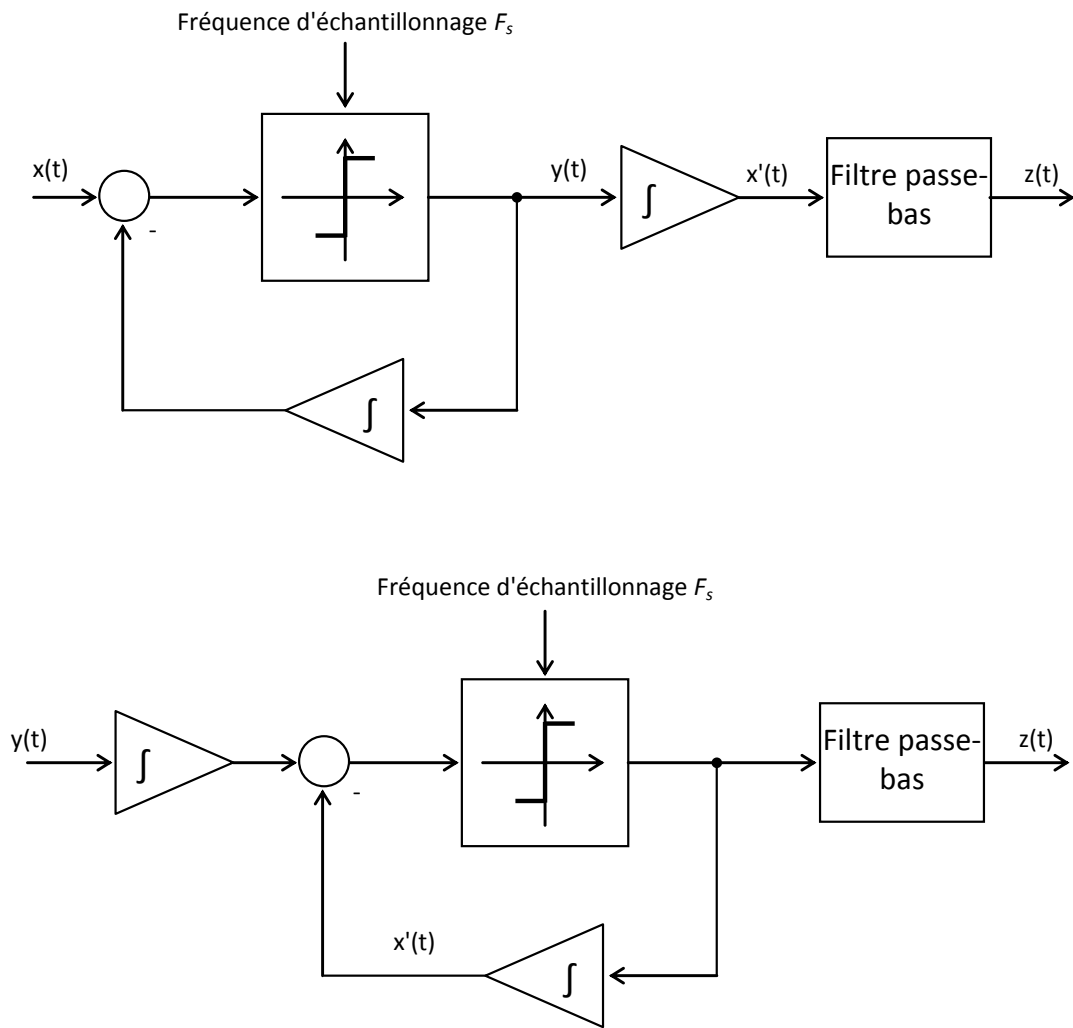


Figure 3.9. Modulation Delta et démodulation, déplacement de l'intégrateur.

On voit qu'il est possible de combiner les deux intégrateurs en un seul. Ce nouvel arrangement porte le nom de modulateur Sigma Delta.

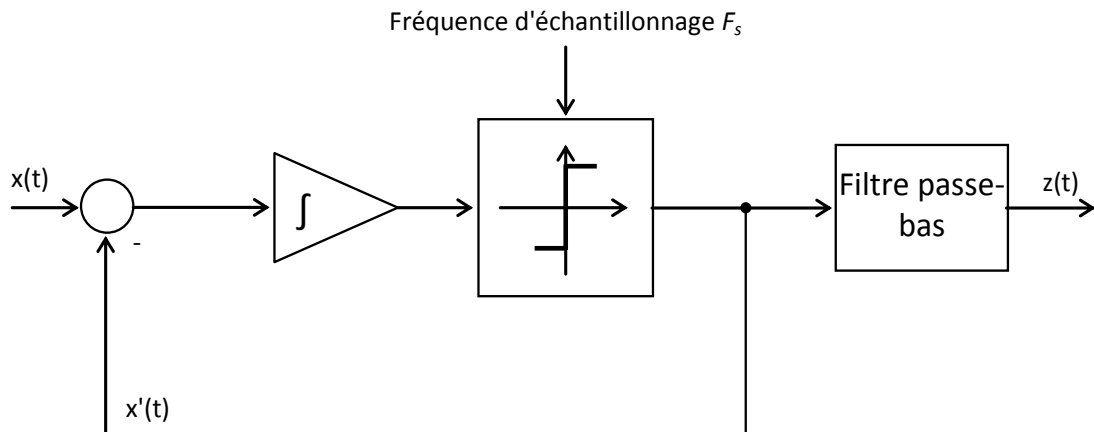


Figure 3.10. Modulateur Sigma Delta simplifié.

Le nom modulateur Sigma Delta vient de la position de l'intégrateur (sigma) à l'entrée de la boucle du modulateur Delta [38].

La caractéristique du bruit de quantification du modulateur Sigma Delta est dépendante de la fréquence contrairement au cas de la modulation Delta. Cette propriété convient aux applications de traitement du signal (telles que l'audio numérique, la mesure haute résolution, ...).

Comme pour les modulateurs Delta, les modulateurs Sigma Delta utilisent un comparateur. Cependant, à la différence des modulateurs Delta, les modulateurs Sigma Delta sont insensibles aux variations rapides du signal.

III.4.1. Modulateur Sigma Delta d'ordre un

Le schéma de principe d'un modulateur sigma delta d'ordre un est présenté sur la Figure 3.11. Il est composé d'un intégrateur, d'un convertisseur analogique numérique 1 bit (généralement modélisé par un comparateur) et d'un convertisseur numérique analogique.

Afin d'étudier les propriétés du modulateur et du signal de sortie, il faut utiliser la fonction de transfert en z équivalente. Le modulateur est modélisé par un filtre de fonction de transfert:

$$H(z) = \frac{z^{-1}}{1-z^{-1}} \quad (3.13)$$

et par une source de bruit qui représente le bruit de quantification. Ce dernier est supposé décorrélé du signal d'entrée.

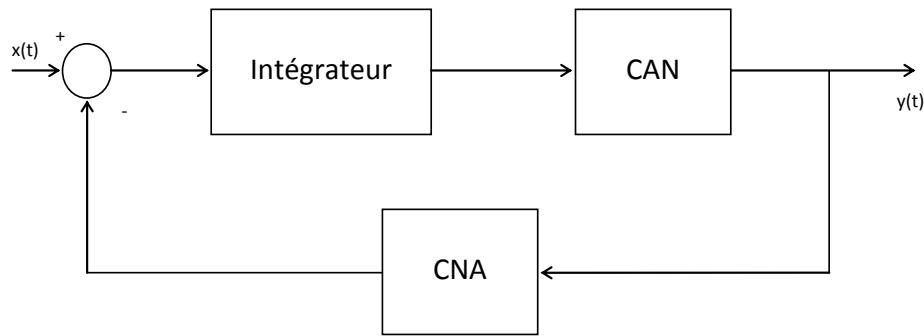


Figure 3.11. Modèle du modulateur Sigma Delta d'ordre un.

Du modèle précédent, on déduit:

$$Y(z) = (X(z) - Y(z))H(z) + E(z) \quad (3.14)$$

D'où:

$$Y(z) = z^{-1}X(z) + (1 - z^{-1})E(z) \quad (3.15)$$

Nous constatons que la fonction de transfert n'est pas la même pour le signal et pour le bruit. La fonction de transfert du signal présente un gain unitaire dans la bande passante alors que la fonction de transfert en z du bruit présente un gain presque nul en basse fréquence [10].

Soit $FTS(z)$ la fonction de transfert du filtre du signal et $FTB(z)$ la fonction de transfert du filtre du bruit, leurs expressions sont déduites à partir de l'équation (3.14):

$$FTS(z) = z^{-1} \quad (3.16)$$

$$FTB(z) = 1 - z^{-1} \quad (3.17)$$

Nous pouvons remarquer que le signal est simplement retardé alors que le bruit est filtré par un filtre d'ordre un.

Soit, DSP_{qF} la densité spectrale du bruit de quantification filtré, son expression est donnée par:

$$DSP_{qF}(f) = |FTS(f)|^2 DSP_q(f) \quad (3.18)$$

avec $z = e^{j2\pi\frac{f}{f_e}}$

D'où:

$$DSP_{qF}(f) = \left| 1 - e^{j2\pi\frac{f}{f_e}} \right|^2 DSP_q(f) \quad (3.19)$$

$$DSP_{qF}(f) = 4\sin^2\left(\frac{fT_e}{2}\right) DSP_q(f) \quad (3.20)$$

Sachant que:

$$DSP_q(f) = \frac{\Delta^2}{12F_s} \quad (3.21)$$

De l'équation (3.20) et (3.21)

$$DSP_{qF}(f) = 4\sin^2\left(\frac{2\pi fT_e}{2}\right) \frac{\Delta^2}{12f_e} \quad (3.22)$$

D'où:

$$DSP_{qF}(f) = \frac{\Delta^2}{3f_e} \sin^2\left(\frac{\pi f}{f_e}\right) \quad (3.22)$$

La densité spectrale du bruit de quantification filtré n'est plus uniforme mais elle est repoussée vers les hautes fréquences Figure 3.12.

Ainsi le bruit de quantification est mis en forme par le modulateur sigma delta et sa puissance est diminuée dans les basses fréquences par rapport à un simple sur échantillonnage.

Dans l'hypothèse où $\sin(x) \sim x$, soit $x \neq 0$ (cela est vrai dans le cas où $f_e \gg B$, soit $OSR=f_e/2B \gg 1$, avec B bande utile du signal d'entrée). La puissance du bruit de quantification filtré dans la bande utile B est donnée par:

$$P_{qF} = \int_{-B}^B DSP_{qF}(f) df = \frac{\Delta^2 \pi^2}{12 \cdot 3} \left(\frac{1}{OSR}\right)^3 \quad (3.23)$$

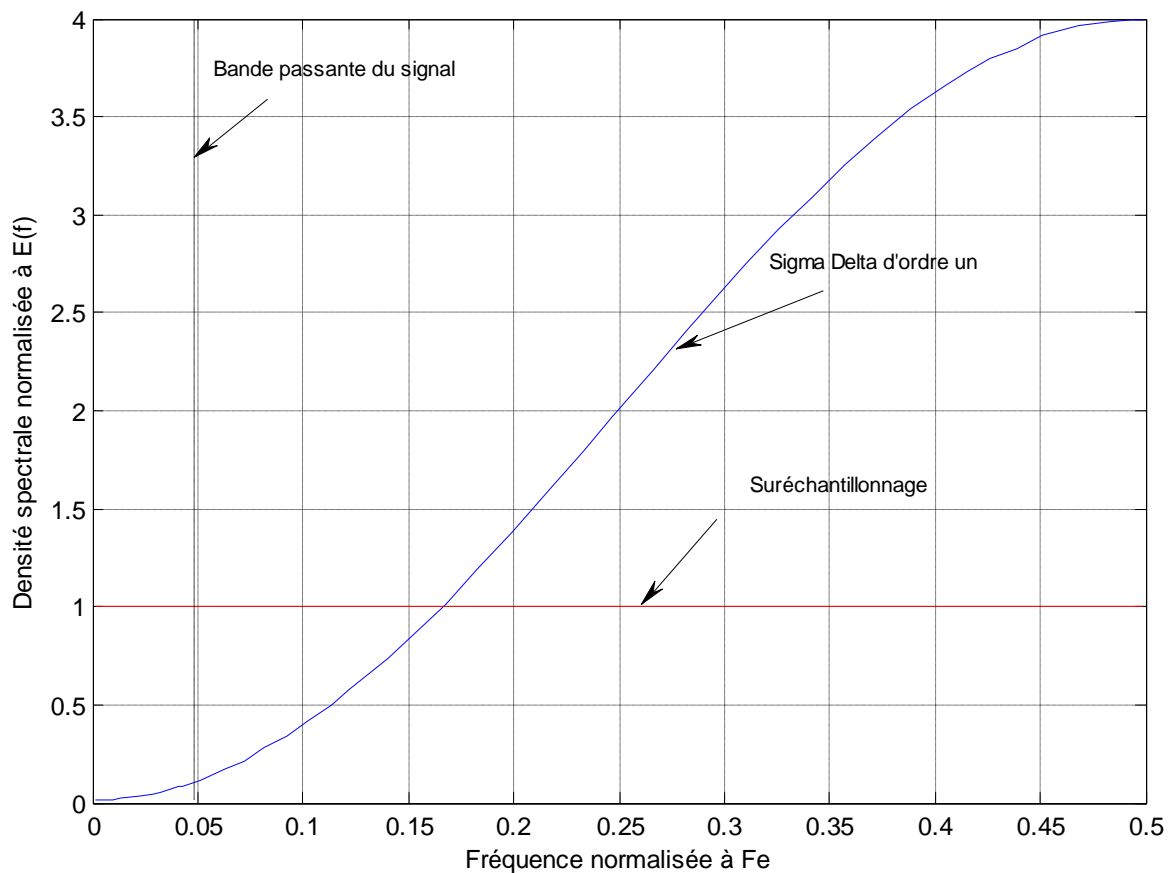


Figure 3.12. Densité spectrale du bruit de quantification dans un modulateur sigma delta d'ordre un.

Plaçant la puissance du bruit par la puissance du bruit filtré P_{qF} , il est donné par l'équation suivante:

$$SNR_{dB} = 10 \log \left(\frac{3}{2} (2^n - 1)^2 \frac{3}{\pi^2} OSR^3 \right) \quad (3.24)$$

Avec n le nombre de bits du convertisseur analogique numérique de retour (quantificateur) ($n = 1$ pour un convertisseur à retour unitaire, dit convertisseur mono bit).

La Figure 3.12 montre que cette modulation du bruit permet de repousser la plupart du bruit de quantification en dehors de la bande utile du signal. Nous pouvons améliorer ce résultat en mettant en cascade plusieurs intégrateurs et une boucle de contre-réaction de la sortie du quantificateur vers chaque nœud [10].

III.4.2. Modulateur Sigma Delta d'ordre deux

Le principe de fonctionnement du modulateur d'ordre deux est le même que pour l'ordre un, avec l'idée de diminuer le bruit de quantification dans la bande utile et de l'augmenter dans les hautes fréquences. Pour cela on introduit un deuxième intégrateur dans la chaîne directe Figure 3.13.

La fonction de transfert de la sortie est donnée par l'équation suivante:

$$Y(z) = z^{-1}X(z) + (1 - z^{-1})^2 E(z) \quad (3.25)$$

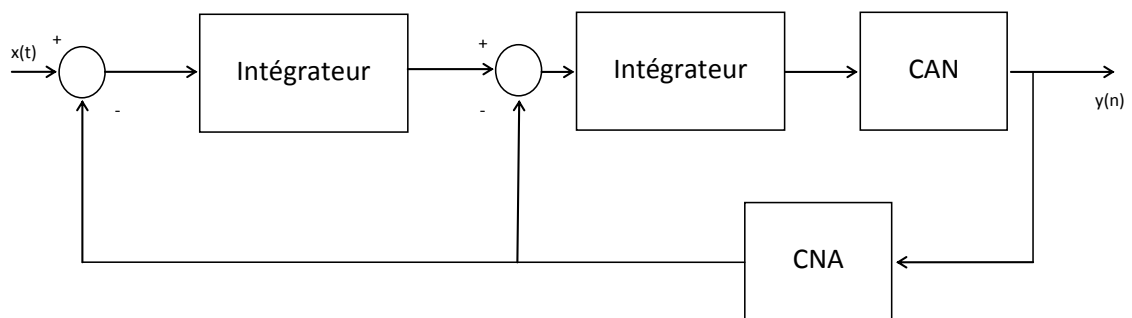


Figure 3.13. Schéma de principe d'un modulateur Sigma Delta d'ordre deux.

En posant:

$$FTS(z) = z^{-1} \quad (3.26)$$

La fonction de transfert du signal, est:

$$FTB(z) = (1 - z^{-1})^2 \quad (3.27)$$

celle du bruit de quantification, de l'équation (3.25) nous pouvons remarquer que le signal est simplement retardé, alors que le bruit est filtré par un filtre de deuxième ordre.

La densité spectrale du bruit de quantification devient alors:

$$DSP_{qF}(f) = 4 \sin^4 \left(\frac{2\pi f}{2f_e} \right) DSP_q(f) \quad (3.28)$$

D'où:

$$DSP_{qF}(f) = 4\sin^4\left(\frac{2\pi f}{2f_e}\right) \frac{\Delta^2}{12f_e} \quad (3.29)$$

Comme le calcul précédent pour le modulateur d'ordre un, on obtient l'expression de la puissance du bruit de quantification dans la bande utile du signal sur bruit pour un modulateur Sigma Delta du deuxième ordre:

$$P_{qF} = \frac{\Delta^2 \pi^4}{12 \cdot 5} \left(\frac{1}{OSR}\right)^5 \quad (3.30)$$

$$SNR_{dB} = 10\log\left(\frac{3}{2}(2^n - 1)^2 \frac{5}{\pi^4} OSR^5\right) \quad (3.31)$$

A partir du modulateur d'ordre un et deux, nous pouvons écrire la fonction de transfert d'un modulateur d'ordre L:

$$Y(z) = z^{-1}X(z) + (1 - z^{-1})^L E(z) \quad (3.32)$$

La densité spectrale de la puissance du bruit filtré est donc de la forme:

$$DSP_{qF} = \frac{\Delta^2}{12f_e} 4\sin^{2L}\left(\frac{\pi f}{f_e}\right) \quad (3.33)$$

En faisant l'hypothèse que F_e est très supérieure à B , nous pouvons déduire des études précédentes les expressions de la puissance du bruit de quantification dans la bande utile du signal sur bruit pour un modulateur d'ordre L:

$$P_{qF} = \frac{\Delta^2 \pi^{2L}}{12 \cdot 2^{L+1}} \left(\frac{1}{OSR}\right)^{2L+1} \quad (3.34)$$

$$SNR_{dB} = 10\log\left(\frac{3}{2}(2^n - 1)^2 \frac{2^{L+1}}{\pi^{2L}} OSR^{2L+1}\right) \quad (3.35)$$

La Figure 3.14 montre que plus l'ordre du modulateur est élevé plus le niveau de bruit diminue dans la bande utile (basse fréquences) et augmente dans les hautes fréquences.

La Figure 3.15 représente l'évolution du rapport signal sur bruit pour différents ordres ou modulateur en fonction du taux de sur échantillonnage.

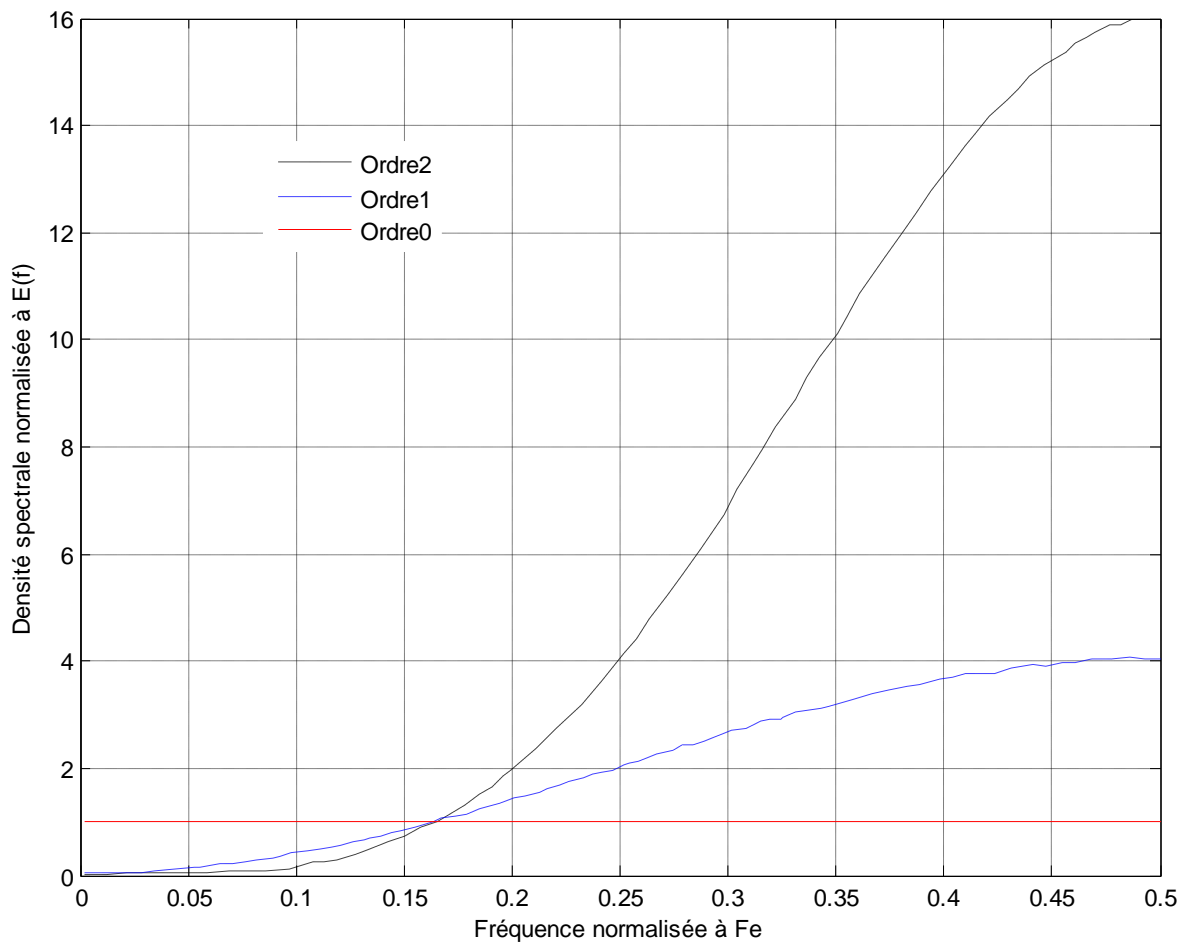


Figure 3.14. Densité spectrale du bruit filtré pour un modulateur d'ordre zéro, d'ordre un et d'ordre deux.

Avec un simple sur échantillonnage, chaque fois que la fréquence d'échantillonnage est doublée, le SNR augmente de 3dB, soit une résolution de 0.5 bit, ce qui est assez faible. Avec un modulateur sigma delta qui permet la mise en forme du bruit, nous avons un gain de 6dB soit 1.5 bits à chaque fois qu'on double la fréquence d'échantillonnage pour le même ordre du modulateur. Le tableau 3.1 résume les résultats obtenus en doublant la fréquence d'échantillonnage pour différents ordres de modulateur.

Table 3.1: Résultats obtenus en doublant la fréquence d'échantillonnage

Ordre du modulateur	Gain en dB	Gain en bits
1	9	1.5
2	15	2.5
3	21	3.5

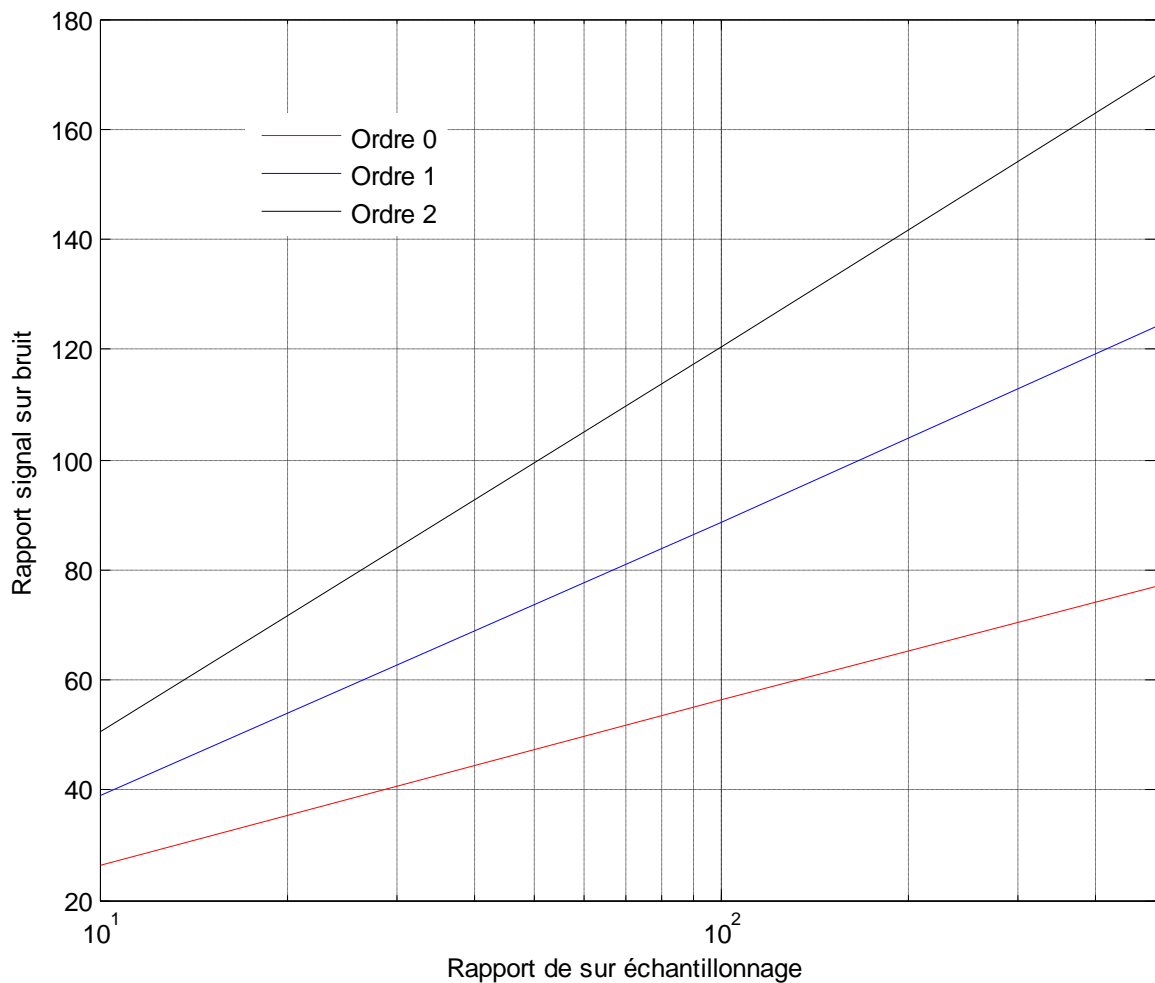


Figure 3.15. Rapport signal sur bruit en fonction du rapport de sur échantillonnage.

Ainsi pour améliorer le rapport signal sur bruit, il suffirait d'augmenter l'ordre du modulateur, en ajoutant des intégrateurs dans la chaîne directe.

En pratique il est difficile de procéder de cette façon, car cela risque d'engendrer des problèmes de stabilité. Le modulateur peut se mettre à osciller indépendamment de toute valeur d'entrée. Seuls les modulateurs d'ordre un et deux sont inconditionnellement stables.

Il existe des techniques pour stabiliser les modulateurs d'ordre supérieur en rajoutant des coefficients dans la boucle directe et la boucle de retour mais dans ce cas le rapport signal sur bruit est moins bon.

Pour pallier à cette limitation nous pouvons soit cascader des modulateurs de premier et de second ordre, c'est le principe des modulateur MASH (multi stage noise chaping) proposé en 1986 par Hayashi [2], soit utiliser une architecture multi bits.

III.5. Conclusion

Le monde du façonnement de bruit des convertisseurs peuvent être divisés dans les catégories suivantes: les architectures mono bit mono boucle d'ordre inférieur, les architectures mono bit mono boucle d'ordre élevé, et les architectures multi bits multi boucles. Les avantages et les inconvénients de ces topologies sont résumés dans le tableau 3.2 [2].

Tableau 3.2 : comparaison de différentes structures du modulateur sigma delta.

Type de modulateur	Avantages	Inconvénients
Mono bit Mono boucle ordre inférieur	<ul style="list-style-type: none"> ➤ la stabilité est garantie ➤ Conception du filtre simple ➤ Conception simple du circuit 	<ul style="list-style-type: none"> ➤ Un SNR faible
Mono bit Mono boucle ordre élevé	<ul style="list-style-type: none"> ➤ SNR élevé pour des modes du OSR ➤ Conception simple du circuit 	<ul style="list-style-type: none"> ➤ Conception du filtre difficile ➤ La gamme d'entrée maximale doit être limitée pour assuré la stabilité
Multi boucle cascade	<ul style="list-style-type: none"> ➤ SNR élevé pour des modes du OSR ➤ la stabilité est garantie 	<ul style="list-style-type: none"> ➤ Conception des circuits à capacité commutée difficile ➤ Mismatching ➤ Le décimateur doit comprendre des entrées multi-bits
Multi bit	<ul style="list-style-type: none"> ➤ SNR élevé pour des modes du OSR. ➤ La stabilité est plus simple à atteindre pour les modulateurs d'ordre élevé 	<ul style="list-style-type: none"> ➤ Mismatching ➤ Le décimateur doit comprendre des entrées multi-bits ➤ La conception du circuit est plus compliquée

Chapitre 4

Sources de bruit dans le modulateur Sigma Delta

IV.1. Introduction

Les convertisseurs sigma delta sont les plus appropriés pour la numérisation des signaux analogiques à haute résolution caractérisés par une largeur de bande beaucoup plus petite que la fréquence d'échantillonnage.

Des modulateurs sigma delta peuvent être mis en application utilisant des architectures temps continu (CT: continuous time) ou temps discret (DT: discrete time). L'approche la plus populaire est basée sur la technique temps discret utilisant des intégrateurs à capacités commutées (SC: Switched Capacitors).

En fait, des modulateurs sigma delta peuvent être efficacement réalisés en technologie standard CMOS et être inclus dans des systèmes complets à signal mixte sans aucune dégradation des performances. Ces dernières sont essentiellement déterminées par les performances des blocs analogiques dont les spécifications sont conditionnées par l'architecture sélectionnée. C'est pourquoi il est particulièrement important de choisir, si possible, la meilleure architecture qui relâche les spécifications sur les blocs analogiques de base pour permettre aux performances finales d'être plus facilement atteintes.

Dans notre application l'architecture du modulateur sélectionné est de type temps discret avec une seule boucle et un seul bit de quantification.

En pratique, le problème significatif dans la conception du modulateur sigma delta est l'évaluation de leurs performances, puisqu'ils sont les circuits non-linéaires du signal mixte.

En raison de la non-linéarité inséparable du modulateur sigma delta, l'optimisation des performances doit être effectuée avec des simulations comportementales des domaines temporels. Cette situation devient difficile à manipuler quand on considère les hautes performances du système.

Afin de répondre aux hautes performances demandées, une simulation précise d'un nombre d'imperfections et éventuellement une comparaison des performances de différentes architectures sont nécessaires afin de choisir la meilleure solution.

Le schéma d'un modulateur Sigma Delta (SC) du premier ordre est représenté dans la Figure 4.1 est constitué d'un intégrateur (SC), un quantificateur.

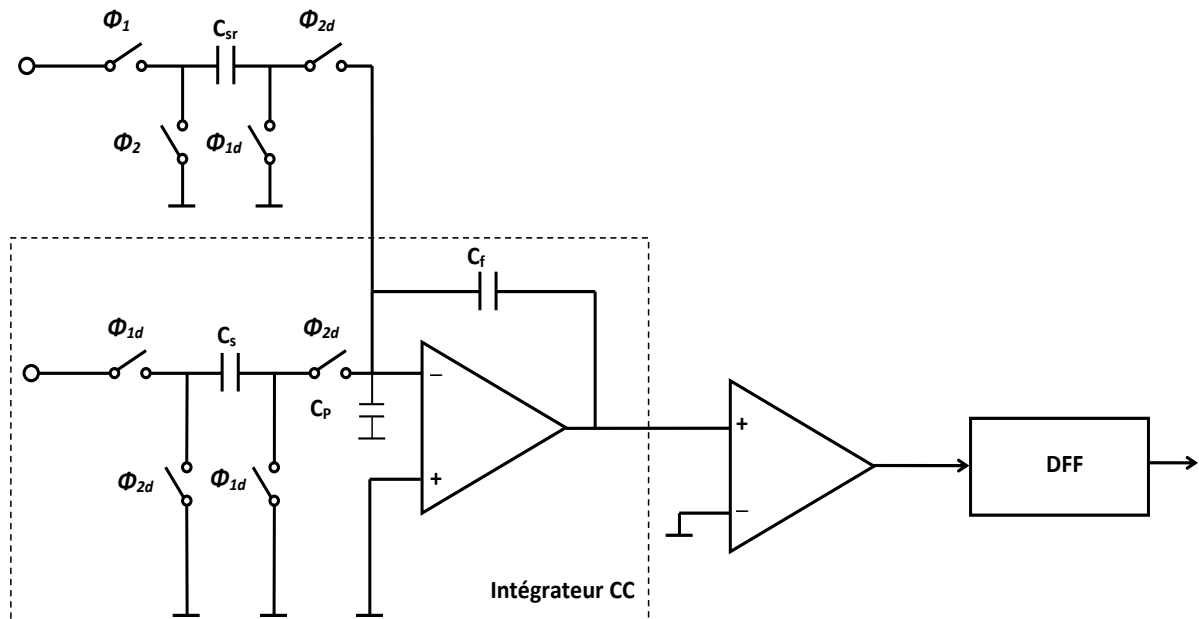


Figure 4.1. Schéma d'un modulateur sigma delta à capacités commutées de premier ordre.

Le comportement de ce modulateur est principalement affecté par les sources de bruits liées à l'échantillonnage (clock jitter), aux bruits de l'intégrateur (tels que le bruit thermique dans les commutateurs, les bruits générés par l'amplificateur etc...), et aux différentes imperfections des différents blocs du modulateur [39-42].

IV.2. Les différentes sources de bruit

IV.2.1. Clock jitter

Le fonctionnement des circuits à capacités commutées dépend des transferts complets de charge pendant chaque phase d'horloge. Il est important de noter que quand un signal analogique est échantillonné, la variation de la période d'échantillonnage n'a pas un effet

direct sur le fonctionnement et les performances de circuit. Par conséquent, la gigue d'horloge est introduite uniquement par l'échantillonnage du signal

Donc, l'effet du « clock jitter » sur ce circuit est complètement décrit en calculant son effet sur l'échantillon du signal d'entrée, ceci signifie également que l'effet de cette imperfection sur un modulateur sigma delta est indépendant de la structure ou de l'ordre de ce modulateur.

Le « clock jitter » a comme conséquence une déformation dans le temps d'échantillonnage et il produit une erreur qui augmente l'erreur globale à la sortie de la quantification.

Cette erreur est présentée par la différence entre l'échantillon du signal sinusoïdal $X(t)$, qui a comme amplitude A et fréquence f_{in} , à l'instant t et l'échantillon à l'instant t plus un laps de temps δ due essentiellement à l'imperfection de l'horloge, cela peut se résumer par l'équation suivante :

$$X(t + \delta) - X(t) = 2\pi f_{in} A \delta \cos(2\pi f_{in} t) = \delta \frac{d}{dt} X(t) \quad (4.1)$$

IV.2.2. Bruit thermique

Selon le théorème de Nyquist la densité spectrale du bruit aux bornes d'un dipôle passif bruyant ne dépend que de la température et de la partie réelle de l'impédance du dipôle. Dans un intégrateur à capacités commutées les commutateurs fonctionnent en région ohmique, la puissance du bruit à leurs bornes est égale à:

$$E_{eff}^2 = \gamma_E(f) \Delta f = 4KTR\Delta f \quad (4.2)$$

K est la constante de Boltzmann ($K=1.38.10^{-23} JK$) et T la température absolue en Kelvin. Le bruit dû au commutateur sur les phases P et I est donné par les équations suivantes:

Phase I

$$V_{THP}^2 = \frac{KT}{C_s} + \left(\frac{C_r}{C_s}\right)^2 \frac{KT}{C_r}$$

Phase P

$$V_{THI}^2 = \frac{KT}{C_s} + \frac{KT}{C_r}$$

IV.2.3. Le bruit de l'amplificateur opérationnel

Les source de bruit pour un amplificateur opérationnel on généralement deux origines [10]: le bruit thermique dans les circuits intégrés causée par la fluctuation aléatoire des porteurs de charges en raison de l'énergie thermique [43], et le bruit de scintillation, ou bruit $1/f$, dominant à des fréquences basses en raison de la densité spectrale de puissance est à peu près proportionnelle à l'inverse de la fréquence [39]. Généralement, chaque dispositif (transistors, résistances, etc) contribue au bruit global (appelé bruit d'entrée), avec la manière corrélation par rapport à d'autres dispositifs, constituant le même système.

Par conséquent, les modulateurs sigma delta présentent un bruit thermique de l'amplificateur opérationnel et la résistance finie des interrupteurs de l'intégrateur à capacités commutées au cours de l'échantillonnage, ainsi que les phases d'intégration. Le bruit thermique a un spectre blanc et une large bande, limitée seulement par les constantes de temps des capacités commutés ou les bandes passantes des amplificateurs [44].

De toute évidence, l'estimation du bruit thermique de l'amplificateur opérationnel dépend de l'architecture de l'amplificateur opérationnel.

Pour un transistor MOS en saturation, le générateur de tension de bruit équivalent aux deux sources de bruit est donnée par:

$$S_{En} = 2\frac{2}{3}KT \frac{1}{gm} + \frac{k_f}{C_{ox}wL} \frac{1}{f} \quad (4.3)$$

Le premier terme de l'équation (4.3) représente le bruit thermique équivalent d'un transistor MOS et le second représente le bruit équivalent en $1/f$.

IV.3. Les non idéalités de l'intégrateur

L'implémentation des circuits analogiques d'un intégrateur s'écarte de son comportement idéal en raison de plusieurs effets non idéales. L'une des principales causes de la dégradation des performances des modulateurs sigma delta à capacités commutées, en effet, est due à un transfert incomplet de charge dans les intégrateurs à CC. Cet effet non idéal est une conséquence des non idéalités de l'amplificateur opérationnel, le gain et la bande passante finie savoir, vitesse de balayage et les tensions de saturation [42]. Ceux-ci seront examinés séparément dans les paragraphes suivants.

IV.3.1. Le gain fini

Le gain DC de l'intégrateur idéal est infini. Dans la pratique, le gain de l'amplificateur opérationnel en boucle ouverte A_0 est fini. Ceci se traduit par le fait qu'une fraction de l'échantillon précédent à la sortie de l'intégrateur est ajoutée à l'échantillon d'entrée.

La conséquence de cette imperfection est que seulement une fraction α de la sortie précédente de l'intégrateur est ajoutée à chaque nouvel échantillon d'entrée.

Le gain limité de l'intégrateur augmente le bruit in-bande, la fonction de transfert de l'intégrateur avec le gain fini devient :

$$H(z) = \frac{z^{-1}}{1-\alpha z^{-1}} \quad (4.4)$$

Où

$$\alpha = \frac{1}{1-A_0} \quad (4.5)$$

IV.3.2. Slow rate

Pour une amplitude constante donnée, il caractérise la limite en fréquence de l'amplificateur (vitesse maximale).

Lorsqu'un signal évolue plus lentement que cette vitesse maximale, l'amplificateur suit et restitue fidèlement le signal. Mais lorsque la fréquence du signal augmente (pour une amplitude constante), l'amplificateur déforme le signal de sortie (triangulation). Dans ce cas, en plus du signal d'origine, on retrouve des fréquences supplémentaires (harmoniques), plus la fréquence est élevée, plus l'amplificateur a du mal à restituer le signal fidèlement,

IV.3.3. La non linéarité du gain de l'amplificateur

La fonction de transfert d'un amplificateur idéale est donnée par:

$$V_s = AV_e \quad (4.6)$$

A étant le facteur d'amplification.

Cependant par simulation nous obtenons en réalité la courbe de la Figure 4.1, dont la fonction de transfert est approximé par [45]:

$$A \cong A_0(1 + \alpha_1 |V_0| + \alpha_2 |V_0|^2 + \alpha_3 |V_0|^3 + \dots) \quad (4.7)$$

$\alpha_1, \alpha_2, \alpha_3 \dots$ sont les facteurs d'amplification parasites. De ce fait, pour un signal sinusoïdal de fréquence f en entrée de l'amplificateur, on retrouve en sortie de l'amplificateur non seulement le signal de sortie de départ, amplifié, de même fréquence que V_e mais aussi d'autres signaux parasites de fréquence plus élevée et proportionnelle à la fréquence de V_e . Dans ce cas on dit qu'il y a une distorsion harmonique, car le spectre présente des fréquences $2f, 3f$, etc. La distorsion harmonique totale s'exprime par le rapport de la somme quadratique des amplitudes de tous ces signaux sur l'amplitude du fondamental, ceci est donné par l'équation (Le taux de distorsion harmonique (THD))

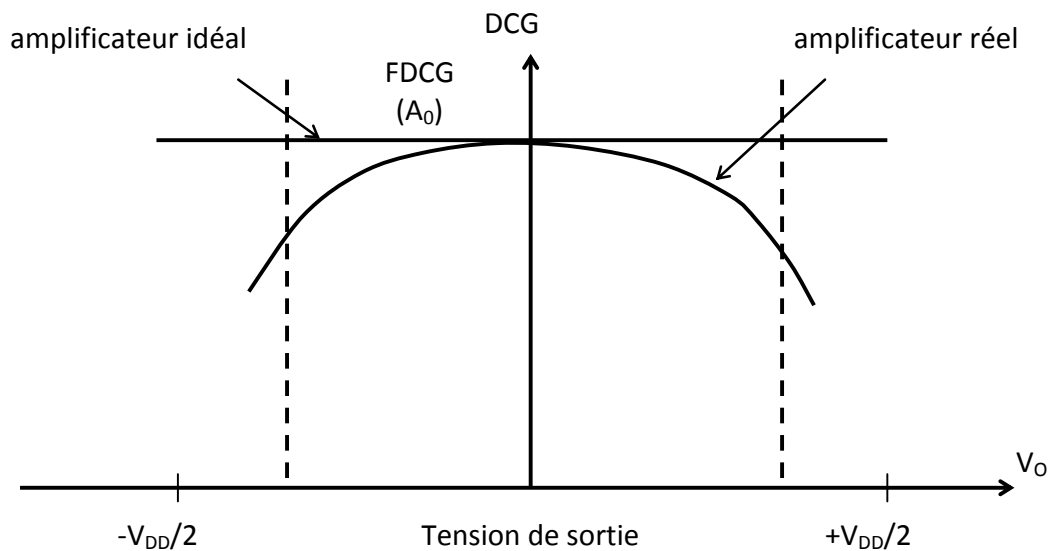


Figure 4.2. Le gain DC d'un amplificateur en fonction de la sortie [42, 46].

IV.4. Les non Idéalités des switches

Le circuit d'échantillonnage (échantillonneur bloqueur (E/B)) est un élément analogique important dans de nombreuses applications, y compris les convertisseurs analogiques-numériques et des filtres à capacités commutées.

Le fonctionnement du circuit E/B est d'échantillonner un signal d'entrée analogique et maintenir cette valeur un certain temps pour un traitement ultérieur.

Prendre avantages des propriétés des transistors MOS et des condensateurs les switches, les techniques de capacités commutées peuvent être utilisés pour réaliser différents circuits échantillonneur bloqueur [47].

Un simple circuit E/B en technologie MOS est représenté sur la Figure 4.3, où V_{in} est le signal d'entrée, M_1 est un transistor MOS qui joue le rôle du switch d'échantillonnage, C_h est le condensateur de maintien, CLK est le signal d'horloge, et V_{out} est le signal de sortie, résultante de l'échantillonneur bloqueur.

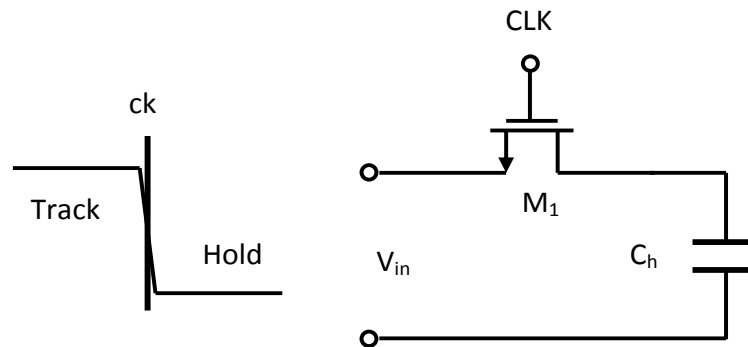


Figure 4.3. Échantillonneur bloqueur simple en technologie MOS.

Les interrupteurs, ou encore les commutateurs analogiques [48], utilisés dans notre cas, sont à base de transistor MOS. L'interrupteur est contrôlé par la tension de grille V_G du transistor (Figure 4.3) et fonctionne dans sa zone linéaire (ohmique) : l'interrupteur est ainsi équivalent à une résistance de valeur finie comme nous l'avons noté précédemment. Lorsque l'interrupteur est fermé (interrupteur à l'état actif), il peut être caractérisé par une résistance R_{on} de quelques ohm à quelques kilo ohm. Dans le cas contraire, l'interrupteur est ouvert et sa résistance équivalente R_{off} est très élevée.

Dans cette partie, nous discuterons, dans un premiers temps la non linéarité de la résistance équivalente R_{on} de l'interrupteur à l'état ON et, nous développerons les différents problèmes liés aux commutateurs analogiques tels que les injections de charges et le phénomène de clock feedthrough [49].

IV.4.1. Injection de charges

Quand un interrupteur MOS est ON, il fonctionne dans la zone ohmique et la tension drain source V_{DS} , est quasiment nulle à la fin de la charge de la capacité. Pendant le temps où le transistor est passant, il tient une certaine quantité de charges mobiles dans le canal. Une fois que le transistor est mis à l'état OFF, deux mécanismes d'injection de charges interviennent [6] Figure 4.4. Une partie des charges accumulées dans le canal sont réinjectées dans le circuit via le drain et la source du transistor. En général, par le fait que les

temps de transition de l'état Haut - Bas de l'horloge sont brefs devant le temps moyen de recombinaison des charges dans le substrat, les charges réinjectées représentent la totalité des charges du canal. Quand un Switch MOS est ON et que sa tension drain source V_{DS} est faible, la charge accumulée sous l'oxyde de grille résultant du canal inversé est donnée par l'expression [47] :

$$Q_{ch} = C_{ox}WL(V_{DD} - V_{in} - V_{th}) \quad (4.8)$$

où W et L sont respectivement la largeur et la longueur du canal du transistor MOS, C_{ox} est la capacité d'oxyde de la grille, et V_{th} est la tension de seuil du transistor. Lorsque l'interrupteur MOS est dans l'état OFF, une certaine partie de la charge du canal est rejetée dans le condensateur de maintien, tandis que le reste de la charge est transférée sur l'entrée. La fraction k de la charge de canal qui est injectée dans C_h est donnée par l'équation 4.9.

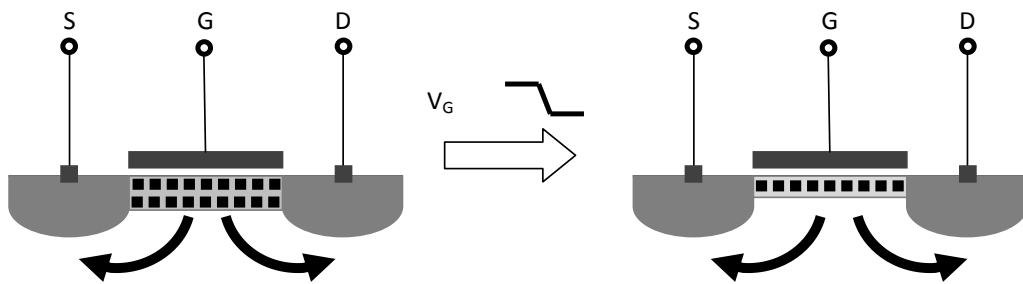


Figure 4.4. Injection de charges.

$$\Delta Q_{ch} = kQ_{ch} = -kC_{ox}WL(V_{DD} - V_{in} - V_{th}) \quad (4.9)$$

En conséquence, la variation de tension dans la sortie à cause de cette injection de charge est donnée par l'équation 4.10,

$$\Delta V_{out} = \frac{\Delta Q_{ch}}{C_h} = \frac{-kWL C_{ox} (V_{DD} - V_{th} - V_{in})}{C_h} \quad (4.10)$$

Notons que ΔV_{out} est en relation linéaire avec V_{in} et V_{th} . Cependant, V_{th} est non linéairement lié à V_{in} [43, 50]. Par conséquent, l'injection de charge introduit une non linéarité dépendante du signal E/B.

IV.4.2. Clock Feedthrough

En plus de l'injection de charges du canal, Un autre phénomène, dû aux capacités de recouvrement C_{ov} entre grille-source d'une part et grille-drain d'autre part, mais aussi au signal de commande sur la grille (V_{CLK}) l'horloge, introduit une erreur d'offset sur le signal mémorisé telle que :

$$\Delta V_{off} = \Delta V_{CLK} \frac{C_{ov}}{C_{ov} + C_s} \quad (4.11)$$

Ce phénomène est connu sous le nom de clock feedthrough [51]. Nous pouvons constater que l'erreur introduite par les charges accumulées dans les capacités de recouvrement est indépendante du signal d'entrée. Elle se traduit finalement au premier ordre, par une erreur d'offset sur le signal échantillonné comme nous l'avons écrit précédemment.

Un Switch MOS couple les transitions d'horloge à la capacité d'échantillonnage à travers sa grille drain et la capacité recouvrement (overlap) grille source c'est-à-dire. Les charges accumulées dans les capacités de recouvrement C_{ov} (entre grille source et grille drain) du transistor MOS sont elles aussi injectées dans le circuit lors des basculements d'horloge.

IV.4.3. La résistance équivalente de l'interrupteur

Comme nous l'avons noté précédemment, lorsque le commutateur analogique est à l'état ON, la résistance équivalente a une valeur finie non nulle telle que [52]:

$$R_{ON} = \frac{1}{\mu C_{ox} \left(\frac{W}{L}\right) (V_{gs} - V_{th})} \quad (4.12)$$

R_{ON} dépend également du signal d'entrée ($V_{gs} = V_g - V_{in}$). Cela entraîne une non-linéarité dans notre échantillonneur bloqueur. Afin de dimensionner le commutateur, nous ajustons la largeur (W) et la longueur (L) du transistor.

IV.5. Conclusion

Dans ce chapitre nous avons abordé dans une première étape le principe de fonctionnement des modulateurs sigma delta à capacités commutées. En suite nous avons présenté les sources du bruit et des imperfections qui affectent ce genre de circuits. En plus de ces non-linéarités principales abordées précédemment, il existe d'autres non idéalités dans la littérature [53]. Par exemple, l'hystérésis du comparateur, non-linéarité du swing, et d'autres effets non idéals du circuit représentés dans le tableau VI.1. Par conséquent, nous avons

essayé de mettre en œuvre la plupart des non idéalités du circuit dans ce modèle comportemental.

Bloc	Non idéalité	conséquences
L'amplificateur opérationnel	Gain DC fini	Intégrateur avec des fuites
	Gain non linéaire	Distorsion harmonique
	Bande passante finie	Erreur de temps d'établissement incomplet
	La vitesse de balayage	Distorsion harmonique
	Swing de sortie limité	Écrêtage
	Bruit Thermique et bruit scintillation	Bruit
switches	Résistance on finie	Erreur de temps d'établissement incomplet
	Résistance non linéaire	Distorsion harmonique
	Injection de charge et clock feedthrough	Offset /erreur de gain/ harmonique
	Incertitude d'échantillonnage	Distorsion harmonique
capacité	Mismatch	erreur de gain
	Coefficient de voltage	Distorsion harmonique
CNA	non symétrie et non linéarité	Distorsion harmonique
comparateur	Offset aléatoire	Quantification diminuée
quantificateur	Non linéarité	Distorsion harmonique

Chapitre 5

Le modèle comportemental du modulateur Sigma Delta

V.1. Introduction

Le modulateur choisi pour notre application est un modulateur Sigma Delta temps discret à capacité commutées. Le bloc principal pour cette structure est l'intégrateur. Le but est la modélisation comportementale des effets non linéaires de ce circuit qui fixent des limites importantes aux performances du modulateur. Parmi ces effets, on trouve les effets dynamiques tels que le transfert incomplet des charges, l'effet de l'injection de charges parasites lors de la commutation de l'horloge. Et les sources d'erreurs qui altèrent le comportement des blocs à capacités commutées. Parmi ces derniers on retrouve:

- Erreurs concernant la caractéristique linéaire du circuit:
 - le gain fini de l'amplificateur
 - la bande passante limitée
- Erreur introduisant un comportement non linéaire:
 - le comportement dynamique de l'amplificateur
 - la non linéarité du gain statique
 - la non linéarité de la résistance des commutateurs
 - l'incertitude d'échantillonnage
- Les sources de bruits aditif:
 - le bruit thermique lié aux commutateurs
 - le bruit de l'amplificateur (bruit thermique et bruit en $1/f$)

Généralement, seule une simulation niveau transistor peut rendre compte tous ces phénomènes. Cependant, Celle-ci exige un temps de calcul très important et ne peut être réalisée que lors d'une étape de vérification finale. Pour cela on fait généralement appel à des simulations comportementales pour analyser les performances du modulateur en présences des imperfections citées précédemment.

V.2. Impact des imperfections sur les performances d'un modulateur Sigma Delta

Le schéma de principe d'un modulateur à CC de premier ordre est montré dans la Figure 5.1. Ce circuit sera utilisé dans ce chapitre pour présenter les non idéalités qui affectent les modulateurs $\Sigma\Delta$ à CC de n'importe quel ordre. Le modulateur est constitué d'un intégrateur à CC, un quantificateur (comparateur) et un convertisseur numérique analogique (CNA) un bit qui constitue la boucle de retour.

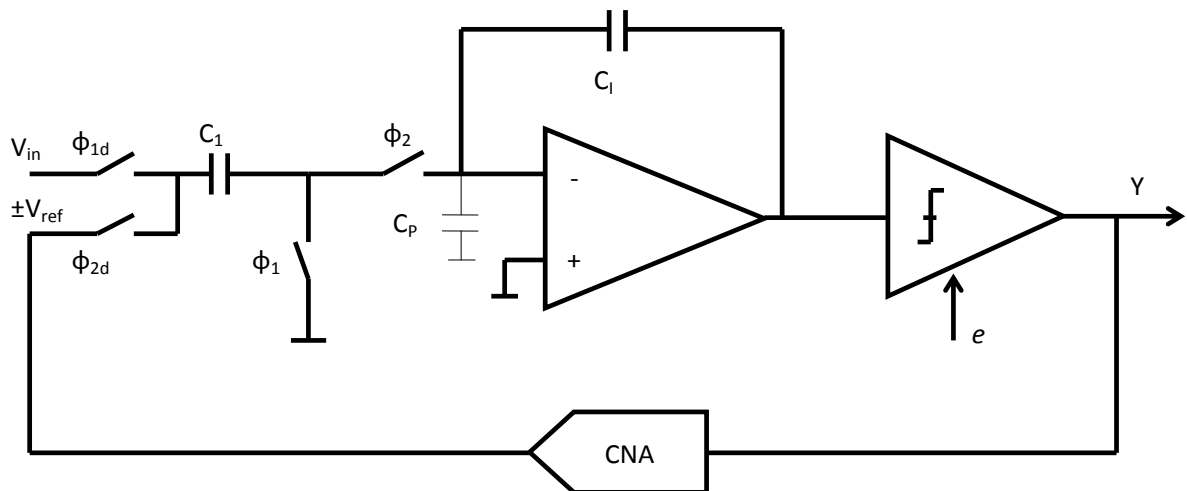


Figure 5.1. Schéma d'un modulateur Sigma Delta (CC) premier ordre.

Les non idéalités de ce modulateur sont principalement les erreurs liées à l'échantillonnage tels que le clock jitter, aux bruits de l'intégrateur (tels que le bruit thermique dans les commutateurs et les bruits générés par l'amplificateur: bruit thermique et le bruit en $1/f$), les non idéalités liées à l'intégrateur, qui sont causées par les paramètres finis de l'amplificateur (gain fini, bande passante limitée, Slew Rate...)[54, 55].

Nous allons dans ce qui suit présenter l'impact des erreurs citées précédemment sur les performances d'un modulateur Sigma Delta.

V.2.1. Erreur due à l'échantillonnage (Jitter)

Le fonctionnement d'un circuit à capacités commutées (CC) dépend des transferts de charges complètes lors de chacune des phases d'horloge [39]. Une fois le signal analogique est échantillonné, le circuit CC est un système de données échantillonnées où les variations de la période d'horloge n'ont pas d'effet direct sur les performances du circuit. Par conséquent, l'effet du jitter sur un circuit CC est complètement décrit par le calcul de son

effet sur l'échantillonnage du signal d'entrée. Cela signifie également que l'effet du jitter sur un modulateur est indépendant de la structure ou de l'ordre du modulateur. L'effet du clock jitter se manifeste alors par une séquence de temps d'échantillonnage non uniforme, et génère une erreur qui augmente la puissance de l'erreur totale à la sortie du quantificateur. L'amplitude de cette erreur est une fonction à la fois des propriétés statistiques du jitter et du signal d'entrée du modulateur. L'erreur introduite pour un signal sinusoïdal d'amplitude A et d'une fréquence f_{in} échantillonné à un instant qui est en erreur de δ Figure 5.2 est donnée par l'équation 4.1.

Cet effet peut être simulé en utilisant le modèle illustré dans la Figure 5.3.

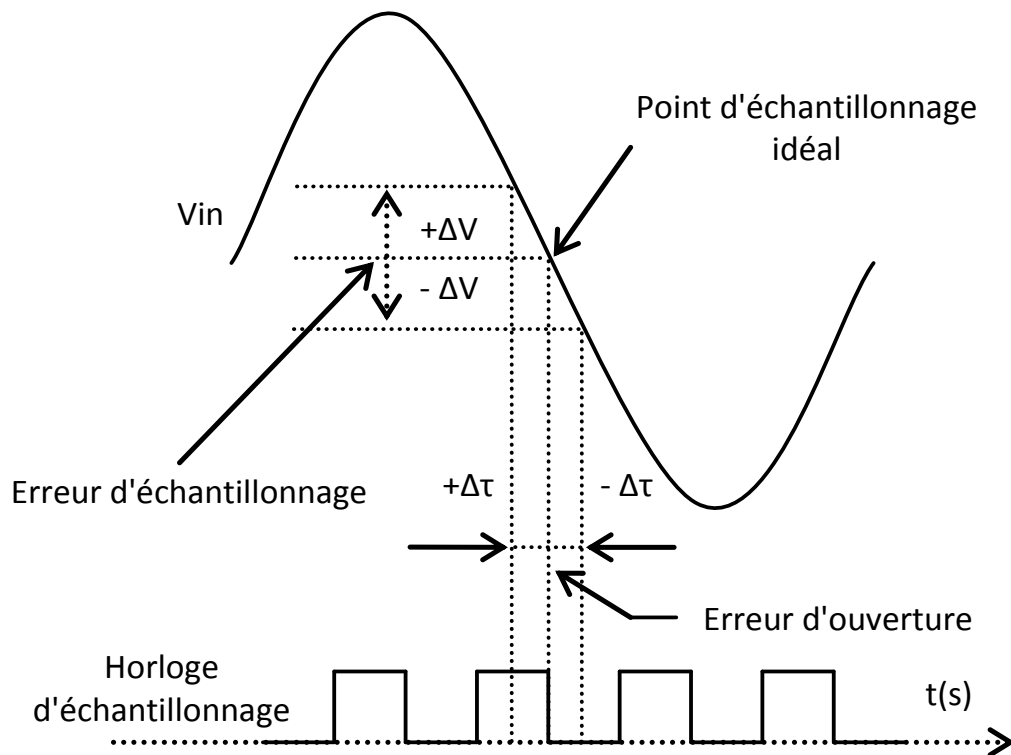


Figure 5.2. Effet du clock jitter sur l'échantillonnage.

L'effet clock jitter est simulé au niveau comportemental en prenant l'instant d'échantillonnage à l'instant idéal δ :

$$x[n] = x(nT_s + \delta) \quad (5.2)$$

Dans le modèle, on suppose que l'incertitude d'échantillonnage δ est un processus aléatoire gaussienne avec un écart-type $\Delta\tau$ Figure 5.3. Cependant, le sur échantillonnage est utile pour

réduire l'erreur introduite par le clock jitter. Comme nous supposons le clock jitter est un bruit blanc, l'erreur résultante a une densité spectrale (PSD) uniforme 0 à $F_s/2$, avec une puissance totale de $(2\pi f_{in}\Delta\tau A)^2/2$. Dans ce cas, la puissance d'erreur totale sera réduite par le taux de sur échantillonnage [43].

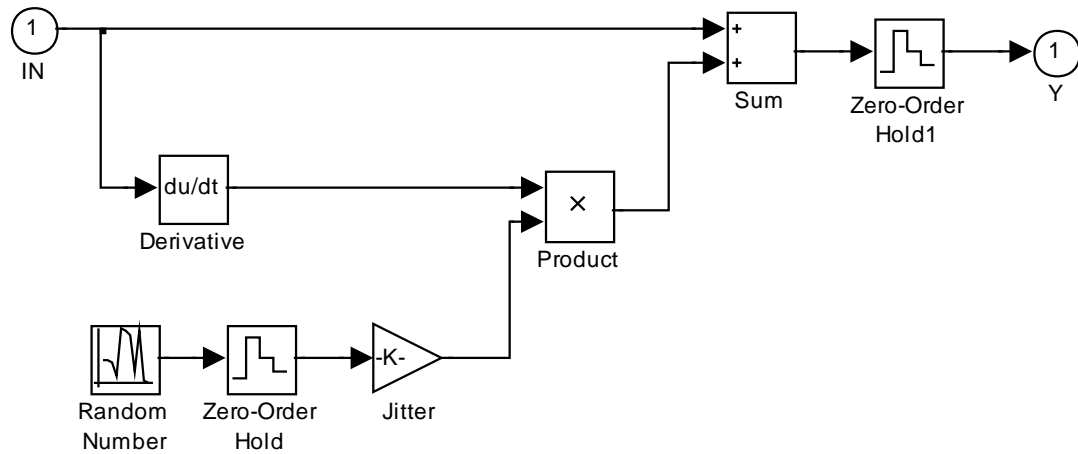


Figure 5.3. Modèle de l'effet du clock jitter.

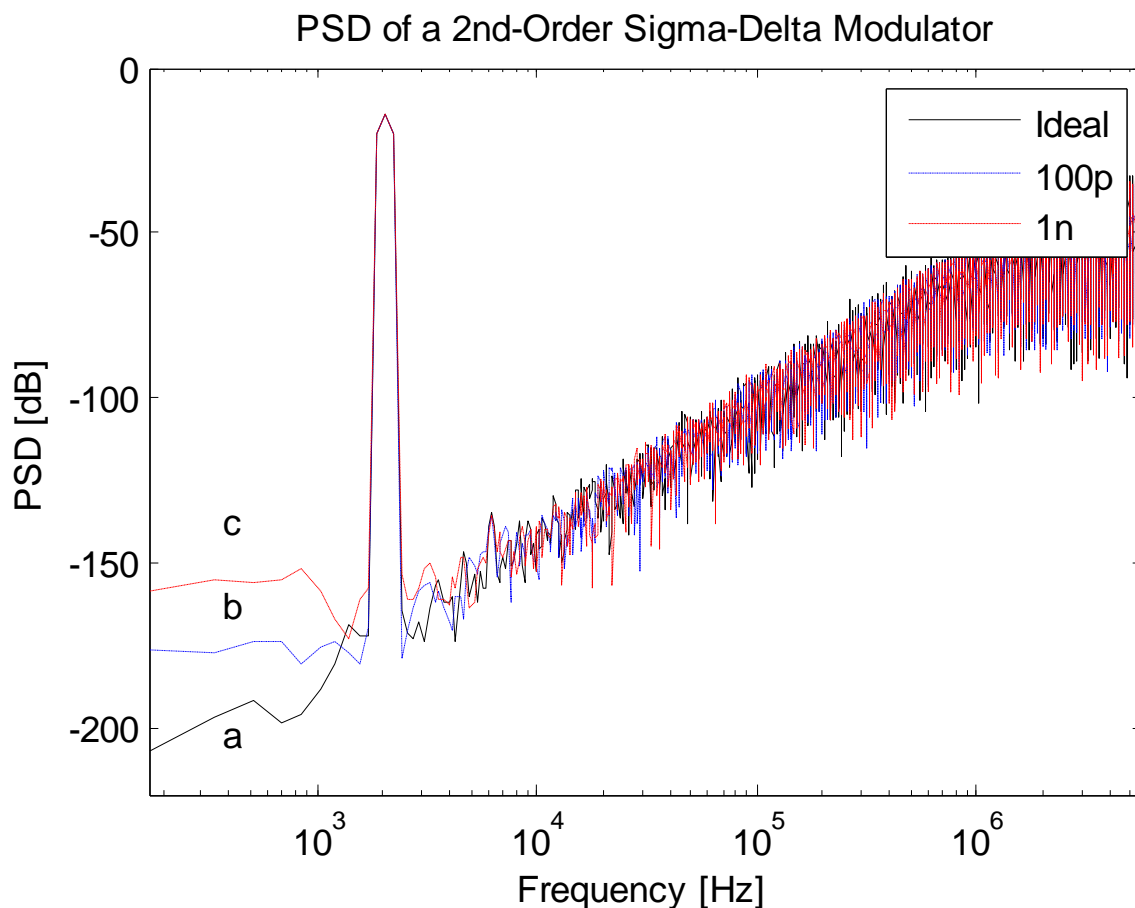


Figure 5.4. Effet de l'erreur jitter sur la densité spectrale du signal de sortie du modulateur Sigma-Delta.

La Figure 5.4 montre l'influence de cette erreur sur le modulateur Sigma Delta. On peut constater que, quand l'erreur clock jitter augmente, la puissance du bruit totale augmente. Pour la même valeur d'incertitude, une fréquence de signal d'entrée élevée introduit une puissance de bruit plus importante.

V.2.2. Bruits relatifs à l'intégrateur

Les deux sources de bruit primaires dans un circuit à capacités commutées sont les résistances des commutateurs à l'état passant et l'amplificateur. Nous allons dans ce qui suit étudier l'influence du bruit produit par l'intégrateur sur le modulateur Sigma Delta.

V.2.2.1. La non-linéarité de la résistance des commutateurs à l'état passant

Il s'agit d'une variation du signal en fonction de la résistance du commutateur à l'état passant qui introduit une distorsion harmonique dans le circuit. La résistance finie existante entre la source et le drain du transistor MOS et est commandé par la tension de la grille. Elle

est généralement non linéaire. On se basant sur les équations grands signaux dans la région linéaire, la résistance à l'état passant des commutateurs pour NMOS, PMOS et CMOS peut être donnée par l'équation 5.3.

$$R_{ON} = \left(\frac{\partial I_d}{\partial V_{ds}} \right)^{-1} = \frac{1}{\mu_n C_{ox} \frac{W}{L} (V_{gs} - V_{th})} \quad (5.3)$$

En outre, le seul pôle, du système du premier ordre composé de la résistance du commutation à l'état passant (R_{on}) et le condensateur d'échantillonnage (C_s) représenté sur la Figure 5.5 détermine la largeur de bande du signal d'entrée dans les circuits à capacités commutées.

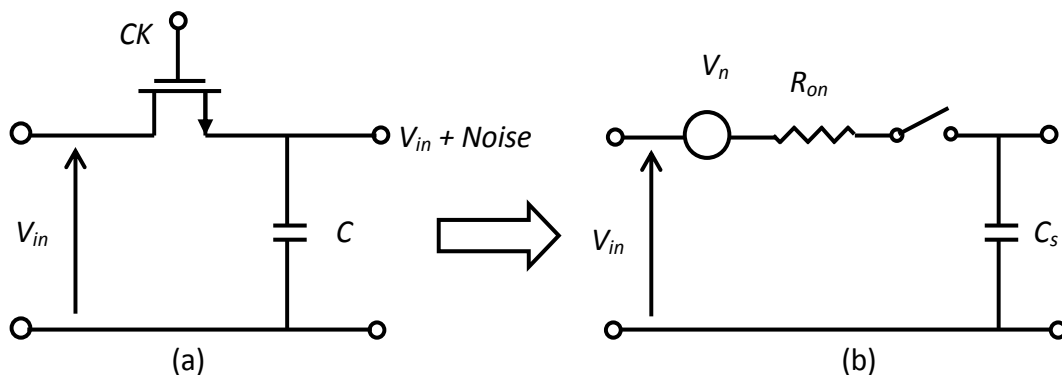


Figure 5.5. (a) Exemple d'un circuit échantillonneur bloqueur MOS. (b) son modèle équivalent.

Donc, la tension d'entrée échantillonnée est donnée par l'équation 5.4.

$$V_{in,s} = V_{in} \cdot \left(1 - e^{-\frac{t}{\tau}} \right) \quad (5.4)$$

Figure 5.6 montre la variation de la résistance du commutateur en fonction du niveau du signal d'entrée. Cette courbe peut être décrite en utilisant un polynôme d'ordre élevé.

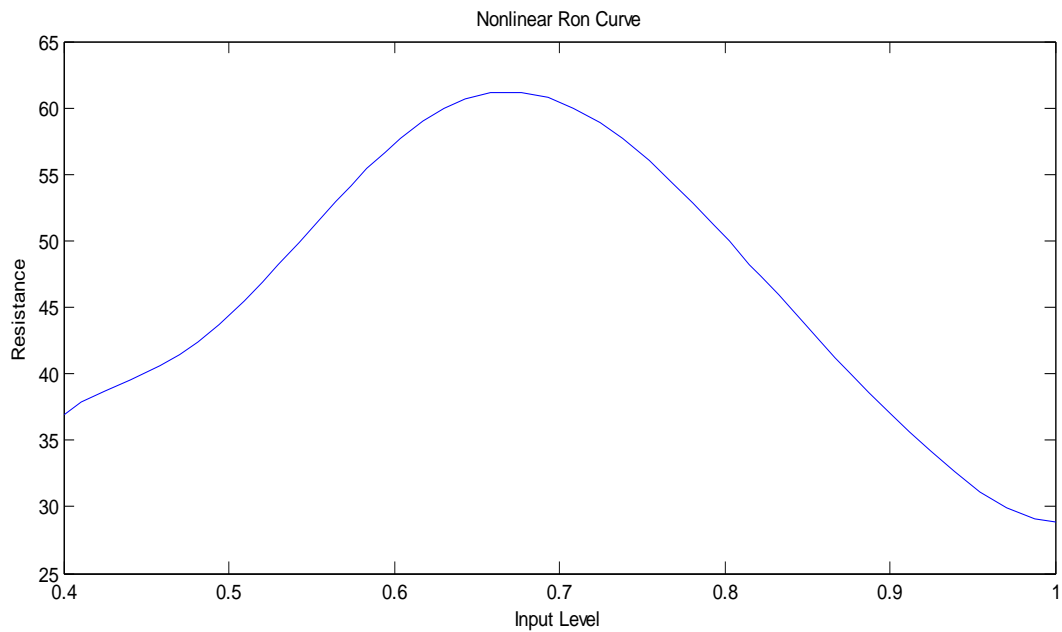


Figure 5.6. Variation de la résistance du commutateur en fonction du niveau d'entrée.

Le modèle Simulink de la Figure 5.7 représente le modèle proposé de l'effet de la non linéarité de la résistance R_{ON} du switch.

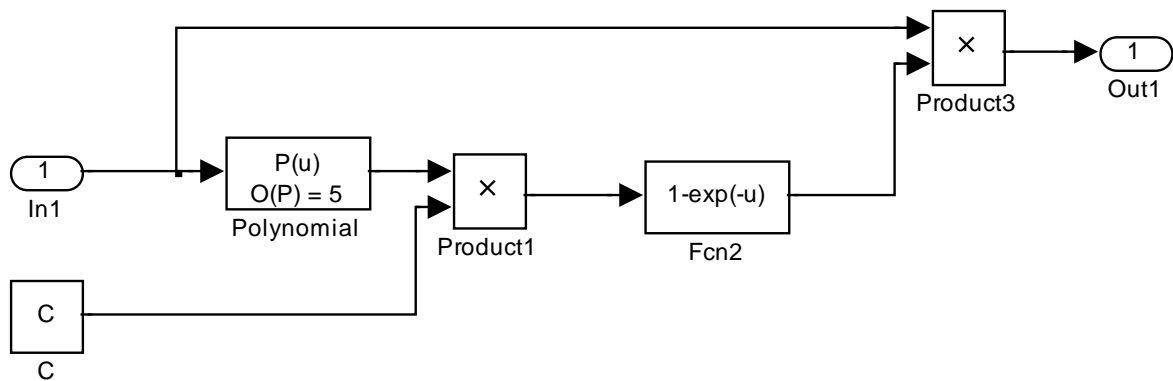


Figure 5.7. Modèle de l'effet de la non linéarité de la résistance du switch R_{ON} .

V.2.2.2. Bruit thermique

Le bruit de quantification est une limite fondamentale des convertisseurs de données. Une autre limite inévitable, c'est le bruit kT/C . Il se produit dans tous les systèmes échantillonnés car c'est à cause du bruit inévitable thermique associée à l'interrupteur d'échantillonnage. De toute évidence, le bruit kT/C est seulement nul que pour une capacité d'échantillonnage

infini ou une température de zéro. C'est pourquoi, il est décrit comme une limite fondamentale de tout système échantillonné [40].

Le fonctionnement d'un échantillonneur peut être modélisé par le circuit simplifié de la Figure 5.8(a): la tension d'entrée V_{in} charge un condensateur d'échantillonnage à travers un interrupteur. Au moment du prélèvement de l'interrupteur met hors tension, maintenant ainsi la valeur de la tension aux bornes du condensateur d'entrée. La résistance R_S dans la Figure 5.8(b) représente la résistance équivalente de la résistance de l'interrupteur l'état passant et la résistance de sortie du générateur de signal. L'échantillonnage ne fonctionne correctement que si la constante de temps $\tau_s = R_S C_S$ est négligeable par rapport à la période d'échantillonnage. De plus, la bande passante du signal d'entrée doit être beaucoup plus petite que $1/\tau_s$.

Figure 5.8(b) représente le circuit équivalent pour l'estimation du bruit. Le spectre du bruit thermique apporté par R_S est blanc, $v_{n,R_S}^2 = 4kTR_S$. En outre, le réseau $R_S C_S$ établit un filtrage passe-bas qui fait le spectre de bruit d'un autre côté du condensateur de couleur. Le spectre de v_{n,C_S} est donnée par le spectre $4kTR_S$ multipliée par le carré de la fonction de transfert du filtre $R_S C_S$.

$$v_{n,C_S}^2(\omega) = \frac{4kTR_S}{1+(\omega R_S C_S)^2} \quad (5.5)$$

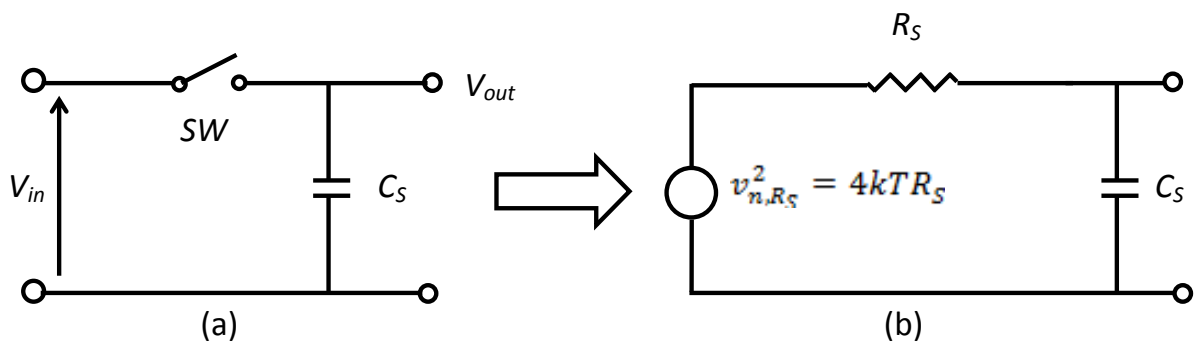


Figure 5.8. Modèle simple d'un échantillonneur et son circuit équivalent de bruit.

Lorsque le commutateur est ouvert le condensateur maintient non seulement l'entrée mais aussi le bruit. Cependant, la résistance R_S des transistors et le condensateur d'échantillonnage C_S forment un filtre passe-bas. Ce filtre vient limiter la bande passante du bruit thermique. La puissance totale du bruit peut alors être calculée par [40] :

$$P_{n,C_S} = \int_0^{\infty} v_{n,out}(f)df = 4kTR_S \int_0^{\infty} \frac{df}{1+(2\pi f R_S C_S)^2} = \frac{kT}{C_S} \quad (5.6)$$

L'équation 5.6 démontre que P_{n,C_S} ne dépend pas de R_S . Cela est dû au fait qu'en augmentant la valeur de R_{on} , la densité spectrale du bruit est augmentée, mais sa bande passante est réduite. Ces deux relations qui s'annulent mutuellement font en sorte que la valeur de R_{ON} n'a pas d'impact sur la puissance du bruit thermique.

Le modèle proposé du bruit thermique en utilisant Matlab Simulink est montrée dans la Figure 5.9.

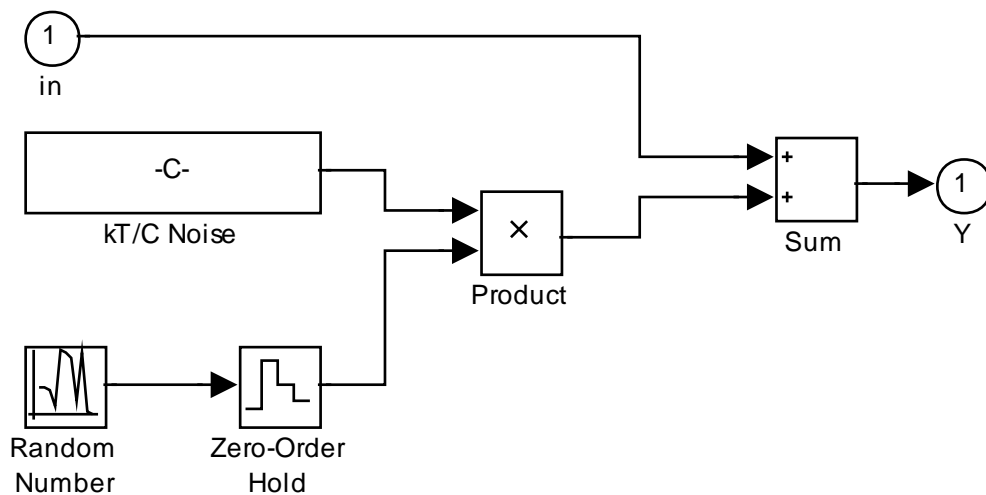


Figure 5.9. Modèle Simulink de l'effet bruit thermique.

V.2.2.3. Bruit de scintillation (flicker noise)

En dessous de quelques centaines de Hertz, on observe dans tout composant actif et certains composants passifs, une composante de bruit présentant une DSP caractérisée par une loi proportionnelle à l'inverse de la fréquence. Ce bruit résulte de la contribution de différents processus aléatoires encore mal connus. Dans les circuits électriques, il est généralement attribué aux phénomènes de création recombinaison électron-trou en surface des semi-conducteurs et à l'inhomogénéité des matériaux. Il est toujours associé à un courant direct et modélisé empiriquement par une densité spectrale définie par:

$$S_i(f) \approx k_f \frac{I_0^g}{f^a} \quad (5.7)$$

Contrairement au bruit thermique, le bruit scintillation dépend de paramètres déterminés expérimentalement et pouvant varier grandement d'un composant à l'autre, même issus d'un même lot [10].

Empiriquement, le bruit de scintillation d'un transistor MOS est représenté par l'équation suivante:

$$S_i(f) \approx \frac{K}{f} \frac{g_m^2}{WLC_{ox}} \quad (5.8)$$

Où K est coefficient lié à la technologie, g_m la transconductance du transistor MOS, W et L , les dimensions du transistor MOS et C_{ox} la capacité d'oxyde.

La Figure 5.10 montre le modèle utilisé pour simuler l'effet du bruit de scintillation

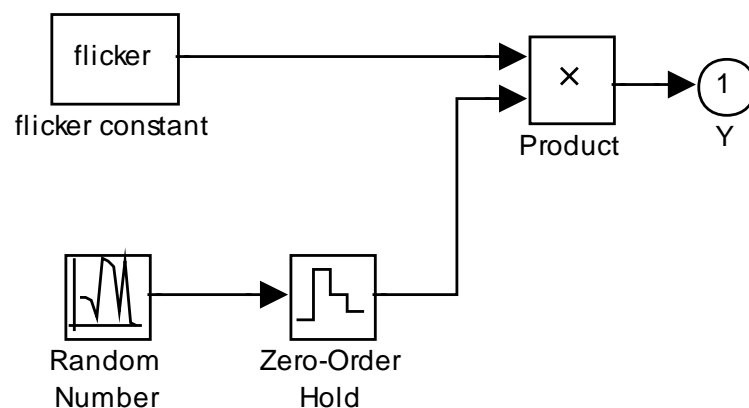


Figure 5.10. Modèle du bruit en $1/f$.

V.2.3. Les non idéalités de l'intégrateur

Le modèle SIMULINK® d'un intégrateur idéal avec un gain unitaire est indiqué dans l'encart de la Figure 5.11. L'implémentation de l'intégrateur s'écarte de ce comportement idéal en raison de plusieurs non idéalités. L'une des principales causes de la dégradation des performances des modulateurs à capacités commutées, en effet, est due à un transfert incomplet de charge dans les intégrateurs à capacités commutées. Cet effet non idéal est une conséquence aux non idéalités de l'amplificateur opérationnel (le gain fini, la bande passante finie, slew rate ...). Ces effets seront examinés séparément dans les paragraphes suivants. La Figure 5.12 représente le modèle de l'intégrateur réel y compris tout les non idéalités.

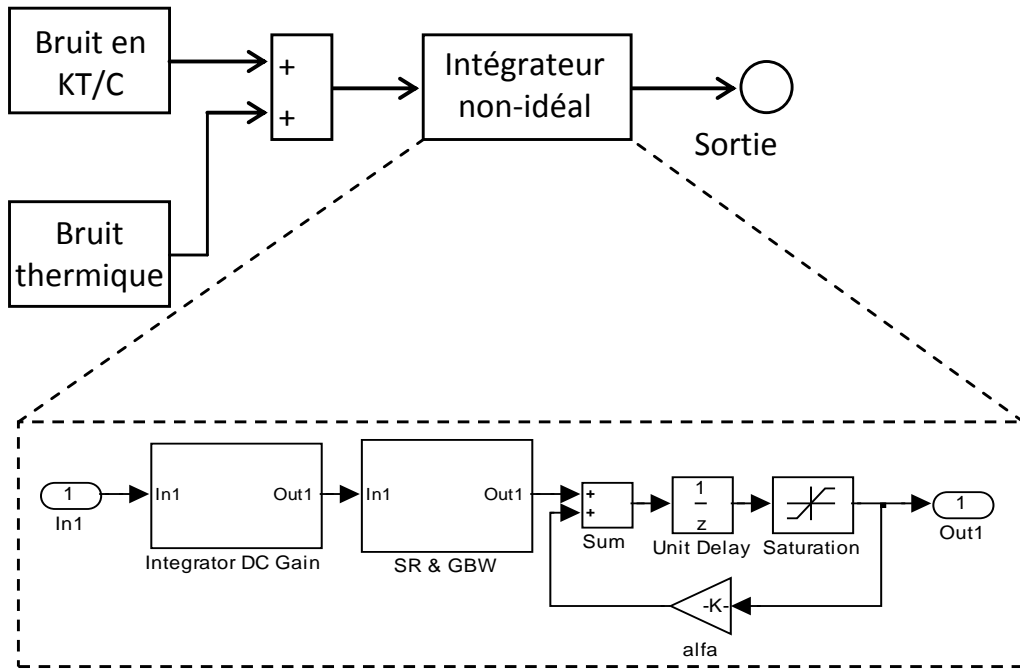


Figure 5.11. Modèle réel de l'intégrateur avec les sources de bruits.

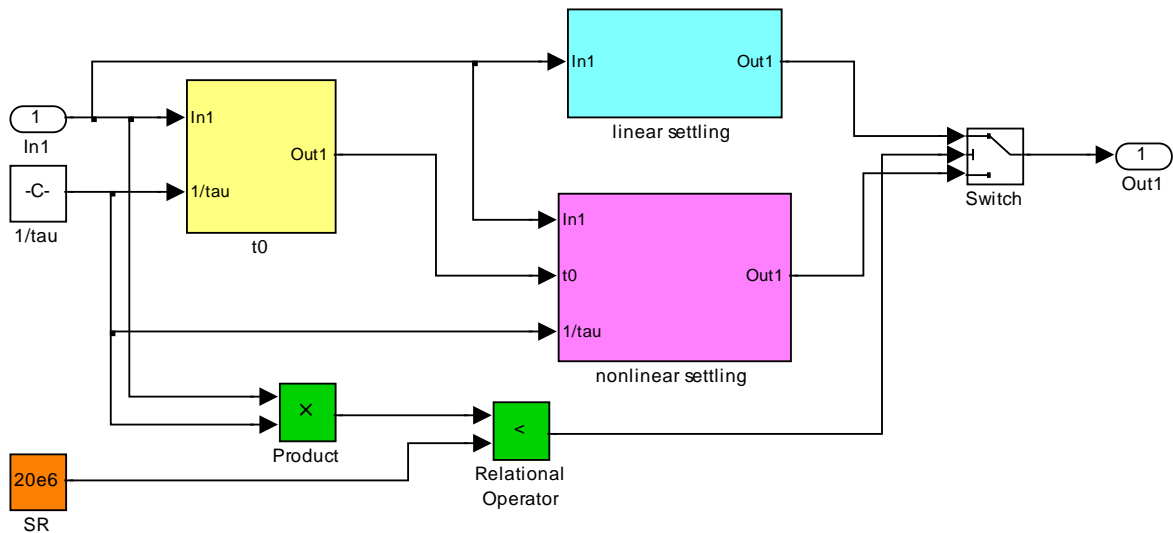


Figure 5.12. Le modèle de l'intégrateur réel.

Un amplificateur opérationnel réel possède obligatoirement un gain fini et une certaine bande passante. Quelque soit le système implémenté, les valeurs finies des grandeurs caractéristiques des composants modifient naturellement la fonction de transfert lors du passage d'un modèle à une implémentation réelle.

Le gain de l'intégrateur décrit par la fonction de transfert 5.9 est infini.

$$H(z) = \frac{z^{-1}}{1-z^{-1}} \quad (5.9)$$

Pour un intégrateur réel seule une fraction α de la sortie précédente de l'intégrateur est ajoutée à chaque échantillon d'entrée nouveau (paramètre "alfa" de la Figure 5.11). La fonction de transfert de l'intégrateur devient:

$$H(z) = \frac{z^{-1}}{1-\alpha z^{-1}} \quad (5.10)$$

Le gain en boucle ouverte devient donc:

$$H_0 = H(0) = \frac{1}{1-\alpha} \quad (5.11)$$

La largeur de bande finie et le slew rate de l'amplificateur opérationnel sont modélisés dans la Figure 5.12. L'effet de la largeur de bande finie et le slew rate sont liés et peut être interprété comme un gain non linéaire [41].

En se basons sur l'intégrateur à capacités commutées (Figure 5.1) l'évolution du nœud de sortie au cours de la nième période d'intégration (Lorsque Φ_2 est ouverte) est:

$$v_0(t) = v_0(nT - T) + \alpha V_s \left(1 - e^{-\frac{t}{\tau}}\right), \quad nT - \frac{T}{2} < t < nT \quad (5.12)$$

ou $V_s = V_{in} \left(nT - \frac{T}{2}\right)$, α est la fuite de l'intégrateur et $\tau = \frac{1}{2\pi GBW}$ est la constante de temps de l'intégrateur (GBW est la fréquence de gain unitaire de l'amplificateur opérationnel quand il est chargé par C_f). La pente de cette courbe atteint sa valeur maximale lorsque $t=0$, ce qui donne:

$$\left. \frac{d}{dt} v_0(t) \right|_{max} = \alpha \frac{V_s}{\tau} \quad (5.13)$$

Nous devons examiner maintenant deux cas distincts:

1. La valeur spécifiée par l'équation 5.13 est plus faible que le slew rate de l'amplificateur opérationnel SR. Dans ce cas, il n'y a pas de limitation slew rate et l'évolution de v_0 correspond à l'équation 5.12.

2. La valeur spécifiée par l'équation 3.13 est supérieure à SR. Dans ce cas, l'amplificateur opérationnel est en charge et par conséquent, la première partie de l'évolution temporelle de v_0 ($t < t_0$) est linéaire, avec une pente SR.

Les équations suivantes (en supposant que $t_0 < T$) résument les deux cas précédents:

$$t \leq t_0 \quad v_0(t) = v_0(nT - T) + SRt \tag{5.14}$$

$$t > t_0 \quad v_0(t) = v_0(t_0) + (\alpha V_s - SRt_0) \left(1 - e^{-\frac{t-t_0}{\tau}}\right) \tag{5.15}$$

Imposons la condition de la continuité des dérivées de (5.14) et (5.15) en t_0 , on obtient

$$t_0 = \frac{\alpha V_s}{SR} - \tau \tag{5.16}$$

Si $t_0 \geq T$ seule l'équation (5.14) est vérifiée.

L'effet du temps d'établissement décrit par les équations 5.14 et 5.15 qui pris en considération la non idéalité de la vitesse de balayage et la bande passante à gain unitaire est présenté par le modèle comportemental de la Figure 5.13.

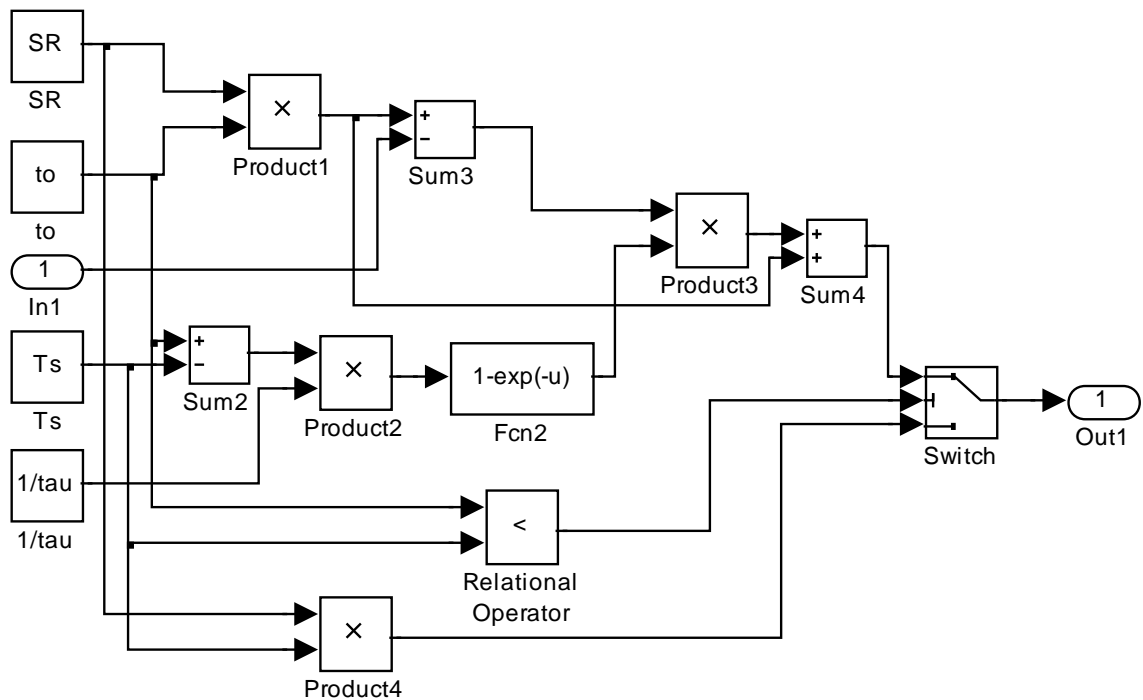


Figure 5.13. Modèle comportementale du temps d'établissement.

Le modèle dans la Figure 5.12 met en œuvre les équations ci-dessus pour calculer la valeur atteinte par $v_o(t)$ à l'instant T , qui sera différente de V_s en raison des limitations du gain, bande passante et slew rate de l'amplificateur opérationnel. Les limitations slew rate de la bande passante produisent une distorsion harmonique qui réduit le rapport signal-bruit et le rapport de distorsion (SNDR) du Modulateur sigma delta.

La dynamique des signaux dans les modulateurs sigma delta est une préoccupation majeure. Il est donc important de prendre en compte les niveaux de saturation de l'amplificateur opérationnel utilisé. Cela peut simplement être fait dans SIMULINK.

V.2.4. L'injection des charges (clock feedthrough)

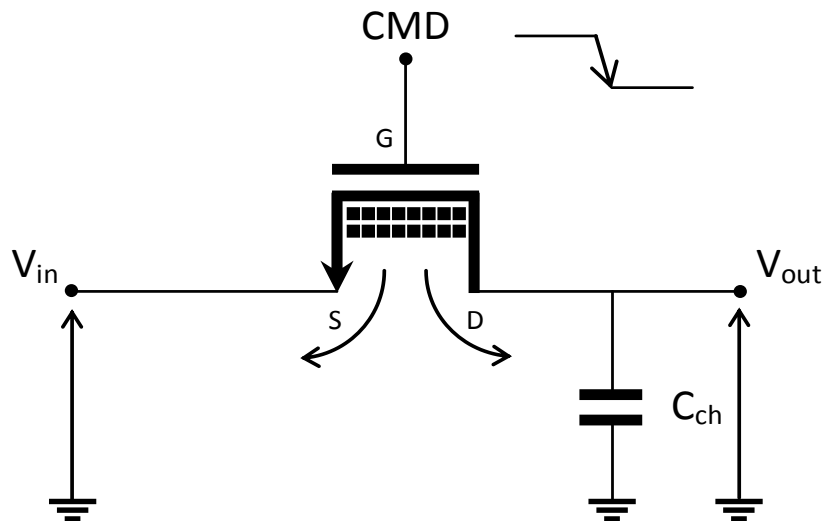


Figure 5.14. Le phénomène d'injection de charges pour un transistor NMOS.

Lorsque le commutateur est en mode fermé, un canal au niveau de l'interface entre la grille et le substrat se crée. La capacité C_{ch} va se charger faisant tendre petit à petit la tension source drain vers zéro. La charge alors accumulée dans le canal peut s'exprimer par la relation suivante :

$$Q_{ch} = -WLC_{ox}(V_{gs} - V_T) \quad (5.17)$$

Lorsque le commutateur change d'état et s'ouvre, ce dernier va ramener la tension V_{gs} en dessous de la valeur de V_T , alors les charges accumulées dans le canal vont se réinjecter dans le circuit via le drain et la source du transistor. Ce phénomène est appelé injection de charges du canal. Les charges injectées dans la source n'introduiront pas d'erreur dans le

circuit contrairement aux charges injectées dans le drain. Une partie de ces charges vont venir s'ajouter aux charges du signal V_{out} entraînant une erreur ΔV dont la valeur vaut :

$$\Delta V_1 = \frac{-WLC_{ox}(V_{gs}-V_T)}{2C_{ch}} \quad (5.18)$$

avec W et L respectivement la largeur et la longueur du transistor, V_{gs} la tension entre la source et la grille, C_{ox} la capacité de l'oxyde de la grille et V_T la tension de seuil du transistor. Le même raisonnement s'applique lors du changement d'état lors de la fermeture du commutateur.

Il faut en plus de cette erreur, considérer que le transistor MOS va aussi coupler la tension du signal de commande à la capacité de charge aux travers des capacités parasites de recouvrement entre la grille et la source et entre la grille et le drain. Lors d'une commutation rapide les charges accumulées dans ces capacités vont venir s'ajouter à l'erreur précédente. La valeur de cette nouvelle erreur vaut :

$$\Delta V_2 = -V_{CMD} \times \frac{C_{re}}{C_{re}+C_{ch}} \quad (5.19)$$

avec V_{CMD} la tension de la commande, C_{re} la capacité parasite et C_{ch} la capacité de charge du circuit.

Afin de minimiser cette erreur il est possible d'utiliser la méthode du transistor fantôme (aussi appelé « dummy transistor »).

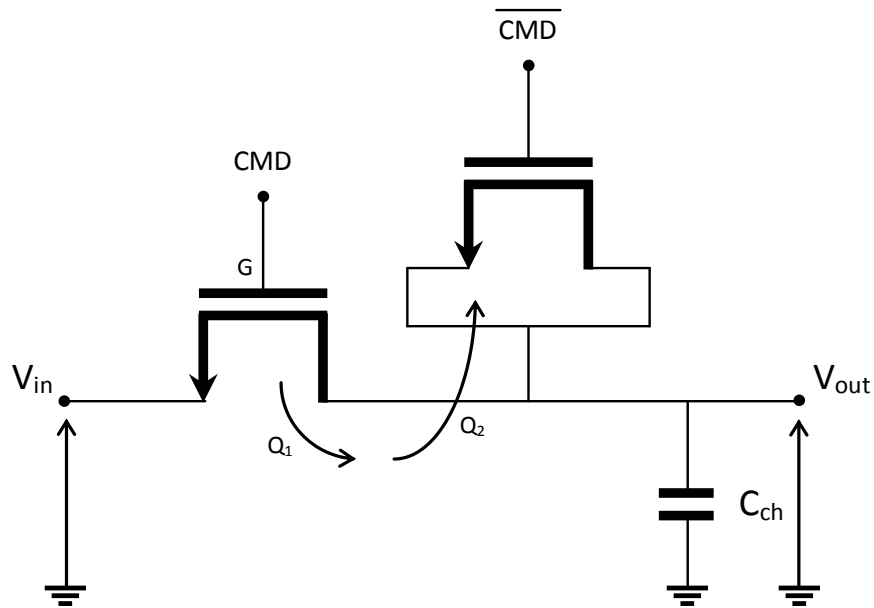


Figure 5.15. Détail de la mise en œuvre de la technique "dummy" transistor.

La Figure 5.15 montre la mise en œuvre de la technique du transistor fantôme qui consiste à placer à côté du transistor monté en commutateur un transistor dont le drain et la source ont été connectés ensemble. Un signal complémentaire ($\overline{\text{CMD}}$) au signal de fermeture du commutateur (CMD) est connecté à la grille du transistor fantôme. Cette technique permet de faire absorber la quantité de charges (Q_1) libérées par le commutateur par le transistor fantôme. Cela suppose donc que la charge Q_2 absorbée par le transistor fantôme soit égale à l'inverse de la charge libérée Q_1 . Ces deux charges peuvent s'exprimer de la manière suivante :

$$Q_1 = \frac{-W_1 L_1 C_{ox} (V_{gs} - V_{T1})}{2} \quad (5.20)$$

$$Q_2 = W_2 L_2 C_{ox} (V_{gs} - V_{T2}) \quad (5.21)$$

En observant les deux équations il paraît clair que cette technique n'est optimum que si les deux transistors ont la même longueur et que le transistor fantôme a une largeur deux fois plus petite que le commutateur.

Cette technique permet aussi de compenser l'injection de charge. Si l'on considère les capacités de recouvrement de chacun des deux transistors (respectivement C_1 pour le

commutateur et C_2 pour le transistor fantôme) on peut exprimer l'erreur totale liée au phénomène de « clock feedthrough » à partir de l'équation :

$$\Delta V = -V_{CMD} \times \frac{C_1}{2 \times C_2 + C_1 + C_{ch}} + V_{CMD} \frac{2 \times C_2}{2 \times C_2 + C_1 + C_{ch}} \quad (5.22)$$

Pour que cette erreur soit nulle, il faut que les deux transistors aient la même longueur mais que le transistor fantôme ait une largeur deux fois plus petite que celle du commutateur.

Cependant pour que les charges soient parfaitement compensées il faudrait que les quantités libérées par le commutateur dans le drain et la source soient parfaitement identiques ce qui dans la réalité n'est pas le cas. La technique du transistor fantôme permet cependant de fortement minimiser le phénomène du « clock feedthrough » ainsi que celui des charges injectées.

Le bruit dû au phénomène de l'injection des charges dans les transistors du switch est modélisé dans Figure 5.16.

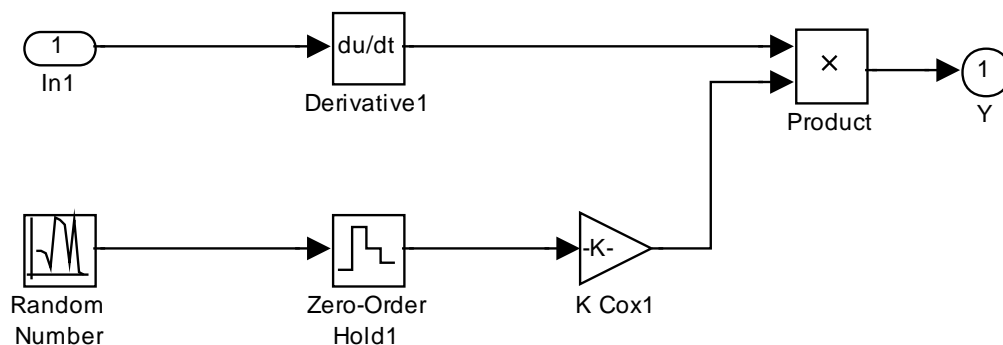


Figure 5.16. Le modèle Simulink de l'effet du l'injection des charges

V.3. Impacte des erreurs sur les performances du modulateur

V.3.1. Le bruit en kT/C

La Figure 5.17.a montre l'effet du bruit en kT/C sur le spectre du signal de sortie. La pente de 40 dB/décade indique que le bruit de quantification a subi un façonnement sur une large bande de fréquence si aucun autre bruit domine. Figure 5.17.b (5 pF) et 17.c (100 fF) montrent que le bruit kT/C commence à dominer le bruit de fond dans les basses fréquences. Le bruit kT/C augmente lorsque la valeur du condensateur d'échantillonnage diminue. Comme il s'agit d'un bruit blanc introduit à l'entrée, il ne sera pas façonné.

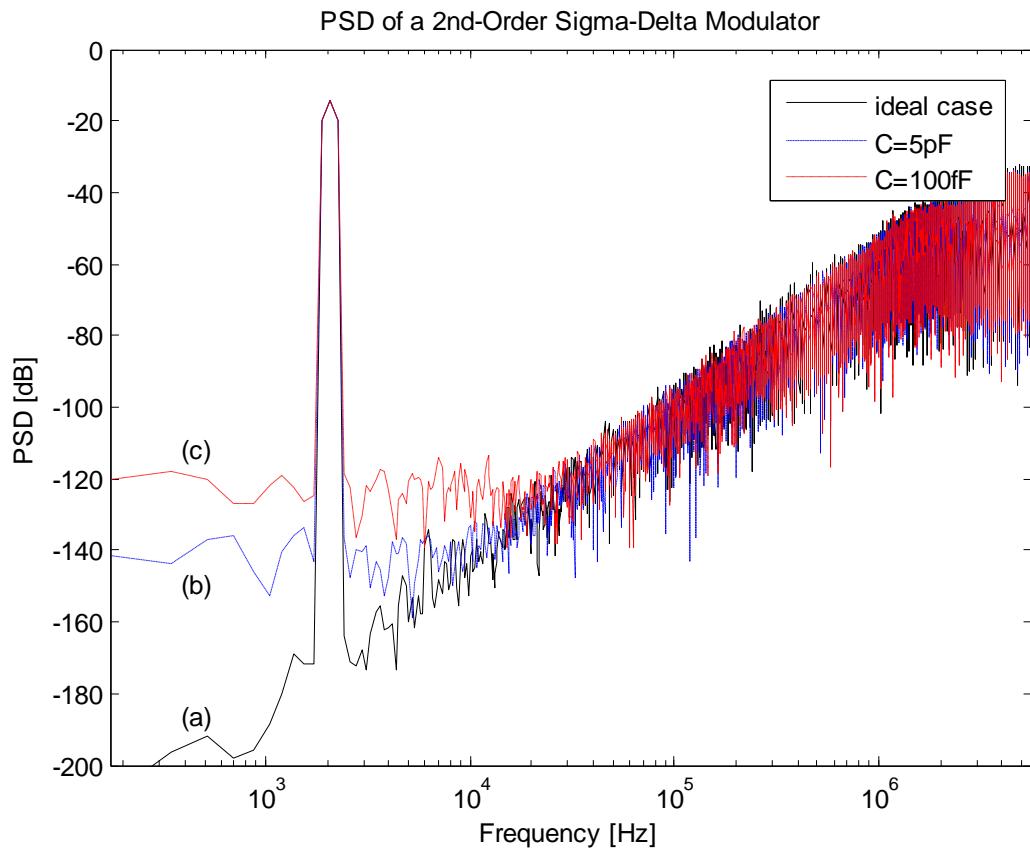


Figure 5.17. Impacte du bruit en kT/C sur le spectre de la sortie.

V.3.2. Effet du bruit thermique de l'amplificateur

Comme le bruit kT/C et du clock jitter, le bruit thermique de l'amplificateur a le même effet sur SNR. Figure 5.18.a montre l'effet du bruit de l'amplificateur thermique avec une valeur de $5 \mu V_{rms}$. Figure 5.18.b montre la densité spectrale du signal de sortie dans le cas idéal.

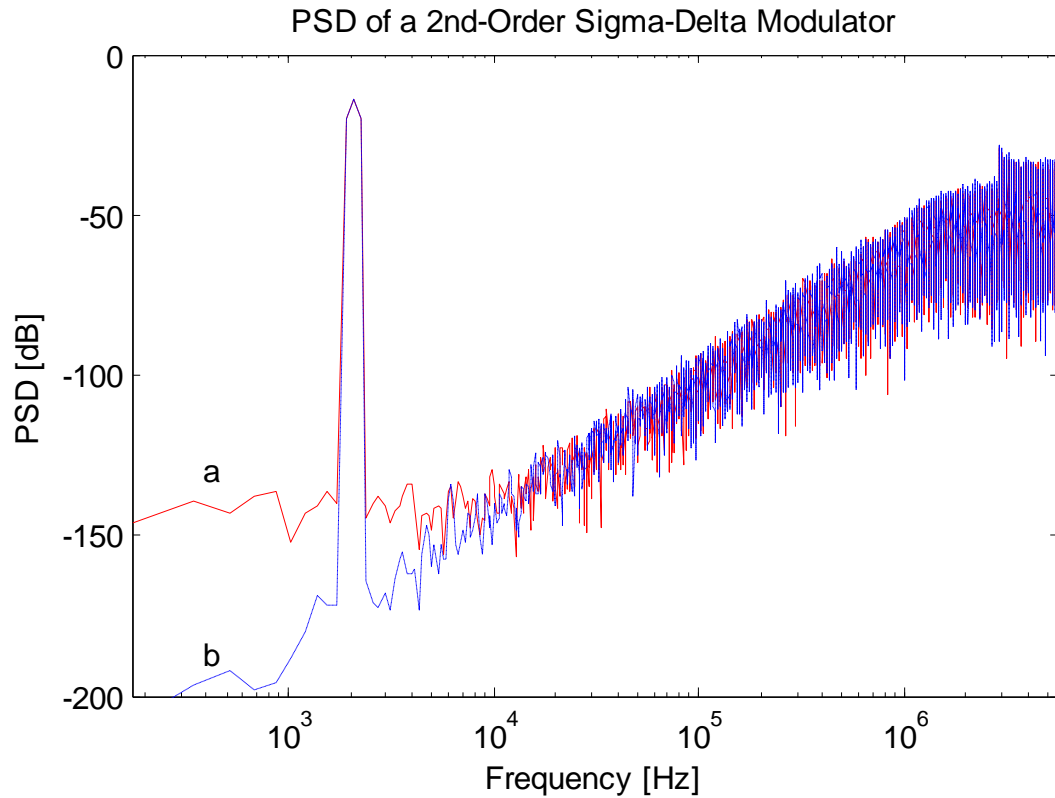


Figure 5.18. Effet du bruit thermique de l'amplificateur sur le rapport signal sur bruit du modulateur.

V.3.3. L'effet du slew rate

La vitesse de balayage de l'amplificateur montrée dans la Figure 5.19.a est de 15V/ms, Figure 5.19.b est de 20V/ms, Figure 5.19.c est de 25 V/ms, Figure 5.19.c est sans l'imperfection slew rate.

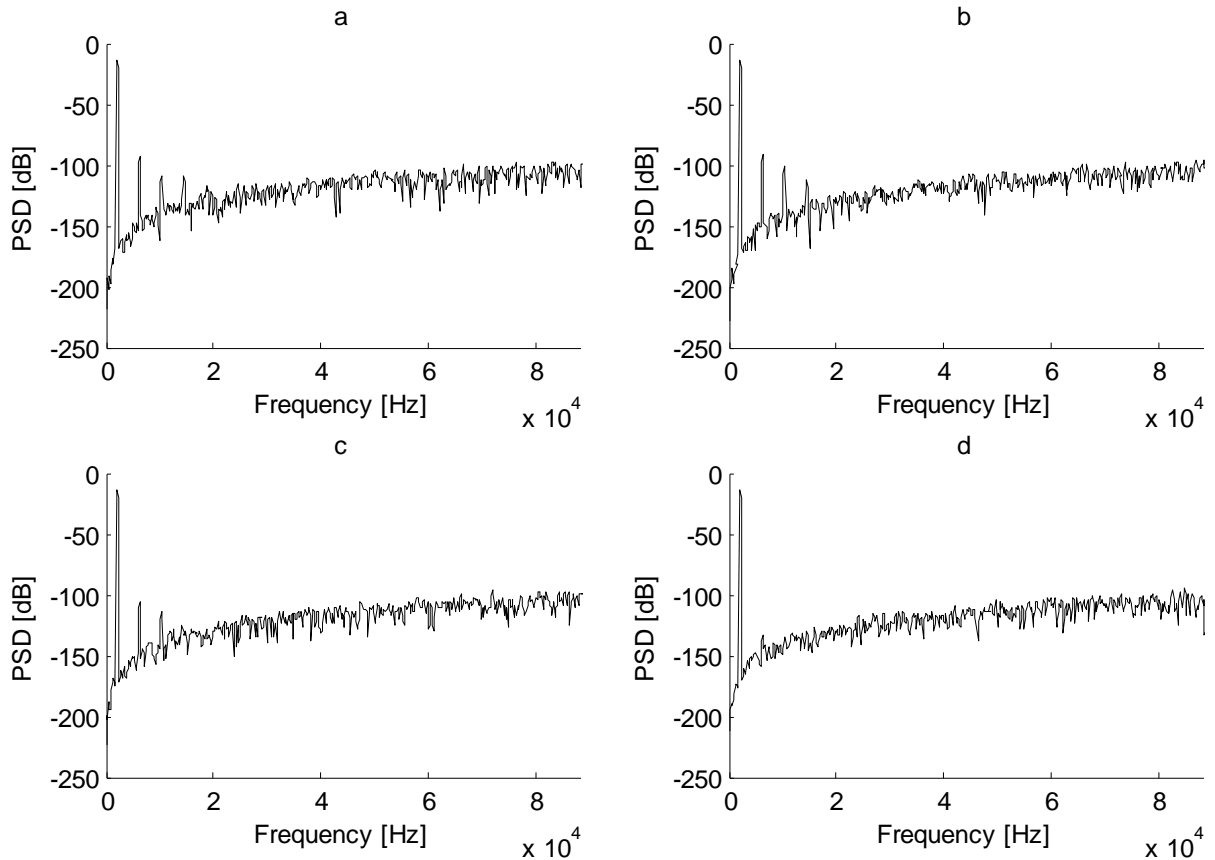


Figure 5.19. Effet du slew rate sur la densité spectrale du signal de sortie.

Figure 5.20 montre que le niveau de bruit et la distorsion harmonique augmentent tant que le slew-rate de l'amplificateur diminue.

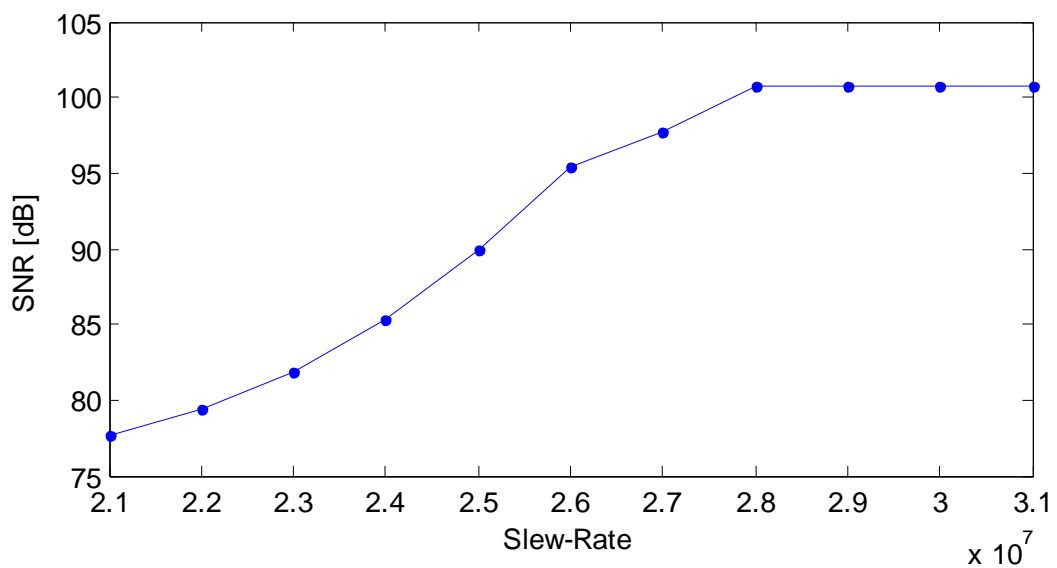


Figure 5.20. Effet du slew rate de l'amplificateur sur le SNR.

V.4. Le modèle comportemental du modulateur sigma delta

Pour valider les modèles des différentes non-idéalités et des bruits affectant le fonctionnement des modulateurs sigma delta, nous avons mis en œuvre un modèle comportemental d'un modulateur sigma delta de deuxième ordre passe bas qui comprend la plupart des sources de bruit et imperfections des différents blocs du modulateur Figure 5.22 [54].

Les simulations de ce modèle sont réalisées en utilisant les paramètres énumérés dans le tableau 5.1.

Tableau 5.1 : Paramètres du modulateur montré dans la Figure 5.21.

Paramètre	Valeur
Rapport de sur échantillonnage (OSR)	256
Fréquence de l'horloge (MHz)	11.28
Fréquence de la sinusoïde d'entrée (kHz)	2.06
Nombre d'échantillon	65536
a1, a3	0.2
a2	0.5
a4	0.25
a	1

Nous avons comparé les résultats obtenus en simulation avec les résultats des simulations données par boîte à outils Matlab [56].

La Figure 5.23 montre les densités spectrales de la sortie du modulateur obtenus par les trois modèles: le modèle modulateur idéal, le modèle donné par [56] et le modèle proposé dans ce travail.

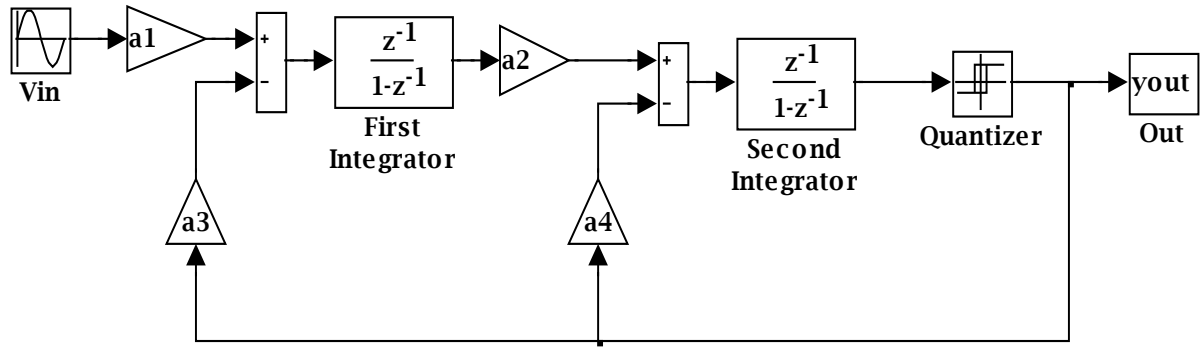


Figure 5.21. Modèle idéale d'un modulateur sigma delta de deuxième ordre.

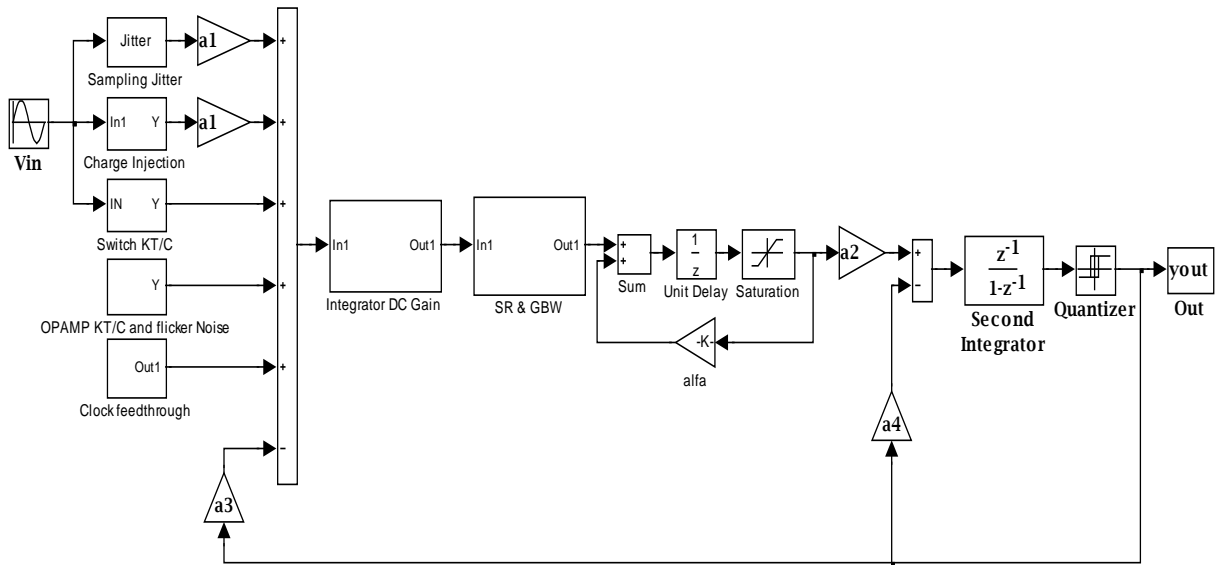


Figure 5.22. Le modèle réel proposé avec les sources bruit cité supra.

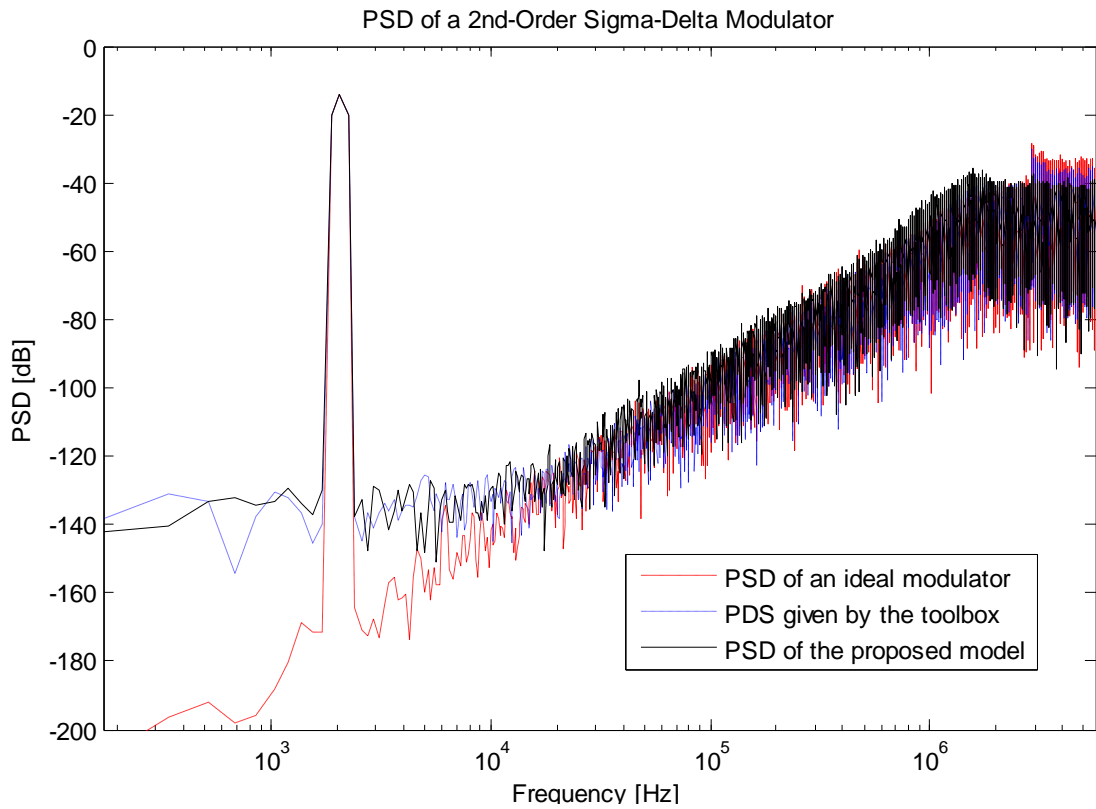


Figure 5.23. Densité spectrale des trois modèles.

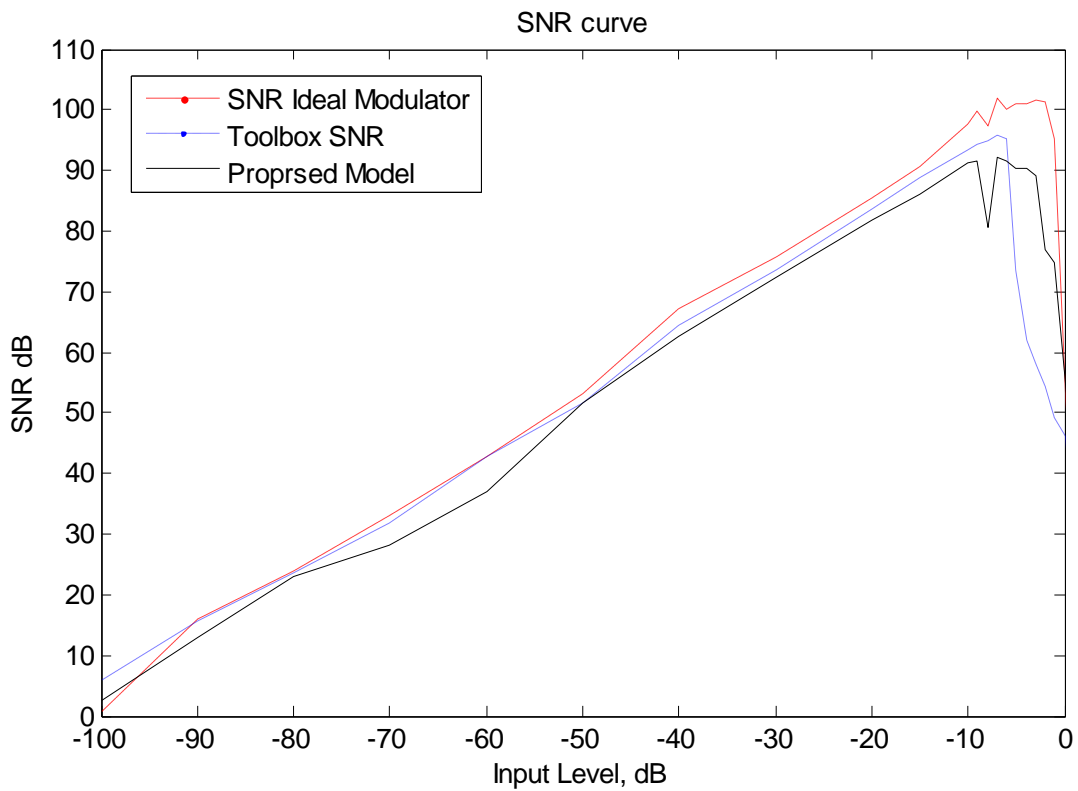


Figure 5.24. La densité spectrale du modulateur second ordre passe bas en fonction de l'amplitude du signal d'entrée.

V.5. Conclusion

Un modèle plus complet et précis du comportement d'un modulateur sigma delta second ordre passe-bas est présenté et discutée dans ce chapitre. Il comprend la plupart des sources de bruit (bruit des commutateurs et des amplificateurs opérationnels le bruit thermique ets), le bruit due à l'incertitude du signal d'horloge, et les imperfections des blocs de l'intégrateur (le gain fini, la bande passante finie, slew rate ets) et l'injection des charges dans les commutateurs et leurs résistance.

Le modèle proposé est comparé avec le modèle donné par [57] et les résultats de simulation sont en bon accord, mais notre modèle est plus élaboré et complet et comporte plus de non-idéalités et imperfections. Le temps de calcul nécessaires et la puissance du calculateur sont similaires à [57] puisque nous utilisons les mêmes outils SIMULINK et le même principe de la simulation haut niveau. Mais sont beaucoup moins qu'une simulation niveau transistor (outils CADENCE).

Conclusion générale

L'évolution rapide dans le domaine de la microélectronique permet la réalisation de dispositifs complexes. Bien que de plus en plus dominée par des fonctions numériques, la partie analogique de ces systèmes reste problématique et très couteuse en temps de développement et de simulation.

Les résultats du travail de thèse présenté dans ce manuscrit constituent une contribution à ce besoin d'accélération du flot de conception des architectures des convertisseurs analogiques numériques, spécialement au niveau de conception, modélisation comportementale et simulation.

L'objectif de cette thèse est de mettre en œuvre une méthode de conception d'un modulateur sigma delta prenant en compte les spécifications depuis le cahier de charge jusqu'à l'implémentation.

Un état de l'art concernant les différentes topologies de CAN existantes pour l'interfaçage entre le monde analogique et numérique, nous a permis de mettre en lumière les points délicats liés à ce genre de circuits.

Pour l'aspect méthode de conception qui constitue notre premier objectif, nous avons proposé une méthode de conception hiérarchique basés sur deux axes :

- Le premier axe est basé sur la modélisation des blocs de base qui représente les différentes sources de bruit et imperfections du circuit.
- Concernant le deuxième axe, nous avons adopté une architecture à base de modulateur sigma delta à capacités commutées qui prend en considération les sources de bruit et imperfections cités supra.

L'adoption de la modélisation comportementale grâce aux différents avantages qu'elle offre, tout d'abord, l'utilisation des modèles hauts niveaux permet le gain de temps de calcul par rapport aux simulateurs niveau transistor, en plus elle permet de prédire le comportement du modulateur en présence des imperfections.

Cette méthode permettra aussi de provisionner les spécifications pour atteindre les performances fixées auparavant.

Comme perspectives pour ce travail, cette méthode peut être généralisée pour d'autres types de circuits. Cette approche peut prendre d'autres sources d'erreurs non prises en charge dans notre modèle.

On peut adopter au niveau de la modélisation comportemental un autre environnement de modélisation haut niveau comme (VHDL AMS, System C...).

Bibliographie

- [1] B. Razavi. (1995). Principles of Data Conversion System Design, IEEE Press, New York, 1995.
- [2] S.R. Norsworthy, R. Schreier, and G.C. Temes. "Delta-Sigma Data Converters Theory, Design, and Simulation" IEEE Press 1996.
- [3] J.C. Candy and G.C. Temes. Oversampling Delta-Sigma Data Converters IEEE Press 1992.
- [4] L. P. Carloni, F. De Bernardinis, A. L. Sangiovanni-Vincentelli, and M. Sgroi, "The art and science of integrated systems design," in Solid-State Circuits Conference, 2002. ESSCIRC 2002. Proceedings of the 28th European, 2002, pp. 25-36.
- [5] C. Taillefer, "Analog-to-Digital Conversion via Time-Mode Signal Processing," Doctorat, Department of Electrical and Computer Engineering, McGill University, Montréal, 2007.
- [6] O. BERNAL, "Conception de Convertisseurs Analogique-Numérique en technologie CMOS basse tension pour chaînes Vidéo CCD Spatiales," Doctorat, Laboratoire d'Électronique de l'E.N.S.E.E.I.H.T., l'Institut National Polytechnique de Toulouse, 2006.
- [7] M. Dessouky and A. Kaiser, "Very low-voltage digital-audio $\Delta\Sigma$ modulator with 88-dB dynamic range using local switch bootstrapping," Solid-State Circuits, IEEE Journal of, vol. 36, pp. 349-355, 2001.
- [8] S. Paton, A. Di Giandomenico, L. Hernandez, A. Wiesbauer, T. Potscher, and M. Clara, "A 70-mW 300-MHz CMOS continuous-time $\Sigma\Delta$ ADC with 15-MHz bandwidth and 11 bits of resolution," Solid-State Circuits, IEEE Journal of, vol. 39, pp. 1056-1063, 2004.
- [9] M. DAHOUMANE, "Conception, Réalisation et Caractérisation de l'Électronique Intégrée de Lecture et de Codage des Signaux des Détecteurs de Particules Chargées à Pixels Actifs en Technologie CMOS," Doctorat, École Doctorale de Physique et Chimie Physique, Université de Strasbourg, Strasbourg, 2009.
- [10] Y. Layouni, "Méthodologie d'aide à la conception de structures intégrées mixtes : application à une interface capteur paramétrable à base de convertisseur Sigma Delta," Doctorat, Laboratoire de recherche INL, L'institut national des sciences appliquées de Lyon, 2008.
- [11] H. Bilhan and M. W. Gosney, A 13 bit 20 Ms/s current mode pipelined analog to digital converter, 1999.
- [12] D. Macq and P. G. A. Jespers, "A 10-BIT PIPELINED SWITCHED-CURRENT A/D CONVERTER," IEEE Journal of Solid-State Circuits, vol. 29, pp. 967-971, Aug 1994.
- [13] W. Jin-sheng and W. Chin-Long, "A low-voltage low-power 13-b pipelined switched-current cyclic A/D converter," in Low Power/Low Voltage Mixed-Signal Circuits and Systems, 2001. (DCAS-01). Proceedings of the IEEE 2nd Dallas CAS Workshop on, 2001, pp. P15-P18.
- [14] W. Jin-sheng and W. Chin-Long, "A 12-bit 100-ns/bit 1.9-mW CMOS switched-current cyclic A/D converter," Circuits and Systems II: Analog and Digital Signal Processing, IEEE Transactions on, vol. 46, pp. 507-516, 1999.

-
- [15] J. Yuan and J. Piper, "Floating-point analog-to-digital converter," in *Electronics, Circuits and Systems*, 1999. Proceedings of ICECS '99. The 6th IEEE International Conference on, 1999, pp. 1385-1388 vol.3.
- [16] D. U. Thompson and B. A. Wooley, "A 15-b pipelined CMOS floating-point A/D converter," *Solid-State Circuits, IEEE Journal of*, vol. 36, pp. 299-303, 2001.
- [17] C. Myung-Jun, S. Bang-Sup, and K. Bacrania, "A 13-b 40-MSamples/s CMOS pipelined folding ADC with background offset trimming," *Solid-State Circuits, IEEE Journal of*, vol. 35, pp. 1781-1790, 2000.
- [18] S. Y. Chuang and T. L. Sculley, "A digitally self-calibrating 14-bit 10-MHz CMOS pipelined A/D converter," *Solid-State Circuits, IEEE Journal of*, vol. 37, pp. 674-683, 2002.
- [19] H. Matsui, M. Ueda, M. Daito, and K. Iizuka, "A 14bit digitally self-calibrated pipelined ADC with adaptive bias optimization for arbitrary speeds up to 40MS/s," in *VLSI Circuits, 2005. Digest of Technical Papers. 2005 Symposium on*, 2005, pp. 330-333.
- [20] M. Byung-Moo, P. Kim, F. W. Bowman, III, D. M. Boisvert, and A. J. Aude, "A 69-mW 10-bit 80-MSample/s Pipelined CMOS ADC," *Solid-State Circuits, IEEE Journal of*, vol. 38, pp. 2031-2039, 2003.
- [21] B. Murmann and B. E. Boser, "A 12-bit 75-MS/s pipelined ADC using open-loop residue amplification," *Solid-State Circuits, IEEE Journal of*, vol. 38, pp. 2040-2050, 2003.
- [22] T. N. Andersen, B. Hernes, A. Briskemyr, F. Telsto, J. Bjornsen, T. E. Bonnerud, and O. Moldsvor, "A cost-efficient high-speed 12-bit pipeline ADC in 0.18- μ m digital CMOS," *Solid-State Circuits, IEEE Journal of*, vol. 40, pp. 1506-1513, 2005.
- [23] C. Hsin-Shu, S. Bang-Sup, and K. Bacrania, "A 14-b 20-Msamples/s CMOS pipelined ADC," *Solid-State Circuits, IEEE Journal of*, vol. 36, pp. 997-1001, 2001.
- [24] H. van der Ploeg, G. Hoogzaad, H. A. H. Termeer, M. Vertregt, and R. L. J. Roovers, "A 2.5-V 12-b 54-Msample/s 0.25- μ m CMOS ADC in 1-mm² with mixed-signal chopping and calibration," *Solid-State Circuits, IEEE Journal of*, vol. 36, pp. 1859-1867, 2001.
- [25] W. Yang, D. Kelly, L. Mehr, M. T. Sayuk, and L. Singer, "A 3-V 340-mW 14-b 75-Msample/s CMOS ADC with 85-dB SFDR at Nyquist input," *Solid-State Circuits, IEEE Journal of*, vol. 36, pp. 1931-1936, 2001.
- [26] J. C. Morizio, I. M. Hoke, T. Kocak, C. Geddie, C. Hughes, J. Perry, S. Madhavapeddi, M. H. Hood, G. Lynch, H. Kondoh, T. Kumamoto, T. Okuda, H. Noda, M. Ishiwaki, T. Miki, and M. Nakaya, "14-bit 2.2-MS/s sigma-delta ADC's," *Solid-State Circuits, IEEE Journal of*, vol. 35, pp. 968-976, 2000.
- [27] P. Yong-In, S. Karthikeyan, K. Wern Ming, J. Zhongnong, and T. Tiak-Chean, "A 16-bit, 5MHz multi-bit sigma-delta ADC using adaptively randomized DWA," in *Custom Integrated Circuits Conference, 2003. Proceedings of the IEEE 2003*, 2003, pp. 115-118.
- [28] (2005). *Data Conversion Handbook*.
- [29] B. Baker. (2004). what does the ADC SNR mean.

-
- [30] S. BERNARD, "Test Intégré pour Convertisseurs Analogique/Numérique," Doctorat, SCIENCES ET TECHNIQUE DU LANGUEDOC, UNIVERSITE MONTPELLIER II, 2001.
- [31] Jurgen van Engelen, Rudy J. van de Plassche. "Bandpass Sigma Delta Modulators: Stability Analysis, Performance and Design Aspects" . Springer 1999
- [32] M. O. J. Hawksford, "Time-quantized frequency modulation, time-domain dither, dispersive codes, and parametrically controlled noise shaping in SDM," Journal of the Audio Engineering Society, vol. 52, pp. 587-617, Jun 2004.
- [33] Rudy J. van de Plassche."CMOS Integrated Analog-To-Digital and Digital-To-Analog Converters" Spriger 2005.
- [34] Bell Telephone Laboratories "Transmission systems for communications". Bell Telephone Laboratories (1982)
- [35] P. M. Aziz, H. V. Sorensen, and J. VanderSpiegel, "An overview of sigma-delta converters," Ieee Signal Processing Magazine, vol. 13, pp. 61-84, Jan 1996.
- [36] R. S. Steven R. Norsworthy, Gabor C. Temes."Delta-Sigma data converters Theory, Design, and Simulation" IEEE Press(1996).
- [37] K. M. David Johns."Analog Integrated Circuit Design". Wiley 1997
- [38] K. C. H. Chao, S. Nadeem, W. L. Lee, and C. G. Sodini, "A higher order topology for interpolative modulators for oversampling A/D converters," Circuits and Systems, IEEE Transactions on, vol. 37, pp. 309-318, 1990.
- [39] P. Malcovati, S. Brigati, F. Francesconi, F. Maloberti, P. Cusinato, and A. Baschiroto, "Behavioral modeling of switched-capacitor Sigma-Delta modulators," Ieee Transactions on Circuits and Systems I-Fundamental Theory and Applications, vol. 50, pp. 352-364, Mar 2003.
- [40] F. MALOBERTI. "Data Converters". Springer 2007
- [41] F. Medeiro, B. Perezverdu, A. Rodriguezvazquez, J. L. Huertas, and Ieee, MODELING OPAMP-INDUCED HARMONIC DISTORTION FOR SWITCHED-CAPACITOR Sigma Delta-MODULATOR DESIGN, 1994.
- [42] H. Zare-Hoseini, I. Kale, and O. Shoaie, "Modeling of switched-capacitor delta-sigma modulators in SIMULINK," Ieee Transactions on Instrumentation and Measurement, vol. 54, pp. 1646-1654, Aug 2005.
- [43] B. E. Boser and B. A. Wooley, "THE DESIGN OF SIGMA-DELTA MODULATION ANALOG-TO-DIGITAL CONVERTERS," Ieee Journal of Solid-State Circuits, vol. 23, pp. 1298-1308, Dec 1988.
- [44] Fernando Medeiro, Angel Pérez-Verdû, and Angel Rodriguez-Vâzquez "Top-Down Design of High-Performance Sigma-Delta Modulators". KLUWER ACADEMIC PUBLISHERS (1998)
- [45] A. Dendouga, N. Bouguechal, S. Kouda and S. Barra, "Modeling of a Second Order Sigma-Delta Modulator with Imperfections," International Journal on Electrical Engineering and Informatics, vol. 3, p. 11, 2011.

-
- [46] F. M. R. del Rio, B. Pérez-Verdú, J.M. de la Rosa and Á. Rodríguez-Vázquez. "CMOS Cascade Sigma-Delta Modulators for Sensors and Telecom". Springer 2006
- [47] D. Liang and R. Harjani, "CMOS switched-op-amp-based sample-and-hold circuit," Solid-State Circuits, IEEE Journal of, vol. 35, pp. 109-113, 2000.
- [48] M. Liu. "Demystifying Switched Capacitor Circuits". Elsevier 2006
- [49] D.A. Johns, K. Martin. "Analog Integrated Circuit Design". John Wiley & Sons, Inc 1997
- [50] R. Schreier and G. C. Temes. "Understanding Delta-Sigma Data Converters". IEEE Press 2005
- [51] F.-E. RARBI, "Conception d'un convertisseur analogique numérique pipeline de grande dynamique et de faible consommation pour le codage des signaux de détecteurs à forte granularité," Doctorat, laboratoire de Physique Subatomique et de cosmologie (IN2P3 – LPSC), UNIVERSITE DE GRENOBLE INSTITUT POLYTECHNIQUE DE GRENOBLE, 2010.
- [52] M. E. Waltari and K. A. I. Halonen. "Circuit techniques for low voltage high speed ADCs". Kluwer Academic Publishers 2002
- [53] K. D. C. a. T. H. Kuo, "Automatic Coefficients Synthesis and Circuit Implementation Techniques of High-Order Sigma-Delta Modulators," PhD thesis, Cheng Kung University in Taiwan, 1999.
- [54] A. Dendouga, N. Bouguechal, S. Kouda, S. Barra, and B. Lakehal, "Contribution to the modeling of a non-ideal Sigma-Delta modulator," Journal of Computational Electronics, vol. 11, pp. 321-329, 2012/12/01 2012.
- [55] K. B.-H. Khoo, "PROGRAMMABLE, HIGH-DYNAMIC RANGE SIGMA-DELTA A/D CONVERTERS FOR MULTISTANDARD, FULLY-INTEGRATED RF RECEIVERS," Department of Electrical Engineering and Computer Sciences, University of California at Berkeley, 1998.
- [56] Available: Category: Control Systems, File: SD Toolbox [Online]. Available:<http://www.mathworks.com/matlabcentral/fileexchange>