

République Algérienne Démocratique et Populaire
Ministère de l'Enseignement Supérieur et de la Recherche Scientifique



Université Hadj Lakhdar Batna
Faculté de Technologie
Département d'Électronique



THÈSE

Présentée pour l'obtention du diplôme de
DOCTORAT en SCIENCES en Électronique

OPTION

Microélectronique

Par

Fateh MOULAHCENE

Thème

Contribution à la Conception
Des circuits CMOS pour application médicale

Soutenue le 14/01/2016

devant le jury composé de :

Dr. Farida HOBAR	Prof.	Université de Constantine	Président
Dr. Nour-eddine BOUGUECHAL	Prof.	Université de Batna.	Rapporteur
Dr. Saida LATRECHE	Prof.	Université de Constantine	Examineur
Dr. Abdelhamid BENHAYA	Prof.	Université de Batna	Examineur
Dr. Abdelhamid OUNISSI	Prof.	Université de Batna	Examineur
Dr. Saida REBAI	Prof.	Université de Constantine	Examineur

بِسْمِ اللَّهِ الرَّحْمَنِ الرَّحِيمِ

Dédicace

Je dédie ce modeste travail fruit de plusieurs années de patience :
A ma chère mère symbole de tendresse, et à mon cher père symbole
de sacrifice
A ma femme
A mes frères et à ma sœur Ahelam
A tous mes Amis
A mes enseignants, lumières de mon chemin



Remerciements

Bien que cette thèse porte mon nom, elle est véritablement le fruit de la coopération de plusieurs personnes, qui m'ont encadré, supporté, guidé tout au long de ces années. Ce sont ces personnes que je tiens ici à remercier.

*Je souhaite remercier avant tout mon directeur de thèse **Mr. Nour-Eddine BOUGUECHAL** professeur à l'université de Batna et responsable du laboratoire de l'électronique avancée (LEA). Je retiens du professeur **BOUGUECHAL** ses grandes qualités d'encadrement, n'a eu de cesse de m'encourager et de me soutenir durant ces dernières années. J'en profite pour lui exprimer ici ma plus profonde gratitude.*

*Mes vifs remerciements à **Mme. Farida HOBAR**, professeur à l'université de Constantine, pour avoir accepté de présider le jury et à bien voulu prendre le temps de s'intéresser au sujet de la présente thèse.*

*Je tiens à remercier vivement **Mme. Saida LATRECHE**, professeur à l'université de Constantine, **Mr. Abdelhamid BENHAYA** professeur à l'université de Batna, **Mr. Abdelhamid OUNISSI**, professeur à l'université de Batna et **Mme. Saida REBAI**, Maitre de conférence à l'université de Constantine d'avoir fait partie du jury en qualité d'examineurs et pour m'avoir honoré par leurs présences au jury.*

*Je remercie également mes amis, **Yousef, Samir, Soufiane, Salah, Imad, mekki**, et tous mes amis; pour tout ce qu'ils m'ont permis d'apprendre et bien plus encore. Je remercie également mes amis proches pour avoir toujours été là. Je remercie aussi les gens que j'ai pu côtoyer durant mes années de thèse qui ont contribué de près ou de loin le long de mes études et recherches scientifiques.*

Enfin, je souhaite remercier chaleureusement ma famille ; à mes parents, et mes amis qui ont été un soutien constant tout au long de mes études et méritent donc tous de se voir dédicacer ce manuscrit.

*Mon dernier remerciement va directement à la personne qui a partagé au plus près cette aventure avec moi, celui qui a été ma motivation permanente, celui qui a œuvré dans l'ombre, ma femme **nadia** merci pour son amour, sa patience, sa compréhension et son soutien sans égal au cours de ces années.*

*Cette thèse n'aurait eu aucun sens sans la présence de mon ange, mon fils **Anes abdelhak**, qui colorie ma vie.*



Sommaire

Sommaire

Introduction Générale.....	11.
----------------------------	-----

Chapitre 1 :Circuits et Signaux Médicaux

I.1. Introduction	19.
I.2. Signaux médicaux	19.
I.3. Circuits médical.....	21.
I.3.1. Implant Cochléaire et prothèse auditive.....	21.
I.3.2. Implant urinaire.....	23.
I.3.3. Implant Intra-corticale prothèse visuelle.....	24.
I.3.4. Implant du Cerveau.....	25.
I.3.5. Implant Pacemaker.....	27.
I.4. Conclusion.....	28.

Chapitre 2 :Le signal ECG et les Interférences

II.1 Introduction.....	30.
II.2 Système cardio-vasculaire.....	31.
II.2.1 Cœur.....	31.
II.2.2 Circulation sanguine.....	32.
II.3 L'électrophysiologie cardiaque.....	32.
II.3.1. Propriétés électro-physiologiques des cellules cardiaques.....	32.
II.3.2. Fonctionnement électrique du cœur.....	34.
II.4. L'électrocardiographie.....	34.
II.4.1. Système de Dérivations électrocardiographiques.....	35.
II.4.1.1. Dérivations périphériques.....	36.
II.4.1.1.1. Dérivations périphériques bipolaires.....	36.
II.4.1.1.2. Dérivations périphériques unipolaires.....	36.
II.4.1.2. Dérivations précordiales.....	37.
II.4.1.2.1. Position des électrodes précordiales	37.
II.4.2. Signal électrocardiogramme.....	38.
II.4.2.1. Ondes enregistrées sur un ECG normal.....	39.
II.4.2.2. Segments et intervalles qui caractérisent un ECG normal.....	40.
II.4.3 Le rythme cardiaque.....	41.

II.5	Interférence	42.
II.5.1.	Interférences dues à l'alimentation (60 ou 50 Hz).....	42.
II.5.2.	Interférences dues à l'activité électrique musculaire.....	42.
II.5.3.	Dérive de la ligne de base.....	42.
II.5.4	Interférences dues au mauvais contact électrode-peau	43.
II.5.5	Interférences d'instrumentation.....	43.
II.6	Conclusion.....	44.

Chapitre 3 : Cellules analogiques

III.1	Introduction.....	46.
III.2	Techniques de conception basse tension en technologie CMOS	46.
III.2.1	Transistor composite.....	47.
III.2.2	LatéralBJT.....	48.
III.2.3	Polarisation direct Bulk-Source.....	49.
III.2.4	Bulk-DrivenMOSFET.....	50.
III.3	Limitationsdecircuits eninversion forte travaillé avec alimentationbasse tension.....	52.
III.4	Technologie CMOS 90nm GPDK.....	53.
III.5	Régimes de transistor MOSFET.....	53.
III.5.1	Courant de drain en régime ohmique.....	53.
III.5.2.	Courant de drain en régime de saturation.....	53.
III.6	Bruit électrique Basse Fréquence dans le transistor MOSFET.....	54.
III.6.1	Bruit thermique.....	54.
III.6.2.	Bruit en 1/f.....	55.
III.7	Circuit portative pour le signal ECG.....	55.
III.7.1	Amplificateur opérationnel d'instrumentation.....	56.
III.7.1.1	Trois amplificateur opérationnel	56.
III.7.1.2	Chopper stabilisé Amplificateur opérationnel.....	59.
III.7.1.3	Réaction de courant (current feedback) Amplificateur opérationnel.....	60.
III.7.1.4	Capacité commuté Amplificateur opérationnel.....	62.
III.7.2.	Commutateurs analogique.....	63.
III.7.2.1	Phénomène d'injection de charges et de clockfeedthrough.....	65.
III.7.2.2.	Techniques d'amélioration des performances du commutateur analogique...	67.
III.7.2.2.1.	Porte de Transmission.....	67.
III.7.2.2.2	Technique du Bootstrapping.....	68.

III.7.2.2.3. Technique d'utilisation du transistor fantôme (dummy structure).....	69.
III.7.2.2.4 Technique du « bottom plate sampling » (BPS).....	70.
III.8. Conclusion.....	70.

Chapitre 4 : Convertisseur analogique Numérique (CAN)

IV.1 Introduction.....	72.
IV.2. Review des Architectures de CAN efficace en énergie.....	72.
IV.3. CAN fondamentaux et métriques de performance.....	75.
IV.3.1 Résolution.....	75.
IV.3.2. Erreur de quantification.....	75.
IV.3.3. Critères pour l'évaluation des performances d'un convertisseur.....	76.
IV.3.3.1 Paramètres dynamiques.....	77.
IV.3.3.1.1 Rapport Signal-sur-Bruit (SNR).....	77.
IV.3.3.1.2. Rapport Signal-sur-Bruit avec Distorsion (SNDR).....	78.
IV.3.3.1.3 Gamme dynamique utilisable (SFDR).....	78.
IV.3.3.1.4 Nombre effectif de bits (ENOB).....	78.
IV.3.3.1.5 Distorsion harmonique totale (THD).....	78.
IV.3.3.2 Paramètres statiques.....	79.
IV.3.3.2.1 Erreur de décalage (Offset) et Erreur à pleine échelle.....	79.
IV.3.3.2.2 Erreur de linéarité différentielle (DNL).....	80.
IV.3.3.2.3 Erreur de linéarité intégrale (INL).....	81.
IV.3.3.2.4 Monotonie.....	81.
IV.3.3.2.5 Codes manquants.....	81.
IV.4 Convertisseur analogique numérique à approximations successives SAR.....	82.
IV.4.1. Principe de fonctionnement de convertisseur à approximation successive.....	82.
IV.4.1.1. Convertisseur Numérique Analogique à réseaux capacitifs.....	84.
IV.4.1.1.1 CNA à capacité pondérées.....	86.
IV.4.1.2 .Comparateur.....	87.
IV.4.1.2.1. Performance Métriques des Comparateurs.....	88.
IV.4.1.2.1.1. Résolution.....	88.
IV.4.1.2.1.2. Gain.....	89.
IV.4.1.2.1.3 Délai de propagation.....	89.
IV.4.1.2.1.4 Tension d'Offset.....	89.
IV.4.1.2.2. Architectures du Comparateur.....	90.

IV.4.1.2.2.1.Comparateur en boucle ouvert.....	90.
IV.4.1.2.2.2.Comparateur à verrou.....	90.
IV.4.1.2.2.2.1.Comparateur à verrou statique.....	91.
IV.4.1.2.2.2.2.Comparateur à verrou dynamique.....	92.
IV.4.1.2.2.3.Combinant préamplificateur et verrou.....	93.
IV.4.1.3. Registre à approximation successive (RAS).....	94.
IV.5 Conclusion.....	96.

Chapitre 5 : Simulation et Résultats

V.1 Introduction.....	98.
V.2 Système d'acquisition de données pour signal ECG.....	98.
V.2.1 Signal ECG.....	99.
V.2.2 Amplificateur opérationnel chopper stabilisé pour Signal ECG.....	100.
V.2.2.1 Conception et simulation l'Amplificateur opérationnel à deux étage.....	100.
V.2.2.1.1 Miroir de courant.....	100.
V.2.2.1.2 Résistance Active.....	102.
V.2.3. Structure de chopper stabilisé.....	103.
V.3. Simulation et Discussion.....	104.
V.3.1. Paramètres de dispositifs.....	104.
V.3.2. Réponse en fréquence, Compensation.....	105.
V.3.3 Taux de rejet en mode commun CMRR.....	107.
V.3.4 Performance du Bruit.....	108.
V.3.5 Performance de technique de découpage (Chopper).....	109.
V.3.6 Performance globale de l'amplificateur opérationnel.....	111.
V.4 Amplificateur Opérationnel entièrement différentiel.....	112.
V.4.1 Performance du Taux de rejet en mode commun.....	113.
V.4.2 Performance du Gain et de la Phase.....	113.
V.4.3 Performance du Bruit.....	115.
V.4.4. Performance globale de l'amplificateur opérationnel.....	115.
V.5 Convertisseur Analogique Numérique SAR.....	116.
V.5.1 Convertisseur Numérique analogique CNA à réseaux capacitif pondérés.....	117.
V.5.2. Performance du comparateur.....	118.
V.5.2.1. Performance du Gain et de la phase.....	119.
V.5.2.2. Performance de la sortie.....	120.
V.5.3. Performance du Commutateur.....	120.

V. 5.4. Performance de registre à approximation successive.....	121.
V.5.5. Performance du Convertisseur Analogique Numérique CAN-SAR.....	123.
V.6. Conclusion.....	125.
Conclusion générale	127.
Bibliographie.....	131.

Chapitre 5

Simulation et Résultats

V.1 Introduction

V.2 Système d'acquisition de données pour signal ECG

V.2.1 Signal ECG

V.2.2 Amplificateur opérationnel chopper stabilisé pour Signal ECG

V.2.2.1 Conception et simulation l'Amplificateur opérationnel à deux étage

V.2.2.1.1 Miroir de courant

V.2.2.1.2 Résistance Active

V.2.3. Structure de chopper stabilisé

V.3. Simulation et Discussion

V.3.1. Paramètres de dispositifs

V.3.2. Réponse en fréquence, Compensation

V.3.3 Taux de rejet en mode commun CMRR

V.3.4 Performance du Bruit

V.3.5 Performance de technique de découpage (Chopper)

V.3.6 Performance globale de l'amplificateur opérationnel

V.4 Amplificateur Opérationnel entièrement différentiel

V.4.1 Performance du Taux de rejet en mode commun

V.4.2 Performance du Gain et de la Phase

V.4.3 Performance du Bruit

V.4.4. Performance globale de l'amplificateur opérationnel

V.5 Convertisseur Analogique Numérique SAR

V.5.1 Convertisseur Numérique analogique CNA à réseaux capacitif pondérés

V.5.2. Performance du comparateur.

V.5.2.1. Performance du Gain et de la phase.

V.5.2.2. Performance de la sortie.

V.5.3. Performance du Commutateur

V. 5.4. Performance de registre à approximation successive.

V.5.5. Performance du Convertisseur Analogique Numérique CAN-SAR.

V.6. Conclusion.

Introduction générale

Introduction générale

De nos jours, les fabricants de semi-conducteurs produisent des circuits intégrés (Integrated Circuits, **ICs**) de plus en plus complexes afin de répondre à la demande du marché. Ces circuits intégrés incluent, sur la même puce, des circuits analogiques, numériques et mixtes très performants.

Les progrès au cours des dernières années, dans le domaine de la microélectronique s'expliquent non seulement par le perfectionnement des procédés de fabrication des circuits intégrés, mais aussi par l'intervention de l'informatique à travers la Conception Assistée par Ordinateur (**CAO**). En effet, lors de la conception d'un circuit intégré, outre les principaux critères d'optimisation utilisés (surface de la puce, rapidité de fonctionnement, consommation...), le temps de conception lui-même est un paramètre très important. A mesure qu'augmente le nombre de transistors intégrés sur une puce, l'aide apportée par la **CAO** devient primordiale et la simulation du circuit avant fabrication incontournable. Or cette étape de simulation peut être considérablement ralentie en raison de la complexité croissante des circuits soumis aux logiciels de simulation [1].

Avec la diminution de la longueur de Transistors (L) rapidement vers le bas (\approx nm), conduisant à une augmentation du nombre de composants dans une même puce. Ces progrès continuent en électronique analogique et numérique impliquant également plusieurs inconvénients pour la conception des systèmes à faible consommation de puissance où la réduction de la tension d'alimentation interfère avec le courant d'attaque des transistors résultant dans des vitesses plus lentes [2] en plus à la complexité requise pour l'essai et la fabrication [3] [4][5].

Les concepteurs de circuits VLSI ont toujours pris comme métriques la vitesse, un grand gain et une petite surface en termes de performance. En général, une grande performance et une petite surface sont deux contraintes qui sont toujours en conflit. Les concepteurs de circuits intégrés cherchent un compromis entre ces contraintes [6]. En effet, les considérations de la puissance sont récentes, notamment dans les systèmes portables tels que les micro-ordinateurs, les téléphones sans fil, les montres et les différents systèmes implantables chez l'être humain (Stimulateur cardiaque : Pacemaker, implant visuel, implant urinaire, implant de rétine et implant cochléaire,etc.) [7] [8]. En outre, la demande pour les petits circuits à basse tension d'alimentation et faible consommation de puissance a considérablement augmenté dans le domaine des soins médicaux pour la surveillance des

soins de santé. L'objectif de toutes ces applications est la réalisation des fonctions à une faible consommation de puissance pour une longue période d'alimentation.

Actuellement, basse tension d'alimentation et faible consommation de puissance est devenue une contrainte importante dans la conception de circuits CMOS pour les circuits médicaux. Pour différentes raisons, parmi lesquelles nous citons:

- Les systèmes alimentés par une pile tels que: les systèmes implantables, les Micro-ordinateurs portables, les agendas électroniques...etc. Le besoin grandissant de ces systèmes augmente le besoin de prolonger la durée de vie de la pile. Puisque la technologie des piles offre des améliorations limitées, les techniques de conception à faible puissance sont essentielles pour les dispositifs portables.
- L'effet de baisser la tension d'alimentation aux plus faibles niveaux possibles peut être très impressionnant en termes d'économie de consommation en énergie. Non seulement l'énergie consommée, mais aussi le poids et le volume des systèmes opérant avec des batteries seront réduits.
- Actuellement La conception de systèmes A faible consommation en énergie est devenue une performance très importante dans le domaine médical, tel est le cas de plusieurs applications, comme les systèmes portables alimentés par une pile, Par exemple: les implants médicaux. Ces systèmes représentent une importante augmentation dans le marché.

Implants médicaux en microélectroniques

Un implant médical électronique est défini comme tout type de dispositif médical qui implante des composants électroniques et est implanté à l'intérieur du corps pour obtenir une réponse physiologique. Le premier implant médical microélectronique était un stimulateur cardiaque (Pacemaker), dès 1970. Mais beaucoup d'autres implants sont actuellement en usage, comme neuro-stimulateurs et implantables pompes à perfusion de médicaments, implant urinaire, implant cochléaire etc.

Au cours des dernières années, l'utilisation de dispositifs médicaux implantables a augmenté. Les dispositifs médicaux utilisés pour le traitement de différentes maladies, ont des exigences et les spécifications différentes, néanmoins il existe plusieurs caractéristiques qui sont partagés par la plupart d'entre eux.

- **Faible consommation de Puissance** : Modification ou charger les batteries peuvent être inconfortables, difficile, coûteux et même risqué pour le patient, tous dispositifs médicaux implantables ont besoin de consommer le moins de puissance possible.
- **Haute fiabilité** : Une défaillance d'un dispositif médical implantable peut entraîner sur désagrément, douleur, dommages ou même la mort pour le patient.
- **Signaux faible amplitude**: La plupart des signaux physiques à l'intérieur d'un corps humain sont de l'ordre mV ou uV ce qui nécessite une attention particulière dans la détection et l'amplification.
- **Basses fréquences**: La durée de la fréquence naturelle des signaux biologiques varient à partir d'une fraction hertz à quelques kilohertz.
- **Petite taille** : Les dispositifs implantables doivent être aussi petit que possible, de manière être moins invasive pour le corps humain.

Le signal Electrocardiographie (**ECG**) est principalement utilisé dans la détection des maladies du cœur tel que maladies coronarienne, Maladies du muscle cardiaque, Maladies des valves cardiaques

Aujourd'hui, les techniques pour capturer et traiter le signal ECG sont utilisées dans des Systèmes médicaux.

Le signal ECG est une technique semi-invasive pour enregistrer des signaux électriques en plaçant des électrodes sur la peau. Les bio-potentiels électriques produits par l'activité cardiaque, peut être capturé par des systèmes stationnaires et ambulatoires ECG. Systèmes stationnaires sont utilisés principalement dans les hôpitaux ou cliniques; systèmes ambulatoires sont utilisés pour l'enregistrement du signal ECG.

La nécessité du signal ECG ambulatoire pour le système de dispositif médical et les tendances de la mise à l'échelle dans le canal en technologie CMOS conduire la nécessité d'élaborer des circuits travailler à basse tension d'alimentation. En outre, une faible consommation de puissance est essentielle dans ce système afin d'avoir une plus longue vie de la batterie.

Système médical pour signaux physiologiques

Figure 1 décrit le système d'acquisition des signaux physiologiques. Le Système est constitué deux éléments essentiels, le premier c'est le circuit frontal analogique (**Analog Front End: AFE**) et le deuxième c'est Convertisseur Analogique Numérique (**CAN**). Le signal

acquis par des électrodes placées sur la peau est amplifié par un amplificateur opérationnel basse tension puis converti en un code numérique afin d'être traité.

Méthodologie de la recherche

Ce travail s'adresse la contribution à la conception des circuits en technologie CMOS pour des signaux physiologiques (Figure 1).

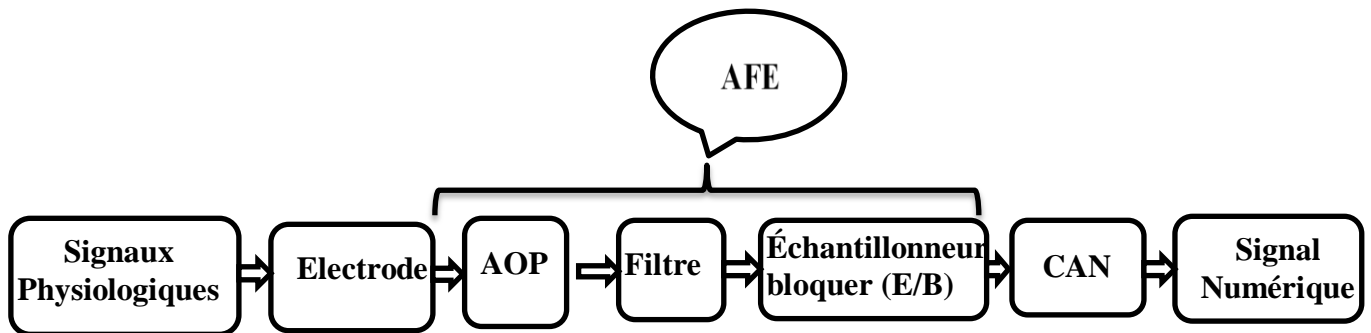


Fig. 1 Système d'acquisition des signaux physiologiques

Le système d'acquisition est un système critique, où les plus importants paramètres sont : le coût, la puissance, la résolution, le bruit et la surface. Les composants principaux d'un traditionnel système d'acquisition comprennent un amplificateur opérationnel (AOP), des filtres, les commutateurs analogiques et Convertisseur Analogique Numérique (CAN).

Les signaux d'entrées ont très faible d'amplitude et de basse fréquence, cependant, le signal médical est trop faible à détecter, par conséquent, nous avons besoin d'un amplificateur opérationnel (AOP) de gain élevé, un CMRR très élevé, un PSRR élevé, une impédance d'entrée élevée et une faible consommation de puissance pour réduire l'effet de bruit et pour amplifier le signal médical seulement. Puis le signal passé dans un filtre, échantillonneur bloquer analogique et finalement dans le CAN pour devenir un signal numérique. Après cela, ces données numériques seront traitées dans les Processeurs. Un défi majeur dans les dispositifs médicaux implantables est la conception de l'efficacité des circuits à faible bruit et basse tension d'alimentation. Par exemple stimulateurs cardiaques (Pacemaker) détecté des signaux cardiaques de l'activité d'amplitude de dizaines millivolts à quelques millivolts, les signaux nerveux EEG vont de 1 μ V ou moins de 1mV. Il est bien connu en effet que dans la gamme de fréquences de signaux médicaux, les sources de bruit les plus fréquentes dans les circuits CMOS sont bruit $1/f$ et bruit thermique. Pour réduire le bruit $1/f$ en utilisant large transistor ou l'utilisation des techniques comme auto zéro technique ou chopper technique. L'efficacité des circuits faible bruit signifie qu'il est capable d'amplifier des signaux ayant le

moins bruit à une consommation de puissance donnée; la zone de circuit occupé peut aussi être une contrainte importante [9][10][11][12][13][14][15].

Objectifs

La conception des systèmes implantables (Implant), pour récupérer des fonctions perdues chez l'être humain constitue un domaine de recherche moderne, en pleine expansion, et très diversifié.

Les signaux bioélectriques sont en général lents et de faible amplitude. Ces amplitudes sont de l'ordre de 0.5mV. De ce fait, il est nécessaire de concevoir un amplificateur opérationnel afin d'augmenter les performances du circuit frontal analogique. Aussi un CAN pour convertir ces signaux et traité dans un PC, spécialement adapté à ce domaine de recherche se fait de plus en plus grandissant.

L'objectif de cette thèse est de concevoir des circuits en technologie CMOS 90nm dédiés à des systèmes implantables, opérant à une tension d'alimentation de 1V, servant d'interface entre l'organe du patient et la partie de contrôle d'un l'implant.

Ces circuits doivent être conçus à l'aide du procédé de la technologie CMOS 90nm et des outils Analog Artist de Cadence, en utilisant le simulateur **Spectre**. En outre, l'étage d'amplification opérationnel chopper stabilisé dans le circuit analogique frontal (AFE), devra avoir un gain élevé, occupant la plus petite surface possible, une consommation de puissance très faible, un niveau de bruit très faible, une bonne fiabilité et une bonne caractéristique de linéarité pour amplifier les signaux physiologiques tel que le signal ECG et les circuits qui sont constitués l'architecture de convertisseur analogique numérique SAR (Successive Analog Register) devront avoir des performances très élevées. Ces circuits viennent du fait que l'on travaille avec une tension d'alimentation de 1V et l'on désire optimiser en priorité la consommation de puissance et la surface occupée par le circuit tout en ayant des performances très élevé.

L'objectif principal du projet consiste la contribution à la conception de ces circuits analogique dans domaine médical Figure.1. Pour accomplir ces objectifs, les étapes suivantes ont été suivies :

- Une revue de littérature appropriée sur les différentes architectures d'amplificateur opérationnel, commutateur analogique, filtre et convertisseur analogique numérique, opérant à une basse tension d'alimentation;
- Etude détaillée des techniques de conception de circuits analogiques opérant à une basse tension d'alimentation;

- Simulation des circuits CMOS pour application médicale en utilisant l'outil **Analog Artist** de Cadence et le simulateur Spectre;

Organisation de la Thèse

- Après une introduction générale dans laquelle nous avons discuté, basse tension d'alimentation et la faible consommation de puissance, des applications de la faible consommation de puissance, de la méthodologie de conception des systèmes à faible consommation de puissance, Implants médicaux en microélectroniques, système médical pour signaux physiologiques et enfin de la méthodologie de la recherche.
- Cette thèse sera organisée en cinq chapitres. Le premier chapitre fait le principe de fonctionnement des signaux physiologiques et circuits médicaux.
- Le deuxième Chapitre : Détaille le principe du signal ECG et les interférences existées.
- Le troisième Chapitre: Représente les éléments nécessaire de l'interface analogique AFE permis ces éléments : les amplificateurs, Filtres, les commutateurs analogiques
- Le quatrième chapitre : Décrit la conception du convertisseur analogique numérique SAR.
- Le cinquième chapitre : Représente la simulation et résultats, des circuits amplificateur opérationnel chopper stabilisé pour circuit frontal analogique et les circuits de CAN SAR qui ont été choisis en technologie CMOS 90nm dans le domaine médical.
- Nous terminons notre travail par une conclusion générales, récapitule notre contribution et discute les améliorations qui peuvent être apportées. Les orientations futures du présent travail y sont également abordées.

Chapitre 1

Circuits et Signaux Médicaux

I.1. Introduction

I.2. Signaux médicaux

I.3. Circuits médical

I.3.1. Implant Cochléaire et prothèse auditive

I.3.2. Implant urinaire

I.3.3. Implant Intra-corticale prothèse visuelle

I.3.4. Implant du Cerveau

I.3.5. Implant Pacemaker

I.4. Conclusion

Chapitre 1

Circuits et Signaux Médicaux

I.1 Introduction

Puces semi-conducteur sont utilisées aujourd'hui, non seulement dans les systèmes de communication ou de commande, mais aussi dans nos corps, pour les signaux de diagnostic ou de surveillance, comme l'électroencéphalographe (EEG), l'électrocardiographie (ECG) et l'électromyogramme (EMG), pour comprendre l'activité électrique du cerveau, du cœur et du muscle et traiter à l'intérieur des circuits de l'implant. De nos jours, la conception de systèmes implantables pour récupérer les fonctions perdues chez l'être humain, constitue un domaine de recherche moderne, en plein expansion, et très diversifié. Les implants sont classés en deux grandes catégories : (1) les capteurs servant à surveiller l'évolution des paramètres biologiques et (2) les stimulateurs dédiés à la récupération des fonctions. La recherche se poursuit pour développer de nombreux différents types de dispositif électroniques médicaux qui peuvent donner des prothèses pour les traitements d'une série de large maladies, telles que la cécité, la quadriplégie, l'épilepsie, la maladie de Parkinson et les maladies des cœurs. Ces dispositifs électroniques sont utilisés en particulier dans des applications médicales. Ces caractéristiques sont indispensables parce que les appareils sont difficiles d'accès et la conséquence sont graves si le dysfonctionnement de ces dispositifs, ce qui exige une bon connaissance sur le comportement de la matière. [16][17].

I.2 Signaux Médicaux

Les signaux bioélectriques sont, en général, lents et de faibles amplitudes de l'ordre μV ou mV tableau 1.1. De ce fait, on a besoin de concevoir des circuits en technologies CMOS spécialement adaptés au ce domaine.

Signal	Fréquence	Amplitude
ECG	0.05-250Hz	5 μV -8mV
EEG	0.5-200Hz	2 μV -200 μV
EMG	0.01-10KHz	50 μV -10mV

Table 1.1 caractéristique des signaux physiologiques

Pour acquérir et enregistrer des signaux bioélectriques, comme ECG, EEG et EMG pour aider à la compréhension des signaux de comportement du cerveau, du cœur et du muscle nécessite un traitement de signaux dans un circuit électronique intégré de l'implant [18]. En règle générale, le bruit est généré par de nombreuses applications courantes tels que les lignes électriques, les lampes fluorescentes, micro-ordinateur et moniteurs, et qui est ajouté et amplifié avec les signaux médicaux. La figure 1.1 propose un aperçu de la localisation et de la plage de tension/fréquence de certains signaux électriques médicaux mesurables dans le corps humain.

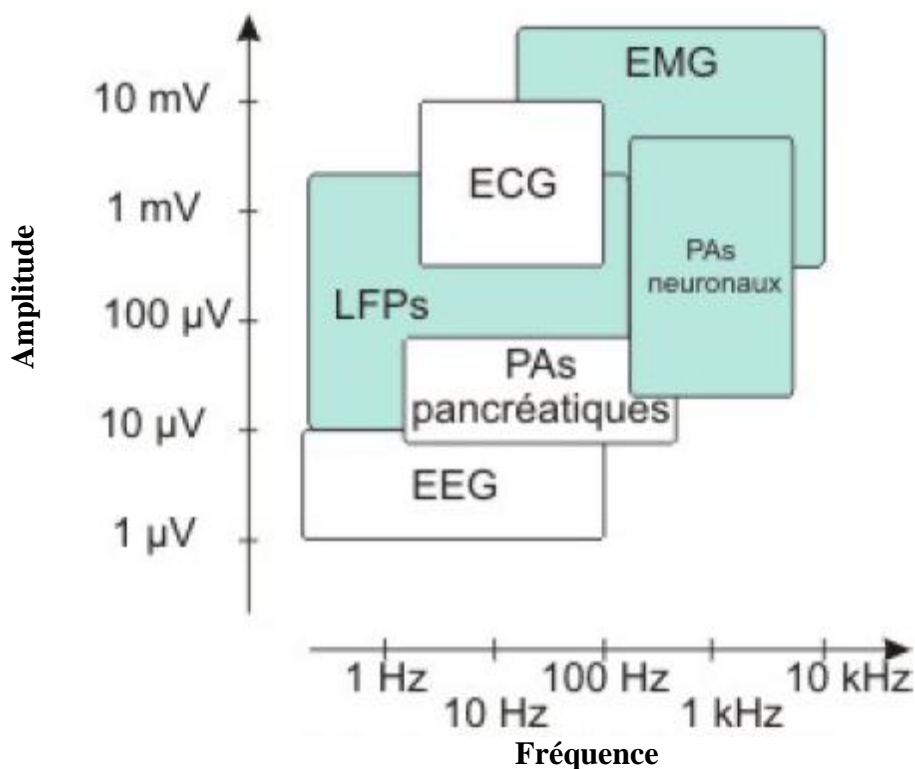


Fig.1.1. Localisation des principaux signaux électriques du corps humain. [17]

- Les Electrocardiogrammes (ECG) qui sont une représentation graphique du potentiel électrique qui commande l'activité musculaire du cœur.
- Les Electromyogrammes EMG qui représentent l'activité électrique des muscles.
- Les Potentiels d'action PAs neuronaux et LFPs (Local field potentials) qui correspondent à l'activité électrique des cellules nerveuses.
- Les PAs pancréatiques qui correspondent à l'activité électrique des cellules du pancréas.

Ces signaux représentent une activité électrique provenant de cellules ou d'organes représentative des nombreuses fonctionnalités du corps humain. Selon les méthodes

d'enregistrement ou la nature même de l'objet vivant étudié, l'activité électrique d'une cellule vivante diffère [17].

I.3 Circuits Médicaux

Avec le développement de la microélectronique, circuit intégré, technologies des matériaux et de la micromécanique, il y a eu un grand progrès dans l'électronique médicale. Les scientifiques et les ingénieurs de l'industrie et de l'université ont travaillé ensemble pour créer un nouveau équipement médical qui ne existait pas dans les fictions scientifiques dans le passé, tels que: Implant Cochléaire et prothèse auditive, Implant Pacemaker, Implant Intraoculaire, Implant urinaire, Implant du cerveau. Ces implants médicaux ont été récemment utilisés pour des applications médicales dans le corps humain, pour la surveillance ou l'enregistrement de signaux médicaux Figure 1.2. Principalement nous devons comprendre les troubles de comportement du corps tels que le cerveau et le cœur....., et les traiter dans le circuit de l'implant. Ces implants médicaux peuvent résoudre de nombreux troubles médicaux.

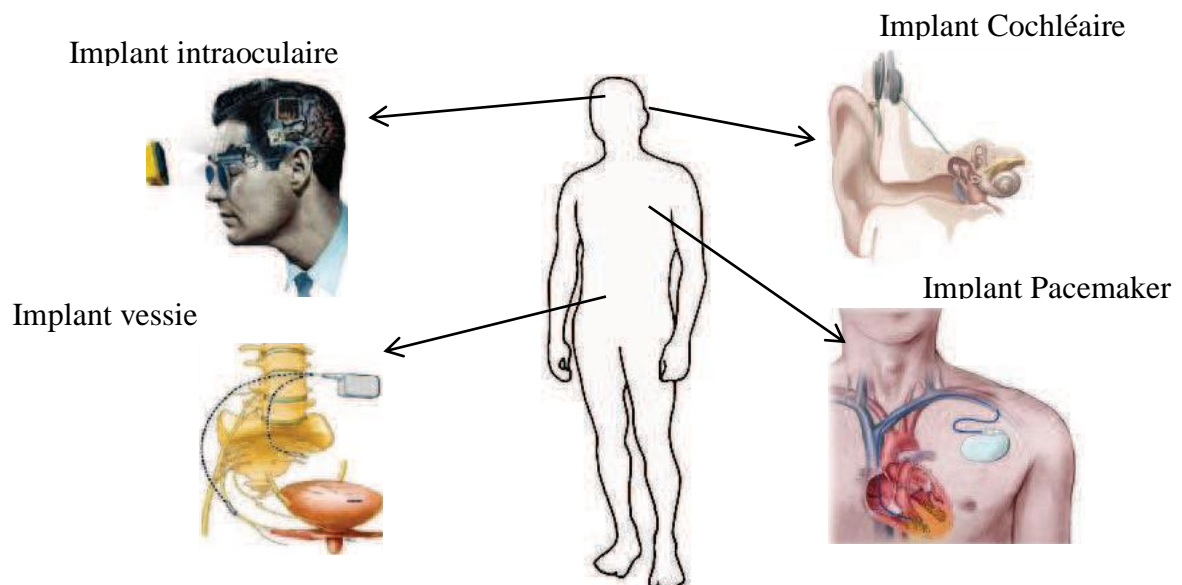


Fig.1.2. Applications des implants médicaux dans le corps humain [17]

I.3.1. Implant cochléaire et prothèse auditive

Un implant cochléaire est un appareil électronique ultra-miniaturisé médical qui remplace les fonctions endommagées de l'oreille interne c.-à-d. restaurer l'audition à des personnes souffrant d'une surdité profonde à sévère. Contrairement aux prothèses auditives qui amplifient les sons, les implants cochléaires remplissent les fonctions normalement prises en charge par les parties endommagées de l'oreille interne (cochlée) afin de fournir au cerveau des signaux sonores. Schématiquement, cet appareil se compose d'un microphone qui

capte les signaux sonores avant de les transmettre à un processeur vocal qui les traduira et les transmettra à des électrodes capables de stimuler le nerf auditif. La surdité "de transmission" est généralement traitée par des appareils externes, aides auditives, plus communément appelées prothèses auditives figure 1.3.

1. **Un processeur** porté derrière l'oreille ou sur le corps capte les sons et les transforme en un code numérique. Le processeur est équipé d'une pile qui alimente tout le système.
2. Le processeur transmet le son sous forme numérique à l'implant par le biais de

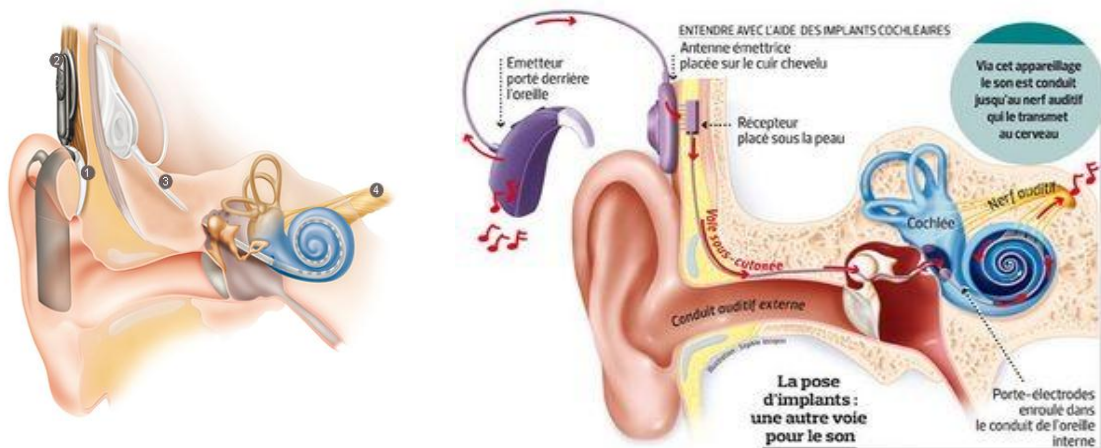


Fig.1.3 Implant cochléaire [19][20]

3. **L'antenne** positionnée sur votre tête.
4. **L'implant** convertit le son codé numériquement en impulsions électriques qu'il transmet au faisceau d'électrodes situé dans la cochlée (oreille interne).
5. Les électrodes de l'implant stimulent le **nerf auditif** de la cochlée, qui envoie les impulsions au cerveau où elles sont alors interprétées comme des sons.

Ils se composent tous d'une partie externe et d'une partie interne. La partie externe comporte un ou plusieurs microphones qui captent l'environnement sonore et transforment le son en signal électrique, un processeur qui filtre les informations sonores reçues, afin notamment de traiter en priorité la voix humaine, et les répartir sur différents canaux. Ce bloc rempli généralement l'arrière du pavillon de l'oreille. Les impulsions électriques sont dirigées ensuite vers le transmetteur à travers un fin fil conducteur. Ce transmetteur est maintenu par un aimant placé derrière l'oreille externe, c'est lui qui fournit à la partie interne de l'appareil et de manière sans fil l'énergie nécessaire à son fonctionnement ainsi que les signaux électriques traités par le processeur [20].

I.3.2. Implant urinaire

L'appareil urinaire est l'appareil permettant l'évacuation des produits du catabolisme du corps humain sous une forme liquide, l'urine. Il assure par conséquent l'épuration du sang ainsi que le maintien de l'homéostasie au sein de l'organisme. Il rentre dans la fonction physiologique de *nutrition* comme le système circulatoire (avec le cœur). Cet appareil est une succession d'organes: les deux reins, les deux uretères, la vessie et l'urètre. La continence urinaire nécessite un plancher pelvien fonctionnant correctement (muscles du périnée), une intégrité des sphincters (muscle à la base de l'urètre) et des commandes nerveuses agissant sur ceux-ci et sur le détroter (muscle de la paroi de la vessie dont la contraction aboutit à sa vidange) Figure 1.4. Toute altération de l'une de ces structures peut conduire à l'incontinence.

On distingue plusieurs types d'incontinence urinaire [20] [22] :

1. L'incontinence d'effort est la forme la plus fréquente. Elle est caractérisée par une fuite involontaire d'urine survenant à l'occasion d'un effort physique : toux, rire, exercice physique, rapport sexuel. Tout effort abdominal engendre une pression sur les muscles du plancher pelvien qui doivent être tendus pour assurer la fermeture de l'urètre. Si ces muscles sont faibles, ils ne peuvent pas maintenir la tension. Lorsque la tension est relâchée, l'urètre s'ouvre et un peu d'urine peut s'échapper.
2. Ensuite nous avons l'hyperactivité vésicale ou incontinence urinaire par urgence qui survient lorsque le besoin d'uriner se manifeste brusquement, sans donner le temps d'aller jusqu'aux toilettes. Cela correspond à une contraction involontaire de la vessie, qui entraîne une vidange partielle ou complète des urines. Les personnes peuvent fréquemment ressentir le besoin d'aller aux toilettes, le jour comme la nuit, sans pour autant souffrir de fuites urinaires.
3. Enfin le dernier type est l'incontinence mixte. Elle associe les symptômes de plusieurs types d'incontinence, généralement l'incontinence d'effort et l'urgence mictionnelle. L'une des deux composantes peut être dominante, et c'est celle-ci qu'il faudra traiter en priorité.

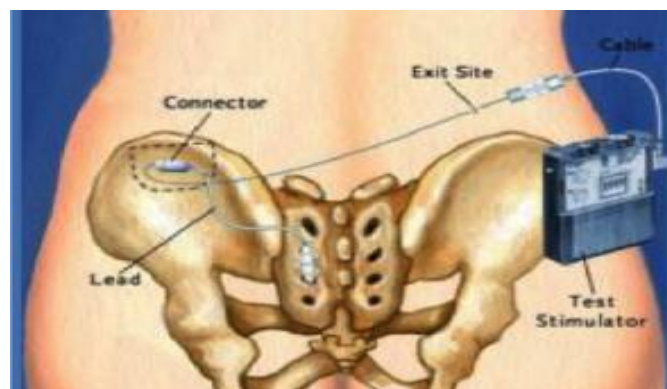


Fig.1.4 Implant urinaire [23]

Lors de l'incontinence urinaire d'effort on peut disposer d'un stimulateur de sphincter implantable. Il s'agit d'un stimulateur musculaire. Son rôle est généralement de faire travailler le muscle pour qu'il retrouve son tonus initial.

I.3.3. Implant Intra-corticale prothèse visuelle

L'une des principales zones de croissance dans la demande de recherche est implant rétinien ou de la technologie de l'œil bionique, pour aider les patients aveugles ou souffrant de maladies de la rétine avec leur vue, et aider les gens à avoir une idée de leur environnement. Le dispositif de rétine artificielle s'adresse aux personnes dont les cellules photo-réceptrices ont dégénéré mais chez lesquelles les cellules nerveuses de la rétine et le nerf optique demeurent actifs [22] Figure 1.5.

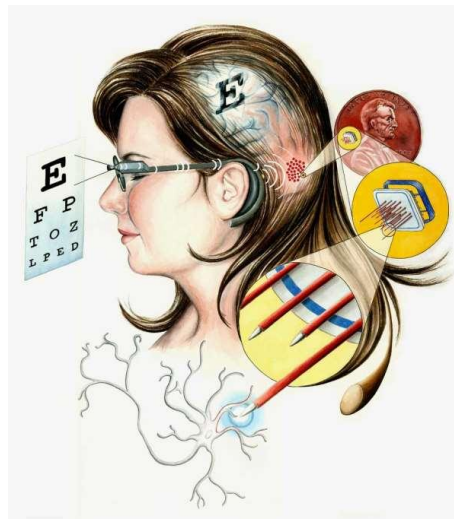


Fig.1.5. Implant Intra-corticale prothèse visuelle [24]

L'implant rétinien est proposé au patient dont les pathologies susnommées sont tellement avancées qu'ils en ont perdu la vue. Gardons en tête qu'il s'agit d'implant au contact du SNC (Système Nerveux Central) donc avec fort risque de complication, c'est généralement le dernier espoir de recouvrer la vue. Cet implant fixé sur ou sous la rétine permet au patient de percevoir à nouveau des signaux lumineux. La rétine artificielle se substitue aux cellules pour stimuler les neurones résiduels de la rétine et rendre en partie la vue au patient. Il s'agit notamment d'un implant de 3x3 mm fixé sur ou sous la rétine et composé d'électrodes qui stimulent les neurones rétiens. Les premiers essais ont débuté dans les années 1990 avec des dispositifs incluant 16 à 20 électrodes. Ils en comportent actuellement jusqu'à 1.500.

Il existe actuellement deux types de dispositifs qui offrent des résultats similaires. L'un est placé à la surface de la rétine, en contact avec les cellules ganglionnaires (Argus II, *Second Sight*, Etats-Unis) et l'autre est placé sous la rétine à la place des cellules photo-réceptrices (*Retina Implant AG*, Allemagne).

Dans le cas de l'implant américain, une caméra est fixée à une paire de lunettes Figure 1.6. Elle transmet les images à un processeur placé dans la poche ou à la ceinture du patient. Le processeur convertit les signaux lumineux en signaux électriques, les traite, puis les transmet par ondes radio à un récepteur placé sur l'œil. Celui-ci les communique grâce à un fil à l'implant composé de 60 électrodes et placé au contact de la rétine.

L'implant allemand fonctionne différemment. Il comprend 1.500 électrodes et autant de diodes sensibles à la lumière. Les diodes excitées par la lumière activent directement les électrodes au niveau de la rétine sans l'intermédiaire de lunettes ou de processeur Figure 1.7.

Dans les deux cas, une intervention chirurgicale est nécessaire pour la mise en place de l'implant au contact de la rétine, comprenant ainsi un certain nombre de risques.

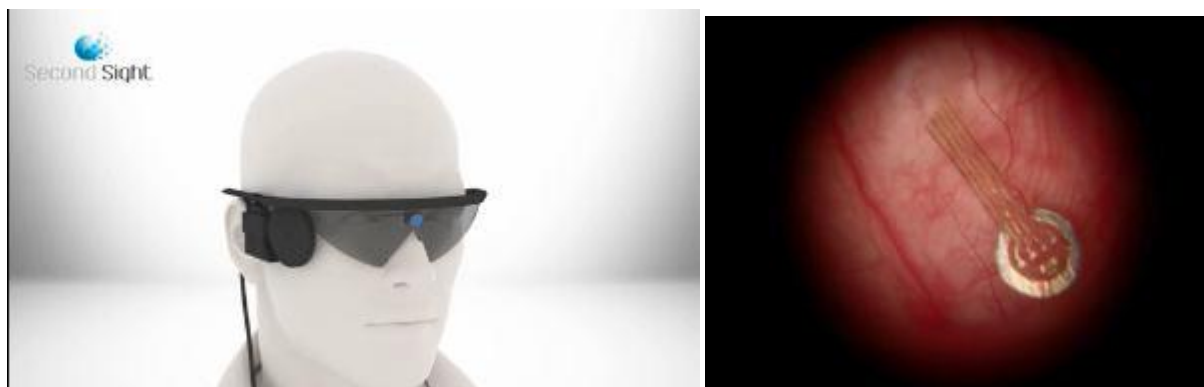


Fig.1.6 Implant épitrétinal Argus II, *gauche*: dispositif externe *droite*: dispositif interne: matrice d'électrodes [22]

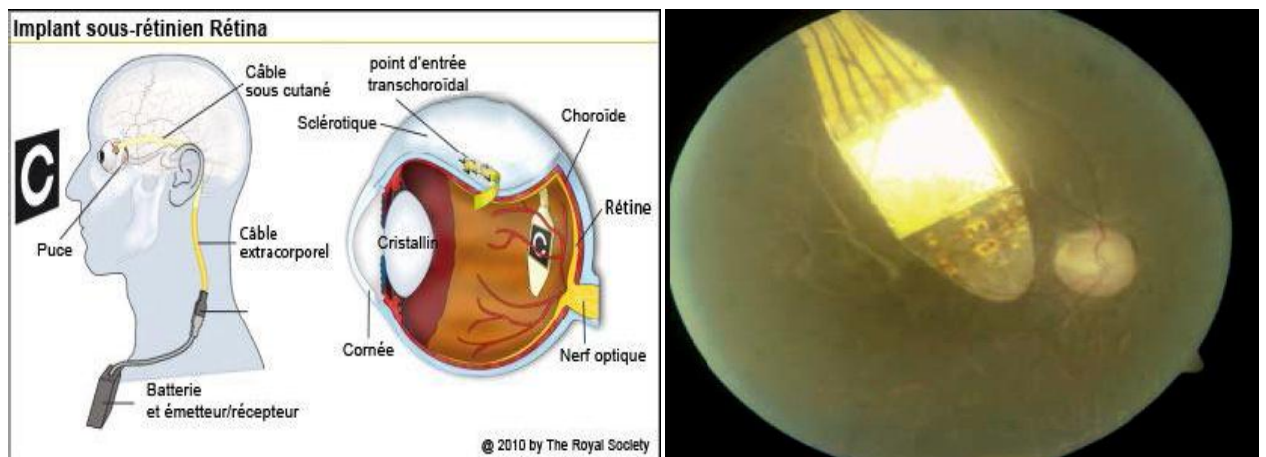


Fig.1.7 Implant subrétinien Retina Implants. *gauche*: schéma d'installation du dispositif, *droite*: dispositif interne: diodes photo-réceptrices [22]

I.3.4 Implant du Cerveau

La stimulation cérébrale profonde (*Deep Brain Stimulation* ou *DBS*) est une procédure neurochirurgicale. On implante un dispositif médical dans le cerveau qui envoie des impulsions électriques à des zones spécifiques pour le traitement de certains troubles affectifs

ou des troubles du mouvement. En effet pour certains troubles résistants au traitement médicamenteux la DBS a procuré des améliorations de l'état du patient (diminution des symptômes) notamment pour la maladie de Parkinson, le tremblement essentiel, la dystonie, la douleur chronique, la dépression majeure et le trouble obsessionnel compulsif [25]. Les zones stimulées du cerveau peuvent varier selon l'indication, et le mécanisme n'est pas très clair. En effet la stimulation peut tout aussi bien activer qu'inhiber l'activité des neurones, mais de manière générale on assiste à la diminution de l'activité spontanément oscillante du thalamus [26]. Son utilisation a été longtemps controversée et est encore actuellement un sujet de polémique [27]. Ses effets sont réversibles, elle a donc remplacé la lobotomie interdite à présent dans de nombreux pays et considérée comme une mauvaise pratique dans la médecine actuelle. Le dispositif décrit dans la Figure 1.8 consiste en un boîtier interne, appelé neurostimulateur, généralement situé sous la clavicule, qui sert de processeur et de source électrique. Il est réglable par le médecin selon la stimulation souhaitée grâce à une télécommande externe. Un ou plusieurs extenseurs partent du boîtier pour monter jusqu'au niveau du crane qui a été percé pendant l'opération. Depuis les extenseurs partent des fils semi rigides qui sont insérés dans le cerveau du patient jusque dans la zone recherchée (thalamus). Ces fils sont terminés par de petites électrodes qui serviront de contact avec le SNC. Notez que les fils porteurs des électrodes ne doivent pas être rigides comme des aiguilles car ils doivent pouvoir suivre les mouvements du cerveau lorsque la tête bouge, même en cas de choc. Cependant ils ne doivent pas être trop souples car ils doivent servir de support lors de l'implantation des électrodes proche du thalamus.

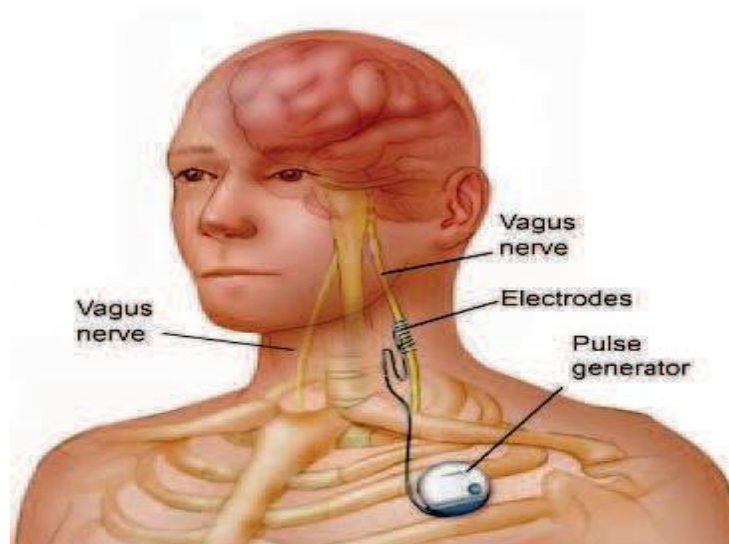


Fig.1.8 Dispositif de stimulateur du cerveau

I.3.5. Implant Pacemaker (Stimulateur cardiaque)

Le **stimulateur cardiaque**, ou **pacemaker**, ou **pile**, est un dispositif implanté dans l'organisme fournissant des impulsions électriques destinées à stimuler les muscles cardiaques en permettant ainsi, par exemple, d'accélérer la pulsation du cœur lorsqu'il est trop lent. Au cours des dernières années il y a eu un taux élevé de la chirurgie des implants cardiaques artificiels et stimulateurs cardiaques pour surveiller et contrôler les rythmes cardiaques irréguliers, en particulier pour les bébés et les personnes âgées. Un cœur artificiel nouvellement développé est appelé le cœur artificiel à puce intelligente, créée en Afin de réaliser le traitement sûr et de contrôle efficace pour les patients [28].

Dans le cas de risque de fibrillations on peut insérer un Défibrillateur Automatique Implantable (DAI, implanté dès 1985). Ce dernier possède les fonctionnalités d'un stimulateur cardiaque classique (induit un rythme cardiaque correct) mais aussi la possibilité d'agir comme un défibrillateur automatique indispensable dans les cas de mort subite.

Le stimulateur cardiaque Figure 1.9 est composé d'un boîtier plat d'environ 3cm de diamètre et d'une ou plusieurs sondes. Le rôle du boîtier est d'assurer l'autonomie énergétique durant 5 à 7ans, le traitement des données (fréquence du rythme cardiaque et détection de fibrillation) et impulsions en cas de défaillance (mode sentinelle). Les sondes connectent le boîtier au cœur. Elles sont souvent vissées dans le myocarde pour rester toujours au contact du cœur en mouvement. Si le pacemaker a une fonction de défibrillateur, il est généralement bipolaire (ou à double chambre), c'est à dire qu'il a deux sondes connectées au boitier Figure 1.9, la première implantée dans le ventricule droit et la deuxième dans l'oreillette droite.

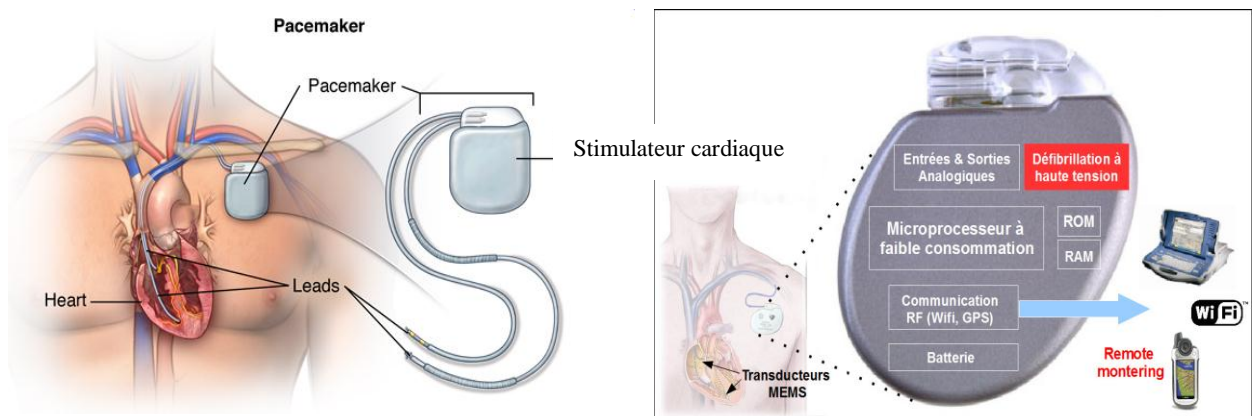


Fig.1.9 Implant pacemaker

I.4 Conclusion

Ce chapitre a montré un résumé sur les caractéristiques des signaux médicaux et aussi les fonctionnements des implants médicaux. Ces implants médicaux traitaient les troubles et maladies du corps humain telles que l'épilepsie, la paralysie, la maladie de Parkinson, et des troubles du cœur etc

Chapitre 2

Le signal ECG et les Interférences

II.1 Introduction

II.2 Système cardio-vasculaire

II.2.1 Cœur

II.2.2 Circulation sanguine

II.3 L'électrophysiologie cardiaque

II.3.1. Propriétés électro-physiologiques des cellules cardiaques

II.3.2. Fonctionnement électrique du cœur

II.4. L'électrocardiographie

II.4.1. Système de Dérivations électrocardiographiques

II.4.1.1. Dérivations périphériques

II.4.1.1.1. Dérivations périphériques bipolaires

II.4.1.1.2. Dérivations périphériques unipolaires

II.4.1.2. Dérivations précordiales.

II.4.1.2.1. Position des électrodes précordiales

II.4.2. Signal électrocardiogramme

II.4.2.1. Ondes enregistrées sur un ECG normal

II.4.2.2. Segments et intervalles qui caractérisent un ECG normal

II.4.3 Le rythme cardiaque

II.5 Interférence

II.6 Conclusion

Chapitre 2

Le signal ECG et les Interférences

II.1 Introduction

Dans le monde occidental, la première cause de mortalité provient des maladies cardiovasculaires. Même si les connaissances acquises en cardiologie sont grandes, le cœur n'a pas encore dévoilé tous ses secrets. Pourtant les médecins disposent de nombreux moyens pour l'étudier et vérifier son bon fonctionnement. Notamment, ils utilisent l'électrocardiogramme, qui est une représentation graphique temporelle des différences de potentiels des forces électriques qui conduisent à la contraction musculaire cardiaque. L'électrocardiogramme contient énormément d'informations sur le fonctionnement et les éventuelles pathologies du cœur. Grâce à leur expérience, les médecins relèvent des pathologies éventuelles.

Toutefois, les enregistrements des électrocardiogrammes sont bien souvent bruités et parfois peu exploitables ; c'est alors qu'intervient le domaine du traitement du signal. Il est possible de débruiter et d'analyser les électrocardiogrammes de façon automatique. L'importation des méthodes de traitement du signal appliquées à l'humain est en effet constituée d'un ensemble d'appareils (digestif, respiratoire, génital, urinaire et circulatoire) qui réalisent des fonctions de nutrition et de perpétuation de l'espèce. En réalité, l'examen ECG est un outil non invasif effectué par le médecin en vue d'explorer le fonctionnement du cœur par l'emploi des électrodes externes mises en contact de la peau. Il s'agit d'un signal qui reflète l'activité électrique du cœur. À partir du signal ECG, certains paramètres importants peuvent être extraits. En règle générale, les durées et les formes des différentes ondes sont considérés comme des signes indicateurs de certaines anomalies cardiaques. Par conséquence, les systèmes automatiques d'analyse du signal ECG, capables d'aider les médecins à faire le diagnostic, semble indispensable en raison du grand nombre de patients dans les unités de soins intensifs et de la nécessité d'une observation continue. C'est ainsi qu'apparu plusieurs systèmes automatiques d'aide au diagnostic cardiaque à travers le signal ECG. Ces systèmes devraient être facilement applicables, évolutifs, précis, robustes, et stables. Le signal ECG et la traduction de signal électrique fondement du muscle cardiaque. L'acquisition du signal ECG indolore et non invasive, s'effectue à travers d'électrodes cutanées, convenablement réparties sur le corps humain, et sensible au potentiel électrique qui commande l'activité

musculaire du cœur. Cette acquisition peut s'effectuer en milieu hospitalier ou bien de façon ambulatoire, le patient vaquant alors à ses activités quotidiennes. [17] [29][30].

II.2 Système cardio-vasculaire

Le système cardio-vasculaire appelé aussi système circulatoire assure la circulation du sang d'une manière continue dans l'organisme. Il permet ainsi d'alimenter les tissus cellulaires en oxygène et en nutriments et d'évacuer les déchets vers les reins et le dioxyde de carbone vers les poumons. Ce système est composé d'un organe pompe, le cœur, et d'un réseau continu et fermé de conduits qui permettent le transport du sang, le système vasculaire (les veines et les artères).

II.2.1 Cœur

Le cœur est un organe creux et musculaire comparable à une pompe, qui assure la circulation du sang dans les veines et les artères. Sa forme est similaire à un cône inversé (sa base vers le haut et à droite et son apex en bas et à gauche). Le cœur se situe dans le médiastin, c'est la partie médiane de la cage thoracique délimitée par les deux poumons, le sternum et la colonne vertébrale. Il se trouve un peu à gauche du centre du thorax. Le cœur pèse environ 300 grammes chez l'homme adulte, 250 grammes chez la femme. Il est capable de propulser, au repos, 4 à 5 litres de sang par minute figure 2.1. Le cœur est considéré comme une pompe musculaire subdivisée en quatre cavités : deux oreillettes et deux ventricules [31], permettant de propulser le sang vers toutes les cellules du corps humain. Les paires oreillette-ventricule droite et gauche constituent respectivement les cœurs droit et gauche.

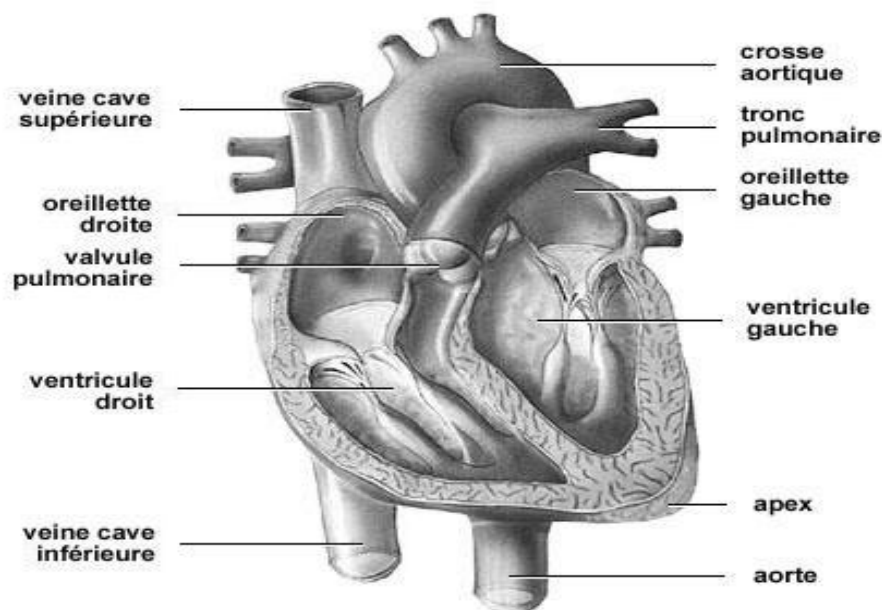


Fig.2.1. Schéma général du cœur [31]

II.2.2 Circulation sanguine

L'oreillette droite récupère le sang pauvre en oxygène des veines caves supérieures et inférieure, et le propulse après contraction vers le ventricule droit. Cette phase est la systole auriculaire. Cette phase systolique est suivie d'une autre diastolique, permettant d'envoyer le sang dans les poumons à travers les artères pulmonaires. Le dioxyde de carbone véhiculé par ce sang sera évacué par les poumons vers l'extérieur du corps, et par la suite sera rechargé en oxygène. Le sang revient ensuite au cœur dans l'oreillette gauche, puis passe dans le ventricule gauche là où il est envoyé vers les organes dans le réseau artériel à travers l'aorte [32]. L'ensemble de ces étapes forme la circulation sanguine illustrée sur la figure 2.2.

II.3 L'électrophysiologie cardiaque

Le cœur est un organe automatique. Il possède en lui-même tous les éléments de son fonctionnement. Cet automatisme est lié au tissu nodal (système de conduction cardiaque très spécialisé). Le cœur se contracte parce qu'un stimulus (ou onde de dépolarisation) prend origine au niveau de la paroi postérieure de l'oreillette droite. Ce stimulus traverse d'abord les deux oreillettes puis passe par la suite aux ventricules. En effet, le cœur comporte un réseau intrinsèque de cellules conductrices qui produisent et propagent des impulsions électriques, ainsi que des cellules qui répondent à ces impulsions par une contraction. Pour mieux comprendre l'origine des phénomènes électriques et mécaniques du cœur, les propriétés électro-physiologiques de la cellule cardiaque seront discutées tout d'abord.

II.3.1. Propriétés électro-physiologiques des cellules cardiaques

Les cellules cardiaques sont entourées d'une membrane qui permet le passage de différents ions, ce qui engendre des différences de concentration de part et d'autre de cette membrane cellulaire. Le sodium (Na^+) est 10 fois plus concentré à l'extérieur qu'à l'intérieur de la membrane, par contre la concentration intracellulaire de potassium (K^+) est 30 fois supérieure qu'à l'extérieur de la cellule et enfin le calcium (Ca^{++}) est très concentré à l'extérieur par rapport à l'intérieur. Les différences de concentration de ces particules chargées électriquement aboutissent à des différences de potentiel entre l'intérieur et l'extérieur de la membrane cellulaire. Au repos, l'intérieur de la cellule est chargé négativement avec une différence de potentiel de -90mV ce qui est connu par le potentiel de repos. Lorsque la cellule est excitée par un stimulus électrique, mécanique ou chimique, des modifications transitoires de la membrane vont aboutir à une entrée brutale de sodium, suivie d'une entrée de calcium et d'une sortie de potassium. La différence de potentiel passe alors de -90mV à environ $+20\text{mV}$. C'est le potentiel d'action.

Lors de la contraction des cellules cardiaques, des échanges ioniques se déroulent et définissent ainsi le potentiel d'action, présenté sur la figure 3.3, qui comprend 5 phases successives :

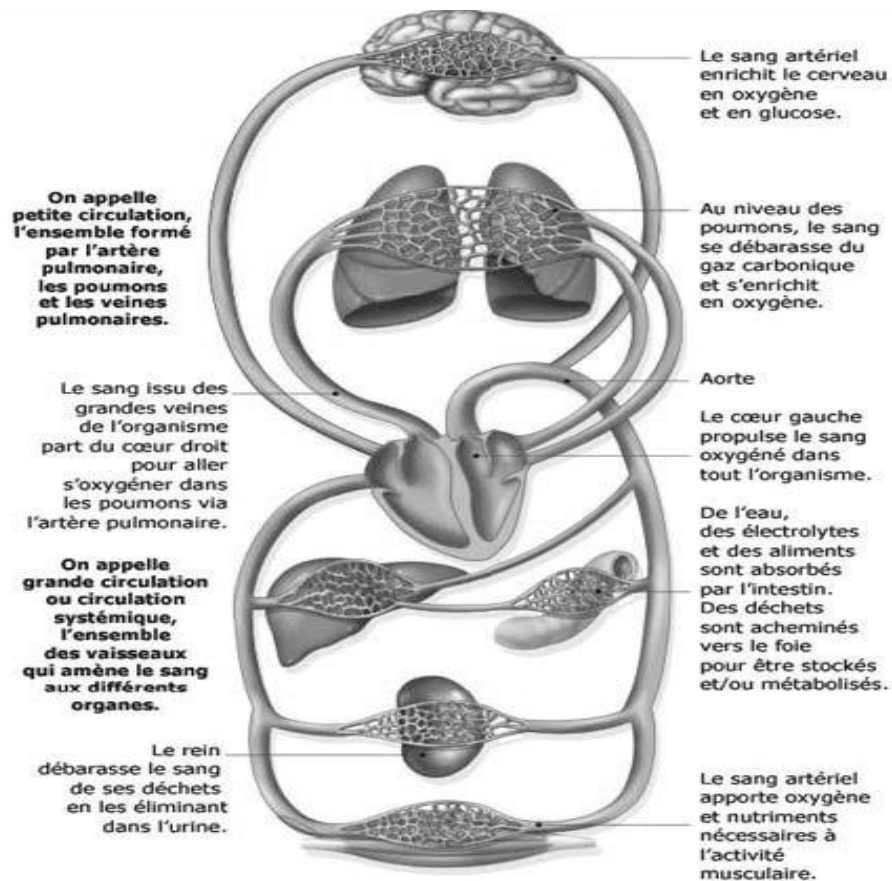


Fig.2.2. Schéma de circulation sanguine [31]

La phase 0 ou dépolariation rapide : après une excitation électrique au-dessus du seuil d'activation de la cellule, un afflux rapide d'ions Na^+ rentre dans la cellule et inverse rapidement la polarité de la cellule.

La phase 1 ou début de repolarisation : elle est caractérisée par une repolarisation rapide et de courte durée, due à l'inactivation des canaux Na^+ et au flux sortant d'ions de potassium K^+ .

La phase 2 ou plateau : elle correspond à la phase de repolarisation lente. Elle est due à l'entrée lente des ions Ca^{++} dans la cellule qui atténue l'influence des canaux K^+ continuant à sortir, ralentissant ainsi la phase de repolarisation.

La phase 3 ou repolarisation : elle correspond à la phase de repolarisation finale, et se caractérise par la fermeture de canaux ioniques spécifiques qui ramène la cellule au potentiel de repos original. Durant cette phase, les ions K^+ sont toujours sortants tandis que le potentiel de la cellule tend vers son seuil de repos.

La phase 4 : elle correspond au potentiel de repos, où la cellule est plus facilement excitable.

Dans un second temps les mécanismes servant à rétablir les différences de concentration vont se réactiver et rétablir les différences de concentration de part et d'autre de la membrane : c'est la phase de repolarisation de la cellule au cours de laquelle la cellule ne peut pas réagir à une nouvelle stimulation. C'est la période réfractaire.

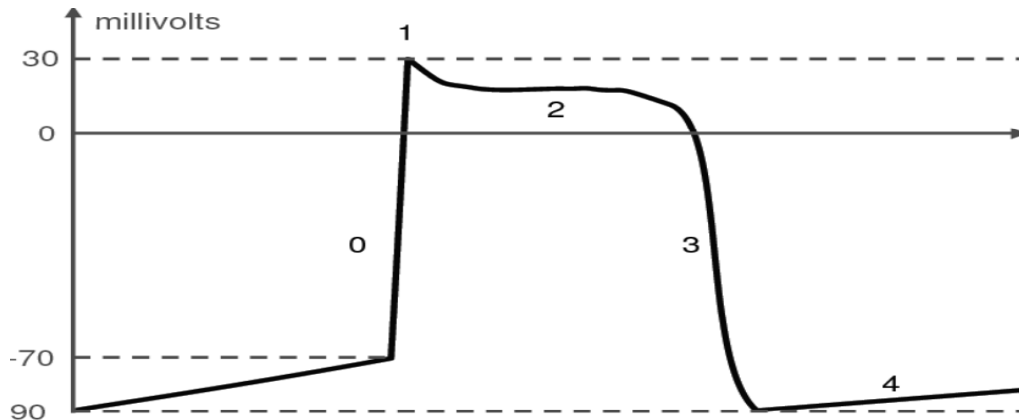


Fig.2.3. Les cinq phases du potentiel d'action d'une cellule du muscle myocardique.

II.3.2. Fonctionnement électrique du cœur

Le cœur comprend un système de conduction électrique automatique qui assure chacun de ses battements. La contraction du muscle cardiaque est régie par une impulsion électrique qui prend sa naissance dans le nœud sinusal (ou de Keith et Flack) situé au niveau de la veine cave supérieure, dans l'oreillette droite comme illustré dans la figure 2.4. Ce nœud est constitué d'un ensemble de cellules auto-excitables qui génère un courant de dépolarisation 60 à 100 fois par minute. Ce nœud est considéré comme le "pacemaker" du cycle cardiaque. Cette excitation électrique se propage dans les deux oreillettes induisant la systole auriculaire et arrive au nœud auriculo-ventriculaire (ou d'Achoff-Tawara) seul point de passage entre les oreillettes et les ventricules situé dans le septum inter-ventriculaire (figure 2.4).

A ce niveau, l'excitation électrique marque une courte pause avant de passer au faisceau de His et par suite au réseau de Purkinje induisant la systole ventriculaire. Cette pause est très importante pour permettre une stimulation retardée par rapport aux oreillettes ce qui permet aux ventricules d'être complètement remplis au moment de la contraction auriculaire (illustré dans la figure 2.4). Ce système électrique explique la régularité du rythme cardiaque et assure la coordination des contractions auriculo-ventriculaires.

II.4. L'électrocardiographie

L'électrocardiographie est une technique relativement peu coûteuse permettant, à l'aide d'un simple examen et sans danger, de surveiller le bon fonctionnement de l'appareil

cardiovasculaire. Cette technique est née pour la première fois en 1887 avec les travaux de Waller [34], elle est révélée à la communauté médicale par l'invention en 1901 du galvanomètre à cordes [35] [36], et qui a valu à son auteur, le Dr. Wilhem Einthoven, le prix Nobel de Médecine en 1924 [37]. Par la suite, l'électrocardiographie est devenue une technique incontournable et primordiale dans le domaine de cardiologie.

Le corps humain est considéré comme électriquement conducteur. Par conséquent, les potentiels d'actions générés au niveau des fibres cardiaques lors de l'activité mécanique cardiaque peuvent être recueillis par des électrodes métalliques placées sur la surface de la

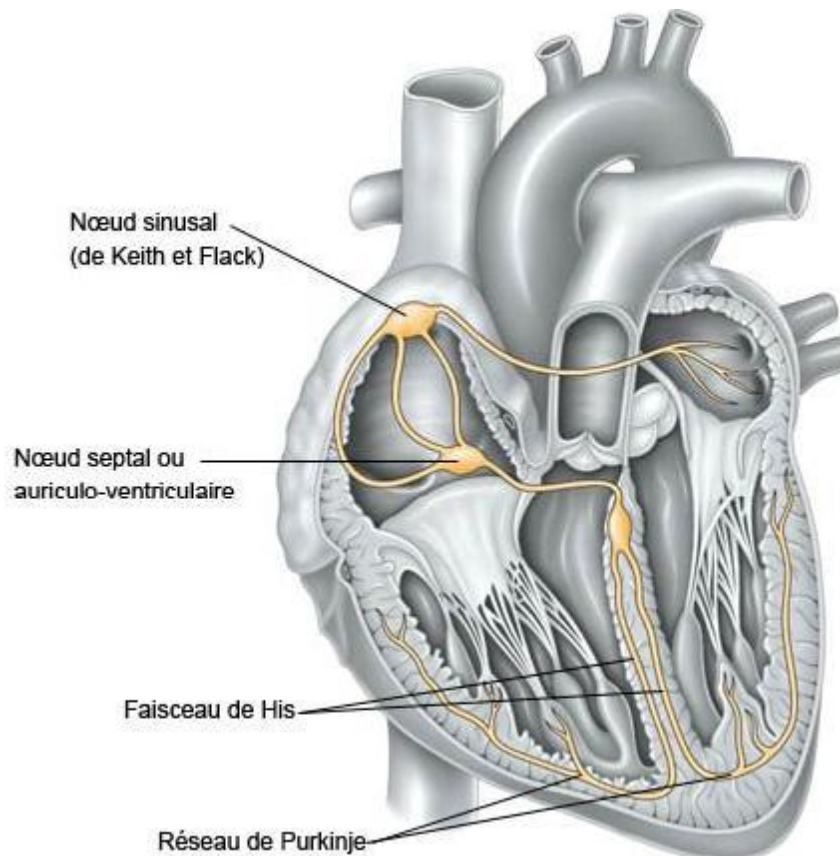


Fig.2.4. L'activité électrique du cœur [31]

peau. L'enregistrement graphique de cette activité électrique du cœur est appelé signal électrocardiogramme ECG. Les positions des électrodes utilisées pour le recueil du signal ECG sont connues par dérivations électrocardiographiques. L'ECG standard est enregistré sur 12 dérivations (six dérivations périphériques et six précordiales).

II.4.1. Système de Dérivations électrocardiographiques

La dérivation en électrocardiographie se définit par deux points d'observation de l'activité électrique du cœur à partir desquels on mesure une différence de potentiel électrique.

Généralement les appareils électrocardiographiques peuvent enregistrer plusieurs différences de potentiels en même temps selon l'emplacement et le nombre d'électrodes réparties sur le corps. Chaque mesure de ces potentiels correspond alors à une dérivation de l'ECG. L'emplacement de ces électrodes est choisi de manière à explorer la quasi-totalité du champ électrique cardiaque résultant de la contraction du myocarde.

II.4.1.1. Dérivations périphériques

Les dérivations périphériques (ou dérivations des membres) permettent d'étudier l'activité électrique du cœur sur le plan frontal. Elles sont obtenues au moyen de 4 électrodes appliquées au bras droit, au bras gauche et à la jambe gauche, l'électrode de la jambe droite étant une électrode neutre destinée à éliminer les parasites électriques. Elles ont été déterminées par Einthoven en 1912 (Les dérivations périphériques bipolaires) et complétées par Goldberger en 1942 (Les dérivations périphériques unipolaires).

II.4.1.1.1. Dérivations périphériques bipolaires

Les dérivations bipolaires (DI, DII, DIII) ont été déterminées par Einthoven [38] au début du vingtième siècle et restent encore utilisées aujourd'hui. Ces dérivations utilisent trois électrodes placées sur le sujet. Les électrodes sont placées sur les bras droit et gauche et sur la jambe gauche pour former un triangle (triangle d'Einthoven).

Ces dérivations sont dites bipolaires parce qu'elles mesurent une différence de potentiel entre deux électrodes. Chaque côté du triangle formé par les trois électrodes représente une dérivation en utilisant une paire d'électrodes différente pour chacune des dérivations (voir figure 2.5).

Les trois dérivations sont :

- DI (dérivation I) avec $DI = VL - VR$
- DII (dérivation II) avec $DII = VF - VR$
- DIII (dérivation III) avec $DIII = VF - VL$

Avec : VL le potentiel sur le bras gauche

VR le potentiel sur le bras droit

VF le potentiel sur la jambe gauche

II.4.1.1.2. Dérivations périphériques unipolaires

Les dérivations unipolaires ont été introduites par Wilson. Dans son système, les dérivations sont obtenues entre une électrode exploratrice placée au sommet du triangle d'Einthoven et une borne centrale (électrode neutre ou indifférente, dont le potentiel est la moyenne des potentiels des trois sommets du triangle d'Einthoven). Cela a donné les dérivations unipolaires VL VR et VF. Plus tard, Goldberg [39] a modifié le système des

dérivations de Wilson pour obtenir trois dérivations unipolaires augmentées, appelées aVL, aVR et aVF (illustré dans la figure 2.6). La lettre a (de l'anglais augmented) désigne le fait que les nouvelles dérivations amplifient les variations de potentiel des dérivations de Wilson par un facteur de 1,5.

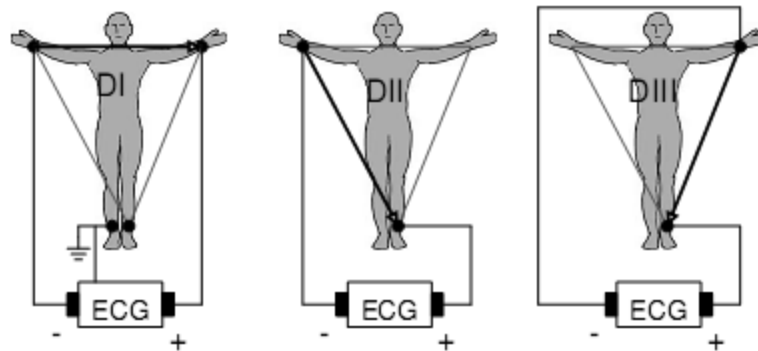


Fig. 2.5 Montage d'Einthoven pour l'enregistrement des dérivations bipolaires des membres.

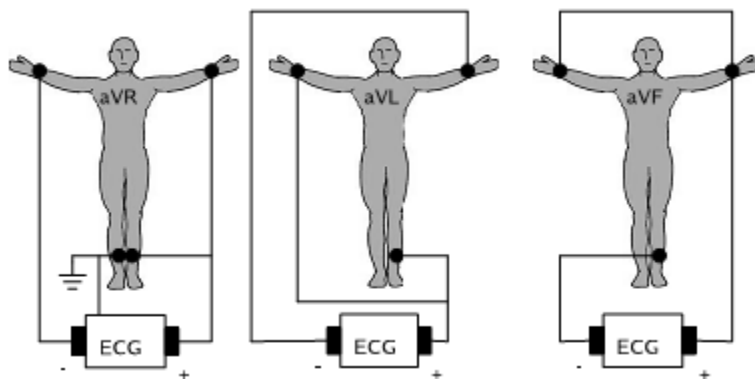


Fig. 2.6 Montage de Goldberger pour l'enregistrement des dérivations unipolaires des membres.

II.4.1.2. Dérivations précordiales

Pour mesurer les potentiels proches du cœur, Wilson a introduit les dérivations du plan horizontal V1, V2, V3, V4, V5, et V6. Ces six dérivations sont localisées du côté gauche du thorax comme illustré dans la figure 2.7. Les potentiels sont enregistrés à partir d'une électrode exploratrice (pôle positif) placée sur le thorax et l'électrode de référence (pôle négatif) connectée à la borne centrale de Wilson. Ce sont des dérivations rapprochées car l'électrode exploratrice est placée à faible distance des parois du ventricule droit et gauche.

II.4.1.2.1. Position des électrodes précordiales

- V1: 4ème espace intercostal, bord droit du sternum (ligne parasternale)
- V2: 4ème espace intercostal, bord gauche du sternum (ligne parasternale)
- V3: à mi-distance entre V2 et V4

- V4: 5ème espace intercostal, ligne médio-claviculaire gauche
- V5: à mi-distance entre V4 et V6, sur la ligne axillaire antérieure
- V6: même niveau horizontal que V4 et V5, ligne axillaire moyenne

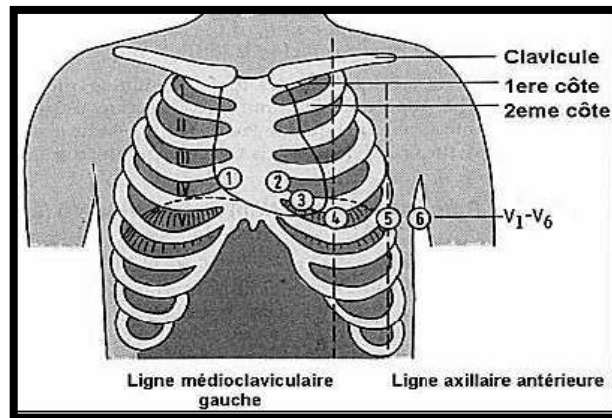


Fig.2.7 la position des électrodes précordiales

II.4.2. Signal électrocardiogramme

Comme introduit auparavant, l'électrocardiogramme ECG est obtenu à partir d'un appareil, l'électrocardiographe, qui enregistre l'activité mécanique du cœur sous forme d'un signal électrique. Ce signal électro-physiologique est recueilli par l'intermédiaire des électrodes métalliques bien placées sur la surface de la peau. L'information enregistrée dans l'ECG se présente comme une série d'ondes électriques, aux formes et durées particulières qui se répètent à chaque cycle cardiaque. En réalité ces ondes traduisent les différents phénomènes mécaniques relatifs au parcours du potentiel d'action de la stimulation cardiaque et dont les étapes sont successives comme illustré dans la Figure 2.8.

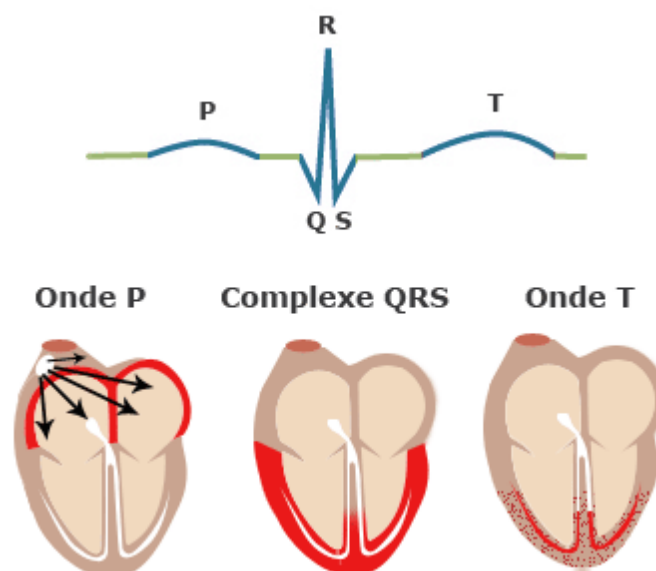


Fig. 2.8 Étapes successives de dépolarisation/repolarisation du cœur qui se traduisent sur le plan électrocardiographique par différentes ondes P, QRS, et T.

II.4.2.1. Ondes enregistrées sur un ECG normal

La figure III.9 montre la morphologie du signal ECG normal sur un cycle cardiaque.

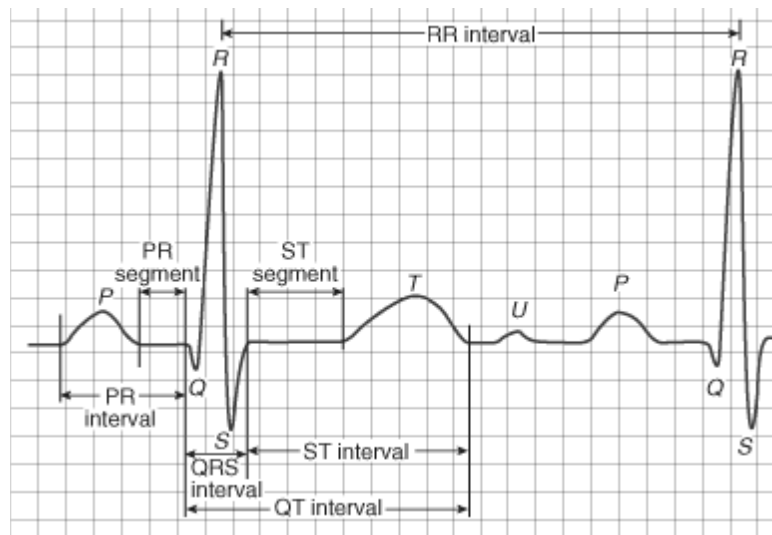


Fig. 2.9 Étapes successives de dépolarisation/repolarisation du cœur qui se traduisent sur le plan électrocardiographique par différentes ondes P, QRS, et T.

On observe dans un signal électrocardiographique ECG que le processus de contraction et de décontraction du myocarde se présentent comme une séquence de déflexions positives et négatives superposées à une ligne de potentiel zéro (ligne de base) qui correspond à l'absence des phénomènes cardiaques comme illustré dans la Figure 2.9. Par convention, on attribue aux ondes principales de l'ECG les lettres P, Q, R, S, T et U :

L'onde P :

C'est la première onde détectable. Elle apparaît quand l'impulsion électrique se propage à partir du nœud sinusal pour dépolariser les oreillettes (voir Figure 2.8). Sa masse musculaire relativement faible entraîne une variation de potentiel faible (moins de 0.25 mv). La progression de l'onde de dépolarisation dans les oreillettes est beaucoup plus lente que dans les ventricules. Par conséquent, la région des oreillettes autour du nœud sinusal est dépolarisée très en avance par rapport aux régions plus éloignées. Puis, le front de repolarisation prend le même sens que celui de la dépolarisation et le vecteur résultant instantané est orienté vers le nœud sinusal. Cela produit une onde de repolarisation à l'inverse de l'onde de dépolarisation P. Normalement, l'onde de repolarisation des oreillettes apparaît au moment où le complexe QRS est produit. Comme ce signal est beaucoup plus intense que le premier, l'onde de repolarisation est cachée.

Le complexe QRS :

C'est un ensemble de déflexions positives et négatives qui correspondent à la contraction des ventricules. Pour un cas normal, il a une durée inférieure à 0.12 seconde et son amplitude variable est comprise entre 5 et 20 mV.

Il est constitué de trois ondes :

- L'onde Q : première déflexion négative
- L'onde R : première déflexion positive
- L'onde S : déflexion négative qui suit l'onde R

Sa forme est variable selon les dérivations utilisées (emplacement des électrodes) ou une arythmie donnée.

L'onde T :

Elle correspond à la repolarisation ventriculaire. Elle est normalement de faible amplitude et ne témoigne d'aucun événement mécanique. Cette onde succède au complexe QRS après retour à la ligne isoélectrique.

L'onde U :

Dans certaines occasions, une onde, dite onde U, peut être observée après l'onde T. C'est une onde de faible amplitude et elle est visible dans certaines dérivations notamment chez les athlètes. L'onde U est souvent associée aux processus de repolarisation ventriculaire tardive, mais le mécanisme de sa genèse est encore discuté

En général, un tracé d'un électrocardiogramme normal se présente comme illustré dans la figure.2.9. La caractérisation d'un ECG concerne les durées, les amplitudes et la morphologie des ondes P, QRS et T ainsi que d'autres paramètres temporels qui sont les segments PR et ST, et les intervalles PR, QT et ST.

II.4.2.2. Segments et intervalles qui caractérisent un ECG normal

En plus des différentes ondes qui sont les paramètres de base pour une bonne caractérisation d'un signal ECG, il existe un certain nombre d'intervalles et de segments qui portent des informations très utiles sur la vitesse de conduction de l'impulsion électrique dans les différentes parties du cœur.

Les intervalles et les segments les plus importants sont :

Intervalle RR :

L'intervalle RR correspond au délai entre deux dépolarisations des ventricules. C'est cet intervalle qui permet de calculer la fréquence cardiaque.

Segment PR : (pause du nœud AV)

Le segment PR correspond au délai entre la fin de la dépolarisation des oreillettes et le début de celle des ventricules. C'est le temps pendant lequel l'onde de dépolarisation est bloquée au niveau du nœud AV.

Intervalle PR : (durée de conduction auriculo-ventriculaire)

L'intervalle PR correspond à la durée de propagation de l'onde de dépolarisation du nœud sinusal jusqu'aux cellules myocardiques ventriculaires.

Intervalle QT : (durée de systole ventriculaire)

Cet intervalle correspond au temps de systole ventriculaire, qui va du début de l'excitation des ventricules jusqu'à la fin de leur relaxation.

Segment ST : (durée de stimulation complète des ventricules)

Le segment ST correspond à la phase pendant laquelle les cellules ventriculaires sont toutes dépolarisées, le segment est alors isoélectrique.

Une présentation détaillée des caractéristiques de l'ECG normal, leur interprétation physiologique ainsi que plusieurs méthodes de calcul de l'axe électrique du complexe QRS peut être trouvée dans [40][41][42]

II.4.3 Le rythme cardiaque

Le rythme cardiaque est en relation à la fois du lieu de genèse de l'activité électrique du cœur et de la régularité ou non de sa propagation. Ainsi, on parle de rythme sinusal régulier lorsqu'il est :

- régulier : l'intervalle R-R est quasi-constant sur tout le tracé, avec des complexes QRS similaires
- sinusal : l'activité électrique est générée par le nœud sinusal. L'analyse du rythme cardiaque à partir du signal électrocardiogramme est accomplie par la vérification de la régularité du rythme et de son origine qui peut être :
 1. Sinusal (du nœud sinusal : une onde P précède chaque complexe QRS)
 2. Jonctionnel (du nœud auriculo-ventriculaire : complexes QRS fins et onde P rétrograde)
 3. Ventriculaire (myocytes ventriculaires : complexe QRS élargi et sans onde P)
 4. Ectopique (issu des cellules musculaires auriculaires : onde P anormale et complexe QRS normal)
 5. Artificiel (pacemaker)

Dans le cas du pacemaker, le rythme cardiaque est imposé par un stimulateur cardiaque implanté au voisinage du cœur.

II.5 Interférence

Il est à prévoir que n'importe quel système de reconnaissance ECG devra fonctionner dans un environnement hospitalier bruyant. Le signal ECG est normalement corrompu avec différents types de bruit. Souvent les informations ne peuvent pas être facilement extraites du signal brut, qui doit être traité en premier pour obtenir un résultat utile. Il existe de nombreuses sources de bruit dans un environnement clinique qui peut dégrader le signal ECG. Les sources communes de bruit pour le signal ECG sont [43][44] [45][46].

II.5.1. Interférences dues à l'alimentation (60 ou 50 Hz)

Le bruit 50Hz (60Hz) est un bruit qui provient de l'alimentation par le réseau de distribution électrique. Il contamine le signal électrocardiographique ECG avec des oscillations dont l'harmonique fondamentale est à 50 Hz (60Hz). Généralement, ce bruit est présent dans tous les enregistrements et il peut être assez fort, Généralement, ce type de bruit est supprimé en moyennant un filtre passe-bas du fait qu'il est un bruit de haute fréquence. Ce type de bruit est illustré dans la figure 2.10.



Fig.2.10 Interférences électriques du secteur.

II.5.2. Interférences dues à l'activité électrique musculaire

Ces bruits sont généralement causés par l'activité électrique due aux muscles en contraction. Ces oscillations de hautes fréquences sur le tracé de l'ECG, la Figure. 2.11, apparaîtront lorsque le patient bouge ou frissonne. Leur présence est très endommageant du fait qu'ils puissent noyer les différentes ondes du signal ECG et nuire ainsi à l'information utile.

II.5.3. Dérive de la ligne de base

La dérive de la ligne de base est due essentiellement à la respiration du patient, Figure. 2.12. L'énergie spectrale des oscillations de ce bruit est située aux basses fréquences. Leur présence ne représente pas un grand problème et leur suppression est assurée par des filtres simples de type passe-haut.

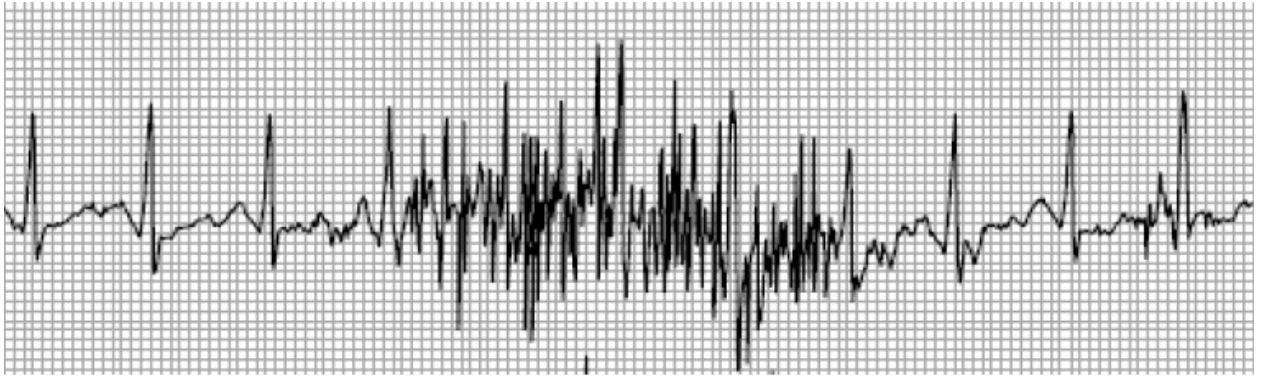


Fig.2.11 Interférences dus aux activités électriques musculaires.

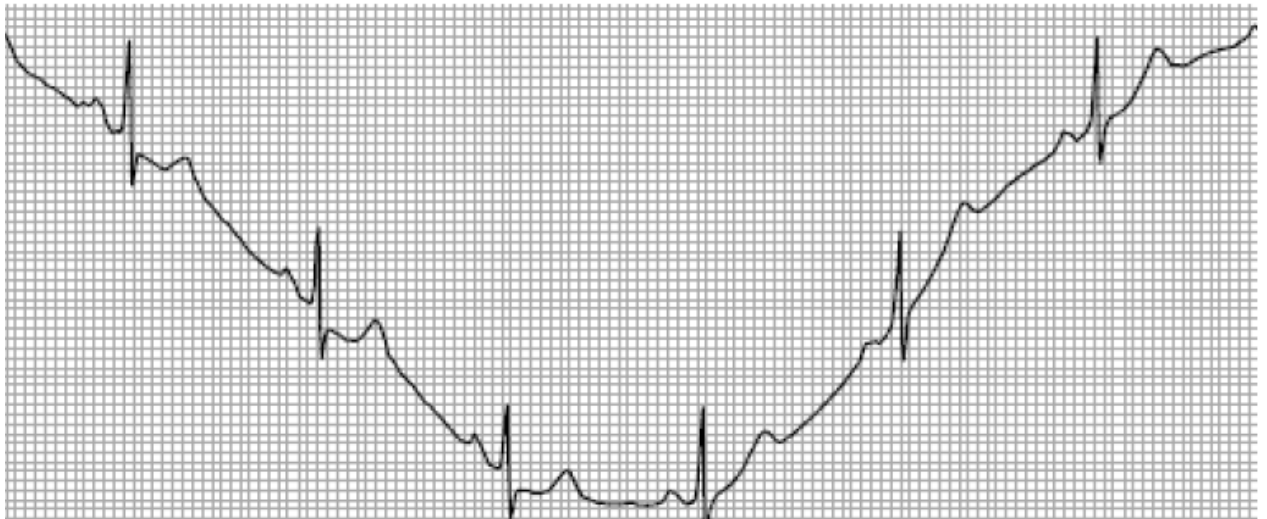


Fig.2.12 Dérive de la ligne de base du signal ECG.

II.5.4 Interférences dues au mauvais contact électrode-peau

Lorsque les électrodes utilisées pour le recueil du signal ECG se détachent ou le gel entre l'électrode et la peau se sèche, cela peut provoquer un bruit qui provoque des changements brusques de l'amplitude du signal d'ECG (Figure 2.13) ainsi que de faibles changements de fréquence de référence.

De plus, une mauvaise conductivité entre les électrodes et la peau peut avoir un effet sur le signal ECG qui peut aller d'une simple diminution d'amplitude à l'apparition des pics qui peuvent parfois être confondus avec les ondes du tracé normal. Ce type de bruit est difficile à éliminer car son énergie se trouve dans la même gamme de fréquence que celle des complexes QRS.

II.5.5 Interférences d'instrumentation

Ces Interférences générées par des dispositifs électroniques utilisés dans le traitement du signal, ils affectent chaque composant d'un appareil, à savoir la source, le transducteur

d'entrée, les systèmes de traitement du signal et le transducteur de sortie. De plus, le bruit de chacun de ces éléments peut être de plusieurs types et résulter de causes variées. Par conséquent, les composantes du bruit observé sont complexes et difficiles à caractériser de manière complète. Certaines espèces de bruit instrumental néanmoins caractéristiques : (1) le bruit thermique, (2) le bruit de grenaille, (3) le bruit de scintillation ou bruit en $1/f$

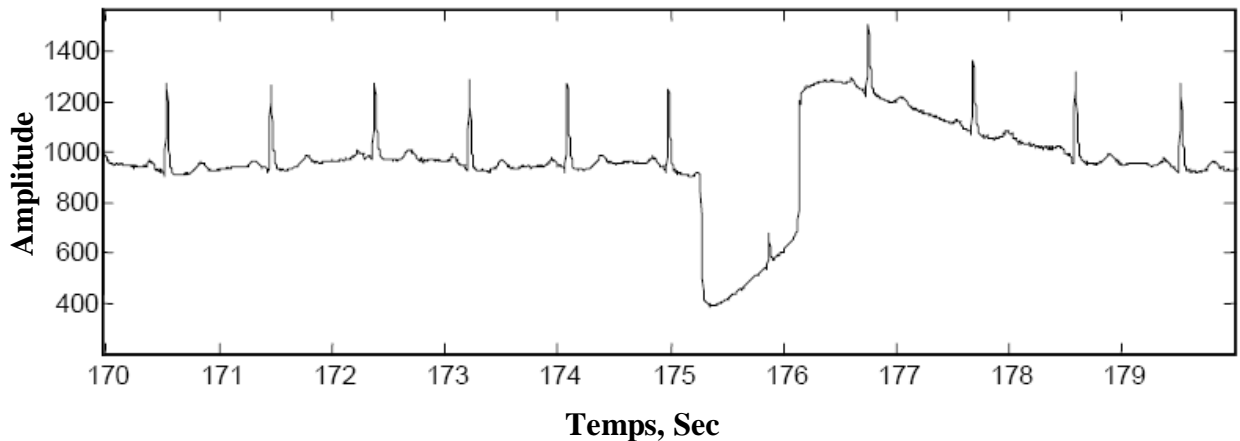


Fig.2.13 Bruit dû au mauvais contact électrode-peau

II.6 Conclusion

Malgré une forte évolution technologique dans le domaine de l'instrumentation médicale, l'électrocardiographie reste un examen indispensable en cardiologie depuis de longues années. Cette technique permet de faire un monitoring de l'activité électrique du myocarde depuis l'extérieur du corps. Ceci est achevé par l'utilisation des électrodes collées à la surface de la peau pour récupérer un signal sous forme électrique appelé signal électrocardiogramme ECG. L'étude menée dans ce deuxième chapitre sur l'anatomie cardiaque ainsi que les propriétés électro-physiologiques des cellules cardiaques ont permis de mieux comprendre la nature et l'origine du signal ECG.

Nous avons aussi présenté certains types des bruits affectant le signal ECG et qui peuvent constituer des obstacles devant l'exploitation adéquate de ce signal.

Chapitre III

Cellules analogiques

III.1 Introduction

III.2 Techniques de conception basse tension en technologie CMOS

III.2.1 Transistor composite

III.2.2 Latéral BJT

III.2.3 Polarisation direct Bulk-Source

III.2.4 Bulk-Driven MOSFET

III.3 Limitations de circuits en inversion forte travaillé avec alimentation basse tension

III.4 Technologie CMOS 90nm GPDK

III.5 Régimes de transistor MOSFET

III.5.1 Courant de drain en régime ohmique

III.5.2. Courant de drain en régime de saturation

III.6 Bruit électrique Basse Fréquence dans le transistor MOSFET

III.6.1 Bruit thermique

III.6.2. Bruit en 1/f

III.7 Circuit portative pour le signal ECG

III.7.1 Amplificateur opérationnel d'instrumentation

III.7.1.1 Trois amplificateur opérationnel

III.7.1.2 Chopper stabilisé Amplificateur opérationnel

III.7.1.3 Réaction de courant (current feedback) Amplificateur opérationnel

III.7.1.4 Capacité commuté Amplificateur opérationnel

III.8. Commutateurs analogique

III.8.2 Phénomène d'injection de charges et de clock feedthrough

III.8.3. Techniques d'amélioration des performances du commutateur analogique

III.8.3.a. Porte de Transmission

III.8.3.b Technique du Bootstrapping

III.8.3.c. Technique d'utilisation du transistor fantôme (dummy structure)

III.8.3.d Technique du « bottom plate sampling » (BPS)

III.9. Conclusion

Chapitre 3

Cellules analogiques

III.1 Introduction

Ce chapitre présente les principes théoriques mis en œuvre dans le développement d'une frontal analogique (AFE : Analog Front End) proposé. Le chapitre commence par une introduction aux techniques de conception de basse tension utilisées dans les technologies CMOS, des tendances futures des technologies CMOS sont présentées, les techniques principales de circuits de basse tension: composite transistor, lateral BJT, Forward-biased bulk-source et bulk-driven [47].

Ensuite la théorie de transistors CMOS fonctionnant dans les trois régions est présentée, la théorie du bruit dans des dispositifs CMOS base fréquence est présentée.

Enfin les éléments qui constituée notre circuit frontal analogique(AFE), tel que les types des amplificateurs opérationnels et les commutateurs analogique. Le choix de l'architecture en fonction des contraintes du projet est présenté. Ces architectures sont choisies en raison de la faible consommation attendue et basse tension d'alimentation.

III.2 Techniques de conception basse tension en technologie CMOS

Les tendances de dispositifs portables justifient la nécessité des systèmes de très basse tension d'alimentation et faible consommation de puissance tels que les stimulateurs cardiaques (Pacemaker), les prothèses auditives (hearing aids), les communications mobiles. Faible consommation de puissance est essentiel dans ces systèmes d'avoir une batterie longue durée de vie.

Il y a trois principales limites pour circuits analogique basse tension [48] [49][50][51].

➤ Le premier est la tension de seuil, Le MOSFET doit être activé pour pouvoir effectuer tout type de traitement de signal. Cela implique que pour la technologie CMOS que les alimentations doivent satisfaire à l'exigence suivante:

$$V_{DD} + |V_{SS}| = V_{THn} + |V_{THp}| \quad (3.1)$$

V_{DD} L'alimentation positive, V_{SS} est l'alimentation négative, V_{THn} et V_{THp} sont les tensions de seuil des transistors NMOS et PMOS, respectivement.

➤ La deuxième limite est liée à la diminution de longueur de canal de transistor CMOS submicroniques. Une limitation de technologies submicroniques est un plus grand effet de

modulation de longueur de canal. Il en résulte des gains de signal pauvre parce que la résistance de sortie petit signal de transistor MOSFET a diminué.

➤ La troisième limitation est le manque un bon modèle analogique pour la technologie submicronique pour un fonctionnement à basse tension. Cette limitation provoque souvent des concepteurs analogiques à utiliser plus canal longueurs que nécessaire afin d'avoir plus fiable modèles. En conséquence, la performance de technologies submicronique n'est pas utilisée.

Les limitations ci-dessus sont résumées ci-dessous :

- Limitations de tension de seuil.
- Modulation de longueur de canal provoquée par submicronique technologies.
- Mauvaise modélisation analogique des technologies submicroniques.

Par conséquent, les techniques de circuits basse tension sont nécessaires pour rendre les technologies CMOS avenir compatible avec les exigences de circuit futur bas tension. **Figure 3.1** montre les tendances de la tension de seuil du 1 μ m à 22nm en technologie CMOS. Cette section aborde les nouvelles techniques de circuits bas tension qui sont compatibles avec la technologie CMOS d'aujourd'hui.

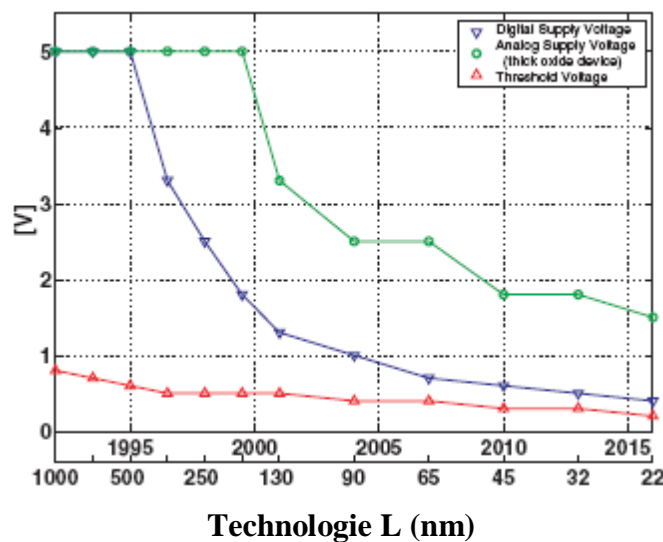


Fig. 3.1 Tension d'alimentation et tension de seuil de différentes technologies [47]

III.2.1 Transistor composite

Le transistor composite est basé sur le réglage-cascode collecteur / source de courant [49], également connu comme la technique d'auto-cascode [50] et aussi comme le super-transistor [51]. Il se compose d'une configuration cascode et une boucle de rétroaction en série qui augmentent la faible résistance de sortie de signal et l'instant de réduire la chute de tension aux bornes de la sortie de collecteur / source de courant.

Le transistor composite est représenté dans la **Figure 3.2**, est brièvement décrite comme suit. Transistor T_1 , convertis la tension d'entrée V_1 en un courant de drain I_0 , qui circule dans le drain-source de transistor T_2 à la borne de sortie. Pour obtenir une résistance élevée à la sortie, c'est à dire pour supprimer l'effet de modulation de longueur de canal de transistor T_1 , la tension drain-source doit être maintenue stable. Dans les circuits cascode non régulée, cela se fait par chargement le drain avec faible résistance d'entrée de source du transistor T_2 associé.

Dans le cascode régulé ceci est réalisé par une boucle de contre-réaction constitué par un amplificateur (T_3 et I_1) et Transistor T_2 en tant que suiveur. De cette manière, la tension drain-source de transistor T_1 est réglée à une valeur fixe.

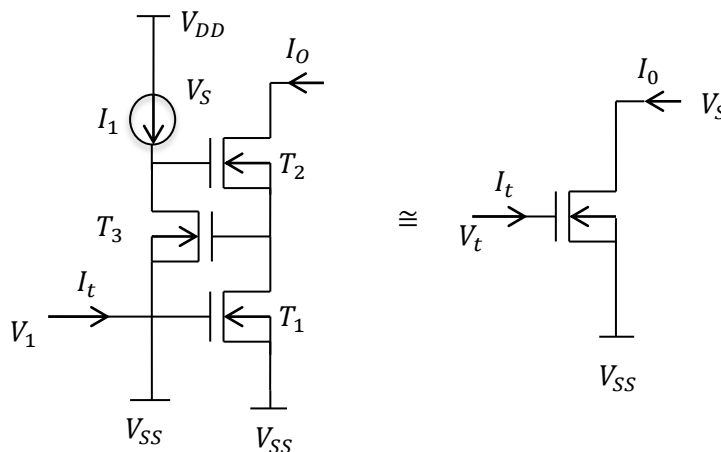


Fig.3.2 Transistor composite [48]

La technique du transistor composite fournit une haute impédance de sortie avec une plus grande marge de tension que les structures cascode classique. De plus, avec cette technique, transistor peut être utilisé avec des tailles minimales obtention petite surface de circuit tout en ayant bonne réponse en fréquence et dc gain élevé.

III.2.2 Latéral BJT

La solution pour la limitation de tension de seuil, doit supprimer ou contourner l'obligation de fournir au moins V_{TH} volts pour activer le transistor MOSFET. Une solution possible est le BJT latérale [51]. Cette solution a l'avantage supplémentaire de moins de $1/f$ bruit parce que le courant circule dans le bulk du matériau. Cependant, le BJT latérale exige activer des tensions de 0,6 à 0,7 V, dont il n'est pas beaucoup d'avantage dans le MOSFET. Cependant, Un avantage supplémentaire de la latérale BJT est qu'il a une faible valeur $V_{CE}(sat)$ qui est également important pour la basse tension des circuits analogiques [52].

III.2.3 Polarisation direct Bulk-Source [53][54][55]

Les vraies solutions pour le problème de la tension de seuil provenir d'une intime connaissance de la technologie, un principe général qui a été constante tout au long de l'histoire de l'électronique. Bien que la technologie ne puisse être modifiée, il y a des façons d'utiliser la technologie existante qui fournissent les résultats souhaités sur une base fiable. Par exemple, il est bien connu qu'une polarisation inverse à la jonction well-source provoque une augmentation de la tension de seuil. De même, une polarisation directe sur cette jonction provoque une diminution de la tension de seuil. La relation norme utilisée pour prédire la polarisation inverse influence est donnée à titre

$$V_{TH} = V_{TH0} + \gamma[\sqrt{2\phi + V_{BS}} - \sqrt{2\phi}] \tag{3.2}$$

Où V_{TH} est la valeur de V_{TH0} avec $V_{BS} = 0$, γ est la masse seuil paramètre ($Volts^{\frac{1}{2}}$), et ϕ est le potentiel de surface de forte inversion (volts) du transistor MOSFET dans le well.

La figure 3.3 montre la section transversale d'un NMOS transistor dans un p-well (bulk). La polarisation en direct de la jonction bulk-source peut être réalisée par la source du courant I_B comme représentée sur la figure 3.3.a. Ceci permet un fonctionnement flottant du MOSFET. La figure 3.3.b montre la coupe transversale de la NMOS polarisée Bulk- source et la verticale parasite BJTs qui doit être inclus.

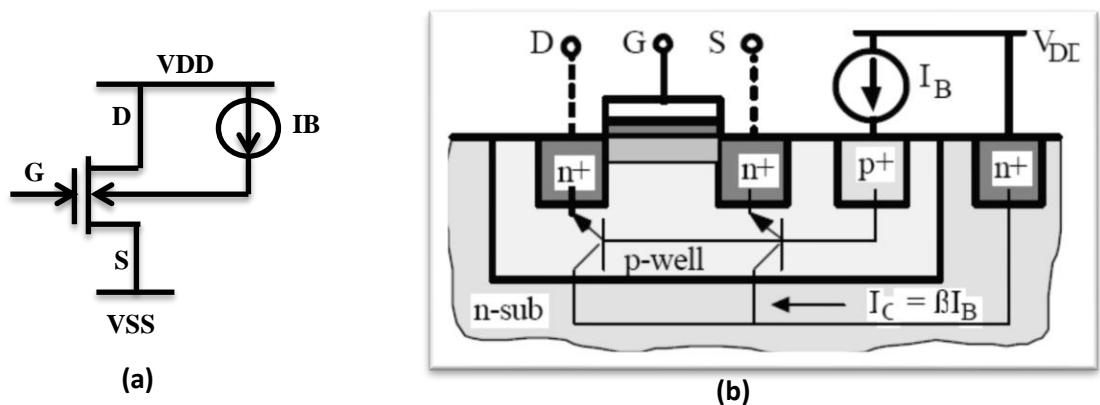


Fig.3.3 (a.)Schéma d'un transistor NMOS polarisée en direct.
(b.) section transversale de (a.)

La performance expérimentale de la figure. 3.3.a est représenté sur la Figure. 3.4 Pour un transistor NMOS avec $W / L = 25 \text{ um} / 2 \text{ um}$. Pour les tensions Bulk-source d'autant que 0.4V, la tension de seuil peut être diminué de 0.75V à environ 0.5V.

Malheureusement, le courant de Bulk, I_B , est le courant de base de la verticale NPN BJTs et apparaît sur le drain ou la source (quelle que soit la petit faible potentiel) comme $(1 +$

β_F) I_B où β_F le gain de courant direct du vertical NPNs. En outre, circule un courant de substrat de $\beta_F I_B$. Bien que ces courants sont dc et β_F est généralement faible, ils sont indésirables. Le courant de Bulk reste en dessous de 100 nA pour des tensions Bulk-source aussi élevé que 0.5V.

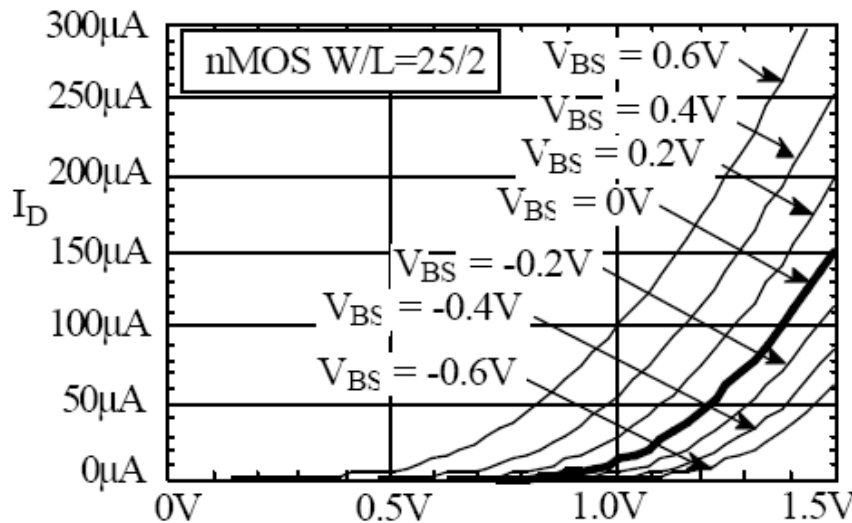


Figure 3.4 Influence d'une tension Bulk-source en polarisation directe sur les caractéristiques de transconductance d'un transistor MOSFET.

Plusieurs observations sur le fonctionnement de polarisation direct Bulk-source sont importantes. D'abord, parce que le seuil est réduit, la valeur de la tension V_{GS} pour un même courant est réduite. D'autre part, les caractéristiques de bruit sont identiques si la Bulk-source est polarisée en direct ou non.

III.2.4 Bulk-Driven MOSFET

La technique Bulk-driven de transistor MOSFET est une bonne solution pour surmonter la limitation de tension de seuil. Parce que le bulk-driven transistor est un dispositif du type à appauvrissement, il peut travailler sous état de polarisation négatif, nul, ou même légèrement positif comme représenté sur la figure. 3.5.

Une section transversale de transistor CMOS illustrant cette technique est représentée dans la figure 3.6.

Normalement, lors de l'utilisation d'un MOSFET comme une partie d'un amplificateur, le signal est appliqué à la grille et le Bulk est lié à une tension de polarisation. Dans technique de Bulk-driven MOSFET, le signal est introduit dans le Bulk et dont la grille est liée à une tension de polarisation qui est suffisante pour activer.

Le courant s'écoulant de la source-drain est modulée par la polarisation inverse de la jonction Bulk-Channel. Le résultat est un transistor à effet de champ avec le Bulk comme un

signal d'entrée. Par conséquent, la configuration en Bulk-driven illustre un dispositif d'appauvrissement haut entré d'impédance qui n'exige aucune dc de tension Bulk-source pour le flux de courant [49][50][51][56].

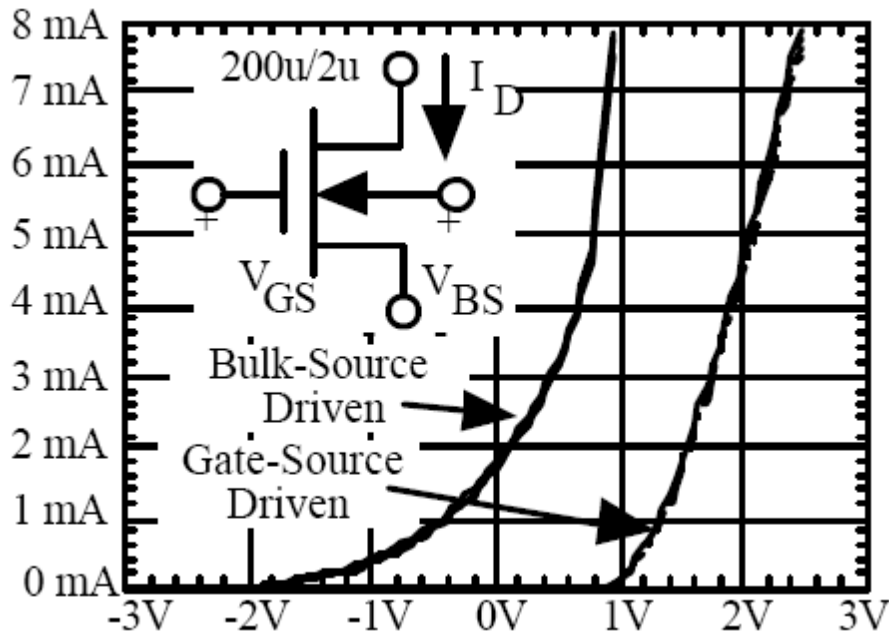


Fig.3.5 Courant de drain en fonction de Tension V_{BS} de transistor MOSFET

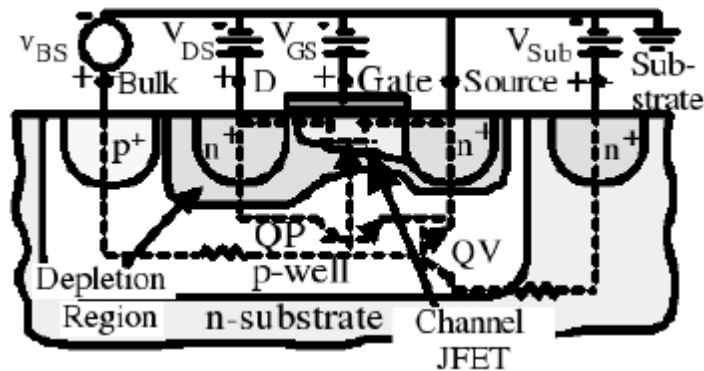


Fig.3.6 Section transversale de bulk-driven transistor

Avantages de l'utilisation des dispositifs Bulk-driven sont [49]

- Bulk-driven Paires différentielles dans amplificateur opérationnel améliorer de manière significative la plage de mode commun en entrée (ICMR), car il permet une extension de sa gamme de signal sur le côté négatif. Avec une conception appropriées, l'appareil peut rester saturée sur l'ensemble ICMR rail à rail.
- Bulk-driven Miroirs de courant, peuvent éliminer la forte chute de tension aux bornes de la Dispositif d'entrée. C'est parce que la chute de tension à travers le dispositif d'entrée V_{DS} , qu'est égale à la tension Bulk-source V_{BS} , n'a pas besoin d'être supérieure au seuil V_{TH} de

tension pour un fonctionnement correct. La configuration de cascode, peut être utilisée pour améliorer l'appariement (matching) de courant et augmenter l'impédance de sortie de miroir de courant.

Néanmoins, la technique Bulk-driven a aussi des inconvénients [49]. Le principal inconvénient est sa capacité parasite d'entrée. Ceci diminue sa réponse en fréquence F_T d'après les équations dans [50][51].

III.3 Limitations de circuits en inversion forte travaillé avec alimentation basse tension [47][48][52][53]

Les techniques de basse tension décrites montrent bon fonctionnement de la performance dans la région de saturation et triode. Le transistor composite peut-être, la meilleure performance pour court canal modulation, tout en ayant une faible tension V_{DS} (composite), être un bon candidat pour les applications basse tension. Cependant, les transistors dans sa boucle de rétroaction doivent rester saturés que possible, ayant la tension $V_{DS}(sat)$ grande.

Le BJT latérale est un dispositif puissant qui pourrait être utilisés pour réduire la quantité de bruit $1/f$, tout en ayant un gain élevé. En utilisant la tension de grille plus élevés pour activer est inévitable.

La technique polarisée en direct utilise le Bulk de transistor MOSFET pour réduire la tension de seuil V_{TH} du transistor permettant de réduire la tension $V_{DS}(sat)$. Malheureusement, les VBS activer un transistor parasite produire des courants indésirables.

Enfin, la technique bulk-driven utilise le Bulk de MOSFET comme borne d'entrée. Cependant, les valeurs de la tension V_{GS} doit être au moins égale la tension de seuil V_{TH} du transistor afin de le maintenir sur la zone de saturation.

Toutes les techniques présentées à l'exception du transistor composite, pourraient travailler en saturation. Néanmoins, fonctionnant à des faible tensions d'alimentation en saturation apporte des limitations importantes.

Les principales limites de circuits analogiques à basse tension sont une grande tension de seuil, une grande longueur de canal de modulation et n'existe pas un bon modèle analogique dans les technologies submicronique.

Les deux dernières limitations sont causées par la technologie courte canal. La meilleure solution au problème de la longueur de modulation du grand canal est le transistor composite ou d'autres techniques. La limitation de la tension de seuil est atteinte par le BJT latérale, Polarisation direct Bulk-Source et Bulk-driven technique.

Avec la tendance de la mise en échelle vers le bas des transistors, nécessite des techniques pour des circuits fonctionnent aux tensions d'alimentation aussi bas que 0,5 V.

Par conséquent, les techniques présentées travaillant dans la région de forte inversion ne sont pas adaptés, puisque la plupart d'entre eux nécessitent au moins une tension d'alimentation égale à la somme de la tension de seuil des transistors empilés, afin de travailler correctement.

III.4 Technologie CMOS 90nm GPDK

La technologie CMOS 90 nm GPDK est une technologie dédiée, comme son nom l'indique, à la fabrication de circuits intégrés à base de transistors MOS dont la longueur caractéristique (largeur de la grille du transistor MOS) ne peut être inférieure à 90 nm. Mais grâce aux différentes couches composant cette technologie, elle se prête très bien à la fabrication de microstructures. De plus, la technologie 90 nm GPDK est disponible au **Cadence Design Systems**.

III.5 Régimes de transistor MOSFET

Le transistor MOS peut fonctionner en trois régions bien distinctes selon les valeurs de ces tensions de référence qui sont la tension grille-source V_{GS} , la tension de seuil V_{TH} et la tension drain-source V_{DS} . Ces régions d'opération sont:

- Région à forte inversion ou de saturation
- Région à faible inversion
- Région intermédiaire

III.5.1 Courant de drain en régime ohmique

Nous commençons par le régime ohmique bien que le régime principal de fonctionnement d'un transistor MOS soit le régime de saturation car c'est dans ce régime que sont faites principalement les mesures courant-tension servant à extraire les paramètres électriques du transistor MOS.

III.5.2. Courant de drain en régime de saturation

Le transistor MOS est dit opérant en régime de saturation si sa tension grille-source plus grande que sa tension seuil. Dans cette région, le transistor est saturé quand:

$$V_{DS} > V_{GS} - V_{TH} \quad (3.3)$$

où V_{DS} et V_{TH} sont, respectivement, la tension grille-source et la tension seuil. La tension grille-source pour laquelle le transistor commence à saturer est dite tension de saturation, V_{DSsat} .

Dans la pratique de conception d'amplificateur opérationnel, presque tous les transistors sont polarisés dans la région de saturation, car ceci fournit le plus grand gain en tension pour un courant drain-source donné et pour des géométries de composant données.

Pour déterminer la tension grille-source totale d'un transistor MOS, on peut la diviser en deux parties, la tension seuil et la tension grille-source effective qui traverse le transistor. Dès lors, on a la relation suivante:

$$V_{GS} = V_{TH} + V_{GS,eff} \quad (3.4)$$

Pour les circuits analogiques à basse tension, la plupart des transistors opèrent à la limite de la région de saturation. Dans ce cas, la relation entre le courant drain-source, I_d , et la tension grille-source, V_{DS} , s'exprime de la façon suivante:

$$I_d = U_n C_{OX} \frac{W}{L} (V_{GS,eff})^2 \quad (3.5)$$

III.6 Bruit électrique Basse Fréquence dans le transistor MOSFET

Les principaux types de bruits électriques présents dans un transistor MOS ainsi que les modèles les décrivant.

III.6.1 Bruit thermique

Le bruit thermique des résistances est le résultat du mouvement brownien des électrons dans un conducteur. Celui-ci produit aux bornes d'une résistance R une tension erratique $V(t)$ dont la distribution d'amplitude est gaussienne, de moyenne nulle, et dont la valeur quadratique moyenne $\langle v^2(t) \rangle$ (ou variance) mesurée dans une bande df est égale à :

$$V^2 = 4kTRdf \quad (3.6)$$

où k désigne la constante de Boltzmann ($k=1.381 \cdot 10^{-23} \text{ J/}^\circ\text{K}$), et T désigne la température de la résistance en $^\circ\text{K}$.

On peut établir en outre que ce résultat est indépendant de la fréquence (tant que celle-ci reste inférieure à une dizaine de GHz). On en conclut que le bruit thermique est un bruit blanc dont la densité spectrale bilatérale est uniforme et égale à $2KTR$ (V^2/Hz).

Dans le cas du canal du transistor en conduction, le bruit thermique peut être représenté par une source de tension connectée à la grille d'un transistor sans bruit. Si le composant est en saturation l'approximation $R = (2/3 \cdot g_m)$ peut être utilisé pour calculer le bruit de générateur devient :

$$V_{nT}^2 = \frac{8}{3} kT g_m df \quad (3.7)$$

III.6.2. Bruit en 1/f

Le bruit en 1/f (“flicker noise”) est un bruit dont la densité spectrale de puissance varie comme $f^{-\nu}$ où ν est proche de 1. C'est donc un bruit très gênant dans les applications basses fréquences. Il est attribué à des inhomogénéités, des disparités de l'interface Si/SiO₂, mais son origine est encore mal cernée. La valeur moyenne de ce bruit est également nulle.

Comme le bruit thermique, une modélisation possible de ce phénomène peut se faire par l'intermédiaire d'une source de tension connectée à la grille dont l'amplitude est donnée par la formule approximative suivante :

$$V_{nT}^2 = \frac{K}{C_{OX}WL} \frac{df}{f} \quad (3.8)$$

III.7 Circuit portative pour le signal ECG

Circuits ECG portables intéressent pour effectuer l'acquisition du signal ECG à faible consommation d'énergie combinée avec certain traitement du signal et éventuellement la transmission sans fil des données. La figure 3.7 montre un schéma bloc d'un circuit typique d'un signal ECG portable.

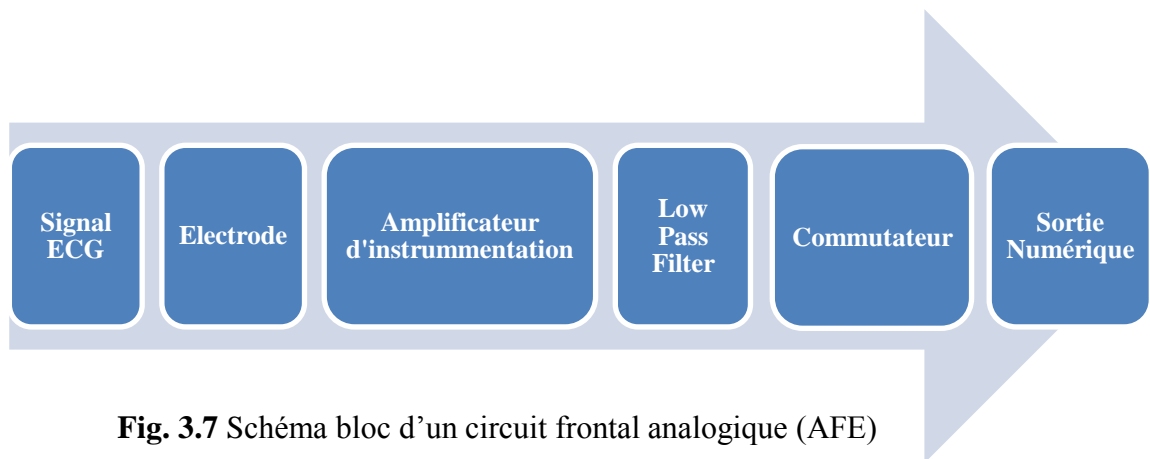


Fig. 3.7 Schéma bloc d'un circuit frontal analogique (AFE)

Le frontal analogique (AFE) est un composant critique, où les paramètres les plus importants sont le coût, la puissance, la résolution, le bruit et la surface. Les composants principaux d'un traditionnelle discrète de frontal analogique(AFE) de signal ECG comprennent des amplificateurs d'instrumentation, qui mettent en œuvre des commutateurs analogique, des filtres actifs, et CANs.

Le frontal analogique (AFE) d'un ECG se compose de quatre blocs principaux (Amplificateur opérationnel, filtre, commutateur analogique et CAN), comme représenté sur la figure 3.7. Dans l'ensemble, nous voulons une représentation numérique du signal ECG analogique à la sortie. Une brève explication de chaque bloc est incluse dans la suite pour aider à la compréhension de sa contribution à l'ensemble du système.

III.7.1 Amplificateur opérationnel d'instrumentation

La partie la plus critique des circuits de frontal analogique (**AFE**) est la première étape Amplificateur d'instrumentation (**IA: Instrumentation Amplifier**). Comme nous le savons, le signal d'entrée est très faible, de sorte que tout le bruit devient significatif. Alors amplificateur opérationnel pourrait être utilisé pour amplifier l'entrée il ajouterait trop de bruit au signal. Pour réduire la quantité de bruit, il faut ajouter d'autre circuit pour un amplificateur, le but d'un amplificateur faible bruit dans un système ECG est d'amplifier le signal d'entrée tout en ajoutant une quantité insignifiante de bruit dans le système. En outre, un amplificateur opérationnel faible bruit utilisé pour des applications de système ECG, doit avoir un niveau extrêmement élevé de rapport de réjection en mode commun **CMRR** (de l'ordre de 100 dB ou plus), et décalage du niveau continu (**DC offset**).... Donc beaucoup d'attention devrait être placée dans la conception et l'optimisation de cette étape, l'amplificateur d'instrumentation est le bloc le plus important et consomme également beaucoup d'énergie, La contribution de bruit de cette étape domine le bruit total du système et la surface devrait être petit. Pour cette raison, différentes architectures ont été tentées dans la littérature, pour minimiser le bruit, obtenir faible consommation d'énergie et petit surface..... Les types d'amplificateurs d'instrumentation sont à savoir: trois Amp-Op, chopper stabilisé Amp-Op, capacité commuté Amp-Op et réaction de courant Amp-Op.

III.7.1.1 Trois amplificateur opérationnel

La Figure 3.8 illustre la structure d'un amplificateur d'instrumentation classique. Cet amplificateur se compose de trois amplificateurs Op1, Op2 et Op3 et le réseau de résistances [57][58][59].

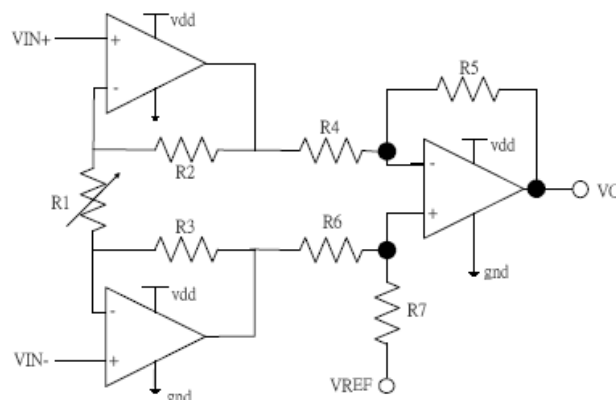


Fig. 3.8 Schéma de trois amplificateurs avec réseau des résistances

Il y a trois avantages essentiels :

- Très grande impédance d'entrée et faible bruit,
- Très grande CMRR avec rétroaction résistif,

- Facile de Contrôler le gain pour R1.

OP1 et OP2 sont connectés dans le non-inverseuse étage suiveur, tandis que l'OP3 est un amplificateur différentiel. Pour ajuster les résistances leurs valeurs sont $R2 = R3$, $R4 = R6$ et $R5 = R7$. La tension de sortie est représentée par Eq (3.9):

$$V_0 = -(V_{IN+} - V_{IN-}) * \left(1 + 2 \frac{R_2}{R_1}\right) \frac{R_5}{R_4} \quad (3.9)$$

Un inconvénient important est qu'une bonne performance de ce type est liée à évaluations de réseau de résistances et très bonne d'appariement (matching). Certaines résistances doivent être suffisamment précises pour réduire le gain en mode commun pour augmenter CMRR, donc conduisant à l'augmentation du coût de ce type pour résistances précises ajustage (trimming).

Pour résoudre le problème l'appariement de réseau de résistances, le nombre de résistance doivent être réduit. Donc nous proposer une nouvelle structure de ce circuit pour améliorer le problème. L'amplificateur opérationnel en mode courant proposée se compose de trois Amplificateur Opérationnel, miroirs de courant et quelques résistances comme montré sur la Figure 3.9.

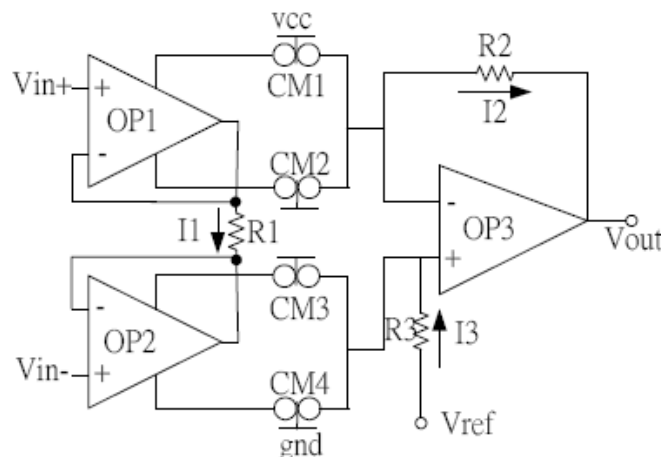


Fig. 3.9 Schéma d'amplificateur en mode courant

Amplificateur d'instrumentation en mode courant est une technique qui ne nécessite pas des résistances pour obtenir un bon CMRR. En conséquence, cette conception est plus adaptée à une approche VLSI, conduisant à des applications dans des dispositifs médicaux implantables.

La conception de base CMIA, présenté à la figure 3.9, se compose de deux étages distinctes; un étage d'entrée différentiel, et un étage de gain. L'étage d'entrée est composé de deux amplificateurs opérationnels identiques connectés en tant que tampon de gain unitaire. Les sorties de ces amplificateurs opérationnels sont connectés via la résistance R1. N'importe

quel signal différentiel (V_d) appliqué à l'entrée de la CMIA va induire un courant (I_1), de circuler à travers R_1 . Afin d'atteindre un gain différentiel, le courant I_1 ($I_1=I_2$), se reflète dans R_2 . Le gain différentiel du CMIA est simplement le rapport de R_2 / R_1 . Afin de refléter avec précision I_1 , deux miroirs de courant sont nécessaires. Le premier miroir détecte le courant entrant dans la borne d'alimentation positive d'un amplificateur. Le second miroir détecte la sortie de l'amplificateur à travers la borne d'alimentation négative. Si les miroirs de courant sont conçus avec précaution, seul le courant I_1 de sortie sera forcé à travers la résistance R_2 .

La sortie des deux miroirs de courant n'est pas une jonction de sommation de courant parfaite. Cela entraînera des résistances de sortie des deux miroirs de courant pour affecter le courant de sortie. Une jonction de sommation de courant idéal a une masse virtuelle. L'ajout de la résistance R_2 élimine la parfaite jonction de sommation de courant.

Pour résoudre ce problème, un troisième amplificateur, agissant comme un amplificateur de transconductance a été ajouté au schéma Figure 3.9.

Le deuxième problème avec la conception présentée dans Figure 3.9 est que les deux amplificateurs opérationnels d'entrée doivent être parfaitement identifiés. Cela signifie que si les miroirs de courant sont appliqués pour les bornes d'alimentation de l'un amplificateur opérationnel, un ensemble identique de miroir de courant doivent être appliqués au deuxième amplificateur opérationnel. Cela permet de garantir que les gains des deux amplificateurs opérationnels en boucle ouverte restent étroitement appariés.

Le troisième problème avec la conception de la figure 3.9 est que les tensions de sortie des deux amplificateurs d'entrée, V_{O1} , et V_{O2} sont supposées être égales à leur tension d'entrée respective. En réalité, les tensions de sortie V_{O1} et V_{O2} sont décrit par les Eq (3.10) et (3.11), respectivement.

$$V_{O1} = \left(\frac{1}{2} V_d + V_{CM}\right) \frac{A_{01}}{1+A_{01}} \quad (3.10)$$

$$V_{O2} = \left(-\frac{1}{2} V_d + V_{CM}\right) \frac{A_{02}}{1+A_{02}} \quad (3.11)$$

Selon la théorie de la superposition, en séparant le signal différentiel et le signal de mode commun éloignés les uns des d'autre, le CMRR du CMIA peut être exprimée par l'Eq (3.12).

$$CMRR = \frac{A_d}{A_{CM}} = \frac{A_{01}+A_{02}+2A_{01}A_{02}}{A_{01}-A_{02}} \quad (3.12)$$

Selon l'Eq (3.6), des gains en boucle ouverte très élevées ou étroitement appariement des amplificateurs opérationnel est nécessaire pour atteindre la haute CMRR. Depuis gain en

boucle ouverte très élevée est difficile d'être réalisés dans la technologie CMOS basse tension, l'appariement des amplificateurs opérationnels est essentielle pour la conception [59].

III.7.1.2 Chopper stabilisé Amplificateur opérationnel

Le bruit est un gros problème tout à fait dans l'amplificateur d'instrumentation pour les applications médical, chopper stabilisé amplificateur opérationnel sont également une pratique courante dans ce domaine Figure. 3.10. Nous donnons une brève introduction des techniques de chopper [58][59].

Le signal d'entrée $V_E(t)$ basse fréquence est multiplié par un signal carré $m(t)$ avec l'unité amplitude et cyclique de 50% et fréquence F_{Chop} c.-à-d. le signal d'entrée est d'abord modulé à une fréquence plus élevée en utilisant une porteuse à la fréquence F_{Chop} Ceci décale le spectre de fréquences du signal d'entrée aux harmoniques impaires du signal de modulation $m(t)$.

Ensuite, certains bruits sont ajoutés au signal d'entrée modulé Figure.3.10 et les deux sont amplifiés par l'amplificateur de gain . Ainsi, le signal d'entrée modulé est démodulé par signal carré $m(t)$ retour à la bande de base tandis que le bruit est modulé par un signal carré $m(t)$ à des harmoniques impaires de la fréquence F_{Chop} le signal provenant du démodulateur est après appliqué à un filtre passe-bas pour rendre net le signal de sortie, en supprimant le bruit modulé Figure. 3.10.

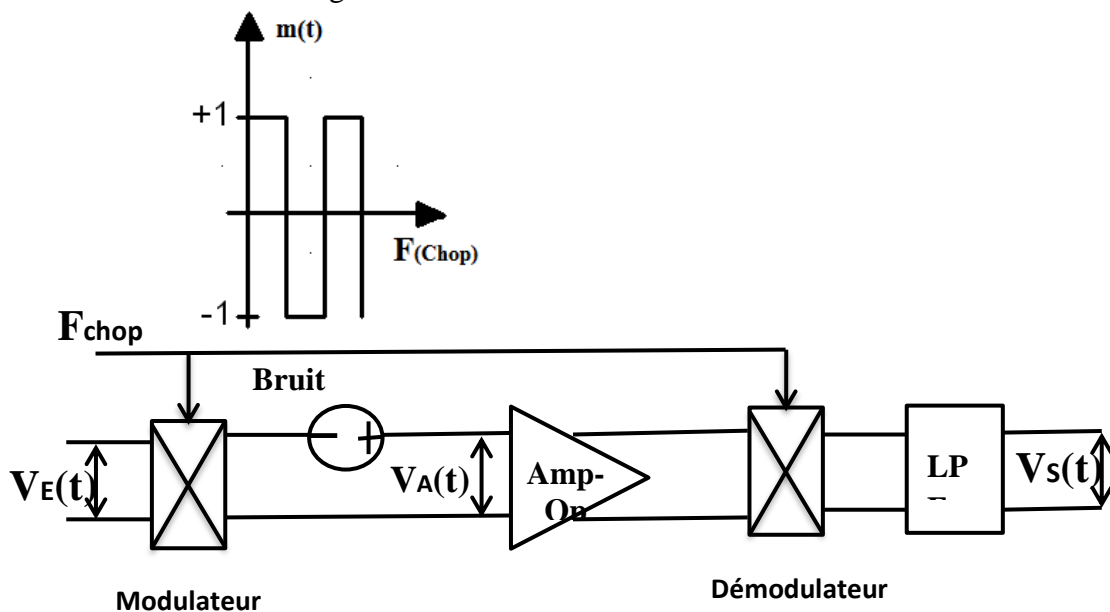


Fig.3.10 Principe concept de chopper stabilisé

La stabilisation du chopper peut être une option efficace dans les applications pour l'instrumentation médicale. Mais cette topologie souffre encore de deux problèmes:

- La largeur de bande passante finie des chopper crée une distorsion de signal significatif, Cela est particulièrement vrai lorsque l'alimentation est faible. Le temps de stabilisation excès crée même harmoniques qui mènent à la sensibilité des erreurs et des distorsions.
- Un autre problème est la marge limitée de décalage amplifié avant chopper et filtrage passe-bas. Faible marge peut limiter artificiellement le gain de l'interface analogique (AFE) dans les amplificateurs de faible puissance, et affecter les performances pour l'existant de bruit de deuxième étage.

III.7.1.3 Réaction de courant (current feedback) Amplificateur opérationnel

Une autre topologie d'amplificateur opérationnel est illustrée sur la figure 3.11. Il est appelé l'amplificateur de réaction de courant [59][60][61][62][63][64].

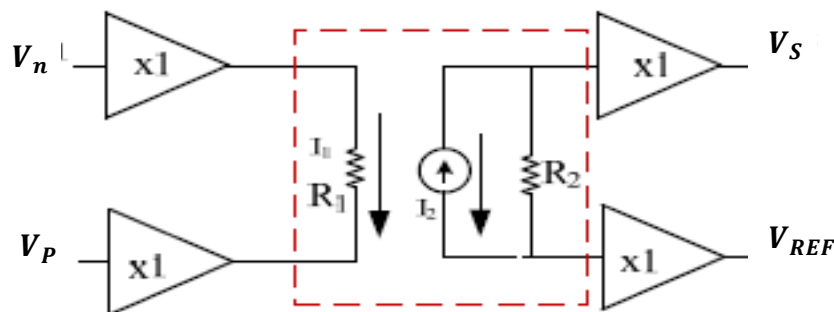


Fig. 3.11 Réaction de courant Amplificateur d'instrumentation

Il peut être déduit du schéma de principe, la différence de tension d'entrée apparaît à travers la résistance d'entrée et la tension de sortie peut être donnée par Eq (3.13)

$$V_S = \frac{R_0}{R_{in}} (V_p - V_n) + V_{REF} \quad (3.13)$$

Le courant dans la partie de sortie, en miroir à partir de la partie d'entrée, traverse R_0 . donc le gain de l'ensemble du circuit est directement dépendante de $\frac{R_0}{R_{IN}}$.

Une distinction peut être faite entre la réaction de courant directe (**Direct Current Feedback(DCF)**) et la réaction de courant indirect (**Indirect Current-Feedback(ICF)**) amplificateurs d'instrumentation [61].

Dans la Figure. 3.12, les deux topologies sont représentées. Dans deux d'entre eux, les transistors M1, M2, et de la résistance R1 forme un convertisseur V-I avec une transconductance de $1 / R1$. Un autre convertisseur V-I consistant en M3, M4 et R2, avec une transconductance de $1 / R2$, fournit une réaction à partir de la sortie.

Le gain pour les deux amplificateurs d'instrumentation est alors donné par (3.13), où G1 est le transconducteur composé de M1, M2, et R1, et G2 le transconducteur est composé

de M3, M4, et R2. Dans l'approche DCF [Figure. 3.12 (a)], les transistors M1 et M2 sont toujours biaisés en même drain I, tandis que les transistors M3 et M4 transportent un signal dépendant de courant de drain.

$$\frac{V_{OUT}-V_{REF}}{V_{IN}} = \frac{R_3+R_4}{R_4} \frac{G_1}{G_2} \quad (3.14)$$

Cette différence de courants de polarisation peut être une source de non-linéarité. Par ailleurs, les deux convertisseurs en cascade V-I diminuent la plage de la tension d'entrée en mode commun. Dans l'approche ICF [Figure 3.12 (B)], des transistors M1 et M2 et des transistors M3 et M4 transportent un signal dépendant de courant de drain, l'élimination de cette source de non-linéarité, tandis que la tension d'alimentation minimale et la plage de tension d'entrée sont également détendues. Dans l'approche ICF, la tension d'entrée en mode commun et la tension de référence en mode commun sont indépendants les uns des autres. Ceci, cependant, se fait au prix d'une augmentation de courant de dissipation.

Par conséquent, l'approche DCF est souvent utilisée dans des applications de faible puissance médicales [60], tandis que l'approche indirecte de réaction de courant est meilleure pour la précision de gain et pour les applications basse tension.

Deux avantages évidents de l'amplificateur de réaction de courant doivent être mentionnés ici:

- A la différence de l'architecture à trois amplificateurs opérationnels, il n'y a pas de retour à partir de la sortie à l'entrée et un seul nœud à impédance élevée est adopté. Cela simplifie les circuits et la compensation de fréquence.

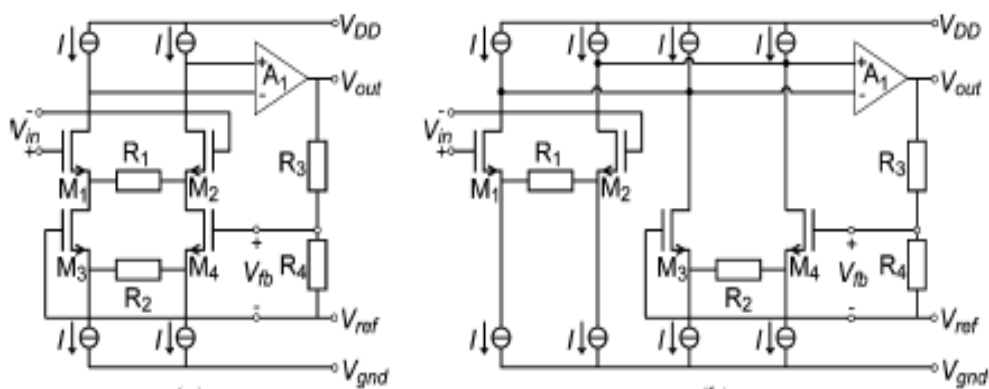


Fig.3.12 (a) réaction de courant direct (b) réaction de courant indirect

- Le CMRR de la réaction de courant ne dépend pas de la mise en correspondance de la résistance plus. Le nombre de la résistance est réduit économisant ainsi surface de la puce.

III.7.1.4 Capacité commuté Amplificateur opérationnel [65]

L'amplificateur à capacités commutées est bien adapté pour les applications de faible fréquence, il fonctionne sur le principe de la conservation de la charge. Le signal d'entrée est échantillonné et stocké dans les condensateurs. La charge stockée dans un condensateur est transférée à un autre condensateur, par l'utilisation d'un amplificateur opérationnel.

Une telle opération de transfert de charge d'un condensateur à l'autre résulte en l'amplification. Amplificateurs à capacités commutées aussi présentent annulation de décalage implicite.

Le fonctionnement de l'amplificateur à capacités commutées se déroule en deux étapes: la phase d'échantillonnage et la phase amplifier.

Considérons le circuit représenté à la Figure 3.13.

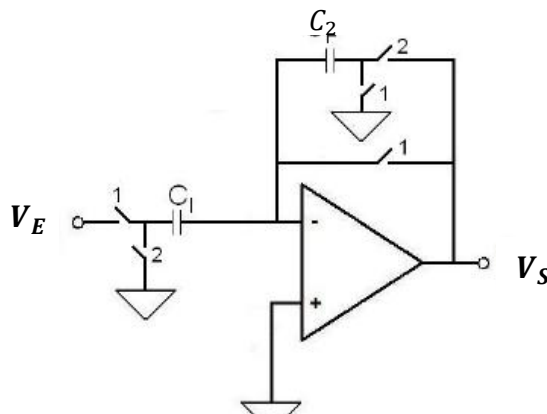


Fig. 3.13 Amplificateur à capacité commuté

Dans la phase de d'échantillonnage, les commutateurs 1 sont fermés, et les commutateurs 2 sont ouverts. Le signal d'entrée est échantillonné à condensateur C1. Considérons que l'autre plaque de C1 est reliée à V_{offset} . D'où la charge stockée dans le condensateur C1 est donnée par

$$Q_{C1} = C_1(V_{offset} - V_E) \tag{3.15}$$

$$Q_{C2} = C_F(V_{offset} - 0) \tag{3.16}$$

Pendant la phase Amplifiée, les commutateurs 1 sont ouverts et les interrupteurs 2 sont fermés. La charge stockée dans les condensateurs est conservée, et les nouvelles charges stockées dans le condensateur sont

$$Q_{C1} = C_1(V_{offset} - 0) \tag{3.17}$$

$$Q_{C2} = C_2(V_{offset} - V_S) \tag{3.18}$$

Du principe de conservation de la charge, la charge totale dans les condensateurs pendant d'échantillonnage et la phase Amplifier sont égaux. En conséquence,

$$Q_{C1} + Q_{C2} |_{\text{échantillonnée}} = Q_{C1} + Q_{C2} |_{\text{Amplifier}} \quad (3.19)$$

$$C_1(V_{\text{offset}} - V_E) + C_F V_{\text{offset}} = C_1 V_{\text{offset}} + C_2(V_{\text{offset}} - V_S) \quad (3.20)$$

$$C_1(-V_E) = C_F(-V_S) \quad (3.21)$$

$$A_V = \frac{V_E}{V_S} = \frac{C_1}{C_2} \quad (3.22)$$

Il est intéressant de noter que le décalage de l'amplificateur a été annulé, et que le gain de l'amplificateur est positif. En effet, l'entrée est échantillonnée à une plaque du condensateur, C1. Dans la phase Amplifier, cette plaque est mise à la terre, et l'autre plaque qui est maintenant à $-V_E$ est appliquée à la borne négative de l'amplificateur opérationnel, résultant dans une autre inversion.

Cet amplificateur est également utilisé pour annuler le bruit en 1/f qui à basses fréquences ressemble à l'offset de l'amplificateur, au prix d'une augmentation du bruit thermique, qui est limitée par la valeur minimale de la capacité.

Comme tout circuit de commutation, cette classe d'amplificateurs souffrent également de l'injection de charge et les erreurs de clock feed-through. De plus, l'effet de l'échantillonnage se traduit par la nécessité d'une interface analogique filtre anti-repliement, augmentant ainsi la complexité ou plutôt augmenté la puissance. L'amplificateur à condensateur commuté a également une fréquence d'horloge minimale de fonctionnement déterminé par la quantité de courant de fuite.

Tableau 3.1 donne une conclusion de la comparaison des performances des trois-amplificateurs opérationnels, chopper stabilisé, Capacité commuté et la réaction de courant.

Topologie	Trois Amp-Op	Chopper stabilisé Amp-Op	Capacité commuté Amp-Op	Réaction de courant Amp-Op
Faible puissance	--	+	-	++
CMRR indépendante de résistance ou capacitance correspondant	--	+	--	++
Bruit	+	+	-	++
Surface	--	+	--	++

III.7.2. Commutateurs analogique

Le commutateur analogique est un petit composant très répandu dans le monde de l'électronique intégrée. Les structures en tension à capacités commutées requièrent des commutateurs analogiques performants et ce d'autant plus que la plage en tension admissible est grande et que la tension d'alimentation est faible. Aussi, il est nécessaire, dans un premier

temps, d'étudier leurs caractéristiques intrinsèques afin de cerner les limitations inhérentes à la topologie du transistor MOS pour pouvoir ensuite aborder la description de méthodes permettant d'améliorer leurs performances.

La figure 3.14 présente le plus simple de commutateurs analogique réalisé en technologie NMOS. Il est composé d'un transistor fonctionnant en commutateur et d'une capacité. Son principe de fonctionnement peut être décomposé comme suit pour un transistor NMOS :

- Lorsque l'horloge est à l'état Haut (ϕ_H) le transistor NMOS devient passant ce qui permet de charger ou décharger la capacité. Dans cette phase, la sortie suit la valeur du signal d'entrée tant que le transistor reste en zone ohmique.
- Lorsque l'horloge passe à l'état Bas (ϕ_B), le transistor NMOS isole la capacité du signal d'entrée, ce qui permet de fixer la valeur à un instant donné grâce aux charges conservées dans la capacité isolée.

Ainsi, ce commutateur doit être caractérisé par une conductance minimale admissible permettant au système de charger la capacité de stockage C_L en une durée donnée compatible avec la précision demandée. Le commutateur doit, alors, être dimensionné de façon à respecter le cahier de charge du concepteur en termes de dynamique et de précision souhaitée. L'Eq (3.23) traduit la relation qui existe entre la conductance du commutateur, sa taille et sa tension de commande tout en tenant compte de l'effet substrat.

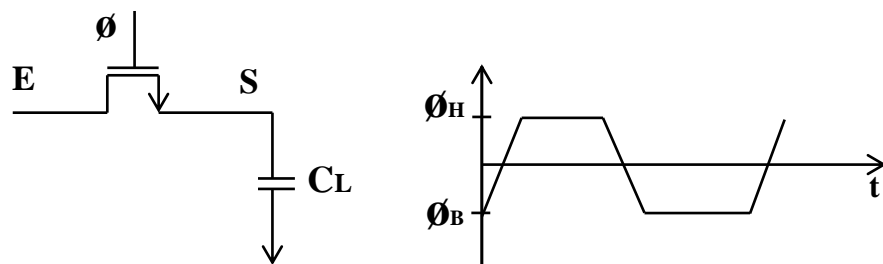


Fig. 3.14 Circuit commutateur analogique de base en technologie NMOS

$$g_{on} = U_n C_{OX} \frac{W}{L} (V_{GS} - V_{TH0} - \gamma(\sqrt{2\phi_F + V_{in}} - \sqrt{2\phi_F}) - V_{DS}) \quad (3.23)$$

Avec V_{GS} la tension grille-source, V_{DS} la tension drain-source, V_{TH0} la tension de seuil du transistor, (γ) le paramètre d'effet substrat et (ϕ_F) le potentiel de Fermi. Ainsi, pour augmenter la conductance du commutateur, il faut augmenter la largeur W du transistor, diminuer sa longueur de canal et utiliser une forte valeur de tension de commande. Il est à noter que l'effet substrat diminue la conductance du commutateur d'autant plus que la

différence de potentiel entre le signal d'entrée et le substrat est grande. Ceci met en évidence la dépendance non-linéaire de la conductance du commutateur avec l'amplitude de la tension du signal d'entrée. En outre, ce type de commutateur analogique ne permet pas de balayer la totalité de la dynamique du signal d'entrée à cause de la tension de seuil non nulle.

En effet, la conductance du transistor diminue considérablement avec l'augmentation de la valeur du signal d'entrée et de son rapprochement de $(V_{DD} - V_{TH})$. C'est ce qui est illustré par la figure.3.15(a) et (b). Cet aspect est d'autant plus critique que le rapport tension de seuil / tension d'alimentation est faible.

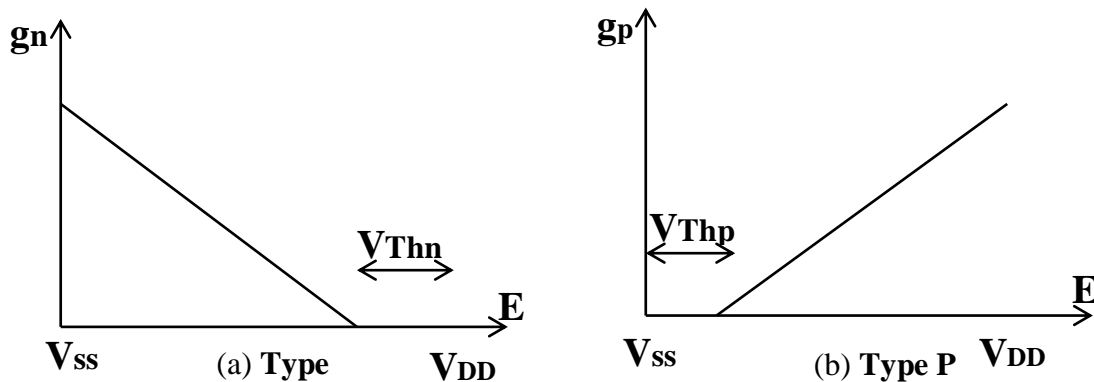


Fig.3.15 Tracé de la conductance du commutateur analogique gon à l'état ON en fonction de l'amplitude du signal d'entrée

III.7.2.1 Phénomène d'injection de charges et de clock feedthrough

En effet, quand le transistor MOS est passant, il opère dans sa zone ohmique de fonctionnement et sa tension drain-source est quasiment nulle à la fin de la charge de la capacité. Durant cette phase de charge, le canal du transistor MOS dispose d'une certaine quantité de charges dans le canal, quantité qui est directement liée à la conductance de ce dernier.

Le charge de canal de transistor NMOS est donnée par l'Eq(3.24)

$$Q_{CH} = -WLC_{OX}(V_{GS} - V_{TH}) \tag{3.24}$$

où W et L sont la largeur et la longueur de la Transistor MOS, C_{OX} est l'épaisseur d'oxyde de grille, V_{GS} est la tension de grille-source, V_{TH} la tension de seuil.

Lorsque le transistor bascule à l'état bloqué, deux mécanismes d'injection de charges interviennent :

- Une partie des charges accumulées dans le canal sont réinjectées dans le circuit via le drain et la source du transistor. En général, les charges qui se transmettent vers la source d'entrée ne provoquent pas de problème alors que celles transmises vers la capacité de stockage induisent une variation de la valeur de tension échantillonnée. Ce fait est dû

principalement au temps de transition de l'état Haut -Bas de l'horloge qui est bref par rapport au temps moyen de recombinaison des charges dans le substrat, les charges réinjectées représentent la totalité des charges du canal. Cette charge accumulée est donnée par l'Eq (3.24).

L'erreur commise sur la tension aux bornes de la capacité de sauvegarde CL est donnée par l'Eq 3.25.

$$\Delta V_{S canal} = \alpha \frac{WLC_{OX}(V_{GS}-V_{TH})}{C_L} \quad (3.25)$$

Où , α est le rapport entre les charges injectées sur l'armature haute de la capacité CL et la totalité des charges accumulées dans le transistor MOS (usuellement considérée de valeur 1/2). Notons que cette erreur, provoquée par l'injection des charges, est directement proportionnelle à la surface du transistor (W.L) et inversement proportionnelle à la valeur de la capacité de maintien.

En effet, ce mécanisme d'injection de charges sont intrinsèques à la physique du transistor MOS et ils dépendent de l'amplitude du signal d'entrée (via la tension de commande V_{GS} et la tension de seuil V_{TH}). Par conséquent, l'erreur introduite est non linéaire et d'après les équations précédentes, un compromis entre la taille du transistor MOS, la bande passante et la résolution souhaitée est nécessaire.

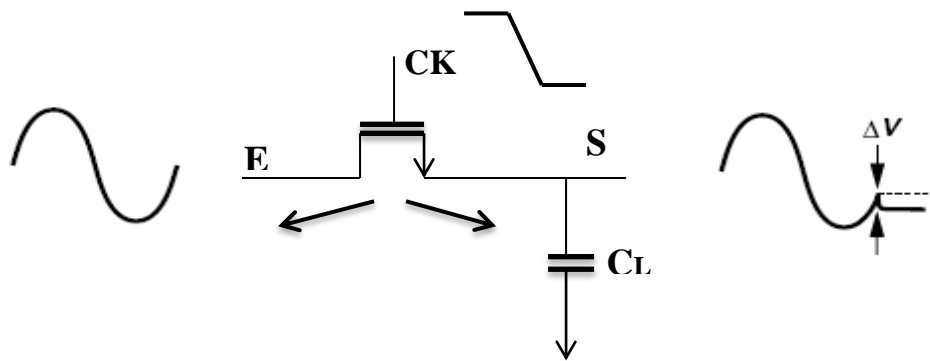


Fig.3.16 Effet d'injection de charge

➤ Le deuxième mécanisme d'injection de charge est le « accumulées dans les capacités C_{OV} entre grille-source et grille-drain du MOS sont elles aussi injectées dans le circuit lors des basculements du signal d'horloge. L'erreur commise sur la tension de sauvegarde est donnée par l'Eq (3.26)

$$\Delta V_{S OV} = - \frac{C_{OV}}{C_L + C_{OV}} \Delta V_{clock} \quad (3.26)$$

On remarque que la tension rajoutée par le clock feedthrough est indépendant du signal d'entrée du commutateur. Il se manifeste, alors, par un offset constant sur toute la

dynamique d'entrée. Ainsi, avec L'injection de charges et le clock feedthrough un bon compromis est à trouver entre la vitesse de fonctionnement et la précision.

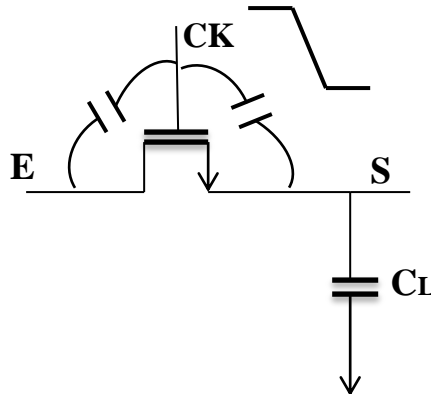


Fig.3.17 Schema de clock feedthrough

Cependant, on obtient, en sortie, un petit décalage dû au phénomène d'injection de charges et de "Clock Feedthrough". Ce phénomène est attribué à l'injection des charges accumulées dans le commutateur analogique (soit au niveau du canal du transistor soit au niveau des capacités parasites entre grille-source et grille-drain) lorsque le commutateur bascule de l'état passant à l'état bloqué.

III.7.2.2. Techniques d'amélioration des performances du commutateur analogique

L'étude précédente a mis en évidence la présence de certains défauts du commutateur analogique

- La conductance dépend de l'amplitude du signal d'entrée à mémoriser.
- La plage effective de fonctionnement n'est pas "rail-to-rail"
- L'injection de charges dépend du signal d'entrée d'une façon non-linéaire

III.7.2.2.1. Porte de Transmission

La porte de transmission permet de bénéficier de la complémentarité du NMOS (M_n) et du PMOS (M_p) pour obtenir une conductance du commutateur moins dépendante du signal d'entrée et pour assurer le fonctionnement du commutateur sur toute la plage du signal d'entrée admissible comme montre la Figure. 3.18. En principe, l'utilisation de la porte de transmission devrait permettre une compensation des charges injectées vu que les paquets de charges injectées par le NMOS compensés par celles de polarité inverse injectés par le PMOS

$$W_n L_n C_{OX} (V_{GS} - V_{THn}) = W_p L_p C_{OX} (V_{SG} - |V_{THp}|) \quad (3.27)$$

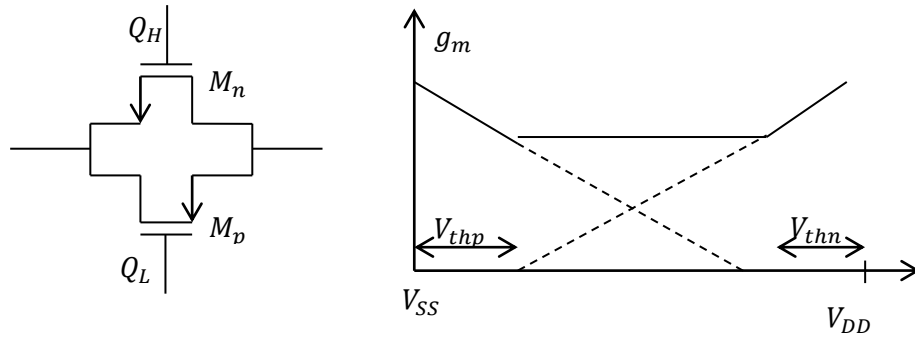


Fig. 3.18: Porte de transmission.

III.7.2.2.2. Technique du Bootstrapping

Le schéma de principe général de fonctionnement du « bootstrapping » est représenté sur la figure.3.19. Il comporte un commutateur NMOS, un condensateur, et cinq commutateurs commandés par deux non-chevauchements des phases d'horloge. A l'état bloqué (Au Q1), dans le cas du NMOS, la grille est mise à la masse et le condensateur est chargé à VDD figure.3.19.(a) puis à l'état passant (Au Q2), une tension constante V_{bias} est appliquée entre la grille et un des terminaux (drain ou source) figure 3.19.b . En général, cette tension est égale à la tension d'alimentation du circuit (V_{DD}) et fait appel à une technique de pompe de charges (charge pump). Ainsi une grande conductance indépendante du signal d'entrée s'établit entre drain et source du transistor. Toutefois, bien qu'une tension de commande constante soit appliquée, à cause de l'effet substrat, la conductance du commutateur est indépendante du signal d'entrée.

L'ensemble du transistor [66] est représentée sur la Figure. 3.19. MN1, MN2, MN6, MP2, and MP3 correspondent cinq commutateurs idéales représentées sur la figure. 3,20. pour Q1, MP2 est activé, le condensateur est pré-chargeant. Pour Q2, MN3 agit comme un transistor de démarrage pour forcer MP3 à conduire. Ensuite, MP2 est également allumé. La

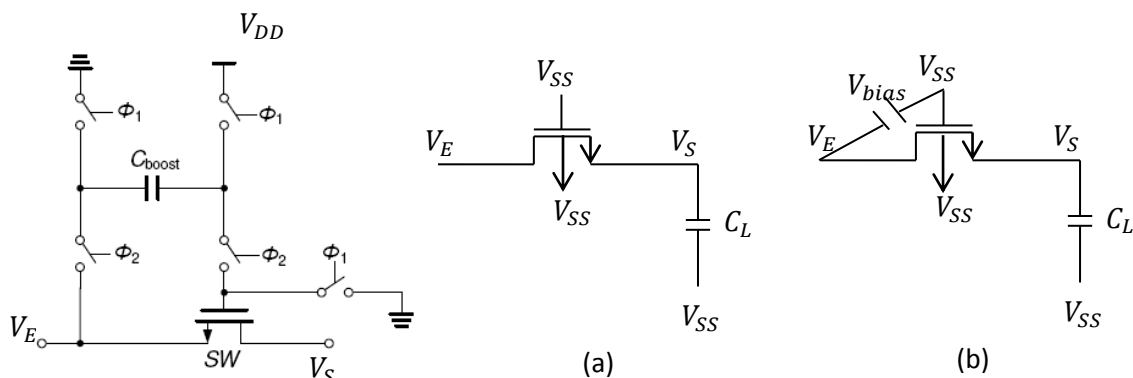


Fig. 3.19: Technique du Bootstrapping

tension de la grille de commutateur NMOS est finalement incréasée à la somme de la tension d'entrée et la tension d'alimentation. En outre, le transistor MN5 est ajouté en série avec MN6 à prévenir la tension grille-drain de celui-ci d'atteindre $2V_{dd}$.

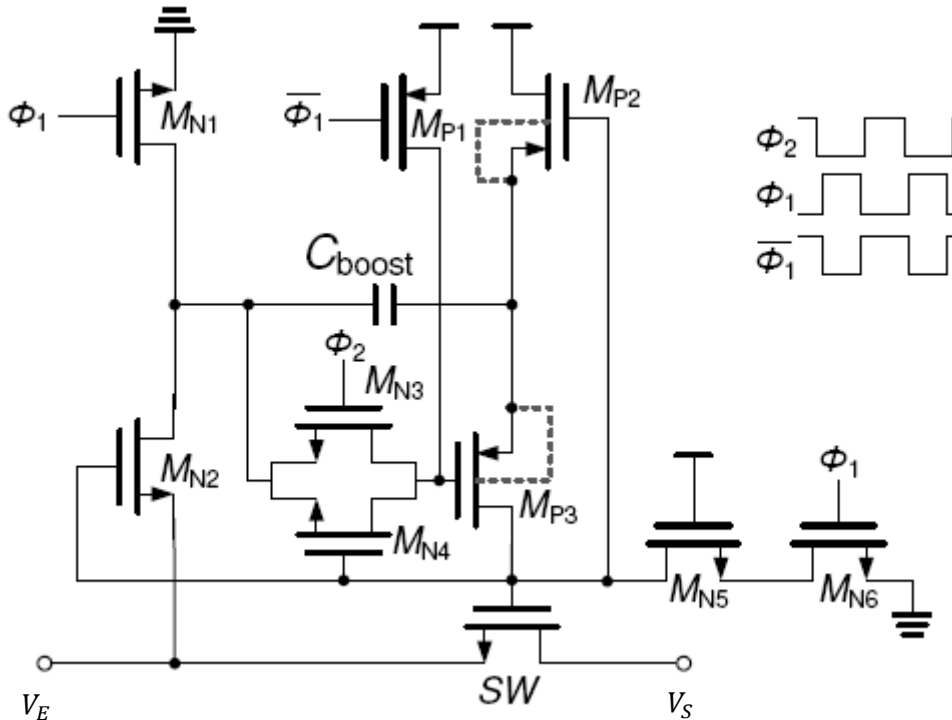


Fig. 3.20: Schéma représente circuit du Bootstrapping

III.7.2.2.3. Technique d'utilisation du transistor fantôme (dummy structure)

Cette méthode consiste à rajouter côté du commutateur supplémentaire ou fictif figure.3.21 à côté du commutateur principal. On estime que la quantité de charges injectées par le transistor principal pourrait être absorbé par le transistor fictif afin de créer le canal de dernier. Les terminaux du transistor fictif sont court-circuités. Afin de ne l'utiliser qu'en tant que capacité qui recueille les charges injectées par le canal et par la grille du transistor principal. Cela évite, ainsi, que ces dernières influencent la tension de sortie. Son impact direct sur le circuit est limité à une charge capacitive supplémentaire Eq(3.28).

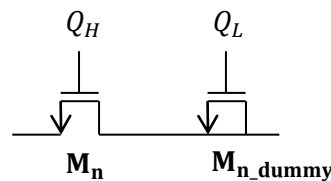


Fig. 3.21. Commutateur avec transistor fantôme (dummy)

$$Q_{inj} = Q_{injMn} + Q_{injdummy} \tag{3.28}$$

Si l'on se place dans le cas où $\alpha = 1/2$, alors il faut que le « dummy » ait une taille deux fois plus petite que celle du commutateur analogique. Toutefois, une compensation exacte n'est jamais atteinte car la valeur $1/2$ pour α n'est jamais exactement atteinte. En plus, l'appariement entre les transistors MOS n'est pas toujours assuré.

III.7.2.2.4 La technique du « bottom plate sampling » (BPS)

Cette méthode consiste à rendre l'armature "basse" de la capacité C_L flottante avant que le commutateur S_{W1} ne soit ouvert.

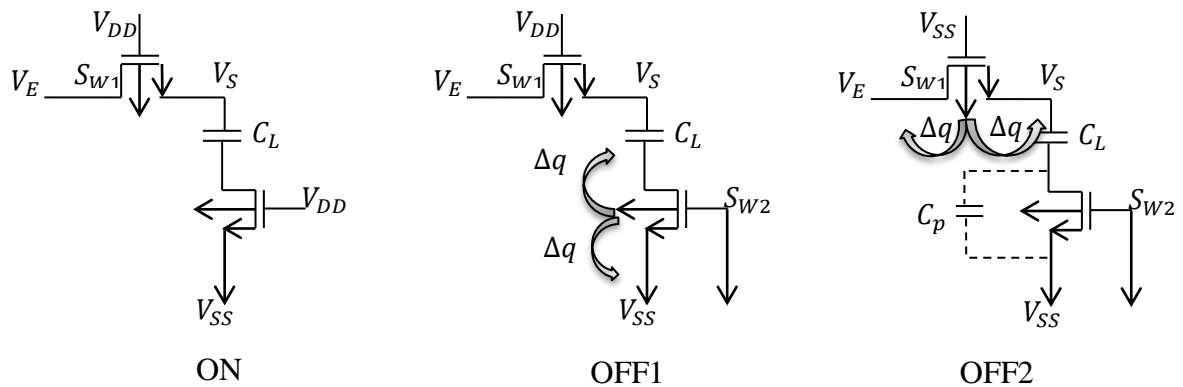


Fig. 3.22 Principe de fonctionnement de la technique « bottom plate sampling »

Ceci est assuré par l'utilisation d'un interrupteur supplémentaire S_{W2} qui doit être bloqué juste avant S_{W1} (figure. 3.22). Ainsi, l'injection de S_{W1} n'affecte plus la tension mémorisée aux bornes de la capacité C_L . En plus, lorsque S_{W2} est bloqué, l'impédance vue du côté de la capacité de stockage est en général plus grande, ce qui a pour effet de réduire la quantité de charges injectées dans la capacité (et ce, surtout si le basculement à l'état bloqué de S_{W1} n'est pas rapide).

III.8. Conclusion

Dans ce chapitre, le contexte théorique était adressed. Les tendances dans les futures technologies CMOS ont été présentées. En outre, ce chapitre a présenté les principaux circuits de basse tension: comme le transistor composite, le BJT latérale, la polarisation direct bulk-source et la technique de bulk. Ainsi Dans cette section, nous avons rappelé le concept de différents éléments qui constitue de l'interface analogique (AFE). Ces éléments vont permettre d'avoir une meilleure conception et optimisation pour utiliser dans le circuit frontal analogique (AFE) à basse tension et faible consommation de puissance.

Chapitre 4

Convertisseur analogique Numérique (CAN)

IV.1 Introduction

IV.2. Review des Architectures de CAN efficace en énergie

IV.3. CAN fondamentaux et métriques de performance

IV.3.1 Résolution

IV.3.2. Erreur de quantification

IV.3.3. Critères pour l'évaluation des performances d'un convertisseur

IV.3.3.1 Paramètres dynamiques

IV.3.3.1.1 Rapport Signal-sur-Bruit (SNR)

IV.3.3.1.2. Rapport Signal-sur-Bruit avec Distorsion (SNDR)

IV.3.3.1.3 Gamme dynamique utilisable (SFDR)

IV.3.3.1.4 Nombre effectif de bits (ENOB)

IV.3.3.1.5 Distorsion harmonique totale (THD)

IV.3.3.2 Paramètres statiques

IV.3.3.2.1 Erreur de décalage (Offset) et Erreur à pleine échelle

IV.3.3.2.2 Erreur de linéarité différentielle (DNL)

IV.3.3.2.3 Erreur de linéarité intégrale (INL)

IV.3.3.2.4 Monotonie

IV.3.3.2.5 Codes manquants

IV.4 Convertisseur analogique numérique à approximations successives SAR

IV.4.1. Principe de fonctionnement de convertisseur à approximation successive

IV.4.1.1. Convertisseur Numérique Analogique à réseaux capacitifs

IV.4.1.1.1. CNA à capacité pondérées

IV.4.1.2. Comparateur

IV.4.1.2.1. Performance Métriques des Comparateurs

IV.4.1.2.1.1. Résolution

IV.4.1.2.1.2. Gain

IV.4.1.2.1.3 Délai de propagation

IV.4.1.2.1.4 Tension d'Offset

IV.4.1.2.2. Architectures du Comparateur

IV.4.1.2.2.1. Comparateur en boucle ouvert

IV.4.1.2.2.2. Comparateur à verrou

IV.4.1.2.2.2.1. Comparateur à verrou statique

IV.4.1.2.2.2.2. Comparateur à verrou dynamique

IV.4.1.2.2.3. Combinant préamplifié et verrou

IV.4.1.3. Registre à approximation successive (RAS)

IV.5 Conclusion

Chapitre 4

Convertisseur Analogique-Numérique (CAN-SAR)

IV.1 Introduction

Les Systèmes portables et implantables médicaux avancent le développement des soins de santé. Ces systèmes permettent la gestion des maladies chroniques, le diagnostic médical, apportant ainsi une haute qualité de vie pour les personnes avec des coûts réduits. La Figure 4.1 représente un schéma simplifié de tel système médical. Un frontal analogique (AFE) détecte les signaux bio-électriques. Le signal détecté est d'abord numérisé par un convertisseur analogique-numérique (CAN) et traité dans un Processeur. Étant donné que ces systèmes sont communément attachés à ou implantés dans organes humain et alimenté par de petites batteries, un fonctionnement très faible consommation d'énergie devient primordiale.



Fig.4.1 Schéma de principe simplifié d'un système médical.

Un CAN est une composante d'interface entre le monde analogique et le domaine numérique. Conversion des signaux bio-électriques, basse fréquence et faible d'amplitude ne nécessite pas une vitesse élevée, mais une faible consommation d'énergie. Ceci, combiné avec la précision de la conversion requise rend la conception de ces CANs un défi majeur. Depuis un fonctionnement très basse consommation est critique, la sélection de l'architecture est entraînée par un examen de la consommation d'énergie du CAN dominantes [67].

IV.2.Review des Architectures de CAN efficace en énergie

Depuis un fonctionnement très faible énergie est critique, la sélection de l'architecture est entraînée par un examen de la consommation d'énergie du CAN prévalent. La Figure 4.2 et la figure 4.3 représente la consommation d'énergie des CANs publiés par rapport : au taux d'échantillonnage et le rapport de distorsion (SNDR). Les CANs à approximation successive (SAR : **S**uccessive **A**pproximation **R**egistre) et les CANs à Segma Delta, sont généralement utilisés pour basse vitesse, basse consommation, et des applications de moyenne à haute résolution. Les CANs pipeline dominant à vitesse moyenne et moyenne résolution, les CANs

flash dominant à haute vitesse et à basse résolution. En ce qui concerne la vitesse, la consommation et la résolution désirée, Sigma Delta et SAR devenir candidats aux primaires [67].

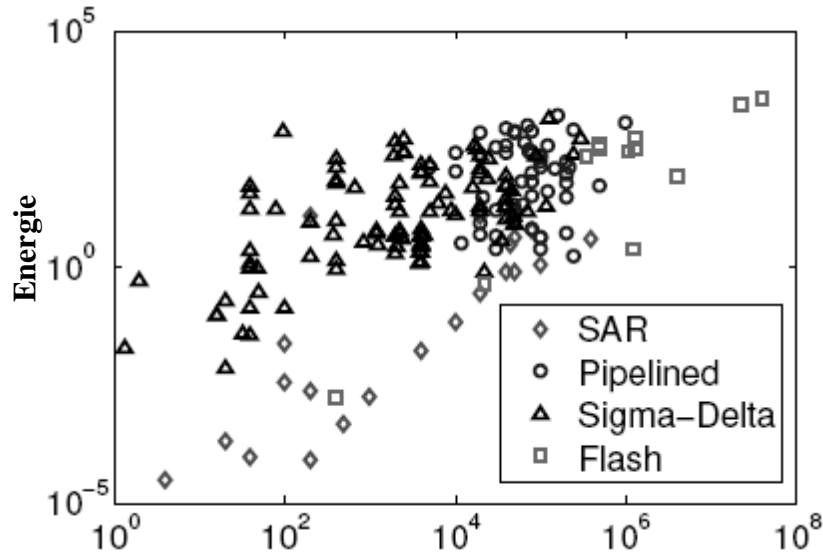


Fig.4.2 Published ADCs in *ISSCC* [68]: Taux d'échantillonnage de Nyquist [kHz]

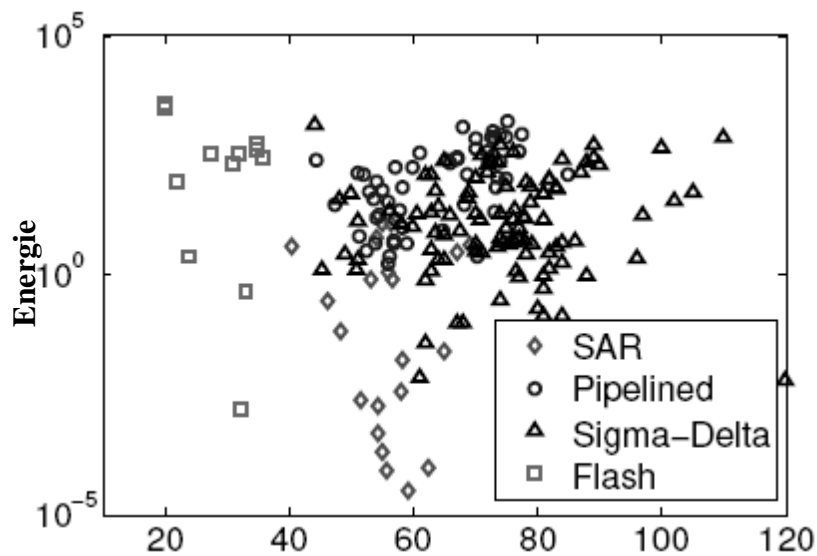


Fig.4.3 Published ADCs in *ISSCC* [68]: SNDR [dB]

Figure 4.4 montre la topologie d'un premier ordre d'un CAN- $(\Sigma \Delta)$. Un intégrateur et un comparateur sont dans le chemin en avant, et un CNA 1 bit se trouve dans le chemin de réaction. La fonction de transfert de V_S à V_E suit d'un filtre passe-bas, Alors, la fonction de transfert du bruit de quantification qui suit un filtre passe-haut, poussant ainsi le bruit hors de la bande passante du signal. Le modulateur est réussi avec un filtre passe-bas (LPF), qui supprime le bruit hors bande de quantification et sous-échantillonnées le signal. La fonction de sur-échantillonnage de modulation ($\Sigma \Delta$) facilite les exigences anti-aliasing. En outre, la

technique de mise en forme de bruit rend le CAN ($\Sigma\Delta$) dominant dans le régime à haute résolution [69-71].

Le CAN- $\Sigma\Delta$ est composé principalement de deux modules [72] [73]:

- Le modulateur $\Sigma\Delta$ est basé sur le principe de sur-échantillonnage. Naturellement, il sur-échantillonne le signal afin de minimiser le niveau de bruit de quantification. La modulation $\Sigma\Delta$ du signal reconstitue ce bruit afin de le rejeter dans des fréquences élevées et obtenir un faible bruit dans la bande de fréquence du signal.
- Le filtre de décimation a pour objectif de diminuer la fréquence d'échantillonnage à celle de Nyquist. Pour cela, il est basé sur le filtrage anti-aliasing (FIR ou IIR) permettant de supprimer les composants (essentiellement le bruit de quantification formé par le modulateur) des hautes fréquences et éviter le chevauchement pendant la décimation.

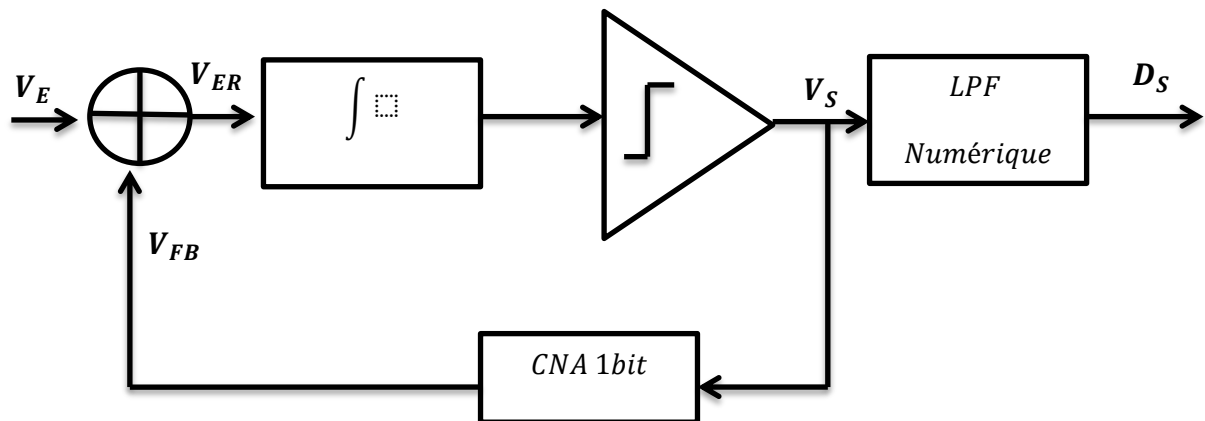


Fig.4.4 schéma du CAN- $\Sigma\Delta$

Figure 4.5 montre l'architecture d'un CAN type SAR. Il se compose d'un échantillonneur bloqueur, un convertisseur numérique-analogique (CNA), un comparateur et une logique de commande numérique. Le CAN SAR basé sur l'algorithme de recherche binaire. Tout d'abord, la tension d'entrée est échantillonnée. Ensuite, la conversion commence avec une approximation du plus significatif bit (MSB) et se poursuit jusqu'à les moins significatifs bits (LSB). Pour un CAN SAR N-bit il faut généralement au moins N cycles d'horloge pour compléter seule conversion. Comme il n'y a qu'un seul comparateur et pas d'autres composants actifs dans le convertisseur, le CAN SAR est très économe en énergie.

Les CANs à approximation successive et les CANs $\Sigma\Delta$, utilisant pour des applications médicales [74], ce chapitre porte sur l'architecture du CAN-SAR.

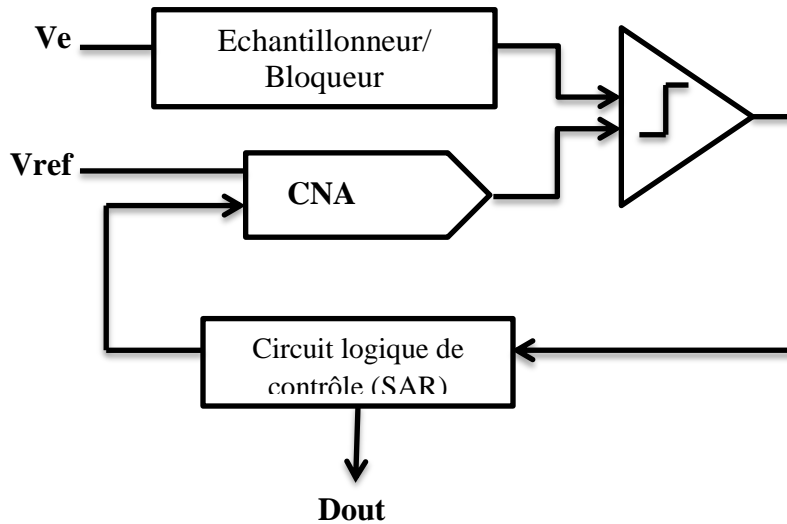


Fig.4.5 Schéma du CAN SAR

IV.3.CAN fondamentaux et métriques de performance

Un CAN est un composant qui prend une entrée analogique et fournit des codes numériques en sortie car il possède à la fois des fonctions analogiques et numériques, il est un dispositif à signaux mixtes. Un CAN a une tension de référence analogique sur lequel l'entrée analogique est comparée. Le signal d'entrée varie entre 0 et la pleine échelle (PE), et il est converti en un mot numérique de N bits. Le mot de sortie numérique signifie quelle fraction de la tension de référence est la tension d'entrée [75].

IV.3.1 Résolution

La résolution d'un CAN est les niveaux analogiques distincts qui peuvent être représentés par le mot binaire. Pour un CAN N bits idéal il y a 2^N niveaux analogiques ainsi la résolution est N bits. Le plus petit niveau qui peut être discriminé par un CAN N bits est $V_{LSB} = V_{PE} / 2^N$, où V_{PE} représente la pleine échelle du convertisseur [76]. La taille de LSB par rapport à la plage de codes totale est parfois aussi appelé résolution du convertisseur CAN. Donc, pour un CAN N bits, la résolution serait $V_{PE} / 2^N$.

IV.3.2.Erreur de quantification

L'erreur de quantification est introduite en raison de quantification d'un convertisseur d'un signal analogique à un ensemble de valeurs discrètes. Pour CAN idéal, il est $V_{LSB}/2$. Il est modélisée comme un bruit blanc qui est décorréliées du signal, ce qui est une bonne estimation pour un grand nombre de niveaux de quantification [76]. Compte tenu de l'erreur en tant que bruit blanc ayant une probabilité trouvant dans la plage de $\pm V_{LSB} / 2$ la puissance de bruit obtenu est donnée dans l'équation ci-dessous.

$$P_{\text{Bruit de quantification}} = V_{\text{LSB}}^2 / 12 \quad (4.1)$$

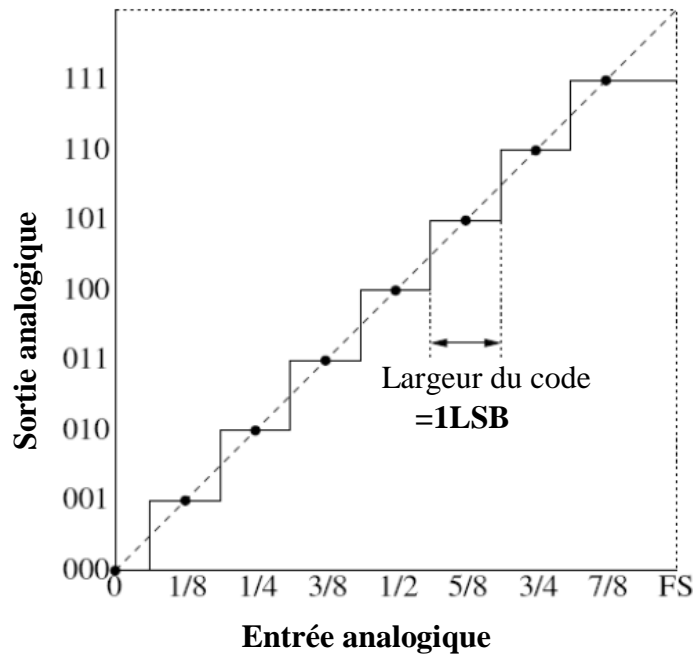


Fig. 4.6 Caractéristique Idéal du CAN [77]

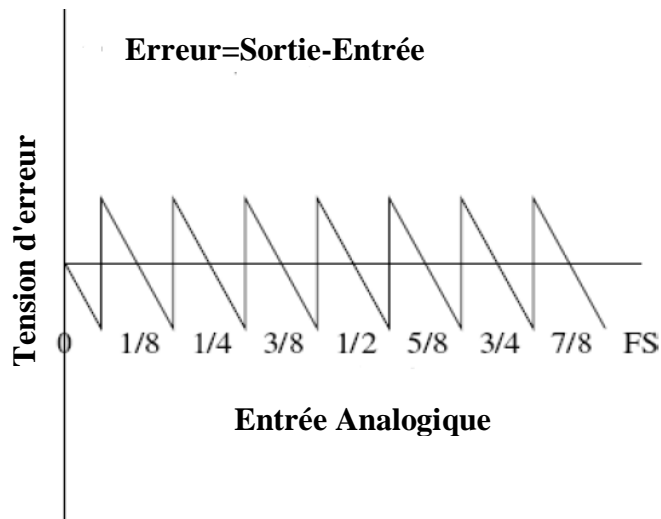


Fig.4.7 Erreur de quantification pour un CAN idéal [77]

IV.3.3. Critères pour l'évaluation des performances d'un convertisseur

Les différents paramètres utiles définissant les performances d'un convertisseur, sont définis dans cette partie. Il existe dans la littérature une multitude de critères pour estimer les performances d'un Convertisseur. Malgré cela, seulement quelques-uns sont vraiment explicites, on s'aperçoit qu'il y a deux groupes de paramètre : les paramètres dynamique comme le *SNR* (*Signal-to-Noise Ratio*), le *SFDR* (*Spurious-Free Dynamic Range*), le *ENOB* (*Effective Number Of Bits*) et les paramètres statique comme Erreur de gain, d'offset, *DNL* et

INL, cependant les mesures dynamiques permettent une meilleure précision sur cette estimation.

IV.3.3.1 Paramètres dynamiques

Les paramètres dynamiques d'un CAN représentent les déformations du signal numérique de sortie par rapport au signal appliqué en entrée. Ces paramètres dépendent de la fréquence et de la dynamique du signal d'entrée. Ils sont testés avec forme d'onde périodique, qui fournit des informations supplémentaires de la performance de CAN, telles que SNR, SNDR, SFDR et ENOB.

IV.3.3.1.1 Rapport Signal-sur-Bruit (SNR)

Le SNR (**Signal-to-Noise Ratio**), Le rapport signal sur bruit est défini comme le rapport entre la puissance du signal sur la puissance de bruit, il est exprimé en décibels (dB). Supposons un signal sinusoïdal est adopté, avec une valeur de crête-à-crête égale à la tension de référence à grande échelle de CAN,

$$SNR = 10 \log_{10} \left(\frac{P_{Signal}}{P_{Bruit}} \right) [dB] \quad (4.2)$$

Où le P_{signal} est la puissance du signal:

$$P_{Signal} = \frac{(V_{LSB} * 2^{N-1})^2}{2} \quad (4.3)$$

Le P_{Bruit} est la puissance de bruit, se réfère à la somme de la puissance du bruit thermique et du bruit de quantification dans la bande d'intérêt.

$$P_{Bruit} = \frac{V_{LSB}^2}{12} \quad (4.4)$$

Où $(V_{LSB} * 2^{N-1})^2$ est l'amplitude maximale de signal d'entrée sinusoïdal, mettre la valeur en relation avec 4.3 à partir de l'équation 4.4 et l'équation 4.1

$$SNR = 10. \log_{10} \left[\frac{(V_{LSB} * 2^{N-1})^2}{\frac{V_{LSB}^2}{12}} \right] \quad (4.5)$$

$$SNR = 10. \log_{10} [1.5 * 2^{2N}] \quad (4.6)$$

$$SNR = 6.02N + 1.76 [dB] \quad (4.7)$$

L'équation 4.7 représente une relation linéaire entre le nombre de bits N et SNR, C'est-à-dire la valeur maximale de SNR que peut atteindre un CAN à résolution N bits.

IV.3.3.1.2. Rapport Signal-sur-Bruit avec Distorsion (SNDR)

La SNDR (**S**ignal-**t**o-**N**oise-**a**nd-**D**istortion **R**atio) est le rapport de la puissance du signal d'entrée à la somme de la puissance de bruit et la puissance de distorsion, à l'intérieur d'une certaine bande de fréquences. Elle est exprimée en décibels.

$$SNDR = \frac{P_{Signal}}{P_{Bruit} + P_{Distorsion}} [dB] \tag{4.8}$$

Ou $P_{Distorsion}$ Représente la puissance des harmoniques trouvant à l'intérieur de la bande d'intérêt. Il est à noter que SNDR est dépend de la fréquence du signal d'entrée et l'amplitude et dégrader à haute fréquence.

IV.3.3.1.3 Gamme dynamique utilisable (SFDR)

La SFDR (**S**purious-**F**ree **D**ynamic **R**ange) est défini comme le rapport de la puissance du signal à la plus grande parasite qui est la tonalité de distorsion dans la bande d'intérêt.

$$SFDR = 10 \log_{10} \left[\frac{P_{Signal}}{P_{superious}} \right] [dB] \dots\dots\dots (4.9)$$

IV.3.3.1.4 Nombre effectif de bits (ENOB)

L'**ENOB** (**E**ffective **N**umber **O**f **B**its) donne le nombre de bits vrais sur le nombre de bits théoriques d'un CAN. Il donne la résolution réelle d'un CAN, elle est simplement le rapport signal-sur-bruit-et-distorsion exprimée en bits plutôt de décibels en employant l'équation SNR idéal. Il est l'un des indicateurs de performance importants pour la caractérisation de CAN.

$$ENOB = \frac{SNDR - 1.76}{6.02} [Bit] \dots\dots\dots (4.10)$$

IV.3.3.1.5 Distorsion harmonique totale (THD)

La THD (**T**otal **H**armonic **D**istortion) est le rapport entre la puissance totale des composantes harmoniques de la puissance du signal d'entrée [11][12]:

$$THD = \frac{P_1 + P_2 + P_3 + \dots + P_n}{P_{Signal}} \tag{4.11}$$

où P_{Signal} est la puissance de la tonalité fondamentale qui est le signal et P_n est la puissance de la $n^{ième}$ harmonique. Comme le nombre de distorsions harmoniques sont infinies, le calcul

est limité à 10 - 20 harmoniques, aussi la puissance de plus harmoniques d'ordre est presque négligeable.

IV.3.3.2 Paramètres statiques

Des erreurs statiques sont déviation du convertisseur à partir des caractéristiques idéales, ils ne dépendent que du signal d'entrée qui est en cours de conversion. Les paramètres statiques permettent de quantifier les écarts entre la caractéristique réelle et la droite idéale d'un CAN. Selon la position de la courbe réelle par rapport à la courbe idéale, on distingue les erreurs statiques suivantes :

IV.3.3.2.1 Erreur de décalage (Offset) et Erreur à pleine échelle

C'est un décalage entre la courbe de transfert idéale et la courbe réelle. La caractéristique réelle ne passe pas par l'origine. Cette erreur est causée par la présence des offsets sur les amplificateurs, les comparateurs et autres composants au sein de conception du convertisseur comme montre la figure 4.8. Erreur de décalage est la différence entre le premier point de transition de code de la courbe réelle et la courbe idéale.

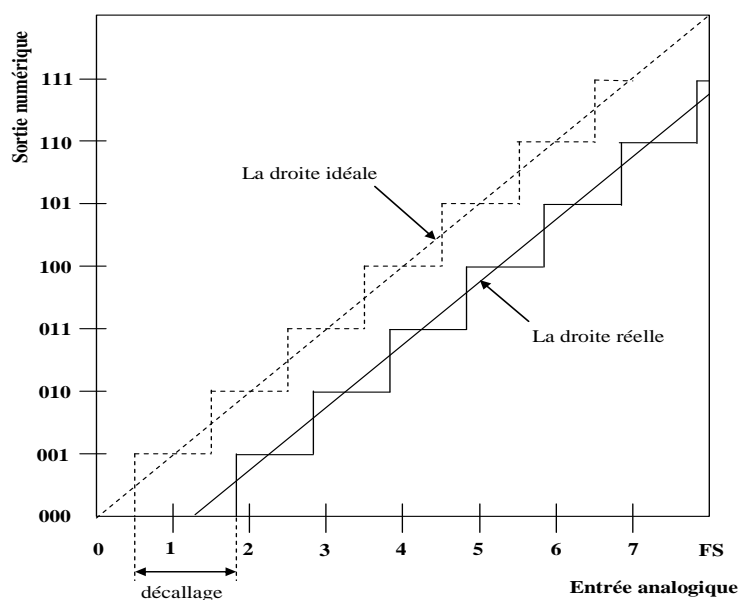


Fig. 4.8 Erreur de l'offset d'un CAN

L'erreur à pleine échelle est la différence entre la transition de code idéale pour le code de sortie le plus élevé et la transition de code actuel pour le code de sortie la plus élevée lorsque l'erreur de décalage est égale à zéro comme montre la figure 4.9

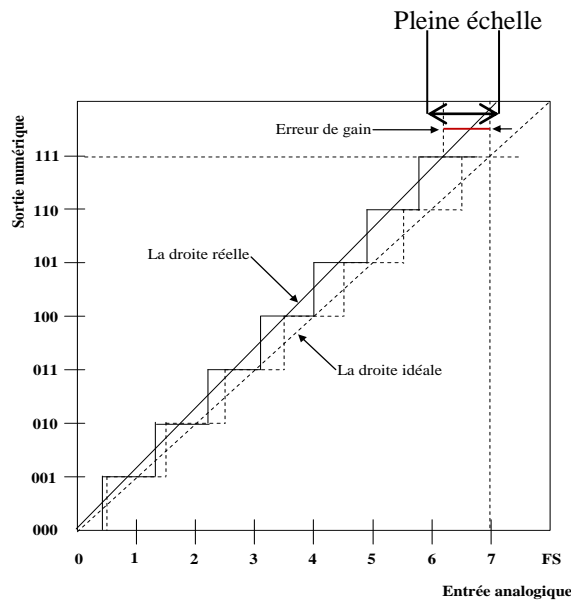


Fig. 4.9 Erreur de gain d'un CAN

IV.3.3.2.2 Erreur de linéarité différentielle (DNL)

La DNL (**D**ifferential **N**on-**L**inearity) L'erreur de linéarité différentielle représente l'écart relatif entre la valeur effective du pas et la valeur théorique. Elle est définie pour chaque palier du convertisseur et elle représente la différence entre la largeur du palier réelle et la largeur idéale, [78] [79] [80] comme le montre la figure 4.10.

Les codes numériques de sortie d'un CAN idéal peuvent être tracés en fonction de la tension d'entrée analogique. On remplace la fonction de transfert d'escalier idéal du CAN avec une ligne droite. Dans un CAN idéal, l'espacement entre les deux codes numériques de sortie D_i et D_{i+1} est égal à V_{LSB} , où V_{LSB} est la tension correspond à un bit le moins significatif (1 LSB), et elle est la plus petite tension qui peut résoudre un CAN. 1 LSB est égal :

$$1LSB = V_{LSB} = \frac{V_{REF}}{2^N} \tag{4.12}$$

Où V_{REF} est la tension d'entrée analogique à pleine échelle, et N est la résolution de CAN en bits. La présence de non-idéalités dans CAN réalise un espacement entre les deux codes numériques de sortie soit supérieure ou inférieure à 1 LSB. Pour mesurer ce changement de cet espacement, nous définissons la non-linéarité différentielle est :

La DNL de sortie pour particulier code est défini comme

$$DNL[i] = \left(\frac{V_{i+1} - V_i}{V_{LSB}} \right) - 1 \tag{4.13}$$

Où i est égal à la valeur de la sortie numérique D_i .

IV.3.3.2.3 Erreur de linéarité intégrale (INL)

L'INL (Integral Non-Linearity) d'un code i représente la variation entre la courbe réelle et la droite de transfert idéale au niveau de ce code. Elle correspond, pour chaque code i , à la somme des non-linéarités différentielles des codes précédents :

$$INL_i = \sum_{j=1}^i DNL_j \quad (4.14)$$

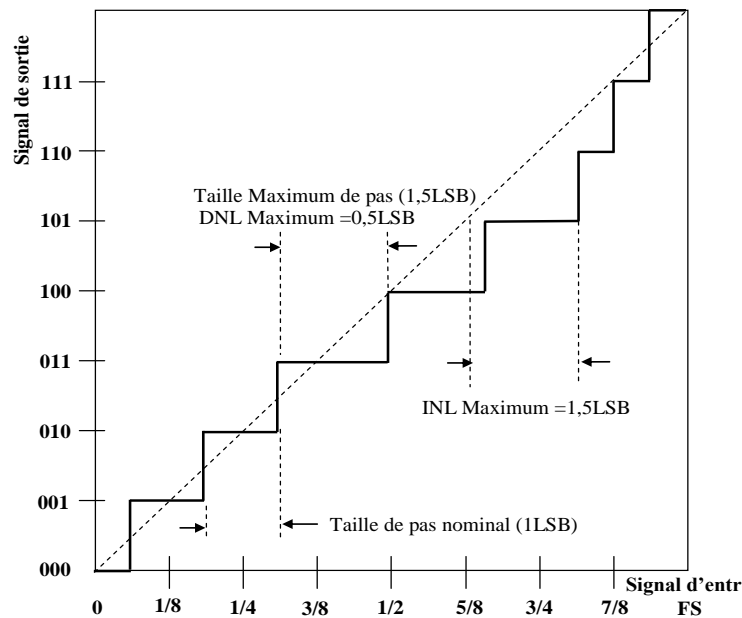


Fig.4.10 Définition de la non-linéarité différentielle et de la non-linéarité intégrale [77]

Pratiquement, l'INL peut être mesuré en calculant la différence entre le seuil de basculement idéal et le seuil de basculement réel de chaque code de la fonction de transfert d'un CAN. L'INL représente l'erreur de précision de conversion globale du CAN, alors que la DNL représente l'erreur de précision, code par code du CAN.

IV.3.3.2.4 Monotonie

La caractéristique de transfert du convertisseur doit assurer la croissance ou décroissance de la sortie en fonction de l'entrée. Une erreur de monotonie arrive quand cette caractéristique n'est pas assurée. Cette erreur provoque une erreur de codes manquants.

IV.3.3.2.5 Codes manquants

Les erreurs de linéarité et de monotonie peuvent causer des sauts de codes en sortie. Les codes n'apparaissant pas sont alors appelés codes manquants [77]

IV.4 Convertisseur analogique numérique à approximations successives SAR

Un CAN SAR est généralement composé des éléments suivants:

- Un registre à décalage et un registre résultat dont le but est d'essayer un à un tous les bits.
- Un Convertisseur Numérique Analogique(CNA) qui convertit la valeur numérique du registre à décalage en tension analogique.
- Un comparateur qui compare la tension d'entrée V_{in} à convertir à la tension générée par le CNA.
- échantillonneur bloqueur (Commutateurs)

IV.4.1.Principe de fonctionnement de convertisseur à approximation successive

Les convertisseurs analogiques numériques à approximations successives sont des composants électroniques qui transforment un signal analogique en un signal numérique codé sous forme binaire c.-à-d., 1 ou 0. Ils se distinguent des autres architectures de convertisseurs de par leur particularité à posséder à la fois une résolution moyenne, un taux de conversion moyen, une faible dissipation d'énergie, une bonne précision et une faible demande en surface. Cette topologie de convertisseur est plus attractive dans les applications médicales et les appareils portatifs.

Pour une architecture qui rime avec simplicité, nous avons le CAN dont le schéma bloc est décrit à la figure 4.11, ainsi qu'un chronogramme de conversion figure 4.12. Il est constitué d'un échantillonneur bloqueur (E/B), un comparateur, un registre à approximations successives, une logique de contrôle et un CNA à. Cette topologie de circuit est très versatile, son mode d'opération est basé sur un algorithme de recherche binaire. Autrement dit, l'opération consiste à vérifier l'état de chaque bit issu de la logique numérique. Le résultat final de la conversion est récupéré au niveau du bloc numérique. L'une des particularités associées à cette architecture est que son taux de conversion est une fraction de sa fréquence d'horloge. Ceci étant dû à l'algorithme d'approximations successives [78].

Bien qu'il existe plusieurs topologies au niveau circuiterie, le principe de fonctionnement reste le même. Le signal d'entrée analogique (V_E) est échantillonné sur l'entrée positive (V_H) du comparateur. Par la suite, l'algorithme de recherche binaire se met en marche. Le registre à décalage à n bits est fixé à mi-échelle. Ce code numérique est envoyé au

convertisseur numérique analogique (CNA) et force sa tension de sortie (V_{CNA}) à $1/2 V_{ref}$ où V_{ref} est la tension de référence généralement fixé à V_{DD} (tension d'alimentation).

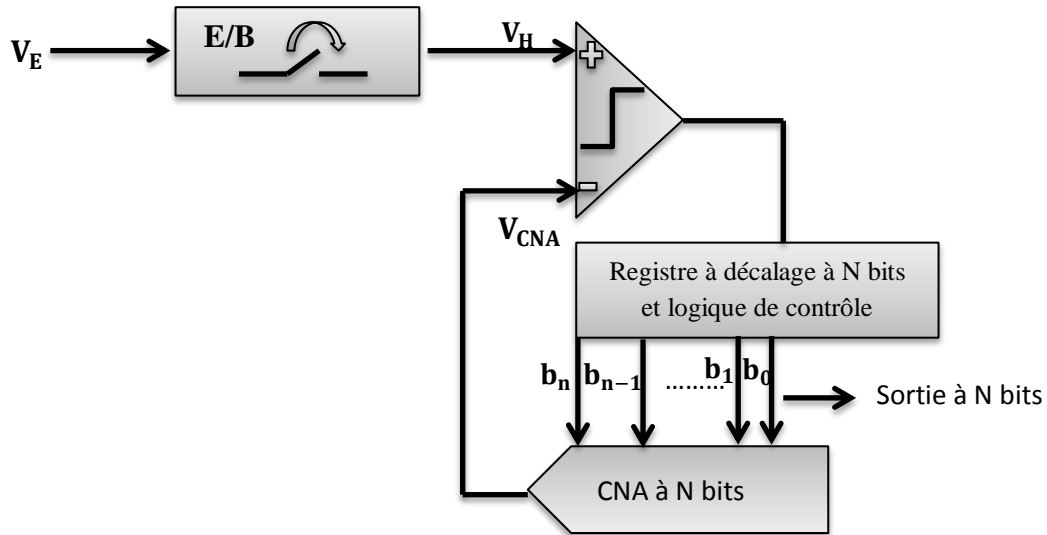


Fig. 4.11 Schéma bloc de CAN à approximation successive

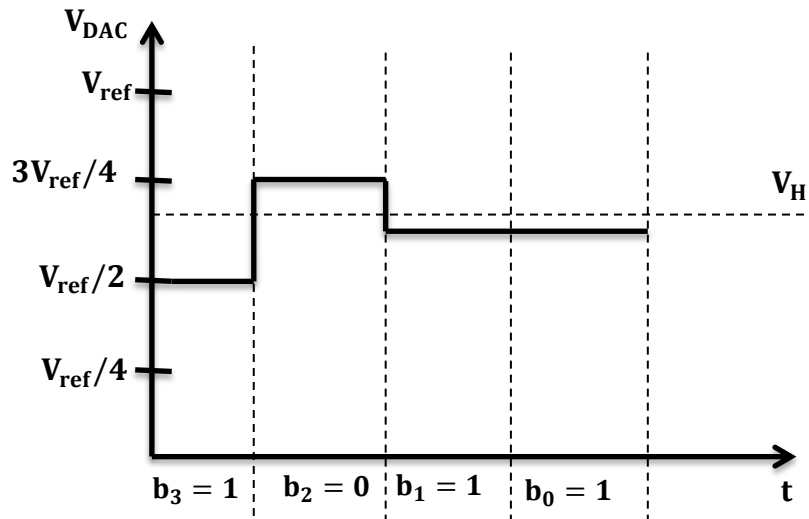


Fig. 4.12 Chronogramme de CAN SAR à 4bits

Une comparaison est alors effectuée entre V_H et V_{CNA} afin de déterminer si la tension à convertir (V_H) est supérieure ou inférieure à la tension de sortie du CNA. Si V_H est supérieure à $1/2 V_{ref}$, la sortie du comparateur est au niveau haut ou '1' et l'état du bit b_{n-1} ou bit le plus significatif (*MSB Must Significant Bit*) reste inchangé, soit '1'. Par contre, si V_H est inférieure à $1/2 V_{ref}$, la sortie du comparateur est au niveau bas ou '0' et le MSB est mis à '0'. À ce niveau, deux situations prévalent.

Advenant que la sortie du comparateur soit '1', la logique de contrôle via le registre à décalage à n bits va fixer le bit b_{n-2} à 1 et les bits b_{n-3} à b_0 sont mis à '0'. Pendant ce temps, le MSB reste à '1' puisque son état a déjà été identifié. La sortie du CNA va maintenant être $3/4V_{ref}$ et une nouvelle comparaison est ainsi effectuée entre V_H et $3/4V_{ref}$. Ensuite, dans le cas où la sortie du comparateur est de nouveau à '1', le bit b_{n-1} reste inchangé et son état est donc identifié. La logique de contrôle via le registre à décalage va fixer le bit b_{n-3} à '1' et les bits b_{n-4} à b_0 sont mis à '0'. La nouvelle valeur de V_{CNA} est $7/8V_{ref}$ et une nouvelle comparaison est alors effectuée entre V_H et $7/8V_{ref}$.

Dans le cas où la sortie du comparateur est plutôt '0', la logique de contrôle via le registre à décalage à n bits va d'abord remettre le MSB à zéro. Par la suite, le bit b_{n-2} est fixé à '1' et les bits b_{n-3} à b_0 sont mis à '0'. La sortie analogique du CNA va maintenant être à $1/4V_{ref}$ et une nouvelle comparaison est ainsi effectuée entre V_H et $1/4V_{ref}$ afin de déterminer l'état réel du bit b_{n-2} . En supposant que la sortie du comparateur est de nouveau à '0', le bit b_{n-2} est remis à '0' et son état est ainsi identifié. La logique de contrôle via le registre à décalage va fixer le bit b_{n-3} à '1' et les bits b_{n-4} à b_0 sont mis à '0'. La valeur de la tension de sortie du CNA est maintenant égale à $1/8V_{ref}$ et une nouvelle comparaison est alors effectuée entre V_H et $1/8V_{ref}$. On voit bien que l'identification d'un bit nécessite qu'on se fixe une hypothèse au préalable. En d'autres termes, c'est le principe d'approximation de façon subséquente.

Dépendamment que l'on soit dans l'une des situations établies ci-dessus, le processus va se répéter de la même manière jusqu'à ce que la tension de sortie (V_{CNA}) du CNA converge vers la valeur échantillonnée (V_H). En d'autres termes, la conversion prend fin lorsque le bit b_0 est identifié. L'algorithme de recherche binaire qu'utilise le CAN est semblable à un arbre de partie dont chaque niveau correspond à un cycle d'horloge. Nous pouvons donc déduire que la conversion d'un mot de n bits requiert n coups d'horloge. Cependant, en fonction du concepteur, on peut ajouter un coup d'horloge pour l'initialisation et un autre coup d'horloge pour démarrer la conversion. La figure 4.13 illustre le schéma bloc d'une recherche binaire sous forme d'un arbre dans le cas d'un CAN à trois (3) bits.

IV.4.1.1. Convertisseur Numérique Analogique à réseaux capacitifs

Il existe plusieurs architectures de CNA (à résistances, capacités ou courants pondérés) mais les plus couramment utilisées pour les CAN SAR dans les applications à faibles consommation est les réseaux à capacité il présente un très bon compromis surface-consommation-linéarité-bruit comparée aux autres architectures concurrentes. Leurs vitesses

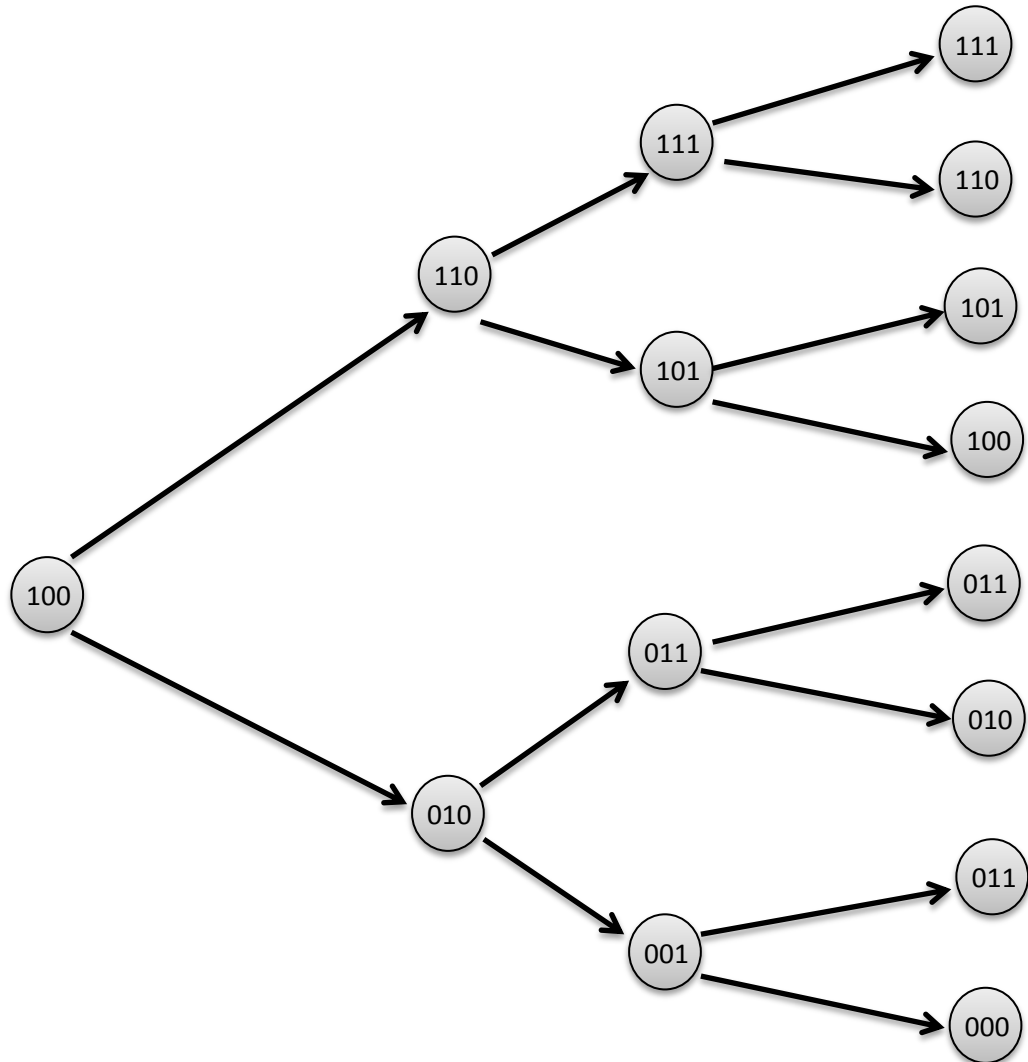


Fig.4.13 Schéma bloc d'une recherche binaire sous forme d'un arbre dans le cas d'un CAN à trois (3) bits

sont limitées par les temps de chargement des condensateurs. Ces temps sont régis par le couple **RC** formé par la résistance R_{ON} de l'interrupteur et la capacité à charger. Enfin, ils possèdent une consommation statique nulle. La réalisation du réseau capacitif est un élément clef dans la mesure où cela impacte directement sur la linéarité de le CAN. En effet, le principe du convertisseur repose sur la précision des rapports entre les capacités du réseau, et toute erreur d'appariement (matching) sur les capacités donne une variation dans le pas du convertisseur. Pour avoir la meilleure linéarité possible, les capacités seront toutes formées d'une même capacité unitaire C_U . La suite de cette partie propose d'étudier les différentes architectures de réseaux capacitifs afin de sélectionner la plus adaptée à nos spécifications.

IV.4.1.1.1 CNA à capacité pondérées

Le CAN basé sur un CNA à capacités pondérées en binaire est une architecture de CAN très efficace en termes de dissipation d'énergie. Il est dédié aux systèmes à résolution et vitesse moyennes [78], introduisent une architecture de CAN basé sur la technique de distribution de charges ou transfert de charges. Le schéma bloc du CNA est décrit à la figure 4.14.

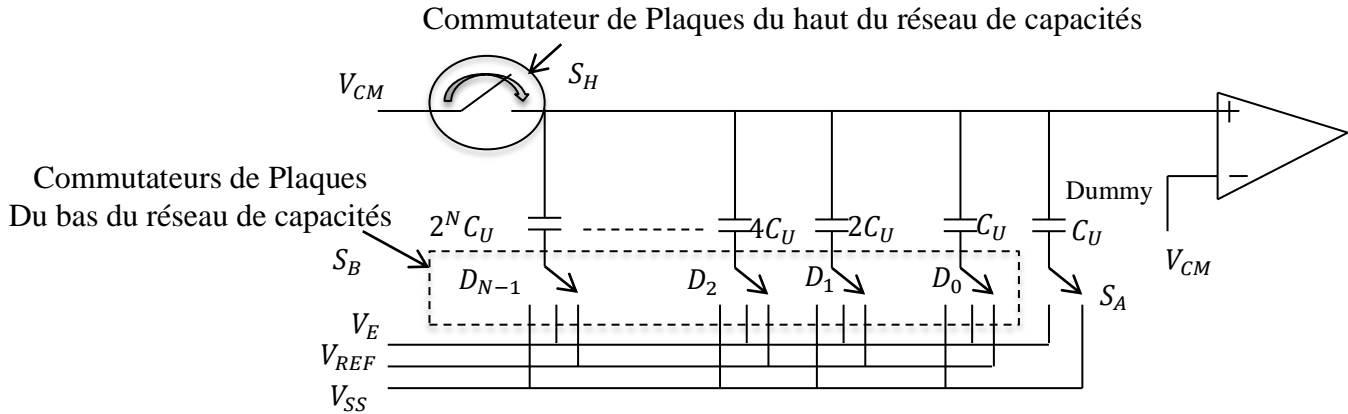


Fig.4.14 Schéma de CAN basé sur la technique de distribution de charges

Le CNA est suivi d'un comparateur qui produit un niveau logique '1' ou '0'. Les capacités placées en parallèle sont pondérées de façon binaire. Leur pondération va de C_U , $2C_U$, $4C_U$, $8C_U$, jusqu'à $2^N C_U$, n représente le nombre de bits et C_U , la capacité unitaire. V_E est la tension d'entrée, V_{ref} est la tension de référence soit, V_{DD} tandis que, V_{CM} est la tension à mi-échelle, soit $1/2 (V_{DD})$ ou 0. La différence fondamentale consiste à manipuler les charges au lieu des courants. Ce circuit du CNA devient très attrayant car la consommation du courant statique est presque nulle, mais il requiert une grande surface.

La conversion d'un mot numérique en une tension analogique équivalente nécessite trois mode d'opérations à savoir; le mode échantillonnage, le mode maintien en attente et le mode redistribution.

Dans le mode échantillonnage tel que présenté à la figure 4.14, le commutateur S_H est fermé, les Plaques du haut du réseau de capacités sont connectées à V_{CM} qui est la tension en mode commun. Le commutateur S_A est relié au signal d'entrée V_E , ce qui permet de connecter les plaques du bas à V_E . La tension d'entrée est ainsi échantillonnée sur le nœud V_H . Une quantité de charges proportionnelle à la tension d'entrée V_E est ainsi stockée sur les plaques du haut de la chaîne de capacités. Cette charge peut s'exprimer à partir de l'équation (4.15)

$$Q_{in} = 2C_{eq}(V_{CM} - V_E) \quad (4.15)$$

où C_{eq} est la capacité totale équivalente, V_E est la tension d'entrée et V_{CM} , tension égale à $\frac{1}{2}V_{DD}$ ou 0.

❖ **Dans le mode maintien ou attente**, comme illustré à la figure 4.14, on déconnecte le commutateur S_H de V_{CM} et S_A est connecté à la tension de référence V_{ref} . Au niveau des capacités, toutes les plaques du bas du réseau de capacités se retrouvent connectées à la masse. L'application du principe de la conservation de charge permet de constater que la tension au niveau des plaques supérieures est maintenant $V_{CM} - V_E$.

❖ **Le mode redistribution** représente le début du processus de conversion, tel qu'illustré à la figure 4.14, c'est le premier cycle binaire. Il consiste à vérifier l'état du MSB c-à-d., le bit D_{n-1} . Préalablement, D_{n-1} est mis à '1' et D_{n-2} est mis à '0', ceci grâce à la logique de contrôle. La plaque du bas de la plus grosse capacité, C_{MSB} , est connectée à V_{ref} et le reste des plaques du bas sont connectées à la masse. A cette étape la sortie du CNA est égale à $V_{CM} - V_E + 0.5V_{ref}$ et est comparée à V_{CM} . en fonction du résultat de comparaison, D_{n-1} reste connecté à V_{ref} si la sortie du comparateur est 1, ou changer la connexion à la masse lorsque le résultat du comparateur est nul. Ensuite, D_{n-2} est connectée à V_{ref} en fonction de la valeur de D_{n-1} , $V_{CM} - V_E + 0.5V_{REF} + 0.25V_{REF}$ et est comparée à V_{CM} . Tous les bits sont générés successivement et V_{CNA} dans la dernière étape est définie comme ci-dessous.

$$V_{CNA} = V_{CM} - V_E + D_{n-1}0.5V_{ref} + D_{n-2}0.25V_{ref} + \dots \dots \dots + D_1 \frac{V_{ref}}{2^{n-2}} + D_0 \frac{V_{ref}}{2^{n-1}} \quad (4.16)$$

IV.4.1.2 .Comparateur

Au cours des dernières années, l'intérêt accru vers les systèmes qui ont une faible consommation d'énergie, a été une source de motivation majeure dans l'industrie des semi-conducteurs. Tout ceci est rendu possible grâce à la diminution de longueur des transistors qui permet de réduire la puissance des circuits. Le comparateur est l'un des composants électroniques le plus répandu dans les CAN, il est le seul élément qui se retrouve dans l'intégralité des différents types de CAN, Il avait un grand impact sur les performances du CAN, il peut limiter les performances du CAN, de ce fait plusieurs architectures de comparateur ont été développées afin de s'adapter aux spécifications des différentes architectures de CAN. À cause de son efficacité énergétique, Cependant, concevoir une telle architecture à basse tension et faible consommation de puissance requiert une topologie de circuits spécifiques.

Un comparateur est un composant qui pour une différence de tension donnée entre ses deux entrées va fournir une tension logique égale à « 1 » ou « 0 ». A sa fonction de transfert

théorique d'un comparateur s'ajoute un offset statique ainsi qu'une vitesse de basculement finie comme le montre la figure 4.15.

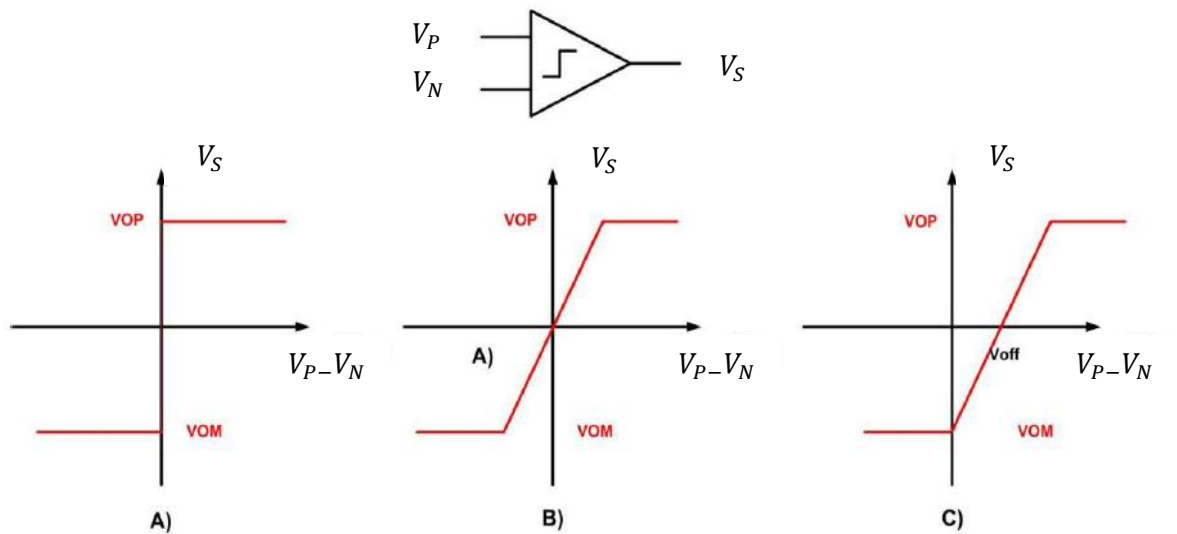


Fig.4.15 A) Fonction de transfert d'un comparateur idéal, B) Fonction de transfert d'un comparateur à gain fini, C) Fonction de transfert d'un comparateur à gain fini présentant un offset statique

IV.4.1.2.1. Performance Métriques des Comparateurs

Vitesse, précision et faible consommation d'énergie sont quelques considérations de conception pour les comparateurs, qui définissent des mesures de performance d'un comparateur. Les comparateurs sont caractérisés en termes de mesures de Performance suivantes.

IV.4.1.2.1.1. Résolution

La différence de signal minimum détectable par le comparateur s'appelle la résolution du comparateur. En d'autres termes, il est le niveau minimum de signal pour lequel un comparateur produit une sortie correcte, Dans un CAN la résolution minimale requise est notée comme **1LSB** Par exemple, dans un CAN à N bits, le comparateur doit être capable de détecter une LSB qu'est:

$$R_{résolution\ requise} = 1LSB = \frac{1}{2^N} \quad (4.17)$$

Où N est le nombre de bits du CAN.

La résolution acquise est la différence minimale d'entrée qu'est détectée avec succès par le comparateur, A noter que le plus petit changement d'entrée qui peut être détecté par un comparateur, cela signifie qu'il a une grande résolution.

IV.4.1.2.1.2. Gain

Le gain d'un comparateur est défini comme le rapport entre, la différence de la tension de sortie du signal de haut et bas et la différence de tension d'entrée du signal haute et basse. Mathématiquement.

$$Gain_{Requise} = \frac{V_{oh}-V_{ol}}{R_{résolution\ requise}} \quad (4.18)$$

Un gain élevé est nécessaire pour un bon comparateur, selon l'équation ci-dessus montrent qu'un gain élevé indique une faible valeur de la résolution.

IV.4.1.2.1.3 Délai de propagation

Délai de propagation définit la vitesse du comparateur, à savoir à quelle vitesse le comparateur décide. Il affecte également la vitesse du CAN, le temps de montée de délai de propagation est mesuré entre les points de transition de signal d'entrée et de sortie quand ils atteignent 50% de niveaux de signal.

$$t_p = \frac{t_{pm}+t_{pd}}{2} \quad (4.19)$$

IV.4.1.2.1.4 Tension d'Offset

Les Asymétries entre les transistors d'entrée résultent une tension de décalage (offset) dans un circuit. Ce décalage également connu en tant que sortie de décalage est égal à la valeur de la tension de sortie lorsque la tension d'entrée est égale à zéro. Si la tension de sortie est égal à zéro pour l'entrée zéro aucun décalage est présent. La tension d'entrée de décalage d'un comparateur est la tension qui apparaît à l'entrée du comparateur en raison d'asymétries de transistors d'entrée. Il peut être inhérent à la conception ou peut apparaître comme résultat de variations de processus. En présence d'une tension d'offset V_{OS} .

$$Si E_+ - E_- > V_{OS}$$

$$Alors S = S_H$$

$$Si E_+ - E_- < V_{OS}$$

$$Alors S = S_L$$

Il peut être formellement défini comme le niveau d'entrée qui force la tension de sortie va à zéro [79]. Il peut limiter la résolution du comparateur, ainsi défavorablement effectuer la précision du comparateur et CAN.

IV. 4.1.2.2. Architectures du Comparateur

Il existe différents types de comparateur. Dans cette thèse, trois types de base de comparateurs sont décrits. La topologie de comparateur est choisie en fonction de l'application spécifique. Dans ce qui suit, la sélection de l'architecture de comparateur approprié pour l'application de faible puissance.

IV. 4.1.2.2.1. Comparateur en boucle ouvert

Amplificateur opérationnel à deux étages sans compensation figure 4.16, est l'un des architectures les plus utilisée dans les comparateurs en boucle ouvert, il avait des performances très important tels qu'un gain élevé,

Les principaux critères de conception pour chaque étage sont le gain et la bande passante, la différence de la tension minimum (ΔV_{min}) d'entrée est déterminée par la résolution du CAN, une très grand résolution du CAN résulte un très petit (ΔV_{min}), ce qui nécessite un amplificateur opérationnel à gain élevé. Ce comparateur a deux pôles qui, comparé par un autre comparateur a un pôle permet d'obtenir une vitesse plus élevée. Dans un comparateur à un étage qui a un pôle, l'augmentation du gain et de maintenir simultanément une large bande passante, F_U , Pose limitation de la bande passante de gain, F_C , qui se traduit par la réduction de la vitesse du comparateur Figure 4.17. Afin d'atténuer ce problème de deux étages comparateurs a été proposé. Cascade deux étages avec un faible gain à chaque étage conduit à une vitesse élevé, mais il introduit plus de tension de décalage (offset), En outre, cette configuration consomme plus d'énergie; par conséquent, ce type de comparateur est n'pas adapté pour les CANs à grande vitesse et faible puissance.

IV. 4.1.2.2.2. Comparateur à verrou

Le Comparateur à verrou opère dans le domaine en temps discret plutôt que dans le domaine en temps continu. Il fait usage de la combinaison de l'amplification et de la rétroaction positive. Il dispose d'une entrée (signal d'horloge) de commande qui sépare le fonctionnement en deux phases. Lorsque le contrôle est faible, la sortie de circuit est pré-chargé à V_{DD} et quand il est élevé la comparaison effectuée par décharge de la capacité de sortie comme Illustré à la figure 4.18, montre le fonctionnement du comparateur à verrou

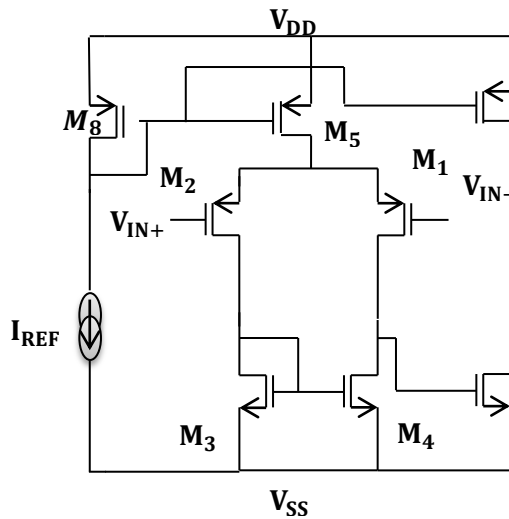


Fig.4. 16 Amplificateur opérationnel à deux étages sans compensation

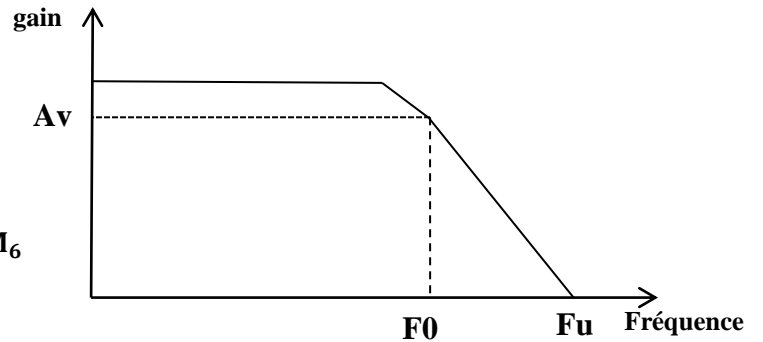


Fig.4. 17 Frequency response of a single stage amplifier

uniquement, où $V_{IN+} - V_{IN-}$ est la différence des entrées différentielles, et le verrou est la commande du signal. La forme la plus simple du verrou en technologie CMOS est représentée dans la figure 4.19. Le verrou utilise un inverseur NMOS ou PMOS à couplage transversal pour constituer une réaction positive. Ils sont plus rapides comparés à comparateurs en boucle ouverte.

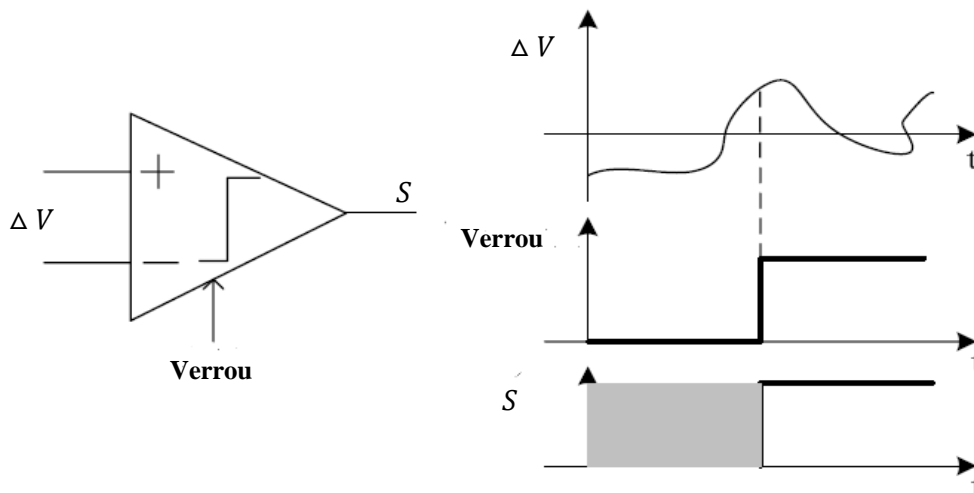


Fig.4.18 schéma montre l’opération de comparateur à verrou

IV. 4.1.2.2.2.1. Comparateur à verrou statique

Sur la figure 4.20, le schéma de circuit d'un comparateur à verrou statique est indiquée [80][81]. Pendant la phase de réinitialisation (RST bas), les nœuds V_{O+} et V_{O-} sont pré-chargées à V_{DD} par M5 / M6. Lorsque la RST passe au niveau haut, la comparaison commence. V_{O+} et V_{O-} décharger la capacité de sortie de taux inégales en raison des différentes tensions d'entrée.

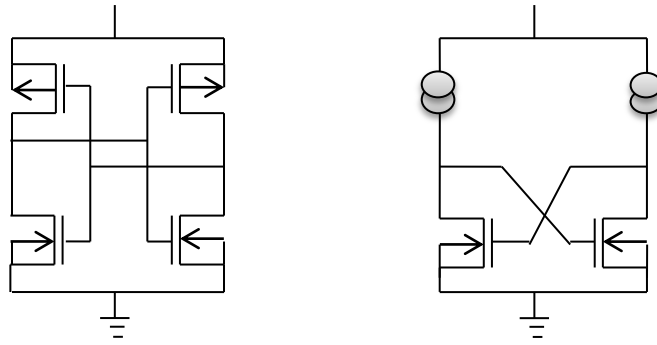


Fig. 4.19 Schéma montre le comparateur à verrou

Lorsque l'un des nœuds est inférieure à $V_{DD} - V_{THP}$, les transistors PMOS M3/M4 à couplage croisé sont activés, permettant V_{DD} pour charger complètement une des capacités de sortie. Les inverseurs de sortie sont pour la récupération du niveau de signal. Il est important de noter que M7 fonctionne comme un transistor de polarisation. Il consomme de l'énergie pendant toute comparaison. Il y a un compromis entre le choix d'un petit courant de polarisation pour une faible consommation d'énergie et une grande valeur pour la maximisation de la vitesse et du bruit [81].

En outre, en raison de l'appariement des transistors et une grande tension de décalage ajoute directement au décalage total du CAN, Techniques d'annulation de décalage est nécessaire. Comparateur à Verrou statique consomme de l'énergie statique qui n'est pas attrayant pour les applications de faible puissance.

IV. 4.1.2.2.2. Comparateur à verrou dynamique

Une topologie efficace consomme moins de puissance est un comparateur à verrou dynamique, qui ne consomme que la puissance pendant la phase de régénération. Figure 4.21 montre un exemple, présenté dans [82]. Contrairement au comparateur présenté dans [81], un commutateur M9 à la place d'un transistor de polarisation est utilisé. Pendant la phase de

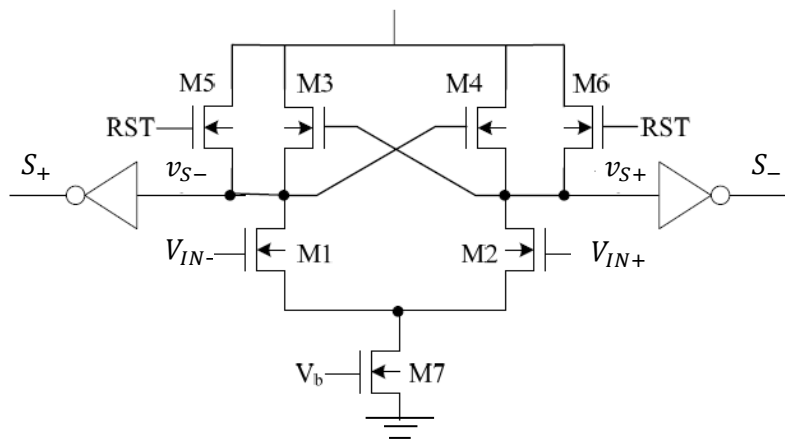


Fig.4.20 Schéma montre comparateur à verrou statique

réinitialisation (Comp faible), M5/M6 et M7 / M8 commutateurs à tirer les nœuds internes jusque la masse. M9 est en état bloqué aucun courant existe. Lorsque Comp passe au niveau haut, M9 est sous tension et le courant passe, Les commutateurs de réinitialisation sont bloqués. Les inverseurs à couplage croisé commencent à faire la régénération. Après la régénération, l'une des sorties est V_{DD} et l'autre est V_{SS} . Par conséquent, ni courant et ni la puissance est maximisée. Cependant, le problème de la tension de décalage existe. Dans [82], un réseau de condensateurs programmables est utilisé pour calibrer l'erreur de décalage.

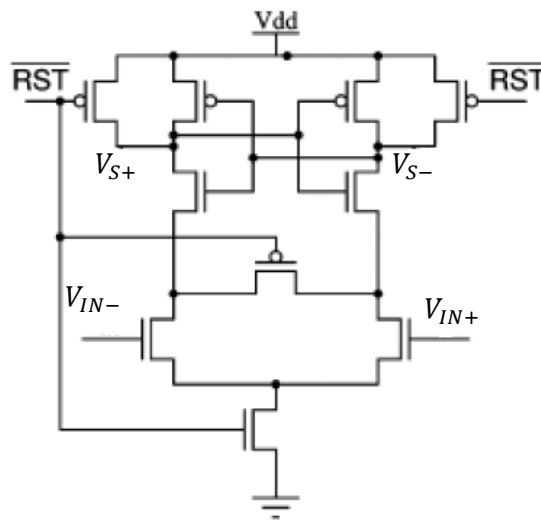


Fig. 4.21 Schéma montre comparateur à verrou dynamique

IV. 4.1.2.2.3. Combinant préamplificateur et verrou

Il y a un compromis entre la vitesse, la puissance et la résolution de comparateur. L'utilisation de comparateurs à verrou uniquement fournit une vitesse rapide et faible puissance, mais ils souffrent une erreur de décalage élevée de la tension d'entrée ce qui les rend peu attrayants pour les conceptions nécessitant de petites différences d'entrée. Une solution optimale combinant un préamplificateur et un verrou, représenté sur la figure 4.22.

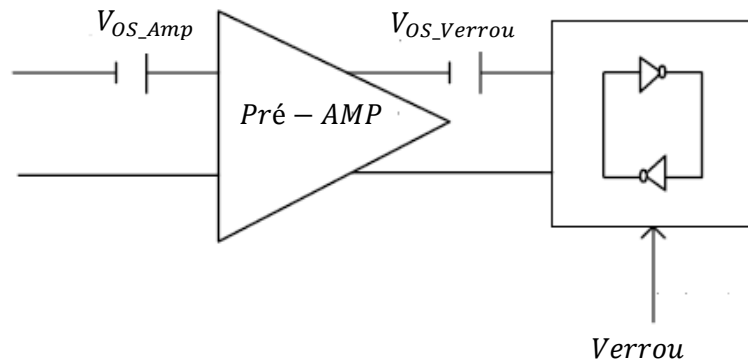


Fig.4.22 Schéma montre combinant préamplificateur et verrou

Le préamplificateur sert à amplifier la différence d'entrée, facilitant ainsi la détection de la faible différence d'entrée par le comparateur. Le préamplificateur peut réduire l'entrée de décalage du verrou de manière significative. La tension de décalage de verrou est atténuée par le gain du préamplificateur représenté sur l'équation suivante:

$$\sigma_{OS-Total} = \sqrt{\sigma_{OS-Amp}^2 + \frac{1}{A_{V-Amp}^2} \sigma_{OS-Latch}^2} \quad (4.20)$$

Il est remarqué que l'équation (4.20) suggère que si un préamplificateur ayant un gain élevé et faible décalage de tension est placé devant un verrou, l'erreur de tension de décalage d'entrée associé au verrou sera supprimée par le gain du préamplificateur, Cependant en minimisé l'erreur total de la tension d'entrée du circuit (Préamplificateur + Verrou)[83].

Cependant Il y a un compromis entre le gain et la vitesse de l'amplificateur. La fréquence unitaire de gain maximale f_U (produit du gain A de pre-ampli et de bande passante fp) pour une certaine technologie est déterminée par sa fréquence de la coupure maximale pi du transistor [84].

$$F_U = A_{pre-amp} * F_P \quad (4.21)$$

IV.4.1.3. Registre à approximation successive (RAS)

Dans la littérature, il existe principalement deux approches pour concevoir le registre à approximations successives (RAS). Le premier est proposé par Anderson [85], et l'autre est proposé par Rossi et Fucili [86]. La Logique de contrôle RAS détermine chaque bit successivement. Figure 4.23 montre une logique simplifiée RAS qui est proposé par Anderson. Il est basé sur un compteur en anneau et des registres à décalage, il y a 2 (N + 1) de bascules D pour la résolution de N bits, Une chaîne de N bascules stocke le résultat de la conversion et autre chaîne de N bascules fait l'approximation.

Pour diminuer le nombre de registres, Rossi et Fucili proposé un RAS nonredondant qui font usages de N bascules et des logiques combinatoires. La structure de base est une entrée N registre à décalage de bits multiples, représenté sur la figure 4.24. Il y a trois entrées provenant: décalage à droite, la charge de données et la mémorisation [85]. La figure 4.24 montre la structure interne du registre. Il ajoute un multiplexeur et un décodeur avec une bascule D pour faire la sélection à partir des trois entrées. La logique de décodage est représentée dans le Tableau.

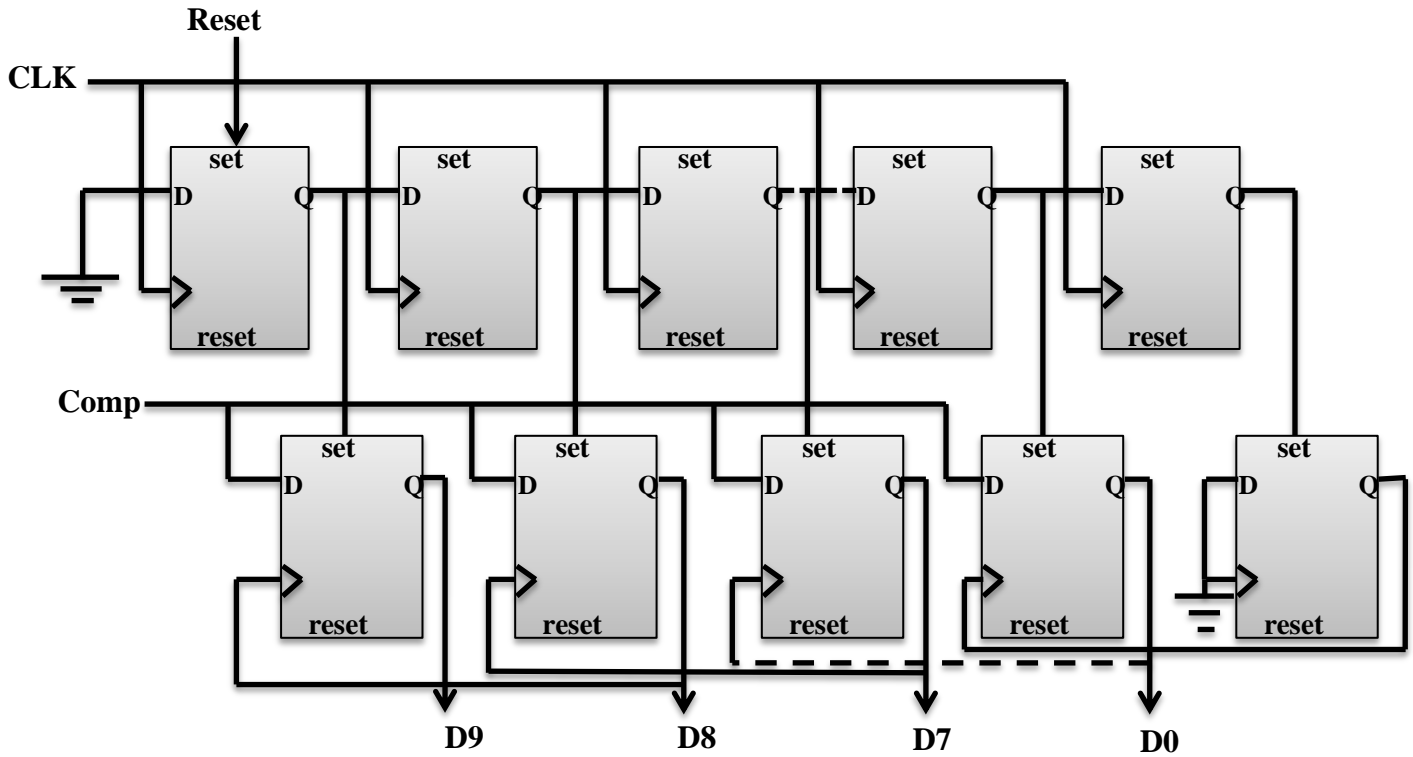


Fig. 4.23 RAS logique proposée par Anderson

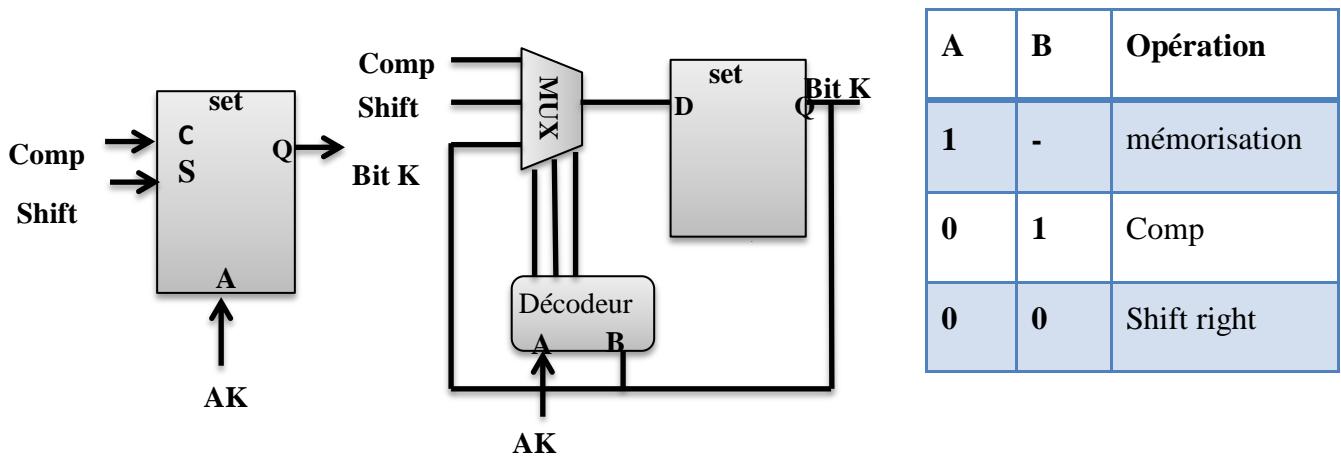
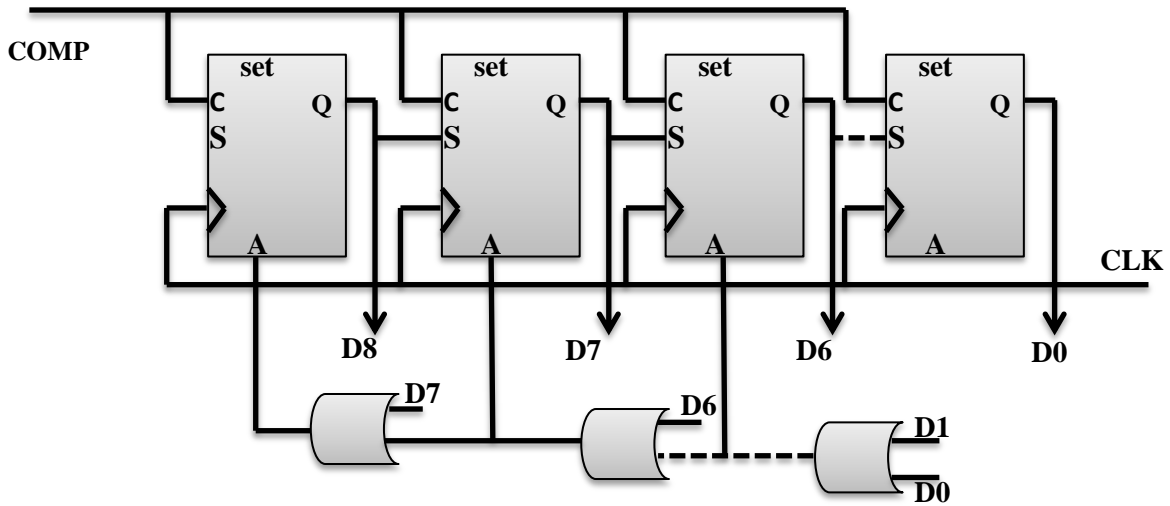


Fig. 4.24 RAS logique proposée par Rossi et Fucili avec le symbole de structure interne et la table de décodeur.

Les bascules qui sont employées dans cette structure sont set-reset Bascule D, pour une faible puissance nous utilisons les bascules D à base d'une porte de transmission. Les Transistors de taille minimale avec double longueur sont choisis pour améliorer la performance de puissance [86].

La bascule D comprend Maître-esclave comme illustrée à la figure 4.25., La logique de set et reset est:

- Si la RESET = 1, la sorties Q=0;
- Si RESET = 0 et SET= 1, la sorties Q=1;
- Si RESET = 0 et SET = 0, Q reste sa valeur initiale.

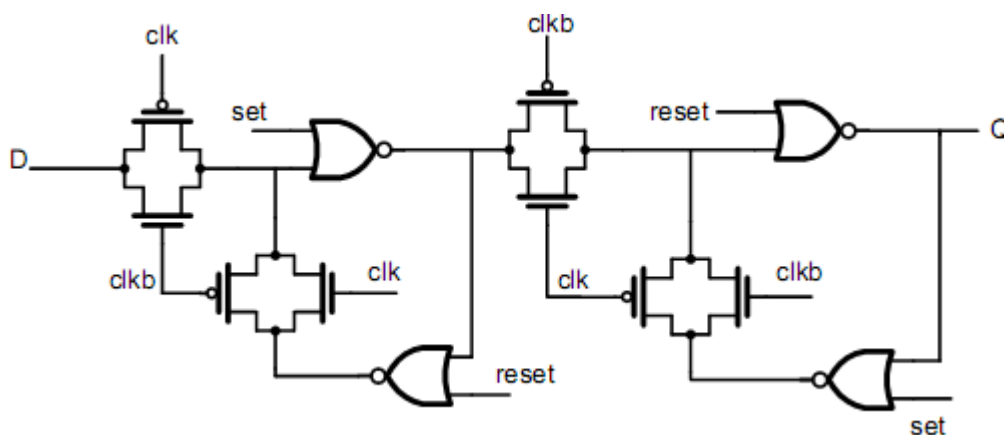


Fig.4.25 Maître-esclave set-reset Bascule D à base de la porte de transmission [86]

IV.5 Conclusion

Dans cette section, nous avons rappelé le concept de la conversion analogique numérique et les éléments qui constituer notre CN-SAR ainsi que les paramètres statiques et dynamiques permettant la caractérisation d'un CAN. Ces paramètres vont permettre d'avoir une meilleure pertinence sur la compréhension des spécifications des convertisseurs et de justifier le choix de type du CAN à utiliser en fonction de l'application souhaitée.

Dans la section suivante, nous allons contribuer des éléments qui constituer un CAN SAR, en vue de rassembler ces éléments pour atteindre des bon performances pour CAN-SAR dans domaine médicale.

Chapitre 5

Simulation et Résultats

V.1 Introduction

V.2 Système d'acquisition de données pour signal ECG

V.2.1 Signal ECG

V.2.2 Amplificateur opérationnel chopper stabilisé pour Signal ECG

V.2.2.1 Conception et simulation l'Amplificateur opérationnel à deux étage

V.2.2.1.1 Miroir de courant

V.2.2.1.2 Résistance Active

V.2.3. Structure de chopper stabilisé

V.3. Simulation et Discussion

V.3.1. Paramètres de dispositifs

V.3.2. Réponse en fréquence, Compensation

V.3.3 Taux de rejet en mode commun CMRR

V.3.4 Performance du Bruit

V.3.5 Performance de technique de découpage (Chopper)

V.3.6 Performance globale de l'amplificateur opérationnel

V.4 Amplificateur Opérationnel entièrement différentiel

V.4.1 Performance du Taux de rejet en mode commun

V.4.2 Performance du Gain et de la Phase

V.4.3 Performance du Bruit

V.4.4. Performance globale de l'amplificateur opérationnel

V.5 Convertisseur Analogique Numérique SAR

V.5.1 Convertisseur Numérique analogique CNA à réseaux capacitif pondérés

V.5.2. Performance du comparateur.

V.5.2.1. Performance du Gain et de la phase.

V.5.2.2. Performance de la sortie.

V.5.3. Performance du Commutateur

V.5.4. Performance de registre à approximation successive.

V.5.5. Performance du Convertisseur Analogique Numérique CAN-SAR.

V.6. Conclusion.

Chapitre 5

Simulation et Résultats

V.1 Introduction

Les Instruments de diagnostics médicaux peuvent être effectués dans des dispositifs portatifs aux fins de soins à domicile, tel que le diagnostic de maladie cardiaque. Ainsi, pour des raisons de la durabilité, les concepteurs devraient réduire la consommation d'énergie des appareils autant que possible de prolonger leur durée de vie de la batterie.

A l'aide de la technologie de circuit intégré, l'exigence d'économie d'énergie de l'équipement portatif et durable donne aux concepteurs de circuits intégrer l'impulsion pour réduire la consommation d'énergie des circuits analogiques médicaux tels que le circuit frontal analogique (AFE) et les CANs pour les systèmes d'acquisition du signal ECG.

En outre, les circuits frontaux analogiques, qui sont l'interface entre les signaux physiques et le Convertisseur analogique numérique, doit être exploité sous une faible tension d'alimentation (1V) pour être intégrés dans le système basse tension. Ce chapitre présente l'analyse et les résultats de simulation d'un amplificateur opérationnel afin d'augmenter les performances de circuit frontal analogique ainsi la contribution des circuits qui constituer le CAN SAR pour le système d'acquisition du signal ECG. La figure 5.1 illustre tous les blocs qui intègrent l'ensemble du système. Il consiste en deux étages essentiels, le premier c'est le circuit frontal analogique (AFE) et le deuxième convertisseur analogique numérique SAR.



Fig.5.1 Schéma bloc d'acquisition du signal ECG

V.2 Système d'acquisition de données pour signal ECG

L'acquisition des données de signal ECG commence par l'utilisation d'électrodes qui sont attachées à la peau du corps. Trois électrodes sont utilisées comme sondes pour détecter les signaux cardiaques à partir d'un corps humain. Deux électrodes sont placées chacune sur le poignet gauche et à droite tandis que la troisième électrode est placée sur la cheville de la jambe en tant que sol. Le signal ECG qu'est acquis dans la plage de 8uV à 5mV. En raison de la faible amplitude de tension, le signal est introduit dans un circuit d'amplification pour amplifier à un niveau de tension souhaitable. La sortie de l'amplificateur est ensuite introduite dans un filtre. Le but de ce dernier est de filtrer les composantes de bruit de fréquences très

basses et très hautes. La sortie analogique souhaitable du filtre est ensuite envoyée à S/H et CAN pour devenir un signal numérique. Après cela, ces données numériques seront traitées dans les circuits programmables. Figure.5.2 montre le schéma synoptique de système d'acquisition de données du signal ECG.

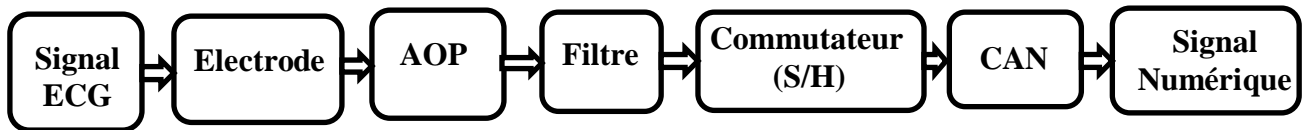


Fig. 5.2 Schéma synoptique de Système d'acquisition du signal ECG

V.2.1 Signal ECG

Le Signal ECG joue un rôle essentiel dans la surveillance et le diagnostic de l'état de santé du cœur. Un signal ECG est un enregistrement des petites ondes électriques étant généré pendant l'activité cardiaque. Les principales fonctions de l'analyse du signal ECG sont la détection du complexe QRS et l'estimation de la fréquence cardiaque instantanée. Pour la création de la base de données de battements cardiaques connus nous utiliserons les enregistrements de la base de données du **MIT/BIH arrhythmia**.

Nous avons collecté ces bases de données **MIT/BIH arrhythmia**, pour entraînement et tests de projet de conception d'amplificateur opérationnel du signal ECG. La figure 5.3 montre un exemple d'un tracé ECG normal d'entrée (V_{IN}), qui est constitué d'une onde **P**, complexe **QRS** et onde **T**.

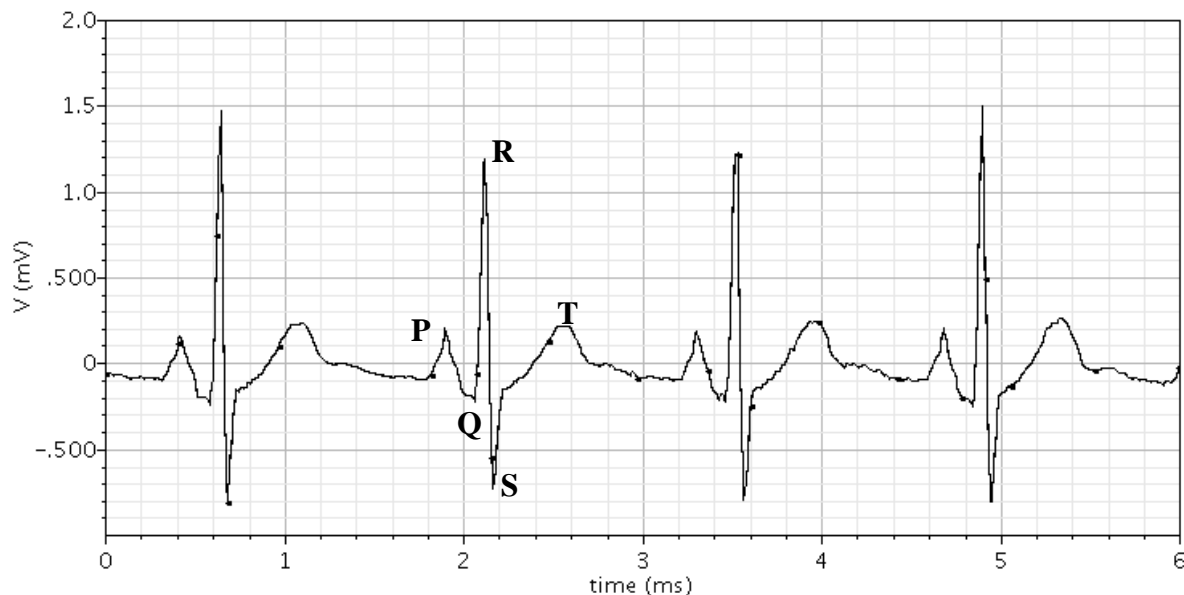


Fig.5.3 Représentation schématique d'un signal ECG normal de la base de données MIT-BIH Arrhythmia.

V.2.2 Amplificateur opérationnel choper stabilisé pour Signal ECG

Le cahier de charge présente des performances élevées pour l'amplificateur opérationnel à deux étages pour des applications médicales. Ces deux étages sont conçus pour un faible bruit, faible puissance, grand PSRR et très grand CMRR. La technique de compensation Miller (C_c) est utilisée avec une résistance active (R_z) en utilisant des transistors de porte de transmission pour un fonctionnement stable en mode de réaction. L'amplificateur opérationnel a été simulé et testé dans un simulateur SPECTRE utilisant GPDK technologie CMOS 90nm avec des tensions de seuil de 0.17 V et -0.14 V à 1V tension d'alimentation.

V.2.2.1 Conception et simulation l'Amplificateur opérationnel à deux étages

La structure générale de l'amplificateur opérationnel à deux étages en technologie CMOS 90nm avec circuit de compensation est représentée sur la Figure 5.4. Comme il y a deux étages dans cet amplificateur opérationnel, le gain global est le produit de chaque étage. Par conséquent, le gain total en petit signal est:

$$G = g_{m1}g_{m6}(r_{o2} // r_{o5})(r_{o7} // r_{o6}) \quad (5.1)$$

Le premier étage dans la Figure. 5.4 est constitué par une paire différentielle à canal P (M1-M2) avec un miroir de courant à canal N (M3-M4) et de source de courant d'extrémité à canal P transistor (M5), tandis que le deuxième étage consiste un amplificateur à source commune à canal N transistor (M6) avec une source de courant de charge à canal P transistor (M7). Les résistances de sortie élevée de ces deux transistors (M6, M7) assimilent relativement grand gain pour cet étage et un gain modéré pour l'amplificateur complet. Du fait que les entrées d'amplificateurs opérationnels sont connectées aux grilles des transistors MOS, la résistance d'entrée est essentiellement infinie. Les tailles des transistors ont été conçues pour un courant de référence de 1uA à fournir.

V.2.2.1.1 Miroir de courant

Des miroirs de courant sont largement utilisés dans les circuits analogiques MOS, des transistors à mode d'enrichissement restent en saturation lorsque la grille est liée au drain, en tant que la tension drain-source (V_{DS}) est supérieure à la tension grille-source (V_{GS}) dû de la tension de seuil (V_{TH}) baisse:

$$V_{DS} > V_{GS} - V_{TH} \quad (5.2)$$

Selon Eq (5.1), les sources de courant constant sont obtenues par des miroirs de courant

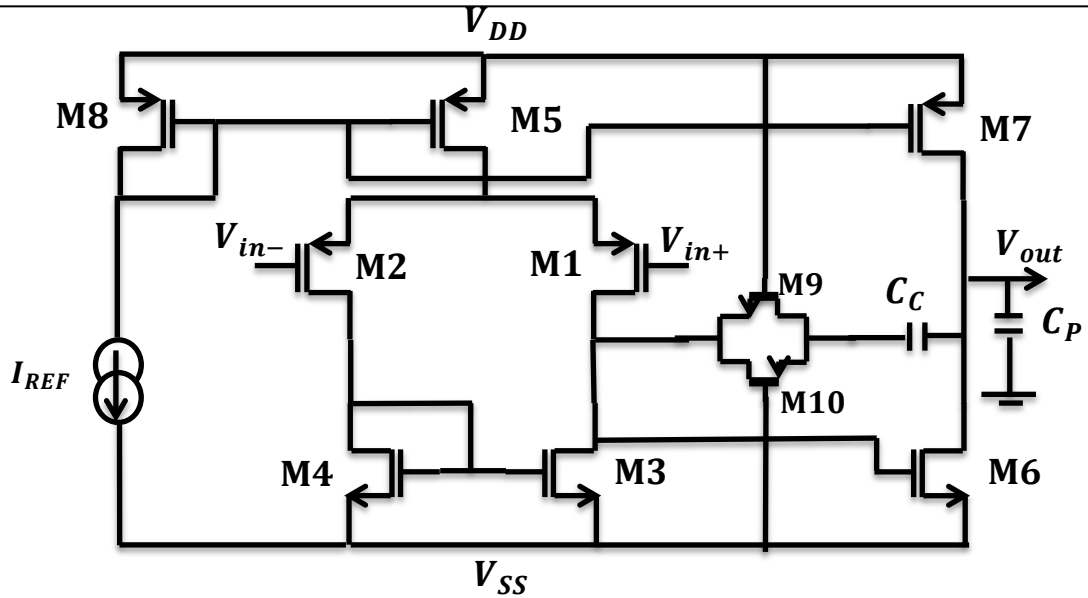


Fig. 5.4 Schéma de l'amplificateur opérationnel à deux étages

destinés à faire passer un courant de référence à travers un transistor à diode connecté (grille lié au drain). Nous choisissons un simple miroir de courant car basse tension d'alimentation (1-V) (évités tous les configurations cascades), Figure 5.5 (a) et (b) montrent la conception de miroir de courant PMOS et NMOS. Un miroir PMOS servir comme source de courant tandis que le NMOS agit comme un collecteur de courant.

La tension développée aux bornes du transistor connecté en diode est appliqué à la grille et la source du deuxième transistor, qui fournit un courant de sortie constant. Comme les deux transistors ont la même tension grille-source, les deux transistors sont fonctionnent dans la zone de saturation, sont régies par Eq (5.3) et Eq (5.4), en supposant transistors appariés. Le rapport de courant I_{OUT}/I_{REF} est déterminé par les rapports d'aspect du transistor.

Le courant de référence qui a été utilisé dans la conception est $0.5\mu\text{A}$. Le courant de sortie est désiré $1\mu\text{A}$.

Pour le miroir de courant PMOS, nous pouvons écrire,

$$\frac{I_{OUT}}{I_{REF}} = \frac{\frac{W_7}{L_7}}{\frac{W_8}{L_8}} \quad (5.3)$$

Pour le miroir de courant NMOS, nous pouvons écrire,

$$\frac{I_{OUT}}{I_{REF}} = \frac{\frac{W_4}{L_4}}{\frac{W_3}{L_3}} \quad (5.4)$$

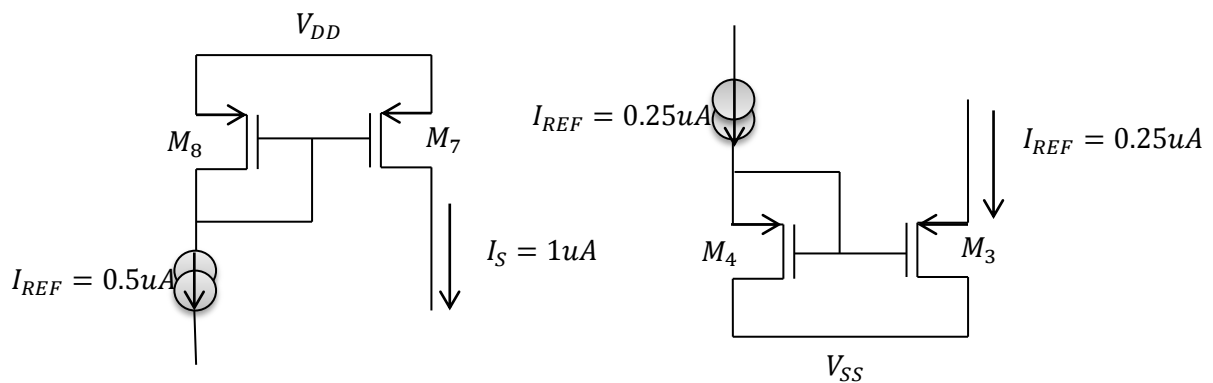


Fig.5.5 Miroir de courant type NMOS et PMOS

V.2.2.1.2 Résistance Active

Il existe deux types de résistance active utilisée dans notre conception. La première, le courant de référence qui est appliqué à miroir de courant est obtenu par l'intermédiaire d'une résistance active. La résistance est obtenue en reliant simplement la grille d'un MOS à canal N (M11) à son drain comme représenté sur la Figure.5.6.

Cette connexion force le transistor MOS fonctionné dans la région de saturation.

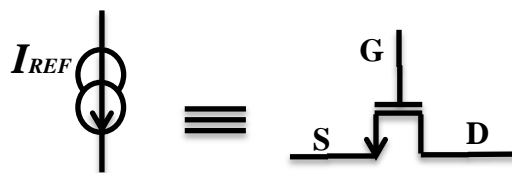


Fig.5.6 Résistance active

La deuxième résistance active c'est une porte de transmission (Transmission Gate) représentée sur la Figure.5.7, elle a été utilisée pour réaliser la résistance de contre réaction d'annulation active (R_z) pour réduire les effets du zéro dans la fonction de transfert. La grille de ces transistors M9, M10 est polarisée à VDD, VSS respectivement. Son faible résistance de sortie est obtenue à partir Eq (5.5) et Eq (5.6) (V_{ds} très petit). Les limites de la plage dynamique associée à un seul canal commutateurs MOS peuvent être évitées avec commutateur CMOS. Un commutateur généralement construits en connectant le transistor à canal P en parallèle avec le transistor à canal N comme illustré la Figure 5.7.

Pour cette configuration, lorsque Q est à l'état bas ($Q=0$); les deux transistors sont bloqués, le circuit est ouvert. Lorsque Q est à l'état haut ($Q=1$), les deux transistors sont active, donner un état de faible impédance. La tension de bulk des transistors NMOS et

PMOS sont prises aux potentiels les plus élevés et les plus bas, respectivement. Le principal avantage d'utilisée des commutateur CMOS au lieu des commutateurs NMOS ou PMOS est que la plage dynamique dans l'état ON est fortement augmentée.

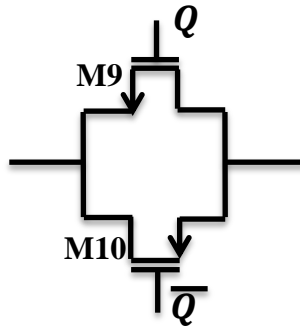


Fig.5.7 Porte de transmission

$$R_{ON} = \frac{1}{U_N C_{OX} \frac{W}{L} (V_{GS} - V_{THn})} \quad (5.5)$$

$$R_{ON} = \frac{1}{U_P C_{OX} \frac{W}{L} (V_{SG} - |V_{THp}|)} \quad (5.6)$$

V.2.3. Structure de chopper stabilisé

La structure de commutateur différentiel MOS à canal N figure.5.8 qu'est représenté un circuit de modulation et de démodulation, est utilisée dans cette conception Le modulateur convertit le signal lorsque Q est à l'état bas et ne pas inverser le signal lorsque Q est à l'état haut. Le démodulateur est identique. Cependant, le modulateur et le démodulateur peuvent être contrôlés indépendamment ce qui permet de régler les problèmes de retard de phase.

Le circuit de modulateur, qui est placé avant l'amplificateur opérationnel, est essentiel à la gamme des non-linéarités et le bruit. Par conséquent, pour obtenir faible bruit, une attention critique doit être accordée à la conception de la partie de modulateur pour minimiser mieux le bruit et la tension de décalage Vos

Clock-feedthrough et **l'injection de charge** sont les principaux facteurs entraînant la non-linéarité dans les commutateurs MOS. La Figure.5.9 montre le circuit de chopper différentielle de type NMOS avec le commutateur dummy.

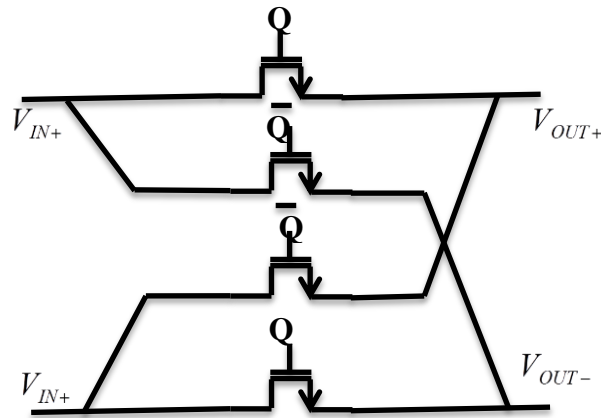


Fig.5.8 Différentielle commentateur de type NMOS

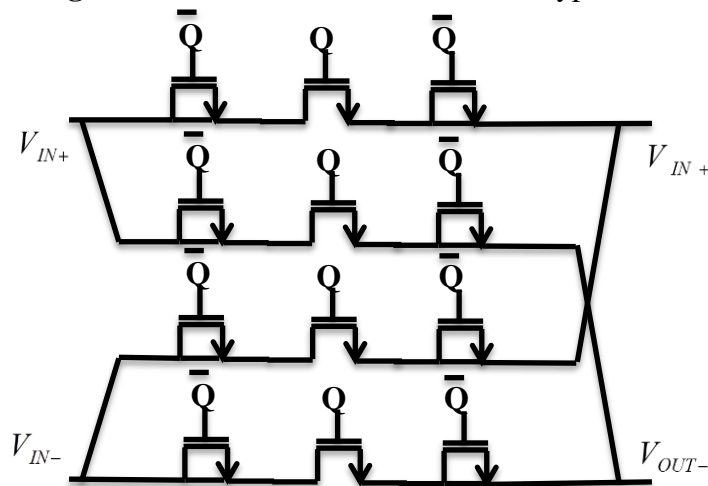


Fig.5.9 Différentielle commentateur de type NMOS avec Dummy

V.3. Simulation et Discussion

L'amplificateur opérationnel à deux étages chopper stabilisé proposé est constitué d'un amplificateur différentiel et un technique de découpage (chopper). Les sous-sections suivantes décrivent la simulation et résultats de chaque module.

V.3.1. Paramètres de dispositifs

Le tableau 1 donne les paramètres de dispositif pour notre amplificateur opérationnel.

Dispositif	Type	W(um)	L(um)
M1,M2	P	10	0.378
M3,M4	N	18	0.556
M5,M8	P	35	0.460
M7	P	80	0.530
M6	N	15	0.100
M9	N	1	0.100
M10	P	10	0.100
M11	N	3	0.800

Tab 1 Paramètres de l'amplificateur opérationnel à deux étages

V.3.2. Réponse en fréquence, Compensation

Le petit signal de l'amplificateur à deux étages peut être modélisé par les deux généraux pôles, un circuit équivalent de petit signal représenté dans la Figure.5.10. Revenant à le modèle de l'étage d'entrée Figure.5.4 (Sans (C_c) et (R_z)), Nous avons deux pôles ceux-ci sont Eq (5.6) et Eq (5.7)

$$P_1 = \frac{1}{C_1 \frac{1}{g_{m3}}} \tag{5.6}$$

$$P_2 = \frac{1}{C_2(r_{02}r_{04})} \tag{5.7}$$

La compensation de l'amplificateur CMOS à deux étapes peut être réalisée en utilisant un condensateur (C_C) de division polaire. Le but de la tâche de compensation est de réaliser une marge de phase supérieure à 45 degrés. Le circuit peut être représenté approximativement par le petit signal de circuit équivalent de la figure. 5 10 (sans R_z), les pôles non dominants sont négligés qui peuvent exister dans le circuit.

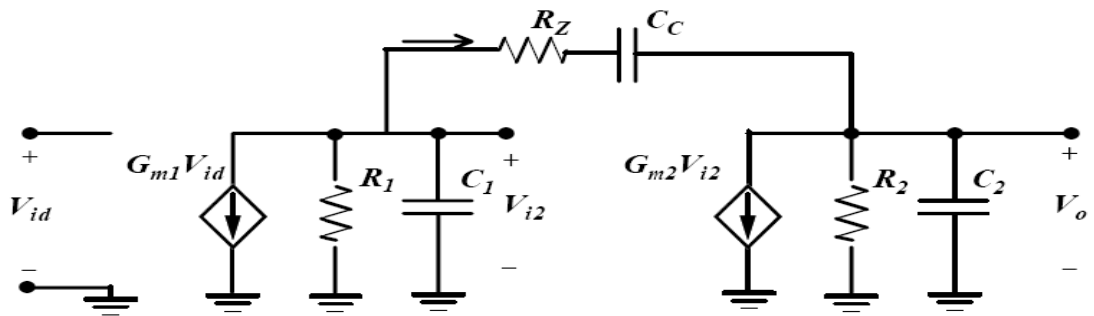


Fig.5.10 Modèle de Petit signal simplifié de l'amplificateur opérationnel à deux étages avec Nulling Résistance

Le circuit présente deux pôles et un plan moitié droit de zéro, qui, sous l'hypothèse que les pôles sont largement séparés peut être montré pour être situé approximativement à (Eq (5.8), Eq (5.9) et Eq (5.10)).

$$P_1 = \frac{-1}{(1+g_{m2}R_2)C_C R_1} \tag{5.8}$$

$$P_2 = \frac{-g_{m2}}{C_2 C_1 + C_C C_1 + C_2 C_C} \tag{5.9}$$

$$Z = \frac{g_{m2}}{C_C} \quad (5.10)$$

A noter que le pôle en raison de la charge capacitive de la première étage par la seconde, p_1 , a été poussé vers le bas à une fréquence très faible de l'effet Miller. Dans le deuxième étage, tandis que le pôle en raison de la capacité sur le nœud de sortie du second étage p_2 , a été poussée à une fréquence très élevée en raison de la réaction de shunt. Pour cette raison, la technique de compensation est appelé fractionnement pôle.

Physiquement, le zéro se pose parce que la capacité de compensation fournit un chemin pour le signal de se propager directement à travers le circuit à la sortie pour des fréquences élevées. Comme il n'y a pas d'inversion en ce que le chemin de signal, car il se trouve dans le trajet d'inversion dominant à des fréquences basses, la stabilité dégradée. Une approche encore plus simple consiste à insérer une résistance de mise à zéro actif (R_Z) en série avec le condensateur de compensation comme représenté sur la Figure.5.4 et la Figure.5.10. Si (R_Z) est supposé être inférieur à R_1 ou R_2 et les pôles sont largement espacées, les pôles sont les suivantes: (Eq (5.11), Eq (5.12), Eq (5.13) et Eq (5.14)).

$$P_1 = \frac{-1}{(1+g_{m2}R_2)C_C R_1} \cong \frac{-1}{g_{m2}C_C R_1 R_2} \quad (5.11)$$

$$P_2 = \frac{-g_{m2}C_C}{(C_1 C_2 + C_C C_2 + C_1 C_C)} \cong \frac{-g_{m2}}{C_2} \quad (5.12)$$

$$P_3 = \frac{-1}{R_Z C_1} \quad (5.13)$$

$$Z = \frac{-1}{C_C \left(\frac{1}{g_{m2} - R_Z} \right)} \quad (5.14)$$

La résistance $R_Z = (R_{ON} \parallel R_{OP})$ permet un contrôle indépendant sur le placement du zéro. Le zéro disparaît lorsque R_Z est rendue égale à $1/g_{m2}$. En fait, la résistance peut encore être accrue pour déplacer le zéro dans le demi-plan gauche et le placer sur au-dessus de p_2 pour améliorer la marge de phase de l'amplificateur. R_Z Peut être réalisé par un interrupteur actif en technologie CMOS fonctionné en régime linéaire. L'utilisation de l'interrupteur CMOS est d'augmenter la plage dynamique. Lorsque la résistance du commutateur CMOS est tracée en fonction du facteur de tension d'entrée Figure.5.11, sur cette figure, le transistor

M10 à canal p et transistor M9 à canal n sont dimensionnés de telle sorte qu'ils ont une résistance équivalente aux conditions de terminales identiques. Le sommet de comportement au milieu de gamme (près de $V_{DD} / 2$), est due la combinaison en parallèle des deux transistors M9 et M10. Dans le canal N M9 dominant lorsque E est faible, et à la gauche le canal P M10 dominant lorsque E est élevé (près de V_{DD}). La Figure.5.12 montre une variation typique du gain et en fonction de la fréquence, $C_c = 0,6 \text{ pF}$, $C_p = 1 \text{ pF}$.

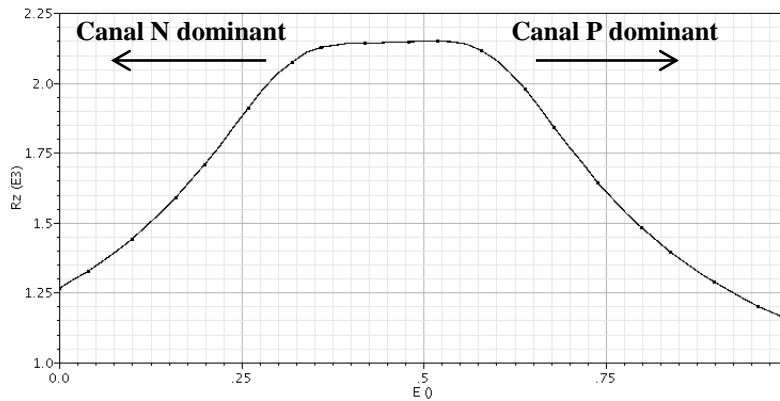


Fig.5.11 Résistance R_Z en fonction de E

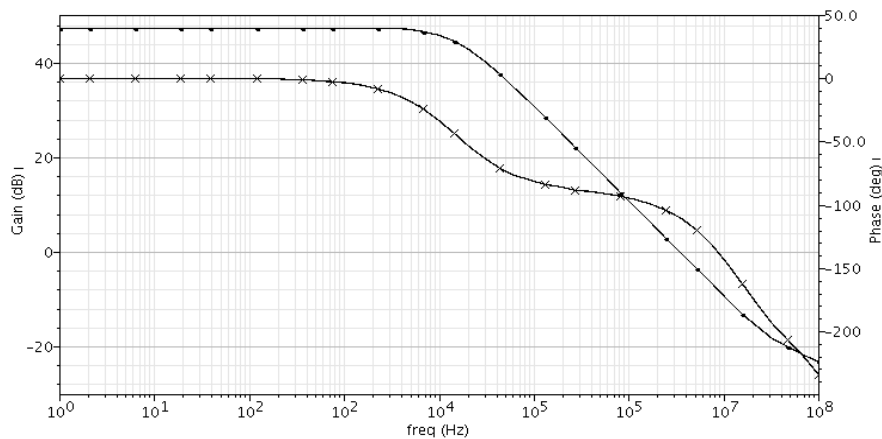


Fig.5.12 Montre une variation typique du gain et de phase en fonction de la fréquence

V.3.3 Taux de rejet en mode commun CMRR

Le taux de rejet en mode commun (CMRR) est défini comme le rapport entre le gain en tension d'un signal d'entrée de mode différentiel sur gain en tension pour un signal d'entrée de mode commun, Par conséquent, la mesure de Paramètre CMRR consiste à déterminer la variation de la tension de décalage due à une variation de la tension de mode commun appliquée. Mais, la variation de tension d'alimentation peut affecter la sortie ainsi que la tension de décalage.

Afin de s'assurer que le changement mesuré de la tension de décalage est uniquement due à une variation de tension d'entrée de mode commun, la tension de sortie de l'amplificateur opérationnel à deux étages est maintenue à une tension fixe pour la séquence d'essai. Nous simulons le circuit complet avec alimentation unique. Les résultats de CMRR est acceptable. Nous avons pu obtenir un gain CMRR de 130 dB, comme indiqué sur la Figure.5.13.

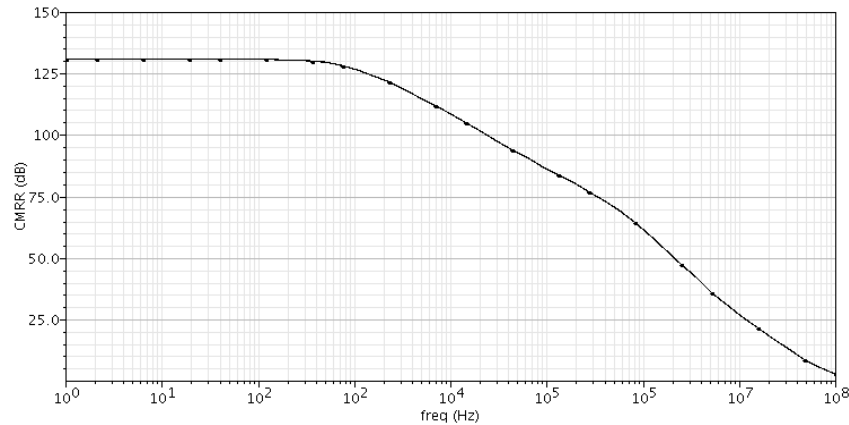


Fig.5.13. Montre une variation du CMRR en fonction de la fréquence

V.3.4 Performance du Bruit

La performance du bruit de l'étage différentiel peut être due à deux types de bruit : bruit thermique et bruit en 1/f. Dépendamment de gamme de fréquence dans laquelle notre circuit opère, A des fréquences basses, le bruit 1/f est important tandis que à des hautes fréquences le bruit thermique est important. La figure 5.14 montre la tension équivalente du bruit à l'entrée de l'amplificateur opérationnel

Il existe un compromis entre le bruit et la plage dynamique de sortie de l'étage. Généralement, la tension **overdrive** des charges de courant est réduite au minimum pour réaliser une large plage dynamique de sortie, mais pour un courant de polarisation fixe ce qui augmente la transconductance (due à une augmentation W) et de ce fait se traduit un bruit plus grand.

Les résultats de la simulation de la tension équivalente du bruit à l'entrée est représenté sur la Figure.5.14, le bruit en $\frac{1}{f}$ en dessous de 100 Hz est clairement visible, on voit qu'à 10Hz, la valeur de bruit est de $\frac{138nV}{\sqrt{Hz}}$.

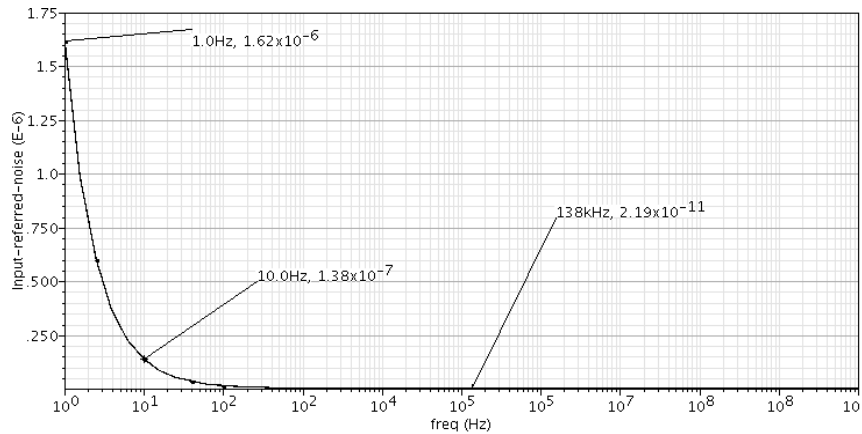


Fig.5.14 Montre la tension équivalente du bruit à l'entrée de l'amplificateur opérationnel en fonction de la fréquence

V.3.5 Performance de technique de découpage (Chopper)

Le résultat de la simulation de circuit de modulateur et démodulateur montré que le circuit de chopper différentiel en technologie NMOS présentent de grandes injections de charges et des spikes. Considérant lorsqu'en utilisant le commutateur en dummy, les résultats sont améliorés comme le montre la Figure.5.15, la Figure.5.16 est le signal de sortie du modulateur avec des commutateurs sans dymmy et la Figure.5.17 est la sortie de notre amplificateur opérationnel avec dummy. L'horloge de chopper est choisie pour être un signal carrée à 10 KHz et l'entrée est signal sinusoïdal.de 0,5 KHz

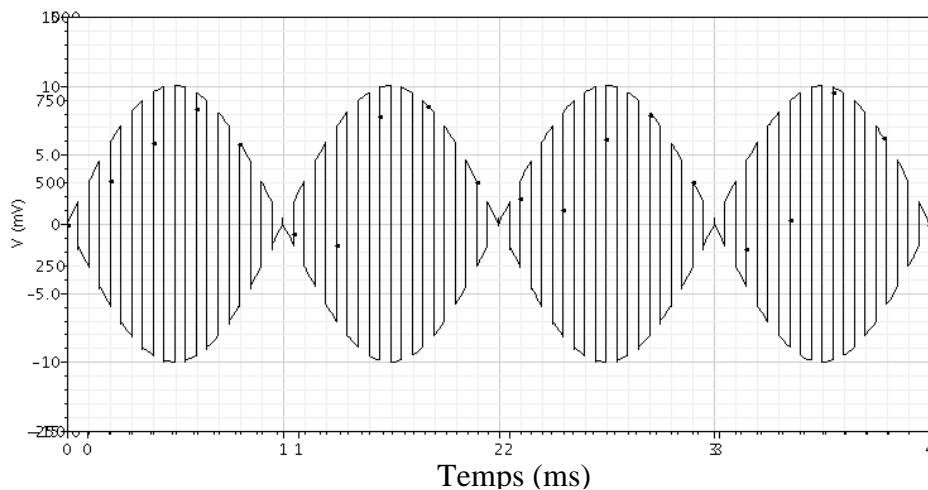


Fig.5.15 Sortie de signal modulé en fonction de Temps

La figure.5.18 indique la simulation de la tension équivalente du bruit à l'entrée de l'amplificateur opérationnel (en 1/f et thermique) avec ou sans circuit technique de découpage (chopper). Comparé avec amplificateur opérationnel sans ou avec l'utilisation de circuit de technique de découpage (chopper) à 10Hz, la tension équivalente du bruit à l'entrée de l'amplificateur opérationnel avec l'utilisation de technique de découpage (chopper) est

améliorée de manière significative, et pour minimiser mieux l'effet de charge injection et Clock-feedthrough ce qui implique minimiser mieux la tension équivalente du bruit à l'entrée de l'amplificateur opérationnel nous utilisons la technique de découpage (chopper) avec dummy, on voit la valeur est excellent à 10 Hz ($13.5\text{nV}/\sqrt{\text{Hz}}$)

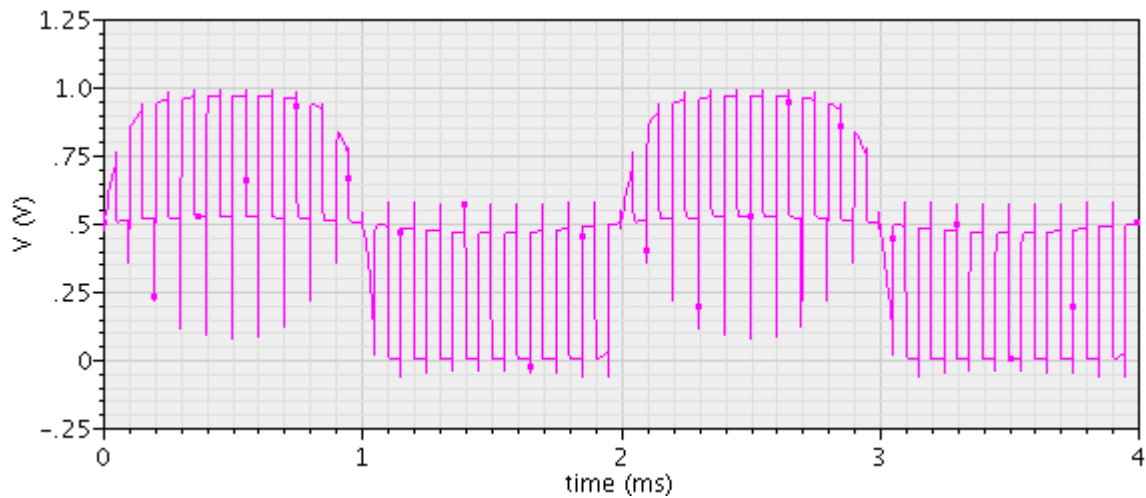


Fig.5.16 Montre la Sortie de l'amplificateur opérationnel en fonction de temps sans dummy

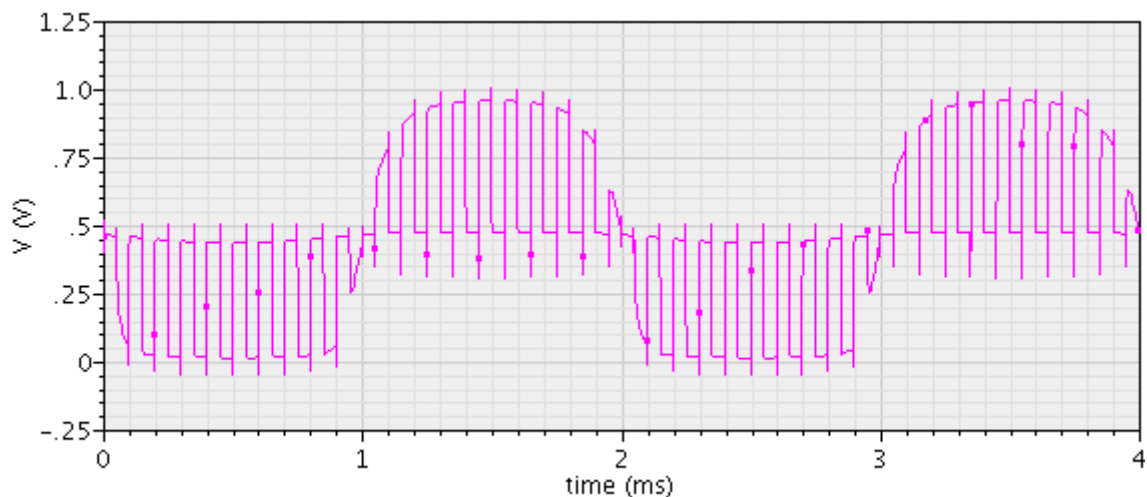


Fig.5.17 Montre la Sortie de l'amplificateur opérationnel en fonction de temps avec dummy

Suivant la longueur du transistor a été fixée à la valeur constante de $0.1\mu\text{m}$ et la largeur a été varier de $10\mu\text{m}$ jusqu'à $50\mu\text{m}$. Selon les résultats enregistrés, la variation de largeur donne presque une réponse linéaire avec la tension équivalente du bruit à l'entrée. Comme le montre la figure 5.19.

Il y a compromis entre la surface et le bruit, le plus large transistor utilisé, le bruit est diminué mais en augmente la surface de circuit. Par conséquent, il est important de régler la largeur des transistors dans le circuit modulateur et démodulateur en prenant en considération

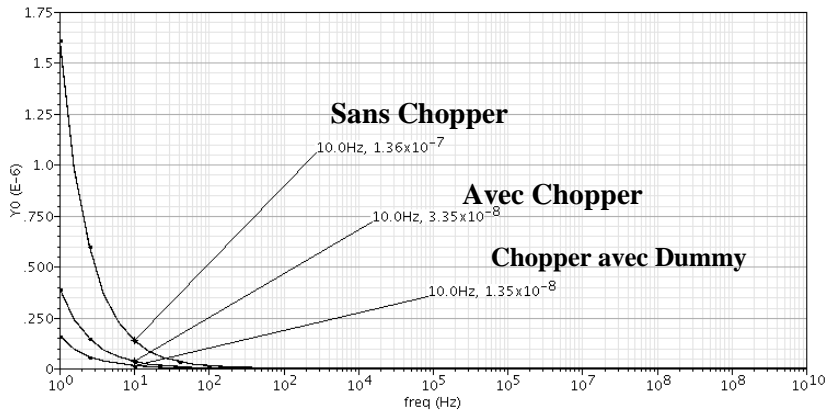


Fig.5.18 Montre la tension équivalente du bruit à l'entrée de l'amplificateur opérationnel en fonction de la fréquence

le niveau de courant (la largeur W augmente la consommation de courant augmente).

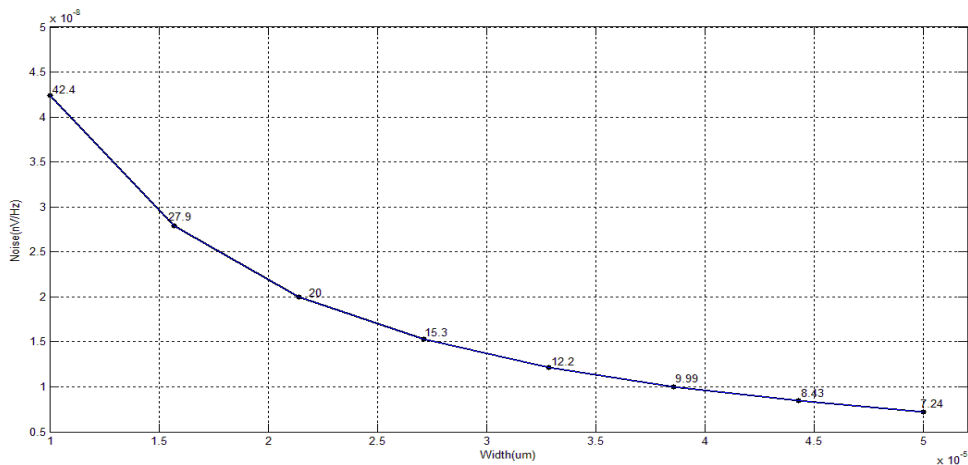


Fig.5.19 Effet de la largeur du transistor sur le bruit d'entrée

V.3.6 Performance globale de l'amplificateur opérationnel

Ce standard amplificateur opérationnel à deux étages comme montre la Figure.5.4 avec compensation Miller et nulling actif résistance $R_z = (R_n // R_p)$. Tous les transistors fonctionnent dans la région de saturation à l'exception des transistors M9 et M10 fonctionnent dans la région linéaire. L'étage d'entrée différentiel donne 1uA, tandis que le courant de l'étage de sortie est 1.1uA. Cela se traduit par une consommation totale actuelle de 2.1uA plus le courant de référence $I_{ref} = 0.5uA$, soit de 2.6uW consommation d'énergie de l'alimentation 1V. La figure 5.20 montre la variation de sortie du signal ECG en fonction de temps, on voit bien le signal de sortie du signal ECG est clairement visible et atteindre.

Le résumé de la performance globale de l'ensemble du circuit à deux étages amplificateur opérationnel avec technique de découpage (chopper) pour des applications médicales est donné dans le tableau 2.

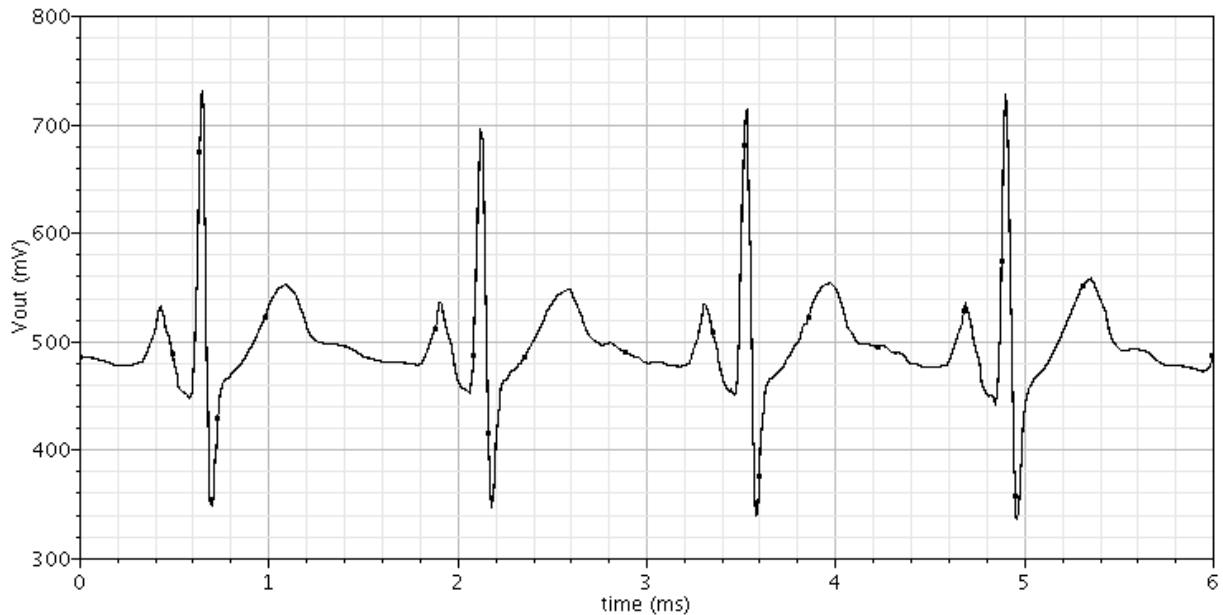


Fig.5.20 Montre la tension de sortie de signal ECG de l'amplificateur opérationnel en fonction de temps

Technologie	90nm CMOS
Tension d'alimentation	1V
Consumation d'énergie	2.6uW
CMRR	131dB
Bandwidth	15.3KHz
PSRR+	70.7dB
Ad	55.1dB
V_{os}	6.42m
PM	69.46
Input-refferred noise at 10Hz	$13.5nV/\sqrt{Hz}$

Tab 2 Résultats de simulation de l'amplificateur opérationnel à deux étages avec technique de découpage (Chopper)

V.4 Amplificateur Opérationnel entièrement différentiel

Afin d'augmenter les performances de l'amplificateur opérationnel telles que la plage dynamique de signal de sortie, l'augmentation de paramètre CMRR et minimiser bien le bruit (bruit en $1/f$, thermique), en utilisant l'amplificateur opérationnel entièrement différentiel. La figure 5.21 montre le schéma global de notre Amplificateur opérationnel entièrement différentiel. L'inconvénient de cette architecture s'est augmenté la surface et aussi augmente la consommation de puissance ce qui diminuée un peu les performances de notre circuit dans domaine médical.

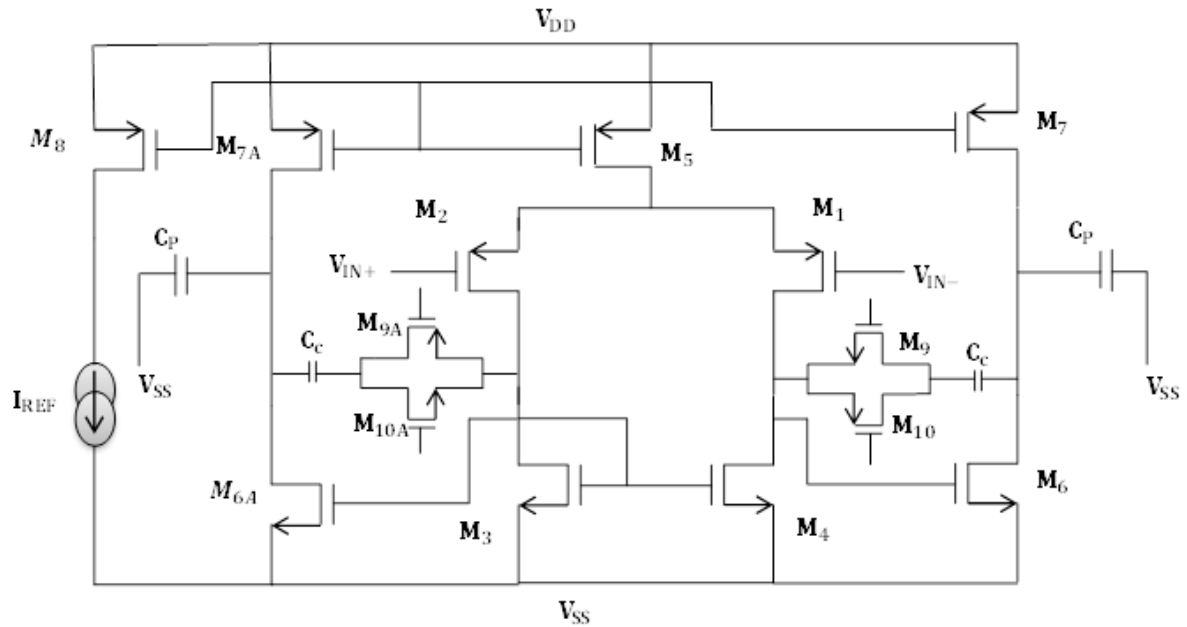


Fig.5.21 Schéma montre l'amplificateur opérationnel entièrement différentiel

Le tableau 4 présente les dimensions de l'amplificateur opérationnel entièrement différentiel

Dispositifs	Type	W(um)	L(um)
M1, M2	P	10	0.378
M3, M4	N	18	0.556
M5, M8	P	35	0.460
M7, M7A	P	80	0.530
M6, M6A	N	15	0.100
M9, M9A	N	1	0.100
M10, M10A	P	10	0.100
M11	N	3	0.800

Tab 4 Paramètres de l'amplificateur opérationnel à deux étages entièrement différentiel

V.4.1 Performance du Taux de rejet en mode commun

Nous simulons le circuit d'amplificateur opérationnel entièrement différentiel, les résultats du Taux de rejet en mode commun (CMRR) est excellent. Nous avons pu obtenir un gain de CMRR de 268 dB, comme indiqué sur la Figure.5.22.

V.4.2 Performance du Gain et de la Phase

La figure 5.23 illustre le gain et la phase de l'amplificateur opérationnel en boucle fermée. Le gain est de 55,1 dB alors que la phase est de 69,49°, ce qui est amplement suffisant pour pouvoir utiliser notre amplificateur opérationnel dans domaine médical.

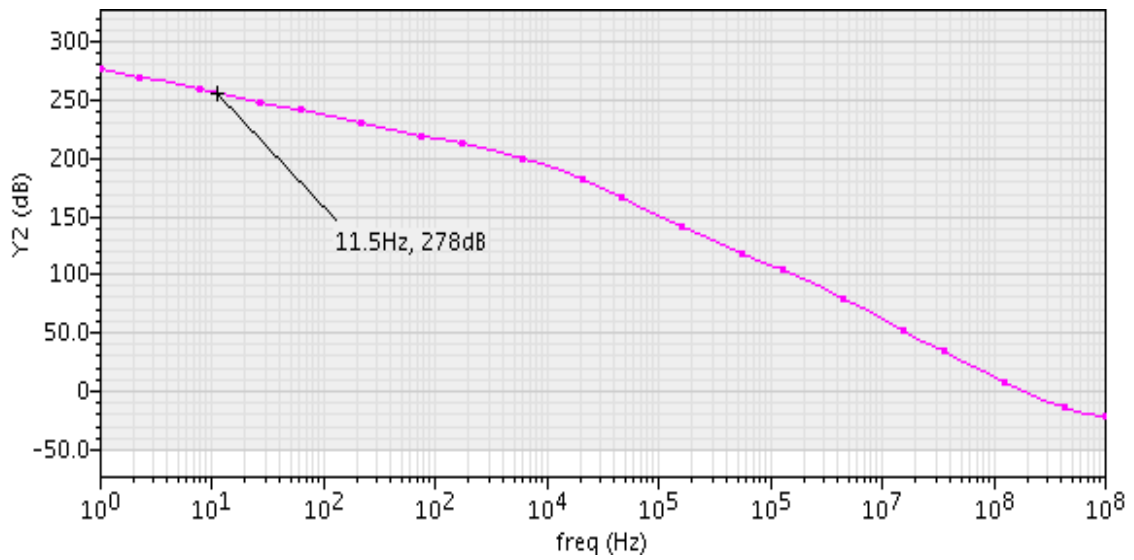


Fig. 5.22 Représente le paramètre CMRR en fonction de la fréquence

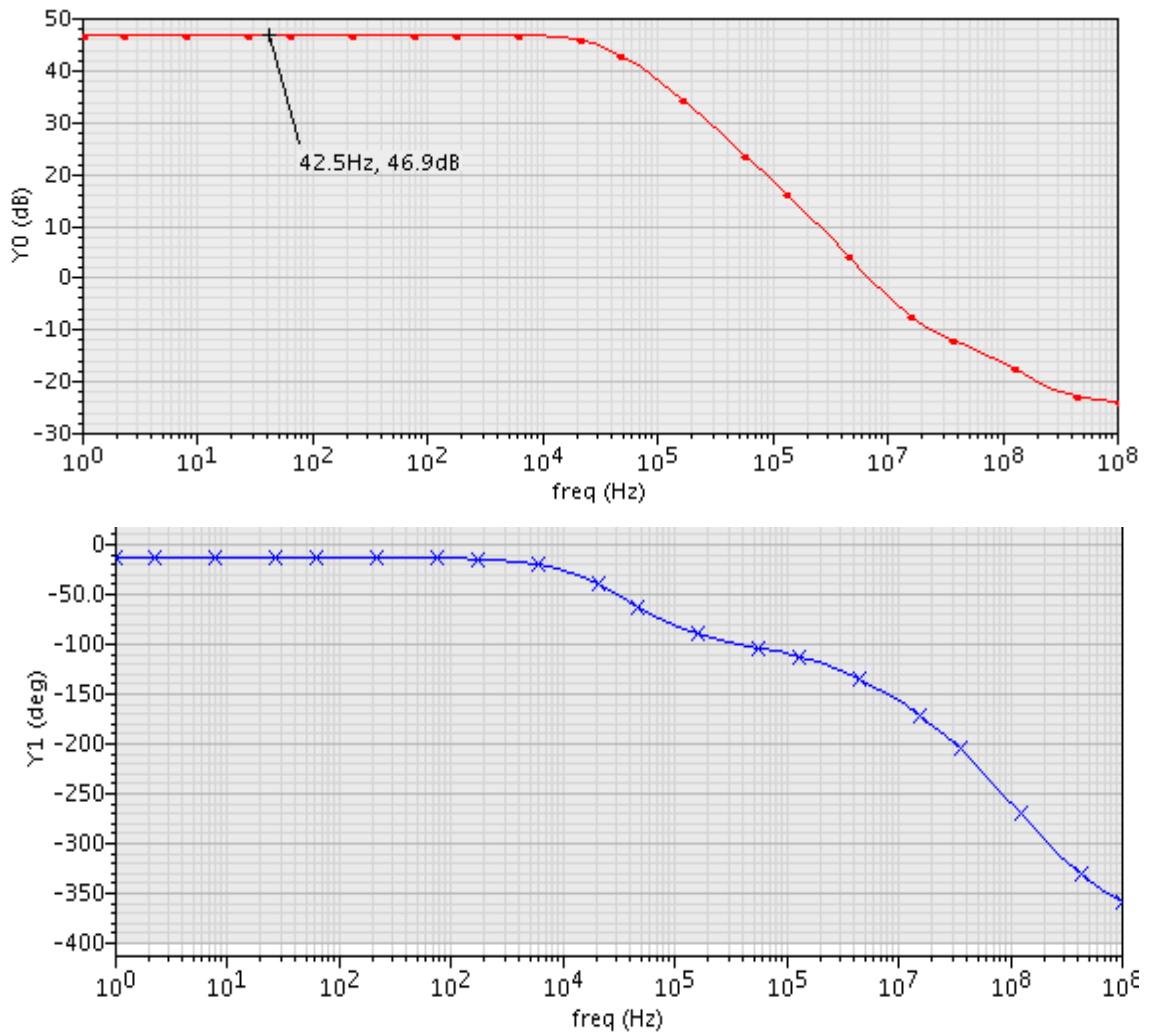


Fig. 5.23 Représente la simulation du gain et de la phase de l'amplificateur Opérationnel entièrement différentielle

V.4.3 Performance du Bruit

La figure 5.24 montre la tension équivalente du bruit à l'entrée de l'amplificateur opérationnel entièrement différentiel. Les résultats de la simulation de la tension équivalente du bruit à l'entrée est représenté sur la Figure.5.24, le bruit en $\frac{1}{f}$ en dessous de 10 Hz est clairement visible, on voit qu'à 10Hz, la valeur de bruit est de $\frac{26,9pV}{\sqrt{Hz}}$ et à 1Hz la tension de décalage est de $V_{nc} = 318pV/\sqrt{Hz}$.

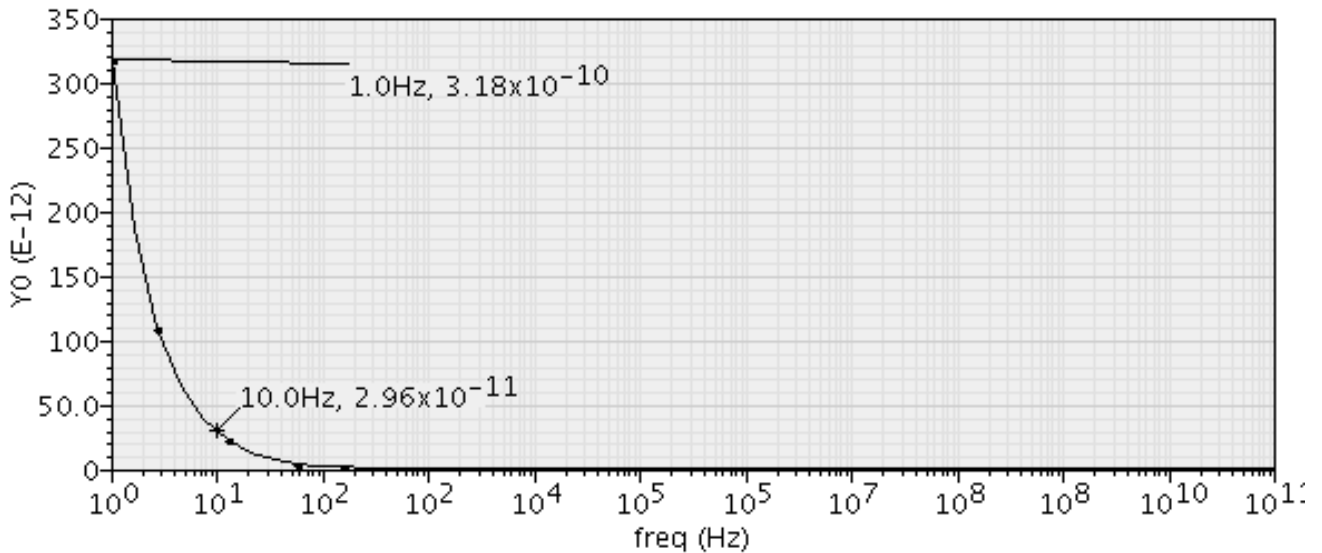


Fig.5.24 Résultats et simulation de la tension équivalente du bruit à l'entrée et V_{os} de entièrement différentiel avec technique de découpage (chopper)

V.4.4. Performance globale de l'amplificateur opérationnel

Ce standard amplificateur opérationnel à deux étages entièrement différentiel comme montre la Figure.5.21 avec compensation Miller et nulling actif résistance $R_z = (R_n // R_p)$. Tous les transistors fonctionnent dans la région de saturation à l'exception des transistors M9, M10 et M9A, M10A fonctionnent dans la région linéaire. L'étage d'entrée différentiel donne 1uA, tandis que le courant de l'étage de sortie est 2.2uA. Cela se traduit par une consommation totale actuelle de 3.2 uA plus le courant de référence $I_{ref} = 0.5uA$, soit de 3.7uW consommation d'énergie de l'alimentation 1V. La figure 5.25 montre la variation de sortie de signal ECG en fonction de temps.

Le résumé de la performance globale de l'ensemble du circuit à deux étages amplificateur opérationnel entièrement différentiel avec technique de découpage (chopper) pour des applications médicales est donné dans le tableau 3.

Dans le tableau 3, les résultats de simulation sont améliorés par rapport au tableau 2. En particulier, le taux de rejet en mode commun CMRR et le bruit en 1/f.

Technologie	90nm CMOS
Tension d'alimentation	1V
Consumation d'énergie	2.6uW
CMRR	268dB
Bandwidth	15.3KHz
PSRR+	70.7dB
Ad	55.1dB
V_{OS} at 1Hz	$138pV/\sqrt{Hz}$
PM	69.46
Input-refferred noise at 10Hz	$26.9pV/\sqrt{Hz}$

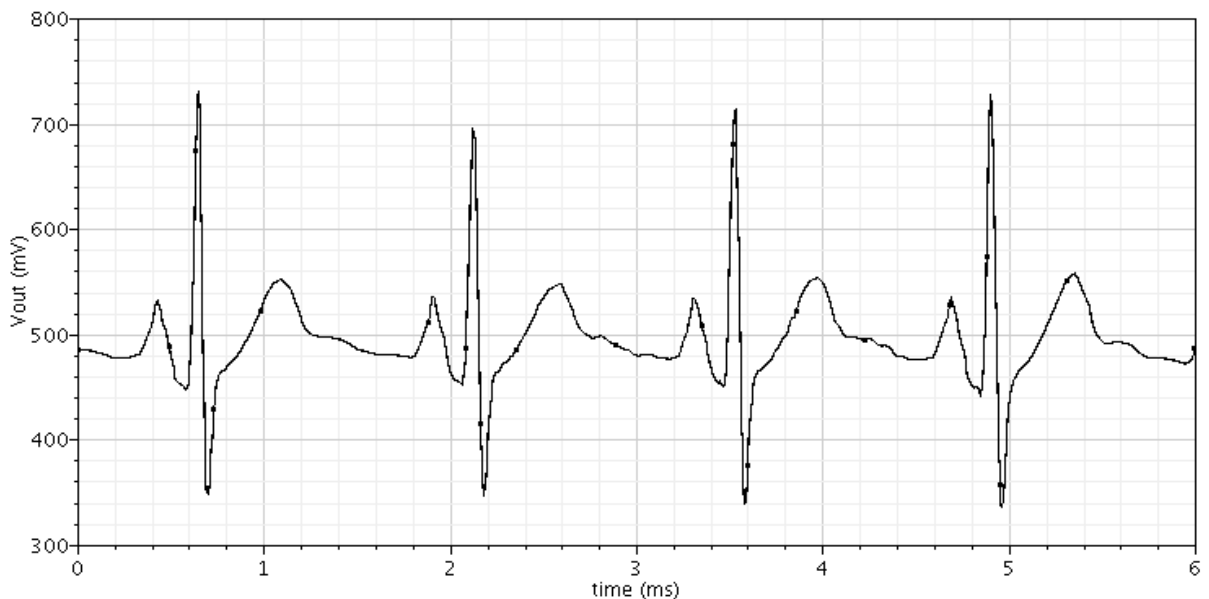


Fig.5.25.Résultats de simulation de sortie du signal ECG en fonction de temps

V.5 Convertisseur Analogique Numérique CNA-SAR

Ce travail décrit la simulation et les résultats de convertisseur Analogique/Numérique de type SAR 5bits. Il constitue le deuxième élément étudié de la chaîne d'acquisition du signal médical ECG. Le choix de CAN-SAR dont les caractéristiques de consommation, résolution, vitesse et surface utilisée font de lui un candidat particulièrement bien adapté à cette application. Le CAN-SAR est réalisé en technologie GPDK CMOS 90nm à la tension d'alimentation 1V. Il possède un convertisseur Numérique/Analogique à réseaux capacitif pondérés, un comparateur possède une entrée différentiel et un système de pré-amplification de grand gain pour diminuer la tension de décalage (Offset) avec une boucle de rétroaction

positive et un tampon de sortie, un Echantillonneur bloqueur et un registre à approximation successive.

V.5.1 Convertisseur Numérique analogique CNA à réseaux capacitif pondérés

La figure 5.26 représente le schéma de CNA à 5 bits à réseaux pondérés, il contient un réseau de condensateur avec des commutateurs, à chaque bit il y a un condensateur en série avec un commutateur, ce dernier est un multiplexeur à 2 bits à base des portes de transmission afin de minimiser les effets des injections de charge et Clock feedthrough.

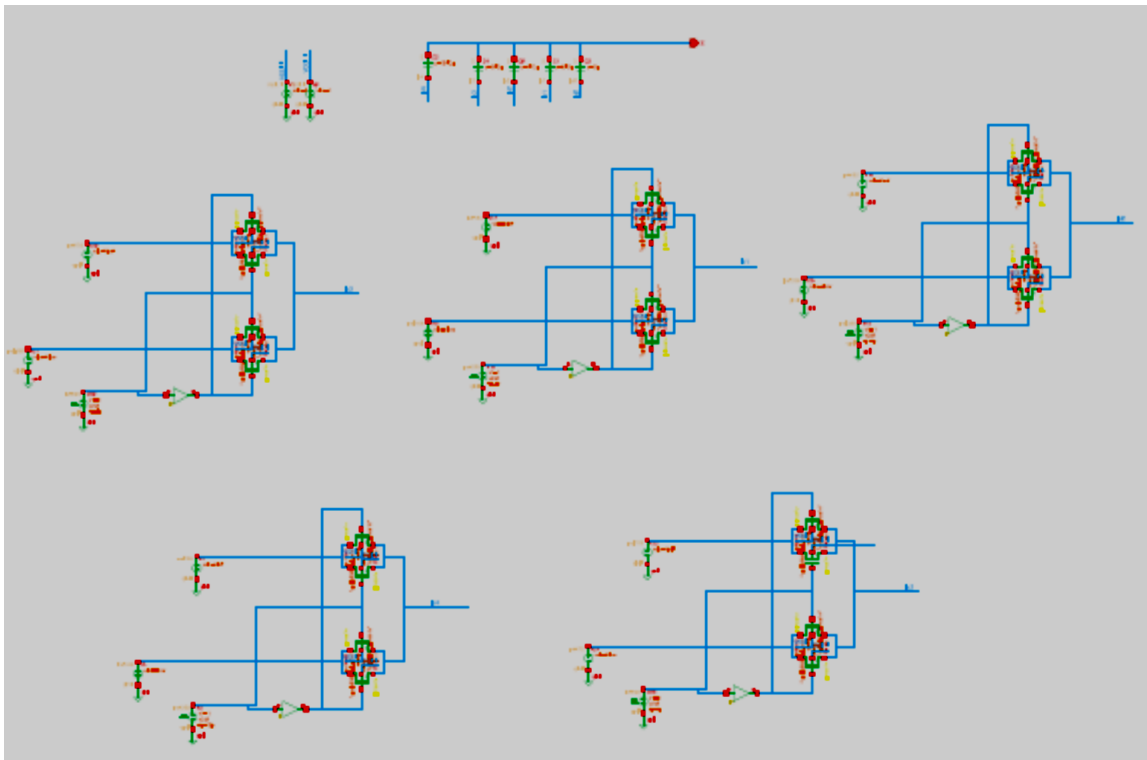


Fig.5.26. Schéma du CNA 5bits à réseau capacitif

Au lieu d'utiliser les commutateurs types NMOS ou PMOS, les commutateurs utilisés sont de type CMOS. Ils offrent la possibilité d'étendre la gamme de tension d'entrée et permettent de réduire les injections de charges. La mise en parallèle de deux transistors de type différent permet de rendre la résistance de cet interrupteur quasiment constante pour la gamme de tension d'entrée $[0-V_{dd}]$ en choisissant un rapport W_p/W_n (largeur des transistors PMOS/NMOS) proportionnel à μ_p/μ_n (mobilité des électrons/trous). Par ailleurs, lors des transitions de phases, les injections de charges sont de signe contraire et il est possible de trouver un rapport W_p/W_n pour lequel les injections de charges des deux types se minimisent. Ainsi, on choisit ce rapport égal à 2,3 et on utilise les dimensions minimales des transistors, à savoir $W_p=2,30\mu m$ et $W_n=1\mu m$. La résistance R_{ON} équivalente est d'environ 0,7k. La figure 5.27 représente la

simulation de résistance R_{on} en fonction d'entrées E , la figure 5.28 représente la simulation du convertisseur N/A à 5 bits en fonction de temps, on voit bien l'effet de l'injection de charge est minimisé. Le couple RC des commutateurs avec le condensateur en série associé réalise un filtre du premier ordre. La fréquence maximale du CNA est donc déterminée par cette constante de temps de ce filtre.

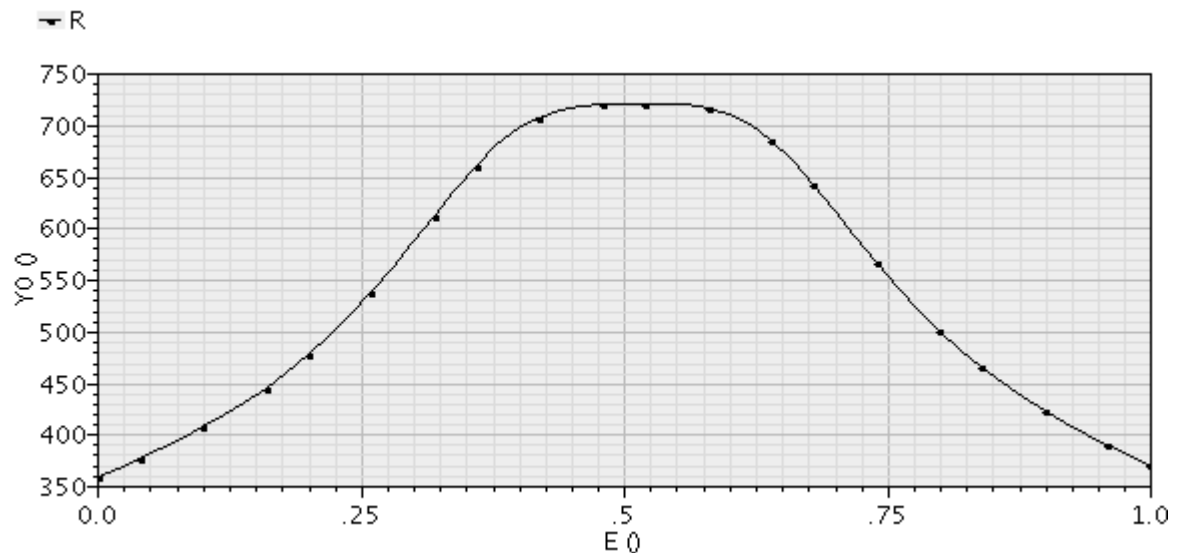


Fig.5.27. Résultats de simulation de résistance R_{on} en fonction de tension d'entrée

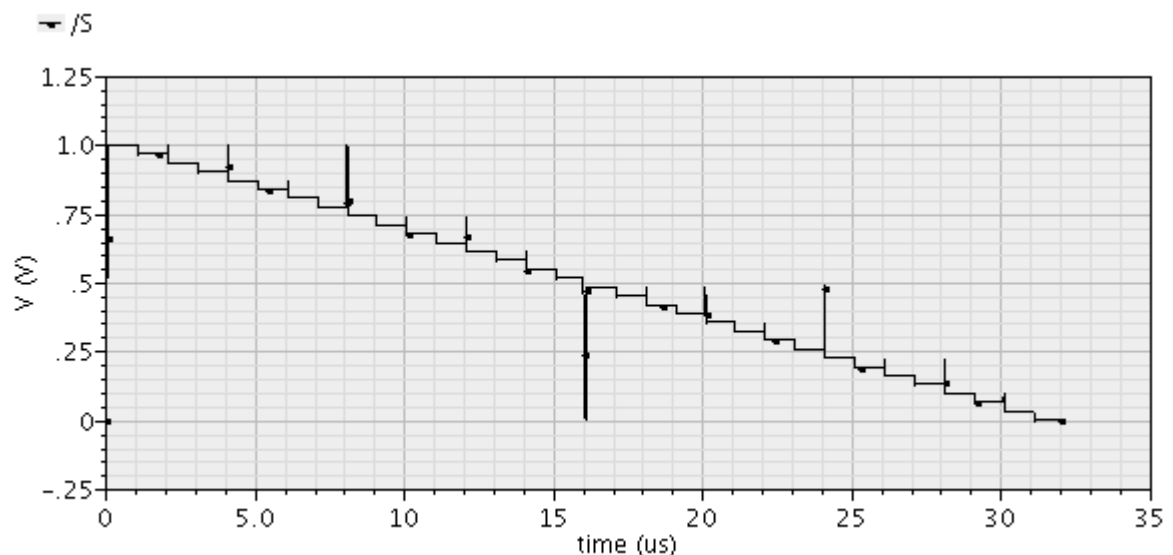


Fig.5.28. Résultats de simulation de sortie du CNA en fonction de temps

V.5.2. Performance du comparateur

Un schéma de principe d'un comparateur à grand performance est représenté sur la figure, 5.29. Le comparateur se compose de trois étapes: le préamplificateur d'entrée une boucle de rétroaction positive et un tampon de sortie. L'étage de pré-amplification amplifie le

signal d'entrée afin d'améliorer la sensibilité du comparateur (par exemple, augmente le signal d'entrée minimal avec lequel le comparateur peut prendre une décision) et isole l'entrée du comparateur de bruit de commutation provenant de l'étage de rétroaction positive. L'étage de rétroaction positive détermine lequel des signaux d'entrée est plus grande, les amplificateurs tampons de sortie de cette information et émet un signal numérique.

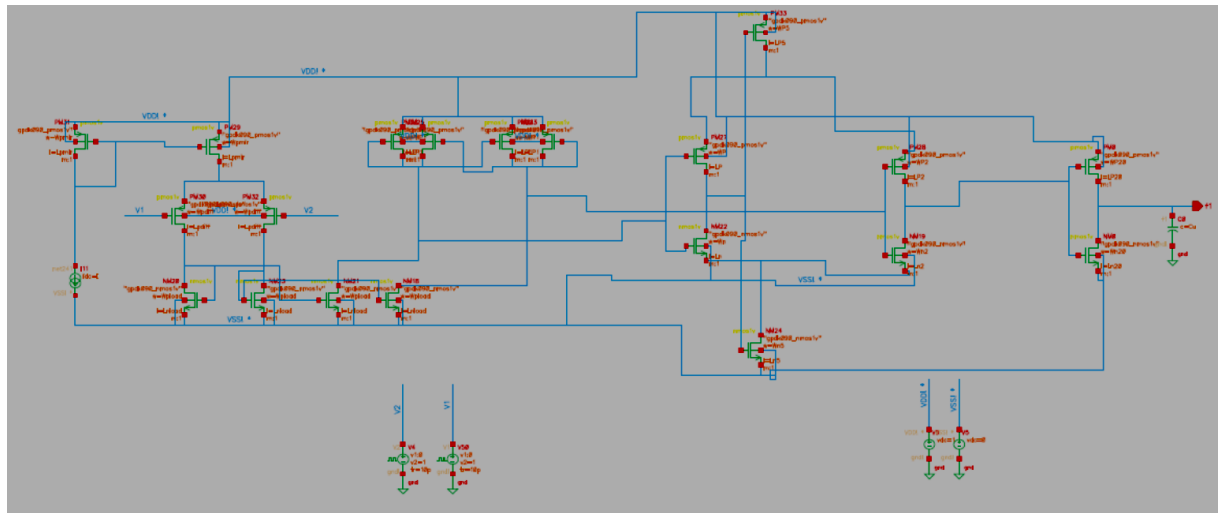


Fig.5.29. Schéma du Comparateur

V.5.2.1. Performance du Gain et de la phase

Afin d'accroître les performances de l'étage de l'amplification tous les transistors ont été redimensionnés afin d'augmenter le gain de l'étage d'amplification et par la même le rendre moins sensible à l'offset de l'étage de comparaison. L'amplificateur présente un gain de 133dB. La marge de phase et le gain sont présentés sur la figure 5.30.

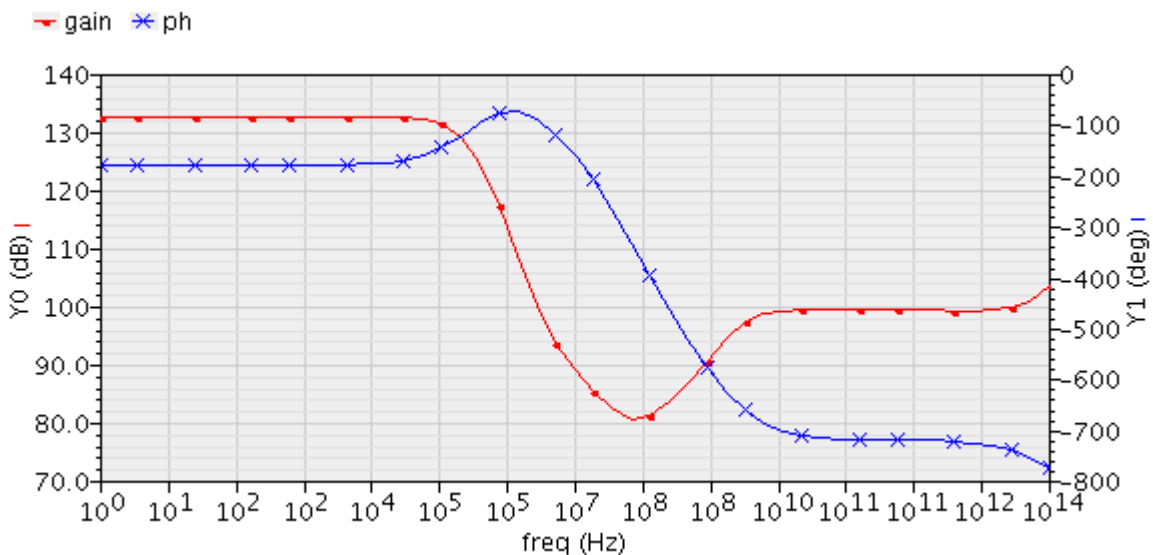


Fig.5.30. Résultats de simulation du gain et la phase en fonction de la fréquence

V.5.2.2. Performance de la sortie

La figure 5.31 présente la tension de sortie en fonction d'entrée, on voit bien la valeur de $V_{OS} = -3mV$ pour l'intervalle de la tension d'entrée 490mV à 510mV, on a CNA à 5bits : $1LSB = 1/2^5 = 0,03125$ donc $|V_{OS}| < 1LSB$.

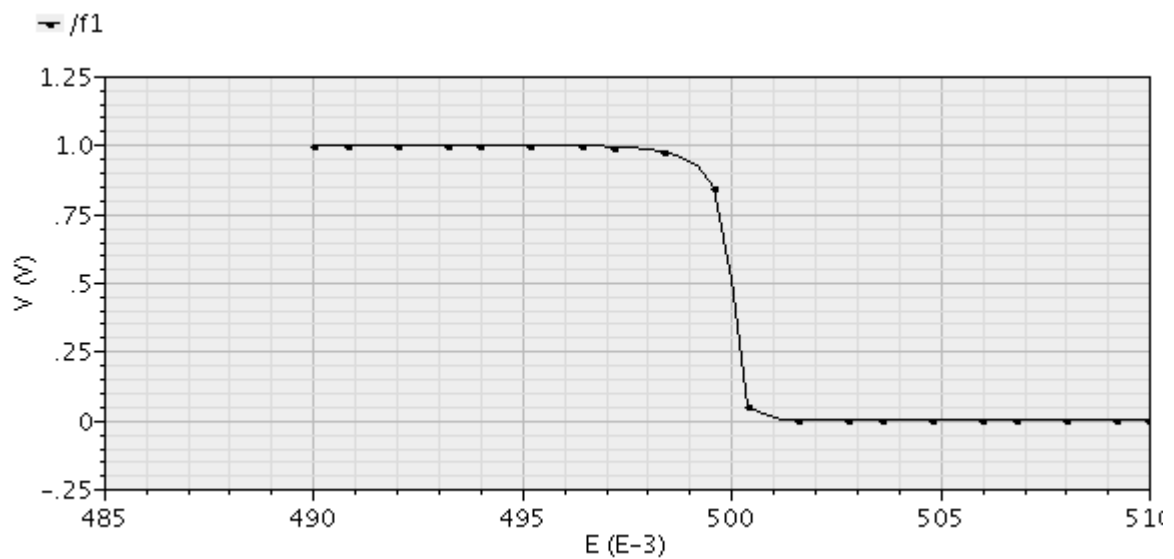


Fig.5.31.Résultats de simulation de tension de sortie en fonction de la tension d'entrée

V.5.3. Performance du Commutateur

Il y a deux types du commutateur : le commutateur de Plaques du haut à réseau capacitifs et le commutateur de Plaques du bas à réseau capacitifs. La figure 5.32 présente le schéma du commutateur de Plaques du haut à réseau capacitifs et la figure 5.33 présente le schéma du commutateur de Plaques du bas à réseau capacitifs pour chaque bit.

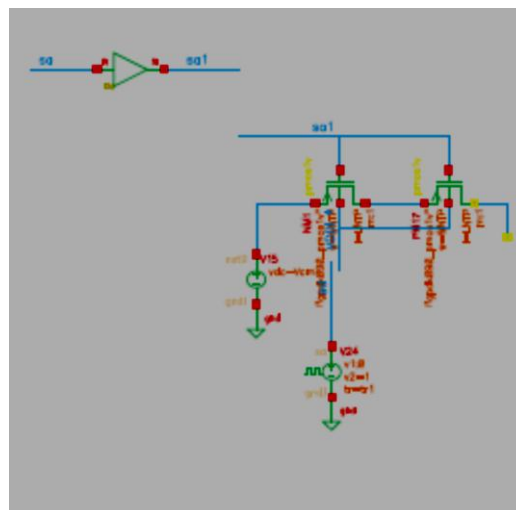


Fig.5.32.Schéma de plaques du haut à réseau capacitifs

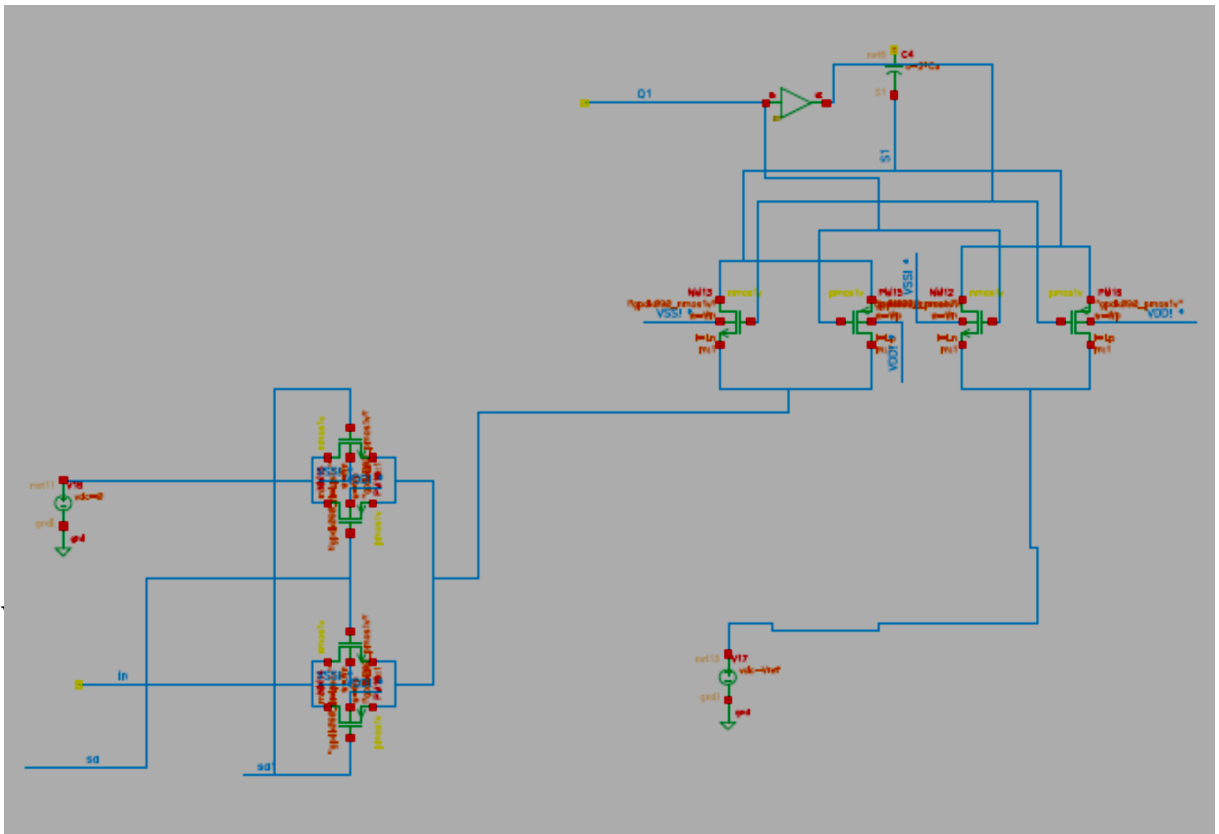


Fig.5.33. Schéma de plaques du bas à réseau capacitifs pour chaque bit

V. 5.4. Performance de registre à approximation successive

La figure 5.34 présente le schéma de registre à approximation successive à 5bits, la figure 5.35 présente résultats de simulation de la sortie en fonction de temps.

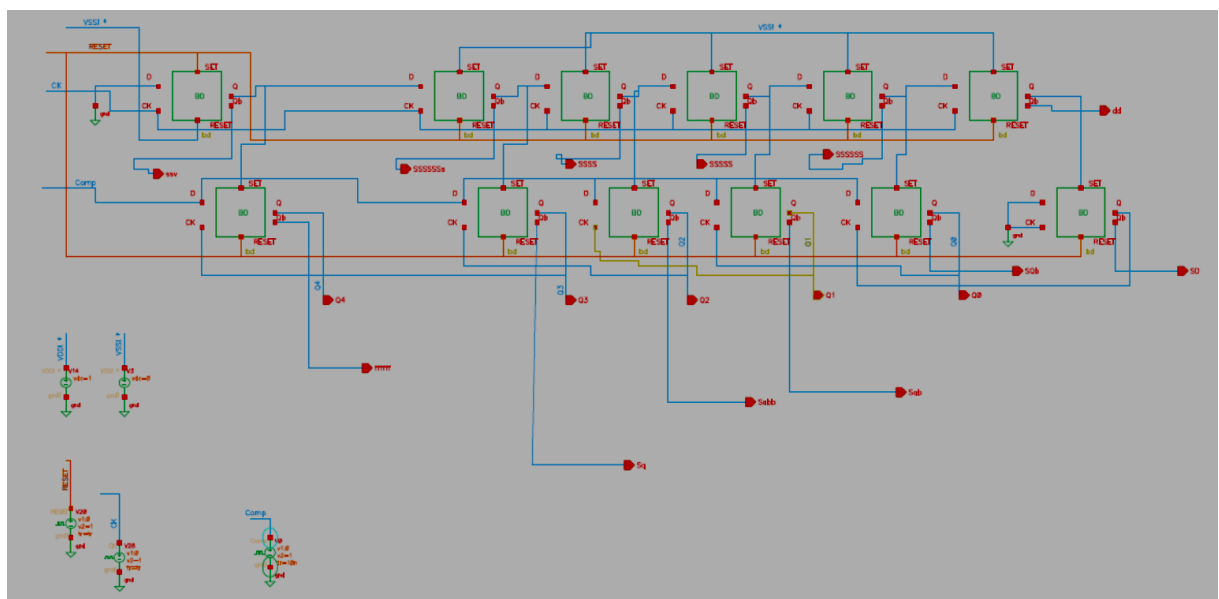


Fig.5.34. Schéma de registre à approximation successive à 5 bits

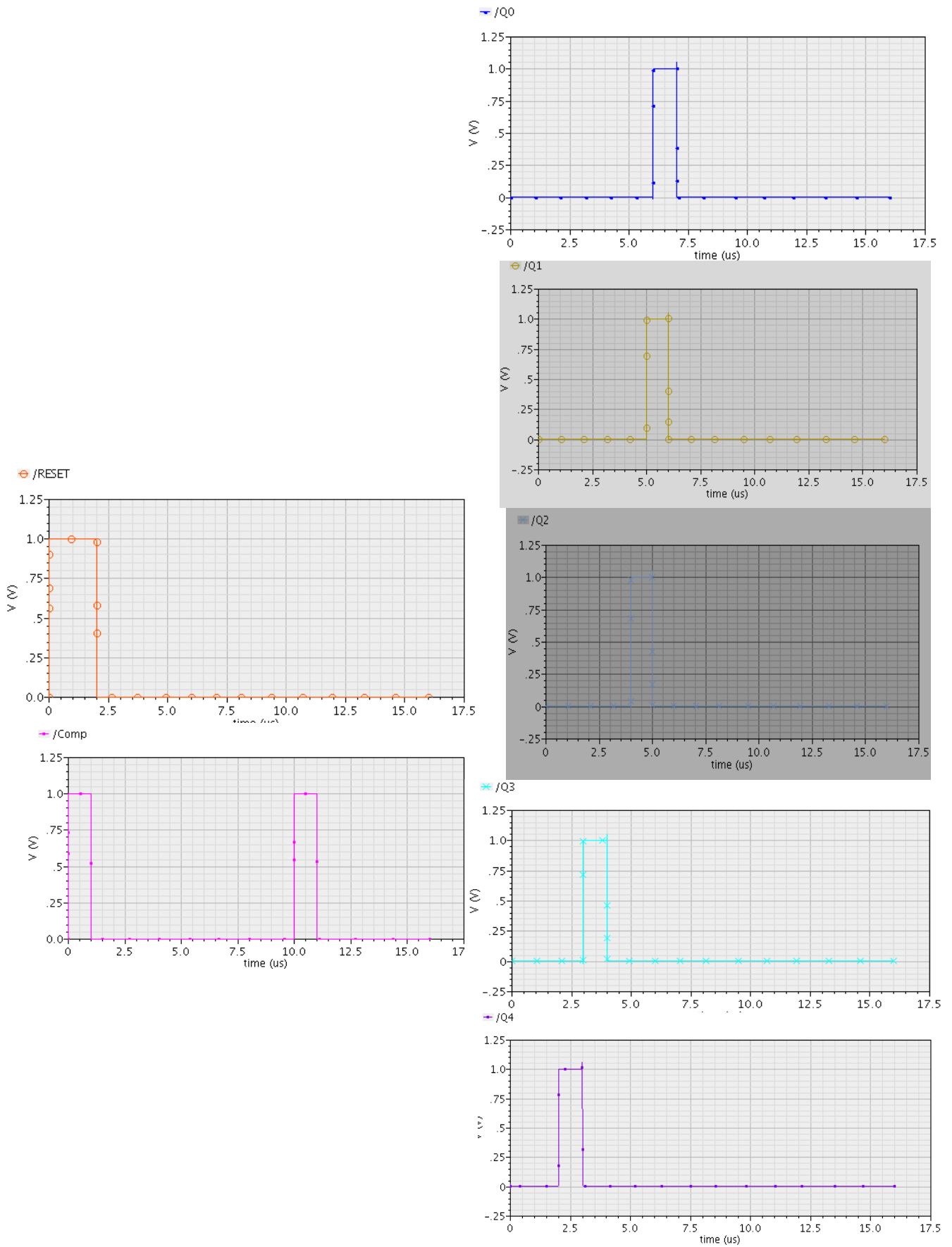


Fig.5.35. Résultats de simulation de la sortie de RAS en fonction de temps

V.5.5. Performance du Convertisseur Analogique Numérique CAN-SAR

La figure 5.36 présente le schéma global du CNA-SAR à 5bits, Le CNA à réseau de capacités pondérées en binaire est un circuit constitué de capacités disposées en parallèle. Son mode de fonctionnement repose sur la redistribution des charges. C_U est la capacité unitaire tandis que $C_i = 2^{i-1}C_U$ avec $i \in \{1, \dots, 5\}$.

Le principe de fonctionnement consiste à transformer des charges en tension. Le processus de conversion requiert le mode échantillonnage, maintien et redistribution. Au niveau de la circuiterie, le choix de C_U doit se faire en tenant compte de l'impact du bruit thermique sur la précision du CNA. Pour ce faire, C_U doit être choisie de manière à ce que le bruit thermique soit inférieur ou égal au bruit de quantification.

$$\frac{KT}{C_U} = \frac{V_{LSB}^2}{12} \quad (5.15)$$

Avec $V_{LSB} = \frac{V_{PE}}{2^N}$

où KT/C_U et $\frac{V_{LSB}^2}{12}$ sont respectivement le bruit thermique et la puissance du bruit de l'erreur de quantification. En développant l'équation (5.15), on obtient;

$$\begin{aligned} \frac{KT}{C_U} &\leq \frac{V_{LSB}^2}{12} \\ \Leftrightarrow 12KT &\leq C_U \frac{V_{PE}^2}{2^{2N}} \\ \Leftrightarrow C_U &\geq 12KT \frac{2^{2N}}{V_{PE}^2} \end{aligned} \quad (5.16)$$

À partir de l'équation (5.16), nous pouvons trouver la valeur minimale que peut avoir C_U en fonction de la résolution du CAN. Afin d'avoir une estimation universelle, on prendra $T = 300^0 \text{ Kelvin}$ et $K = 1.38 \times 10^{-23} \text{ JK}^{-1}$.

Pour $N=5$, $V_{PE} = 1V$ on a $C_U \geq 0,00005087232 \text{ pF}$. Le choix de valeur de la capacité $C_u = 10 \text{ fF}$. La figure 5.37 présente la Simulation du CAN-SAR en fonction de temps pour différentes valeurs de la tension d'entrée avec $V_{ref} = 1V$.

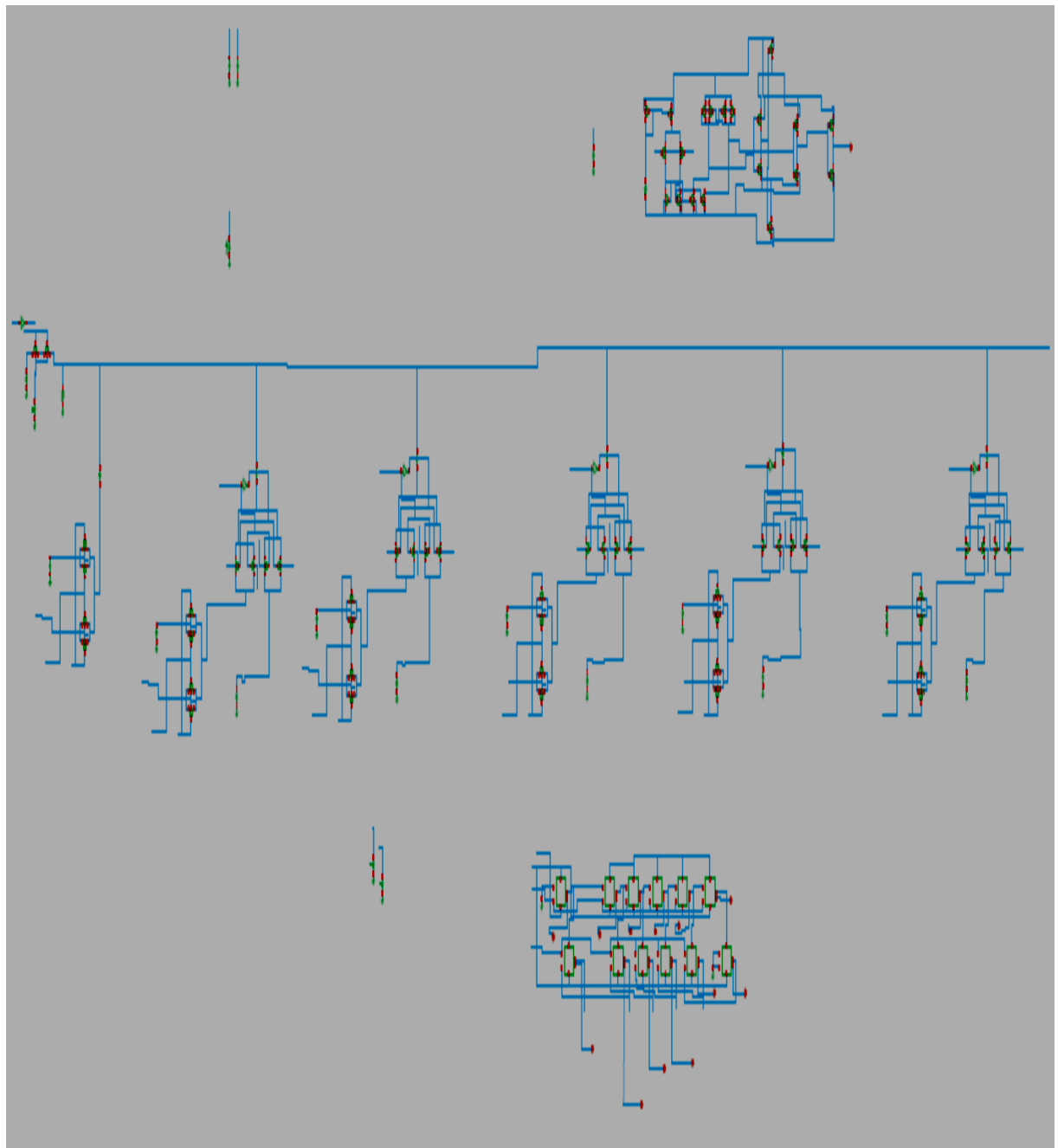


Fig.5.36. Schéma global du CAN-SAR à capacité pondérés

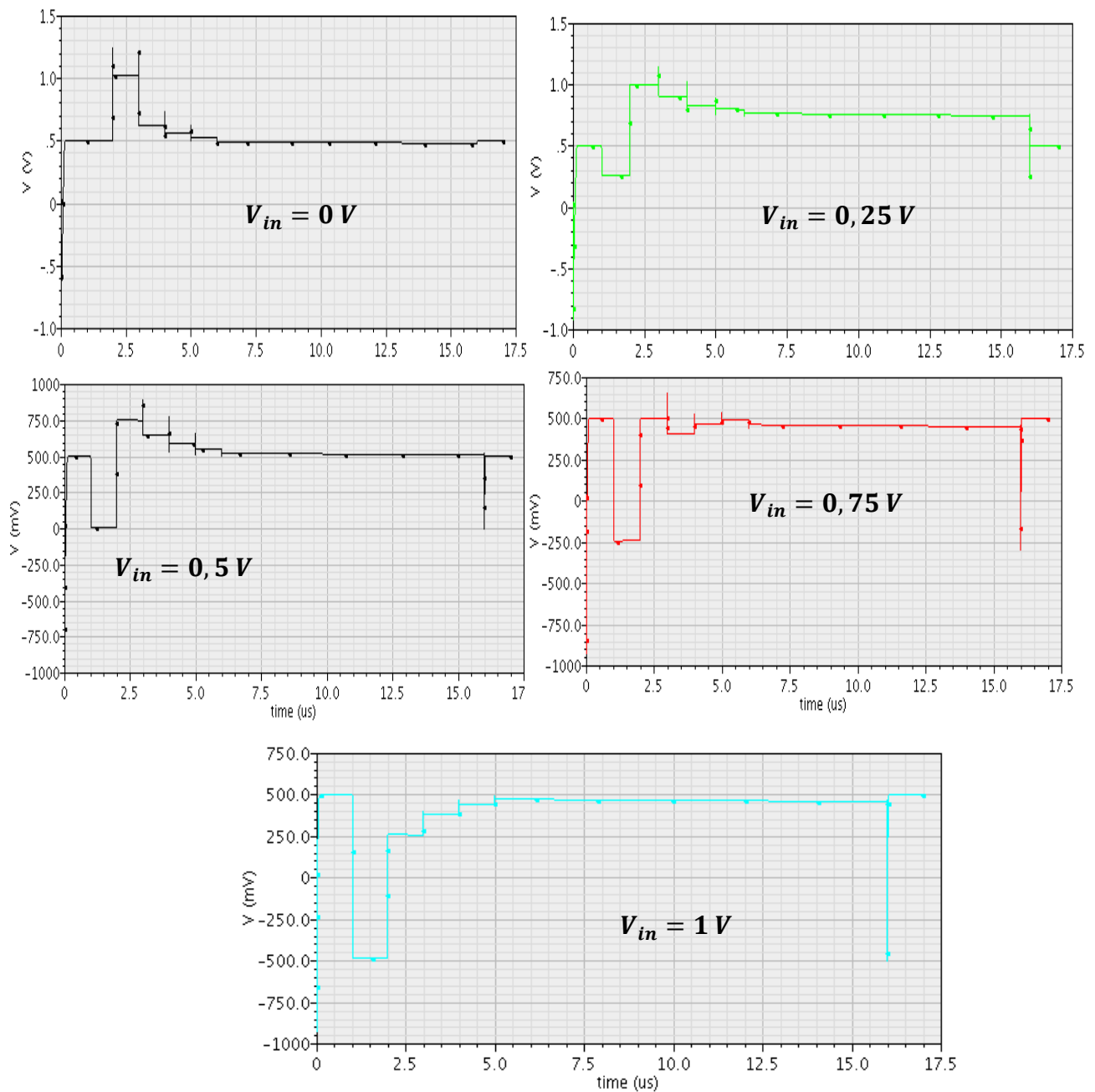


Fig.5.37. Résultats de simulation du CAN-SAR à capacité pondérés pour différentes valeurs de la tension d'entrées

V.6. Conclusion

Dans ce chapitre, nous présentons un amplificateur opérationnel à deux étages pour la basse tension et de faible puissance et convertisseur analogique numérique SAR 5 bits, du système de surveillance du signal ECG. L'amplificateur à deux étages avec compensation Miller peut être utilisé dans de faible puissance, basse tension très élevée CMRR et PSRR tel qu'applications médical et les petites batteries. L'utilisation l'amplificateur opérationnel entièrement différentiel pour augmenter les performances du système tels que CMRR, Bruit

(1/f et thermique) et la plage dynamique d'entrée. Nous avons contribué les circuits qui constitué le CAN-SAR à 5bits.

Conclusion générale

Conclusion Générale

Dans ce travail, la contribution des circuits CMOS basse tension, faible consommation opérant à 1 V dans le procédé CMOS 90nm, pour un signal ECG a été étudiée. En particulier, un amplificateur opérationnel à deux étages, en utilisant la technique de découpage (chopper) et CAN à approximations successives dans les procédés.

Dans premier temps, nous avons contribué une architecture d'Amplificateur opérationnel pour basse tension et faible puissance. Il a été optimisé pour le traitement du signal ECG et se compose de deux étages. Le premier étage est basé sur un circuit pair différentiel et le second étage est basé sur un amplificateur commun source qui a été ajoutée pour maximiser la dynamique de sortie du signal.

Pour réduire le bruit de l'amplificateur opérationnel, nous avons utilisé les transistors d'entrées à canal P avec une charge à canal N au lieu d'utilisant les transistors d'entrées à canal N avec une charge à canal P. pour réduire le bruit en $\frac{1}{f}$

Nous avons utilisé la technique de découpage (Chopper) pour améliorer bien le bruit en $1/f$. le modulateur et démodulateur de chopper utilisés le type NMOS différentiel. Pour minimiser l'effet de charge injection et Clock feedthrough nécessite des transistors dummy.

Les résultats obtenus est bien adapté aux systèmes médicaux tels que stimulateur cardiaque, électrocardiogramme (ECG) où la consommation de faible puissance est une préoccupation majeure. Le tableau 1 résume les performances obtenues à partir des mesures et des simulations.

Technologie	90nm CMOS
Tension d'alimentation	1V
Consumation d'énergie	2.6uW
CMRR	131dB
Bandwidth	15.3KHz
PSRR+	70.7dB
Ad	55.1dB
V_{OS}	6.42m
PM	69.46
Input-refferred noise at 10Hz	$13.5nV/\sqrt{Hz}$

Pour augmenter les performances de l'amplificateur opérationnel nous avons utilisé un amplificateur entièrement différentiel. Dans le tableau 2, les résultats de simulation sont

améliorés par rapport au tableau 1. En particulier, le taux de rejet en mode commun CMRR et le bruit en 1/f.

Technologie	90nm CMOS
Tension d'alimentation	1V
Consumation d'énergie	2.6uW
CMRR	268dB
Bandwidth	15.3KHz
PSRR+	70.7dB
Ad	55.1dB
V_{os}	6.42m
PM	69.46
Input-refferred noise at 10Hz	$26.9pV/\sqrt{Hz}$

Le tableau 3 présente une comparaison des performances entre le projet et [13], [26], [29]. On peut voir que ce travail atteint le faible bruit en 1/f, le plus grand de taux de rejet et la plus faible consommation d'énergie.

	Ce travail	Ref.[30]	Ref.[27]	Ref.[13]
Tension d'alimentation (V)	1	3.3	3.3	1.8
Technologies CMOS (m)	90n	0.35u	0.18u	0.35u
CMRR(dB)	268	-	110	120
gain (dB)		124.57	-	51
Consumation d'énergie (u W)	2.6	-	420	775
Input offset voltage(uV)	6.24	<60	0.582	-
Input referred noise(nV/\sqrt{Hz}) @10Hz	13.5	312.86	22	56

Dans le deuxième temps, nous avons conçu un CAN à approximations successives de 5 bits de résolution

Les résultats du travail de thèse présentée dans ce manuscrit constituent une contribution de basse tension amplificateur opérationnel à deux étages chopper stabilisé et très bonnes caractéristiques obtenus pour le circuit frontal analogiques montrent qu'il est possible de mettre en œuvre les circuits en très bas tension en cette technologie. Les performances obtenues sont très approprié pour les dispositifs médicaux basse consommation comme les dispositifs portatifs du signal ECG. Le tableau 3 permet de comparer les résultats obtenus pour le convertisseur avec le cahier de charge. En plus de cet ASIC développé en technologie CMOS 90nm, un CAN SAR a été conçu et simule utilisant une technologie CMOS 90nm.

Perspectives

Nous donnons quelques suggestions d'utilisation ou peut-être des solutions dans la dernière partie de Basé sur ce que nous avons réalisé dans le présent document, les suggestions pour les travaux futurs se résument comme suit:

- On peut utiliser le modulateur/démodulateur à décapage (chopper) type CMOS, pour minimiser mieux l'effet de l'injection de charge et Clock feedthrough.
- La réduction de l'alimentation de 1V à 0.5V pour diminuer encore le pouvoir consommation du frontal analogique pour faire mieux dans la performance.
- Nous recommandons d'utiliser d'autres technologies comme le BiCMOS, pour changer notre étage différentiel d'entrée conçu avec paire différentielle NMOS par une autre paire différentielle de type bipolaire, car les transistors bipolaires ont de meilleures performances au niveau du bruit et de la vitesse que les transistors MOS. Mais l'utilisation des transistors bipolaires augmente la dissipation de puissance.
- En outre validation médicale est nécessaire en particulier sur les patients atteints de troubles.

Bibliographie

Bibliographie

- [1] R.HAMOUI, ‘‘Contribution à une plate-forme d’aide à la conception de Microsystème,’’ Thèse de doctorat, Institut Nanotechnologie de Lyon (INL), France, Année 2009.
- [2] M. Keating, D. Flynn, R. Aitken, A. Gibbons, and K. Shi, Low power methodology manual: for system-on-chip design. Springer Verlag, 2007.
- [3] M. Abramovici, M.A Breuer , ‘‘Digital systems testing and testable design’’ IEEE press New York, 1990.
- [4] N. H. E. Weste, K. Eshraghian, and M. J. S. Smith, ‘‘Principles of CMOS VLSI Design: A Systems Perspective with Verilog/VHDL Manual,’’, 2nd ed. Addison Wesley, Dec. 2000.
- [5] Eduardo Mangieri ‘‘An analogue approach for the Processing of Biomedical Signals’’ A thesis submitted in partial fulfillment for the degree of Doctor of Philosophy in the Faculty of Engineering, Science and Mathematics School of Electronics and Computer Science , March 2002
- [6] K. OUICI, ‘‘ Conception et Réalisation d’un amplificateur opérationnel programmable dédiée à des captures implantables,’’ Département de Génie électrique et Génie informatique, université de Montréal, 2007.
- [7] PROVOST, B. And SAWAN, M. ‘‘A Proposed New Bladder Volume Monitoring Device Based On Impedance Measurement,’’ a paraitre dans Med. Biol. Eng. Comp,1997.
- [8] SAWAN, M., ARABI. K. and PROVOT, B. ‘‘Implantable Volume Monitor and Miniaturized Stimulator Dedicated to Bladder Control’’, International. Society for Artificial Organs, 1997.
- [9] F.Silveira, D.Flandre, ‘‘Low Power Analog CMOS for Cardiac Pacemakers - Design and Optimization in Bulk and SOI technologies,’’, Kluwer Academic Publishers, 2004, ISBN 140207719X
- [10] R. Rieger, J. Taylor, A. Demosthenous, N. Donaldson, P.J. Langlois, ‘‘Design of a Low-Noise Preamplifier for Nerve Cuff Electrode Recording’’, IEEE J. Solid State Circuits, vol.38, n°8, pp.1373-1379, Aug.2003.
- [11] J. Sacristan, M.T. Oses, ‘‘Low noise amplifier for recording ENG signals in implantable systems’’, IEEE International Symposium on Circuits and Systems (ISCAS’04), vol.IV, pp.33-36, May-2004.

Bibliographie

- [12] H. Aurlien, I.O. Gjerde, J. H. Aarseth, B. Karlsen, H. Skeidsvoll, N. E. Gilhus (03 2004). "EEG background activity described by a large computerized database.". *Clinical Neurophysiology* 115 (3): 665-673.
- [13] Arnaud, C. Galup Montoro, "Consistent noise models for analysis and design of CMOS circuits", *IEEE Trans.Circuits & Systems I*, Vol.51, n°10, pp.1909-1915, Oct.2004.
- [14] C.C. Enz, G.C. Temes, "Circuit techniques for reducing the effects of op-amp imperfections: autozeroing, correlated double sampling, and chopper stabilization", *Proceedings of the IEEE* , vol. 84, n°11, pp.1584 – 1614, Nov.1996.
- [15] Matías R. Miguez, "Gm-C chopper amplifiers for implantable medical devices" thèse doctorat, Universidad catolica, March 2008.
- [16] Gehad. A. Elamare " Investigation of High Bandwidth Biodevices for Transcutaneous Wireless Telemetry " Thesis submitted for the degree of Doctor of Philosophy in Engineering , School of Electrical, Electronic and Computer Engineering University of Newcastle upon Tyne
United Kingdom ,July 2010
- [17] QUOTB A. "Méthodes et systèmes pour la détection adaptative et temps réel d'activité dans les signaux biologiques" Thèse doctorat, L'UNIVERSITÉ DE BORDEAUX I ÉCOLE DOCTORALE SCIENCES PHYSIQUE ET DE L'INGÉNIEUR, 12 octobre 2012.
- [18] T.Buchegger, G.Ossberger "An ultra Low Power Transcutaneous Pulse Radio Link for Cochlear Implants" *IEEE- IWUWBS.PP.356-360/ 2004*
- [19] C.M.Zierhofer, I.j.Hochmair, E.S.Hochmair, "Electronic Design of a Cochlear Implantant for Multi-channel High Rate Pulsatile Stimulation Strategies" *IEEE,Transaction on Rehabilitation engineering*,Vol,3,No,1.March 1995.
- [20] F.Naghmouchi,M.Ghorbel,A.ben.Hamida,M.Samet,"COMS ASK system modulation dedicated to cochlear prosthesis"IEEE.20005

Bibliographie

- [21] Hugh, Mcdermott “ An advanced Multi Channel Cochlear Implant ”. 1989 IEEE
- [22] Philipos C.Loizou “Mimicking the Human Ear” signal processing magazine IEEE
- [23] L.Wu, Z.Yang, E. Basham, W.Liu “An Efficient Wireless Power Link for Voltage Retinal Implant” IEEE-2008.
- [24] R.Lewitt, S.Matej “Overview of Methods for Image Reconstruction from Projection in Emission Computed Tomography”. IEEE .Vol.91.No.10.OCTOBER.2003.
- [25] L.H.Jung, P.Byrnes, R.Helessler, T.Lehmann, G.J.Suaning,N.H.Lovell “A Dual Band Wireless Power and FSK Data Telemetry for Biomedical Implants”IEEE. Proceeding of the 29th 2007
- [26] R.Zhong, R.Liu,H.Fotowat, F.Gabbiani ,“A micro ultra-low power RF radio for neural signal recording” IEEE.BIODEVICE.2008
- [27] Site: <http://www.sciencedaily.com/releases/2009/09/090923173952.htm>
- [28] R.Kosaka, Y.Sankai, T.Jikuya, T.Yamane,T.Tsutsui "Tsukuba Remote Monitoring System for Continuous-Flow Artificial Heart", Journal of Artificial Organs27 (10), 897-906,2003,
- [29] Q.Chen,S.C.Wong,C.K.Tse,X.Ruan“ An analysis, Design and Control of a transcutaneous Power Regulator for Artificial Hearts”IEEE.Transaction on Biomedical circuit and systems,Vol,3.NO.1 February 2009,
- [30] M.Takahashi, K.Watanabe, F.Sato, H.Matsuki“Signal Transmission System for High Frequency Magnetic Telemetry for an Artificial Heart” IEEE. Transaction on magnetic, Vol.37, NO. 4,July,2001
- [31] BENALI R, “Analyse du signal ECG par réseau adaptif d’ondelettes en vue de la reconnaissance de pathologies cardiaques,”, Thèse doctorat, Université de Tlemcen, Avril 2013.

Bibliographie

- [32] CABASSON A. "Estimation et Analyse des Intervalles Cardiaques," Thèse doctorat, de l'Université de Nice - Sophia Antipolis, France 4 Décembre 2008.
- [33] Obraska P., Perlemuter L., Quevauvilliers J Médecine, "appareil cardiovasculaire" Edition Masson Tome II 1968
- [34] Michel Fischbach Guide pratique du cardiaque, prévention et suivi. Ed. Frison-Roche, 2002
- [35] Site : <http://www.eurekasante.fr>
- [36] Waller A.D. A demonstration on man of electromotive changes accompanying the heartbeat, in: *Physiol.* 8, 229-234, 1887
- [37] Einthoven W. Un nouveau galvanomètre, in : *Arch. Néerland. Science exactes naturelles*, Série 2, 6, 625-633, 1901.
- [38] Ershler I. Willem Einthoven : The man. The string galvanometer electrocardiograph, in : *Arch. Intern. Med.*, 148, 453-455, 1988.
- [39] Acierno L.J. The history of Cardiology, ed. Roche, the Parthenon Publishing Group Ltd, Carnforth Lancs, LAGZLA, 1994.
- [40] Einthoven W. Un nouveau galvanomètre, in : *Arch. Néerland. Science exactes naturelles*, Série 2, 6, 625-633, 1901.
- [41] Goldberger E: A simple, indifferent, electrocardiographic electrode of zero potentials and a Am Heart J., technique of obtaining augmented, unipolar, extremity leads. 1942, Vol. 23, p.483-92.
- [42] C. BROHET « Electrocardiogramme 12 dérivation » Edition Masson Paris 1998
- [43] Holter N J New method for heart studies: Continuous electrocardiography of active subjects Science, over long periods is now practical. 1961, Vol. 134, p. 1214-20.
- [44] Friesen G.M and Jannett C.T. et al. "A comparison of the noise sensitivity of nine QRS Detection Algorithm." *IEEE Transactions on Biomedical Engineering*
- [45] Alfredo Farid Bautista-Delgado "Design of an ultra-low voltage analog front end for an electroencephalography system", UNIVERSITE JOSEPH FOURIER, JUNE 2009

Bibliographie

- [46] P. E. Allen, B. J. Blalock, G. A. Rincon, "A 1V CMOS op amp using bulk-driven MOSFET's", in Proc 1995 ISSCC, Feb 1995.
- [47] Phillip E. Allen, Benjamin J. Blalock, and Gabriel A. Rincon "LOW VOLTAGE ANALOG CIRCUITS USING STANDARD CMOS TECHNOLOGY" School of Electrical and Computer Engineering Georgia Institute of Technology Atlanta, GA 30332-0250,
- [48] P. Kinget, S. Chatterjee, Y. Tsvividis , "0.5V Analog Integrated Circuits ", Springer Netherlands, pages 329-350, 2006
- [49] S. Yan, E. Sanchez-Sinencio, "Low Voltage Analog Circuit Design Techniques: A Tutorial", Invited Paper, IEICE Trans. Analog Integrated Circuits and Systems, Vol. E00-A, No.2; February 2000.
- [50] E. Sackinger, W. Guggenbuhl, "A High-Swing, High-Impedance MOS Cascode Circuit", IEEE Journal of Solid-State Circuits, Vol. 25, No.1, February 1990.
- [51] E. A. Vittoz, "MOS transistors operated in the lateral bipolar mode and their application in CMOS technology, "*IEEE J. Solid-State Circuits*, vol. vol. SC-18, pp. 273-279, April 1983.
- [52] P. E. Allen, B. J. Blalock, G. A. Rincon, "Low Voltage Analog Circuits using Standard CMOS Technology", Proceedings of the 1995 international symposium on Low power design, Pages: 209 - 214 , 1995.
- [53] B. J. Blalock, P. E. Allen, G. A. Rincon, "Designing 1V Op Amp using Standard Digital CMOS Technology", IEEE Transactions on Circuits and Systems-II: Analog and Digital Signal Processing, vol. 45, No. 7 , July 1998.
- [54] Y. Haga, H. Zare-Hoseini, L. Berkovi, I. Kale, "Design of a 0.8 Volt fully differential CMOS OTA using the bulk-driven technique", in IEEE International Symposium on Circuits and Systems, ISCAS 2005, Pages:220 - 223 Vol. 1, 23-26 May 2005.
- [55] A.harb and M.Sawan,'New low-power low-voltage High CMRR CMOS Instrumentation Amplifier'', in Proc. IEEE international Symposium on Circuits and Systems, 1999.

Bibliographie

- [56] E.L. Douglas, D.F. Lovely, D.M. Luke "A Low Voltage Current-Mode Instrumentation amplifier Designed in a 0.18-Micron CMOS Technology" in Proc. IEEE CCECE, pp.1777-1780, 2004.
- [57] Hwang-Cherng Chow and Jia-Yu Wang "High CMRR Instrumentation amplifier for biomedical applications" in Proc. IEEE international Symposium on Circuits and Systems, 2007.
- [58] Jin Tao Li, Sio Hang Pun, "Analysis of Op-Amp Power-Supply Current Sensing Current-Mode Instrumentation Amplifier for Biosignal Acquisition System" in Proc. IEEE 30th Annual International EMBS Conference Vancouver, British Columbia, Canada, August 20-24, 2008
- [59] B. J. van den Dool and J. H. Huijsing, "Indirect current feedback instrumentation amplifier with a common-mode input range that includes the negative rail," IEEE J. Solid-State Circuits, vol. 28, no. 7, pp. 743–749, Jul. 1993.
- [60] R. F. Yazicioglu, P. Merken, R. Puers, and C. van Hoof, "A 60 uW 60 nV/Hz readout front-end for portable biopotential acquisition systems," IEEE J. Solid-State Circuits, vol. 42, no. 5, pp. 1100–1110, May 2007.
- [61] G. H. Hamstra, A. Peper, and C. A. Grimbergen, "Low-power low noise instrumentation amplifier for physiological signals," Med. Biolog. Eng. Comput., pp. 272–274, May 1984.
- [62] Johan F. Witte, Kofi A. A. Makinwa, Johan H. Huijsing "Dynamic offset Compensated CMOS Amplifiers" Spring A, analog Circuits And Signal Processing, Delft university of technology, the Netherlands, 2009
- [63] Sidharth Balasubramanian, B. E. "LOW-VOLTAGE AND LOW-POWER LIBRARIES FOR MEDICAL SOCS" A Thesis Presented in Partial Fulfillment of the Requirements for the Degree Master of Science in the Graduate School of The Ohio State University, 1999